**系统硬件综合课程设计**

**课程简介**：基于先修课程，根据系统设计的思想，使用Verilog HDL语言完成一款基于MIPS32或RISC-V或ARM等精简指令集架构的多周期CPU或流水线CPU的设计，并将设计的CPU下载至FPGA芯片上，在开发板上可以运行测试程序。设计难度为递进式，所有学生必须至少完成一个单周期CPU的设计工作。该课程设计贯穿了数字逻辑、计算机组成原理、计算机体系结构课程，实现从逻辑门至完整CPU处理器的设计。

**学 分：**1.5学分

**总学时：**36课时

**前导课程：**数字逻辑、计算机组成原理、计算机体系结构

**指导老师：**陈田、李建华、刘军、阙夏、李志鹏、杨毅

**助 教：本科生助教：**倪业鸣、赵凌霄、宋万强；研究生助教2位

**验收三阶段：**第一轮检查10月底；第二轮验收：11月底；最终验收：12月底

**题目要求及评分等级：**

1. **基于MIPS32或RISC-V或ARM等精简指令集架构的多周期流水线CPU的设计**，所设计的各类指令条数不少于25条，其中应当包含乘除法指令，对于指令执行时可能产生的冒险与冲突，能够采取相应的方法合理解决，所设计的结构可以下载至FPGA芯片上，并在开发板上可以运行自己设计的测试程序并验证所有设计的指令。（优）

2. **基于MIPS32或RISC-V或ARM等精简指令集架构的多周期流水线CPU设计**，所设计的各类指令条数不少于20条，对于指令执行时可能产生的冒险与冲突，能够采取各种相应的方法合理解决，**能够在设计中包含Cache或者中断等其它有助于系统结构优化的方法**。在EDA软件上可以运行自己设计的测试程序并仿真验证所有设计的指令和结构。（优）

3. **基于MIPS32或RISC-V或ARM等精简指令集架构的多周期流水线CPU的设计**，所设计的各类指令条数不少于15条，其中应当包含乘除法指令，对于指令执行时可能产生的冒险与冲突，能够采取多种相应的方法合理解决，所设计的结构可以下载至FPGA芯片上，并在开发板上可以运行自己设计的测试程序并验证所有设计的指令。（良好）

4. 基于MIPS32或RISC-V或ARM等精简指令集架构完成一个多周期流水线CPU的设计，所设计的各类指令条数不少于20条，对于指令执行时可能产生的冒险与冲突，能够采取各种相应的方法合理解决，在EDA软件上可以运行自己设计的测试程序并仿真验证所有设计的指令。（良好）

5. 基于MIPS32或RISC-V等精简指令集或自定义指令集完成一个多周期CPU设计或多周期流水线CPU的设计，所设计的各类指令条数不少于15条，对于流水线CPU的指令在执行时可能产生的冒险与冲突，能够至少采取一种方法合理解决，在EDA软件上可以运行自己设计的测试程序并仿真验证所有设计的指令。（中）

6. 基于MIPS32精简指令集架构或者自定义指令集，完成一个单周期CPU的设计，所设计的各类指令条数不少于10条，设计的结构可以下载至FPGA芯片上，并在开发板上运行自己设计的测试程序并验证所设计的指令。（及格）（第一阶段验收的内容）