11주차 예비보고서

전공 : 국제한국학과 학년 : 4학년 학번 : 20181202 이름 : 김수미

**1. RS 플립-플롭에 대해서 조사하시오.**

먼저 플립-플롭(Flip-Flop)이란 0과 1의 값을 저장할 수 있는 clock이 있는 2진 저장 장치를 의미한다. 저장하고 있는 0 또는 1의 값은 적합한 clock값의 transition에 의해서만 변할 수 있다. 1에서 0으로 값이 변하는 상황을 trailing-edge triggered 라고 하며, 0에서 1로 값이 변하는 상황은 leading-edge triggered 라고 한다. 이러한 값의 transition 이후 flip-flop에 저장되어 있는 값은, flip-flip의 입력 데이터와 기존에 어떤 데이터 값이 저장되어 있었는지에 따라 결정된다.

RS flip-flop 이란 S, R 두개의 입력은 가지는 flip-flop으로 S(Set) 입력은 다음 유효 clock edge에서 flip-flop에 1을 저장하게 하고, R(Reset)입력은 0을 저장하게 한다. S와 R의 값이 동시에 0인 경우에 flip-flop은 현재 상태를 유지하며, 동시에 1이 들어오는 경우는 illegal 한 경우로 간주한다.

|  |  |
| --- | --- |
| Behavioral Table | |
|  |  |
| State Diagram | |
|  | |
| Timing Diagram | |
|  | |
| Circuit | |
|  | |

**2. JK 플립-플롭에 대해서 조사하시오.**

JK flip-flop 은 RS flip-flop과 T flip-flop을 합친 형태를 띤다. J 와 K 두가지 입력 값을 가지는데 두 입력 값이 1로 동일한 경우 현재 값을 invert 시킨다.

|  |  |
| --- | --- |
| Behavioral Table | |
|  |  |
| State Diagram | |
|  | |
| Timing Diagram | |
|  | |
| Circuit | |
|  | |

JK flip-flop은 RS flip-flop에서 S와 R이 모두 1인 값이 input으로 들어오는 경우 illegal한 input으로 간주되어 낭비되는 것을 방지하기 위해 고안된 방식이다. 즉 1,1의 값이 입력으로 들어오는 경우 이를 illegal 한 값으로 받아들이지 않고 현재 저장하고 있는 값을 invert 하는 것으로 받아들인다는 것을 제외하면 RS fip-flop과 동일하다.

**3. D 플립-플롭에 대해서 조사하시오.**

D flip-flop은 가장 간단한 형태의 flip-flop이다. D flip-flop의 이름은 Delay 라는 단어에서 유래한 것으로, 출력 값은 입력 값이 다음 유효 clock transition까지 delay된 것이기 때문이다. 즉 D flip-flip에서의 next state는 유효 clock transition이 일어나기 전, D의 입력 값이다. Trailing-edge triggered와 leading-edge triggered 두가지 종류가 존재한다.

|  |  |
| --- | --- |
| Behavioral Table | |
| |  |  |  | | --- | --- | --- | | **D** | **q** | **q\*** | | 0 | 0 | 0 | | 0 | 1 | 0 | | 1 | 0 | 1 | | 1 | 1 | 1 | | |  |  | | --- | --- | | **D** | **q\*** | | 0 | 0 | | 1 | 1 | |
| State Diagram | |
|  | |
| Timing Diagram | |
|  | |
| Circuit | |
|  | |

**4. T 플립-플롭에 대해서 조사하시오.**

T flip-flop은 입력 값이 T의 값이 1일 때 현재 값을 invert 시키는 flip-flop이다. T값이 0이면 현재 값을 그대로 유지한다. 여기서 T는 Toggle을 의미한다.

|  |  |
| --- | --- |
| Behavioral Table | |
| |  |  |  | | --- | --- | --- | | **T** | **q** | **q\*** | | 0 | 0 | 0 | | 0 | 1 | 1 | | 1 | 0 | 1 | | 1 | 1 | 0 | | |  |  | | --- | --- | | **T** | **q\*** | | 0 | q | | 1 | Q’ | |
| State Diagram | |
|  | |
| Timing Diagram | |
|  | |
| Circuit | |
|  | |

**5. Latch의 기능에 대해서 조사하시오.**

Latch는 2진 저장 소자로 2개 혹은 그 이상의 게이트로 구성되어 있다. 가장 간단한 2 gate latch 는 각각의 게이트의 출력이 다른 게이트의 입력으로 연결되어 있다.

|  |
| --- |
| Cross Coupled NOR |
|  |

위 그림은 2개의 NOR 게이트로 구성된 간단한 latch로, S는 Set signal, R은 Reset signal이며 Q’ 또는 Q가 메모리 셀에 저장되는 값이다. 위 시스템에 대한 수식은 P = (S+Q)’ , Q = (R+P)’ 이다.

|  |
| --- |
| Truth Table |
|  |

**6. Clock의 기능에 대해서 조사하시오.**

Clock 이란 0과 1이 일정한 비율로 번갈아 나오는 sequence를 의미한다. 주로 0의 신호와 1의 신호가 동일한 length를 갖는 clock과 0의 신호가 1의 신호보다 긴 clock 두가지 형태가 존재한다.

|  |
| --- |
| Clock Terminology |
|  |
|  |

**7. Edge-Trigger의 특성에 대해 조사하시오.**

시스템에서는 특정 이벤트를 감지하는데 Trigger 라는 개념을 사용한다. 그 중에서도 Edge-Trigger는 상태값이 변하는 순간을 이벤트의 발생으로 간주한다. 상태가 0 에서 1로 변하는 순간을 Rising Edge라고 하며, 1에서 0으로 변하는 순간을 Falling Edge라고 한다. 상태가 0에서 0으로 혹은 1에서 1로 유지되는 경우는 이벤트의 발생으로 간주하지 않는다.

**8. Master-Slave 의 개념에 대해 조사하시오.**

Mastser-Slave 개념은 디지털 회로 뿐만 아니라 데이터 통신 분야 등 다양한 분야에서 널리 사용되는 용어이지만, 지금은 flip-flop에 관련해서 배우는 중이기 때문에 flip-flop에서의 master-slave 개념에 대해 알아보자.

먼저 master slave flip-flop은 2개의 flip-flop과 1개의 inverter로 구성되며 clock 값이 상승 또는 하강함에 따라 입력에 대한 출력 값이 변화하는 장치이다. 이 때 사용되는 두개의 flip-flop은 JK flip-flop이나 RS flip-flop, D flip-flop 등을 사용할 수 있으며 하나는 Master flip-flop으로, 다른 하나는 Slave flip-flop이 된다.

Clock Pulse(CP)가 1 이면 Master flip-flop이 동작하고 CP 가 1에서 0으로 바뀔 때 Slave flip-flop이 동작한다.

|  |
| --- |
| Graphic Symbol |
|  |
| Timing Diagram |
|  |

**9. 기타 이론**

1) Flip-flop의 활용 : 메모리

- Register : 레지스터는 flip-flop의 집합이다. 레지스터를 구성하는 flip-flop들은 각각 1bit의 정보를 저장하며, n-bit Register는 n bit의 정보를 저장하기 위해 n개의 flip-flop으로 이루어져 있다. 즉 레지스터는 다른 말로 flip-flop의 Group이라고 이야기할 수 있다.

- SRAM : SRAM은 flip-flop 방식의 메모리 cell을 가지는 기억장치이다. 전원 공급이 계속되는 한 저장된 내용을 계속 기억한다는 특징이 있으며, 전원이 끊어지면 저장된 내용은 reset 된다. 복잡한 재생 clock(refresh clock)이 필요 없기 때문에 소용량의 메모리나 캐시 메모리(cache memory)의 구성에 주로 사용된다.