

컴퓨터공학실험II

RS/D/JK Flip-Flop

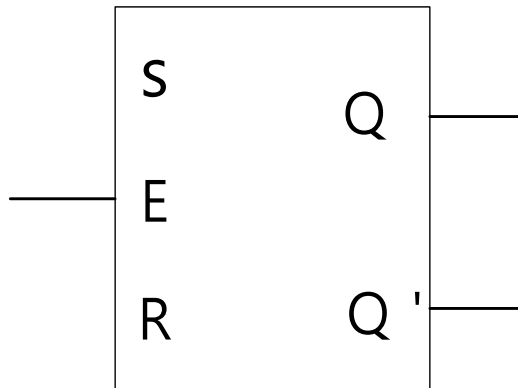


*Be as proud of Sogang
As Sogang is proud of you*

- ◆ RS/D Latch의 개념 이해
- ◆ RS/D/JK Flip-Flop의 개념 이해
- ◆ Verilog를 사용하여 다양한 Latch 및 Flip-Flop 구현
- ◆ FPGA 통해서 Verilog로 구현된 회로의 동작 확인

◆ Latch

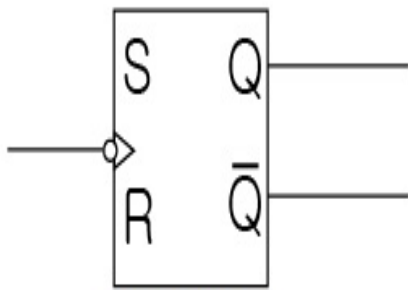
- ◆ 비동기식 순서 논리 회로로 입력 신호가 입력되면 즉시 상태가 변한다.
- ◆ 입력 시기를 조절할수 있는 제어신호가 존재하며 이 신호가 존재하는 래치를 게이트-래치(Gate latch)이라고 한다.
- ◆ 입력 신호는 종종 클럭 신호로 사용하기도 하며, 클럭 펄스가 H(1)일 때 입력신호가 반영된다. 플립플롭의 엣지에서 동작하는 것과 차이가 있다.



RS Latch

◆ RS FF(RS Flip-Flop)

- ◆ Reset-Set(RS) FF는 2개의 입력 R(Reset), S(Set)과 2개의 출력 Q, $\sim Q$ 로 구성된 FF이다.
- ◆ Set 하기 위해서('1' 상태) SR=10을 입력해야 하고 '0' 상태로 만들기 위해서는 SR=01로 놓아야 한다.
- ◆ 입력 S=1, R=1 이 입력되는 경우에는 허용되지 않는다.
- ◆ Clock Pulse의 에지 동안에만 입력이 출력에 영향을 미친다.

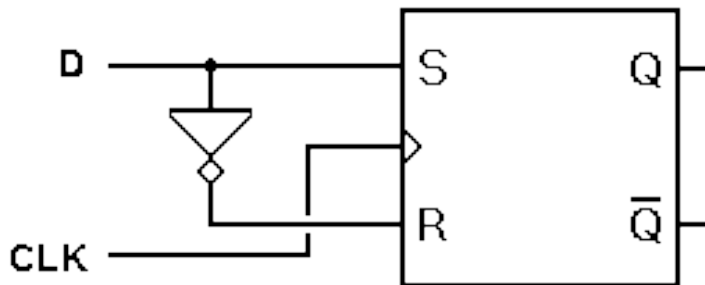


RS F.F

Input					Output		State of the output
CLK	S	R	Q_n	Q'_n	Q_{n+1}	Q'_{n+1}	
0	X	X	1	1	Q_n	Q'_{n+1}	Hold no change previous state Reset
1	0	0	1	1			
1	0	1	1	0	0	1	Reset
1	1	0	0	1	1	0	Set
1	1	1	0	0	1	1	Invalid Forbidden

◆ D Flip-Flop

- ◆ RS F.F의 두 입력인 R과 S이 반대 값으로 입력되도록 묶으면 하나의 입력을 갖는 D F.F를 구성할 수 있다.
- ◆ ‘1’로 놓기 위해서는 입력에 ‘1’을, ‘0’을 놓기 위해서는 입력에 ‘0’을 놓으면 된다.



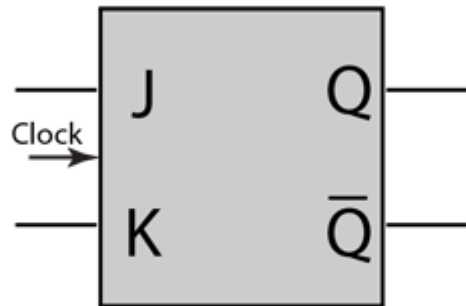
D F.F by using RS F.F

Input		Output	
D	CLK/Enable	Q	~Q
0	Absent	No Change	
0	Present	0	1
1	Absent	No Change	
1	Present	1	0

D F.F Table

◆ JK Flip-Flop

- ◆ JK F.F은 RS F.F에서 허용이 안되는 입력인 RS=11이 허용되는 F.F이다.
- ◆ 두 개의 입력이 모두 HIGH 상태이면 JK F.F의 출력은 이전 상태의 역으로 바뀌게 된다.



J-K Type

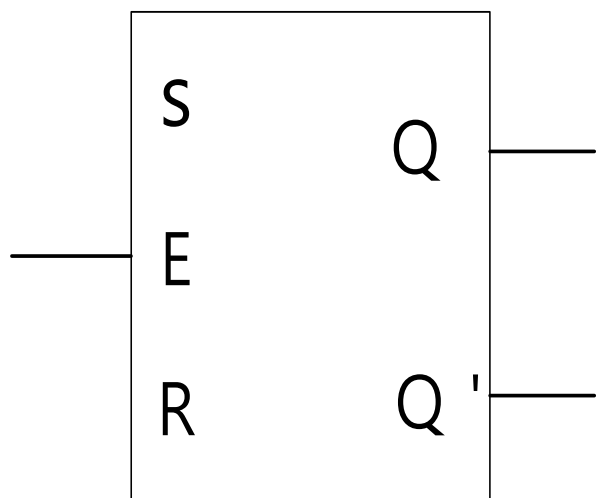
JK Flip-Flop

Input			Output	
J	K	CLK	Q	~Q
0	0	Transition	No Change	
0	1	Transition	0	1
1	0	Transition	1	0
1	1	Transition	No Change	

JK F.F의 상태도

◆ RS Latch

- RS Latch Verilog 코딩
- Verilog의 simulation 결과를 통해 Truth Table (B)의 빈칸 완성 (입력 순서 맞추어)
- FPGA를 통하여 Truth Table의 입력에 따른 동작 확인

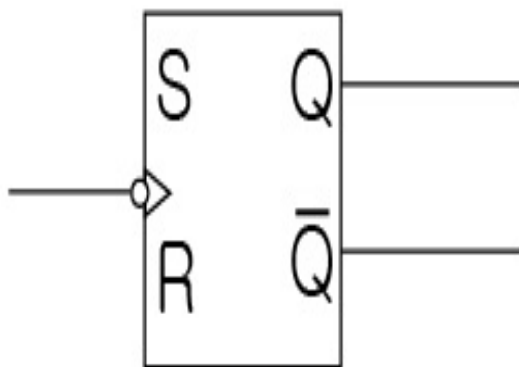


RS Latch

Input			Output	
입력 순서	R	S	Q	~Q
(1)	0	1		
(2)	0	0		
(3)	1	0		
(4)	0	0		
(5)	1	0		
(6)	1	1		

◆ RS Flip-Flop

- RS Flip-Flop Verilog 코딩
- Verilog의 simulation 결과를 통해 Truth Table (B)의 빈칸 완성 (입력 순서 맞추어)
- FPGA를 통하여 Truth Table의 입력에 따른 동작 확인



(a) RS F.F by using NOR gate

Input			Output	
입력 순서	R	S	Q	~Q
(1)	0	1		
(2)	0	0		
(3)	1	0		
(4)	0	0		
(5)	1	0		
(6)	1	1		

(b) Truth Table

◆ RS Flip-Flop

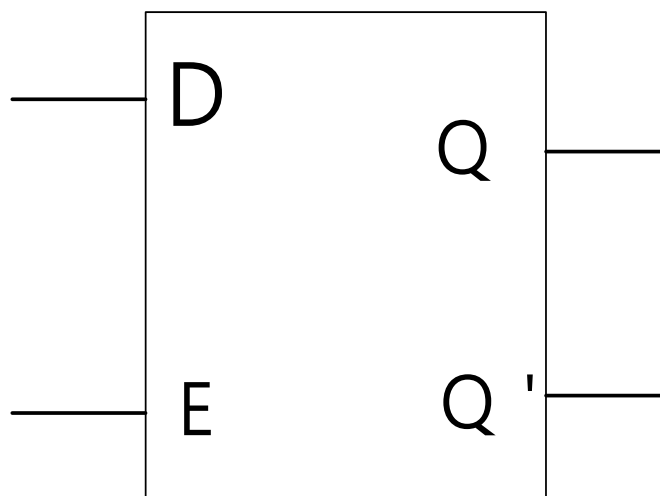
- (c)의 각 state 별 state table 완성
- Simulation을 통한 Timing Diagram 표현
- Latch 와 Flip-Flop의 Simulation 결과 비교

Present State Q(t)	Q(t+1) Next State			
	INPUT RS			
	00	01	10	11

(C) State Table

◆ D Latch

- RS Latch Verilog 코딩
- Verilog의 simulation 결과를 통해 Truth Table (B)의 빈칸 완성
(입력 순서 맞추어)
- FPGA를 통하여 Truth Table의 입력에 따른 동작 확인

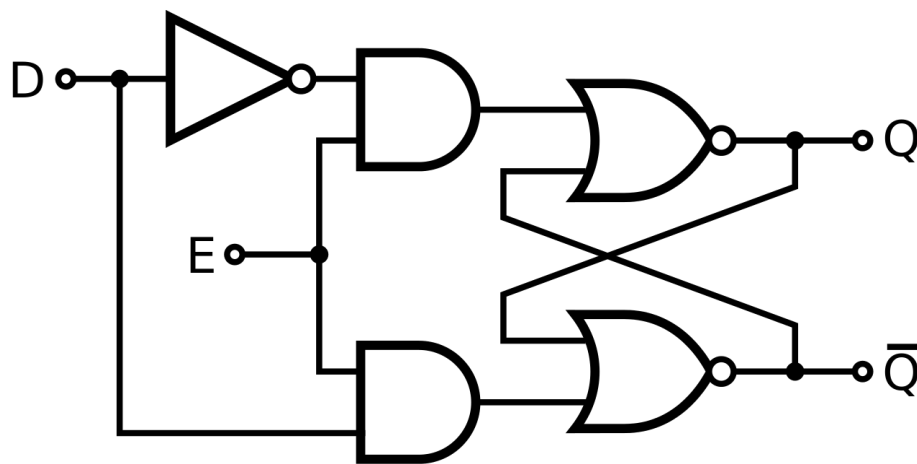


D Latch

Input		Output	
D	E	Q	~Q
0	0		
0	1		
0	0		
1	0		
1	1		
1	0		

◆ D Flip-Flop

- D Flip-Flop Verilog 코딩
- Verilog의 simulation 결과를 통해 Truth Table (B)의 빈칸 완성
- Simulation을 통한 Timing Diagram 표현
- FPGA를 통하여 Truth Table의 입력에 따른 동작 확인



(a) D F.F by using NOR gate

Input		Output	
입력 순서	D	q	~q
(1)	0		
(2)	0		
(3)	1		
(4)	0		
(5)	1		
(6)	1		

(b) Truth Table

◆ D Flip-Flop

- (c)의 각 state 별 state table 완성
- Simulation을 통한 Timing Diagram 표현
- Latch 와 Flip-Flop의 Simulation 결과 비교

Present State Q(t)	Q(t+1) Next State	
	INPUT D	
	0	1

(C) State Table

◆ JK Flip-Flop

- JK FlipFlop Verilog 코딩
- Verilog의 simulation 결과를 통해 Truth Table (B) 및 State Table의 빈칸 완성(입력 순서 맞추어)
- FPGA를 통하여 Truth Table의 입력에 따른 동작 확인

Input			Output	
입력 순서	J	K	Q	~Q
(1)	0	1		
(2)	0	0		
(3)	1	0		
(4)	0	0		
(5)	1	0		
(6)	1	1		

(b) Truth Table

Present State Q(t)	Q(t+1) Next State			
	INPUT JK			
	00	01	10	11

(c) State Table