

컴퓨터공학실험II

Sequence Detector

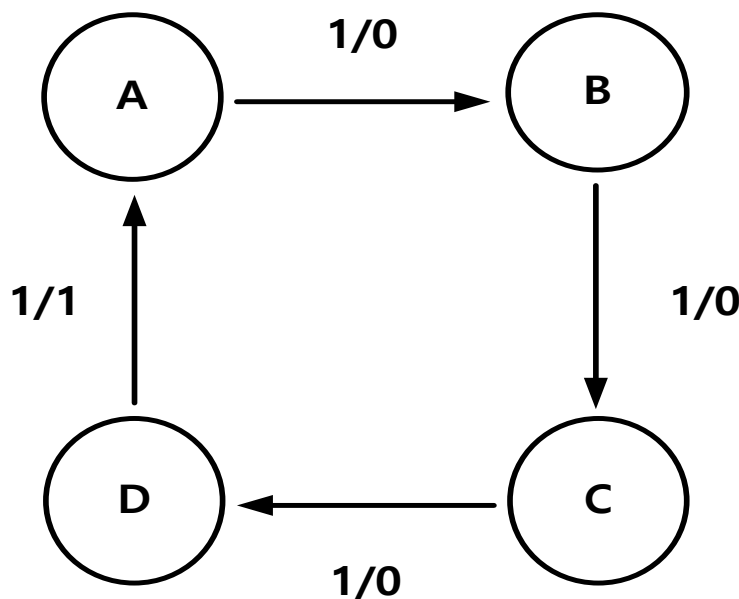


*Be as proud of Sogang
As Sogang is proud of you*

- ◆ State Machine 에 대한 이해.
- ◆ Mealy Machine, Moore Machine 에 대한 이해.
- ◆ Sequence Detector 에 대한 이해.
- ◆ Verilog를 사용하여 Sequence Detector 구현.
- ◆ FPGA 통해서 Verilog로 구현된 회로의 동작 확인.

◆ State Machine

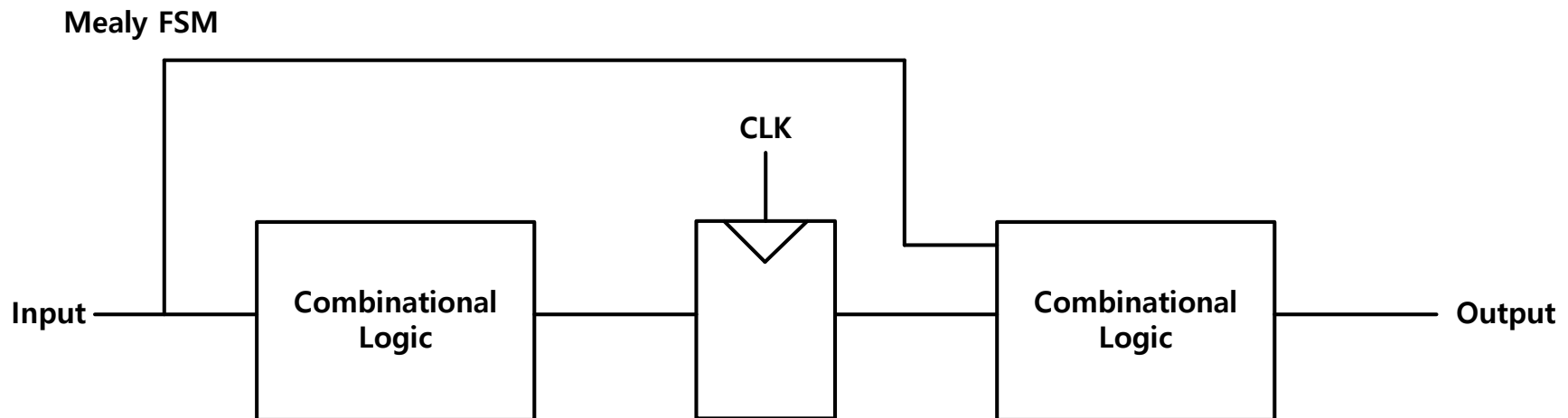
- State Machine 설계란 Flip-Flop을 이용한 회로 설계 기법 중의 하나.
- 전체적인 동작을 몇가지의 상태로 정의하여 사용자의 입력이나 내부 연산의 결과에 따라 다음 상태로 이동하여 동작이 실행되는 원리.
- Current State(현재 상태)는 임의의 주어진 시간의 상태를 뜻하며, Transition(전이)는 어떠한 사건(Event)에 의해 한 상태에서 다른 상태로 변화 하는 것을 의미한다.



(State machine의 예시)

◆ Mealy Machine

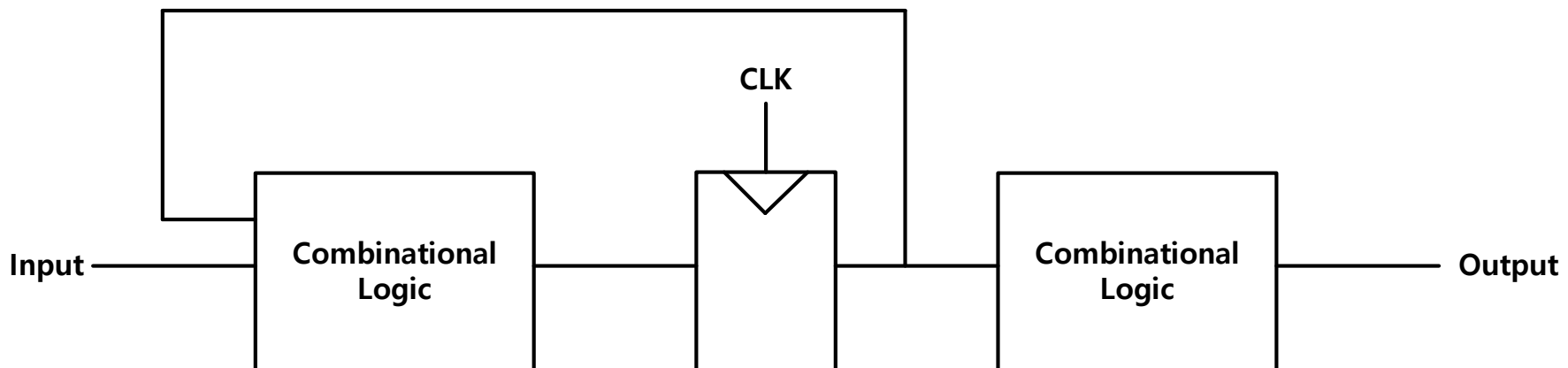
- 현재 상태와 입력의 조합에 의하여 출력이 결정되는 방식의 기계.
- 출력이 현재 상태와 입력 모두에 의해서 결정된다.
- Mealy Machine 은 같은 동작을 표현할 때 Moore machine 보다 적은 state 를 가짐.



◆ Moore Machine

- 현재 상태에 의해 출력이 결정되는 방식의 상태 기계.
- 입력이 Flip-Flop을 거쳐 출력과 연결된다.
- State machine 설계가 직관적이어서 이해하기 쉽다.(input은 state의 transition을 결정하는 용도)

Moore FSM



◆ 시퀀스 검출기(Sequence Detector)

- 시퀀스 감지(Sequence detection)는 미리 정의 된 일련의 입력을 인식.
- 시퀀스 검출기(Sequence Detector)는 입력 시퀀스의 비트를 받아 타겟 시퀀스가 검출 될 때마다 출력 1을 생성하는 순차 상태 머신.
- 순차 회로의 두가지 모델
 - Mealy Machine
 - Moore Machine

◆ Sequence Detector 구현(Mealy machine)

1. Sequence Detector Verilog구현.
2. 상태도(State table) 및 상태표(State Diagram) 작성.
3. 카르노맵을 이용하여, 입력 함수 및 출력 함수 유도.
4. Verilog의 Simulation 결과 확인
5. FPGA를 통하여 동작 확인.

[Sequence 1101 구현]

◆ Sequence Detector 구현(Moore machine)

1. Sequence Detector Verilog구현.
2. 상태도(State table) 및 상태표(State Diagram) 작성.
3. 카르노맵을 이용하여, 입력 함수 및 출력 함수 유도.
4. Verilog의 Simulation 결과 확인
5. FPGA를 통하여 동작 확인.

[Sequence 1101 구현]