

컴퓨터공학실험II

MSI/LSI 연산회로



*Be as proud of Sogang
As Sogang is proud of you*

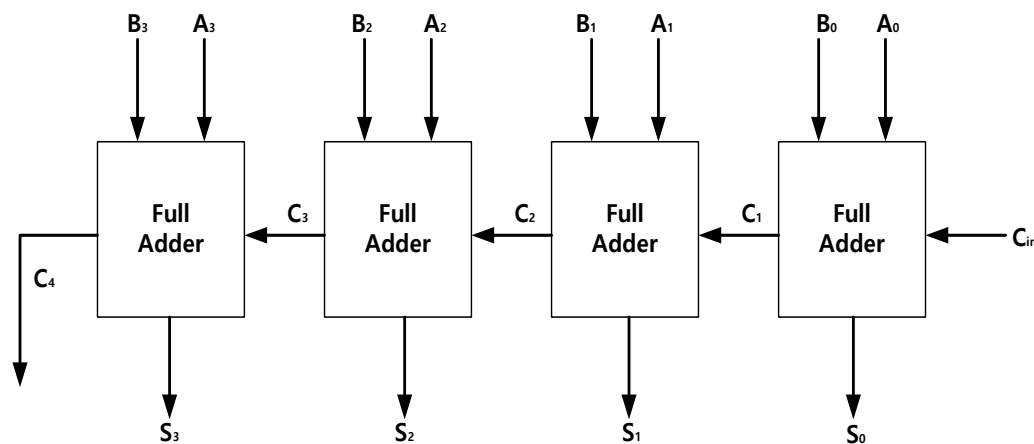
- ◆ 4-bit Binary Parallel Adder/Subtractor의 개념 이해
- ◆ BCD Adder의 개념 이해
- ◆ Verilog를 사용하여 4-bit Binary Parallel Adder/Subtractor 및 BCD Adder 구현
- ◆ FPGA 통해서 Verilog로 구현된 회로의 동작 확인

4 bit Binary Parallel Adder

- ◆ 4 bit Binary Parallel Adder (4bit 이진 병렬 가산기)
 - ◆ 4-bit Binary Parallel Adder는 하나의 칩으로 설계되고 두 개의 4-bit 2진수를 가산하기 위한 논리 회로이다.
 - ◆ 4개의 1-bit Full Adder가 병렬로 연결되어서 4-bit 2진수 둘을 더할 수 있게 되어 있다.
 - ◆ (a)는 4-bit 이진수의 덧셈 이후 Cout과 더한 값이 나오는 과정을 보여 주고, (b)는 4-bit binary parallel adder의 구조를 보여준다.

$$\begin{array}{r}
 A : A_4 \ A_3 \ A_2 \ A_1 \\
 B : B_4 \ B_3 \ B_2 \ B_1 \\
 \hline
 \text{Cout, } S : S_4 \ S_3 \ S_2 \ S_1 \\
 \text{MSB}
 \end{array}$$

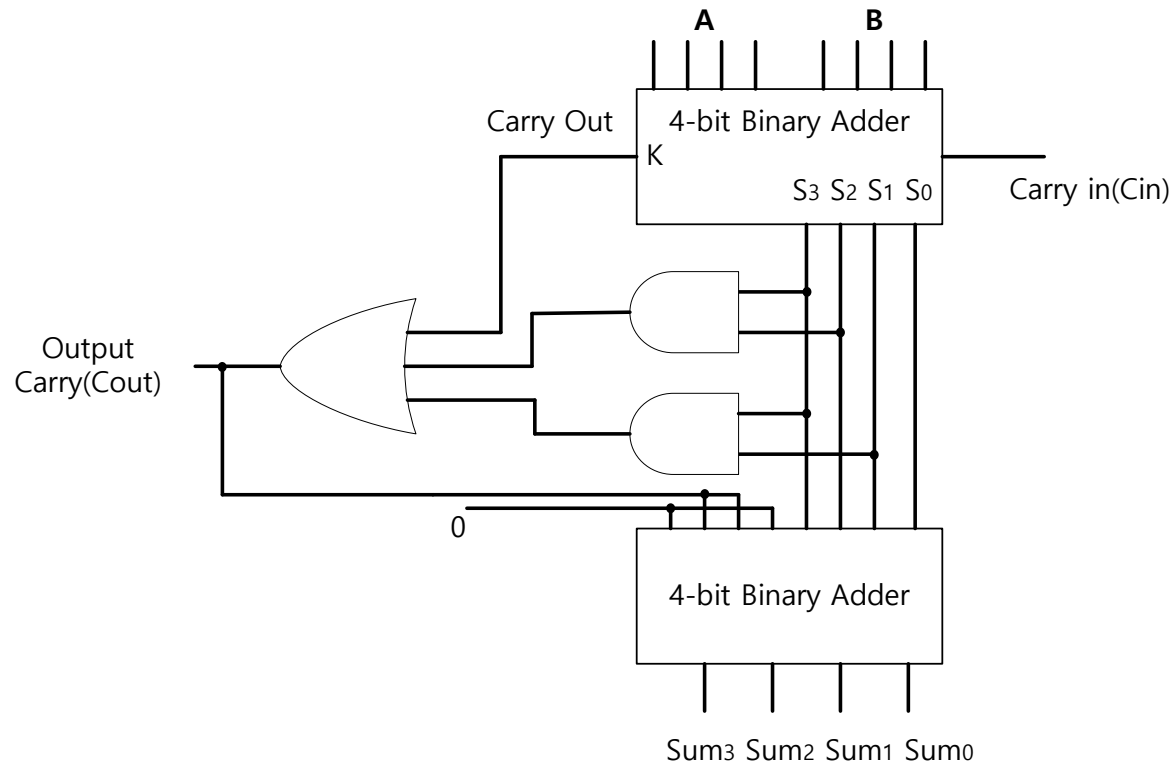
(a) 4-bit 이진수 계산법



(b) 4-bit binary parallel adder

◆ BCD Adder

- ◆ BCD(10진수, binary-coded decimal)의 덧셈 연산을 하기 위한 회로
- ◆ 우리가 평소에 사용하는 수인 10진수를 연산하기 위해서는 기존의 이진 덧셈 회로에 보상 회로를 추가해 구성한다.

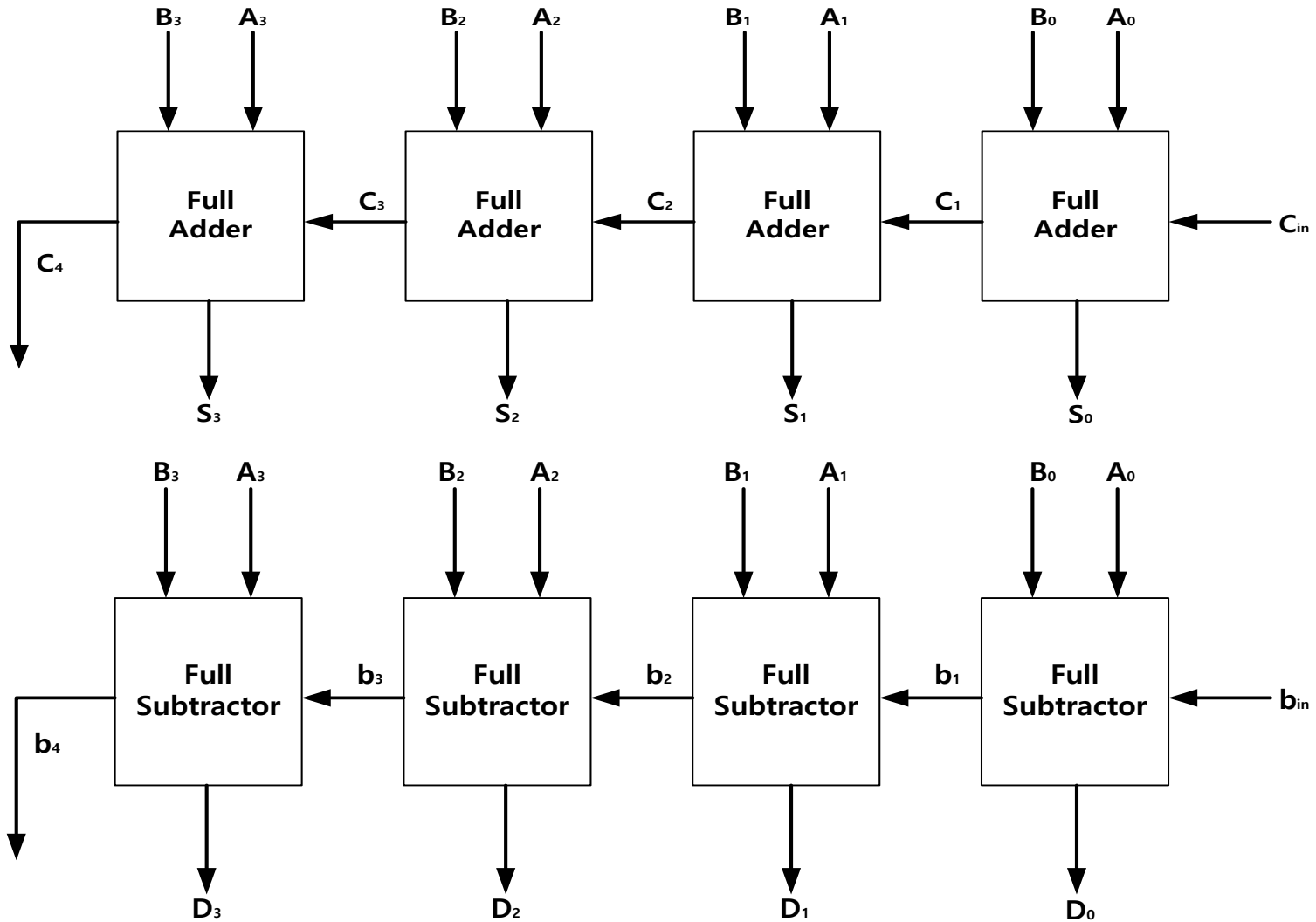


BCD Adder

- ◆ 4 bit Binary Parallel Adder/Subtractor(실습)
 - 1 bit Full Adder Verilog 구현
 - 1 bit Full Adder를 이용하여 4 bit Binary Parallel Adder 코딩
 - 4 bit Binary Parallel Subtractor 기능 추가하기 위한 Verilog 코딩
 - Verilog의 simulation 결과 확인
 - FPGA를 통하여 동작 확인

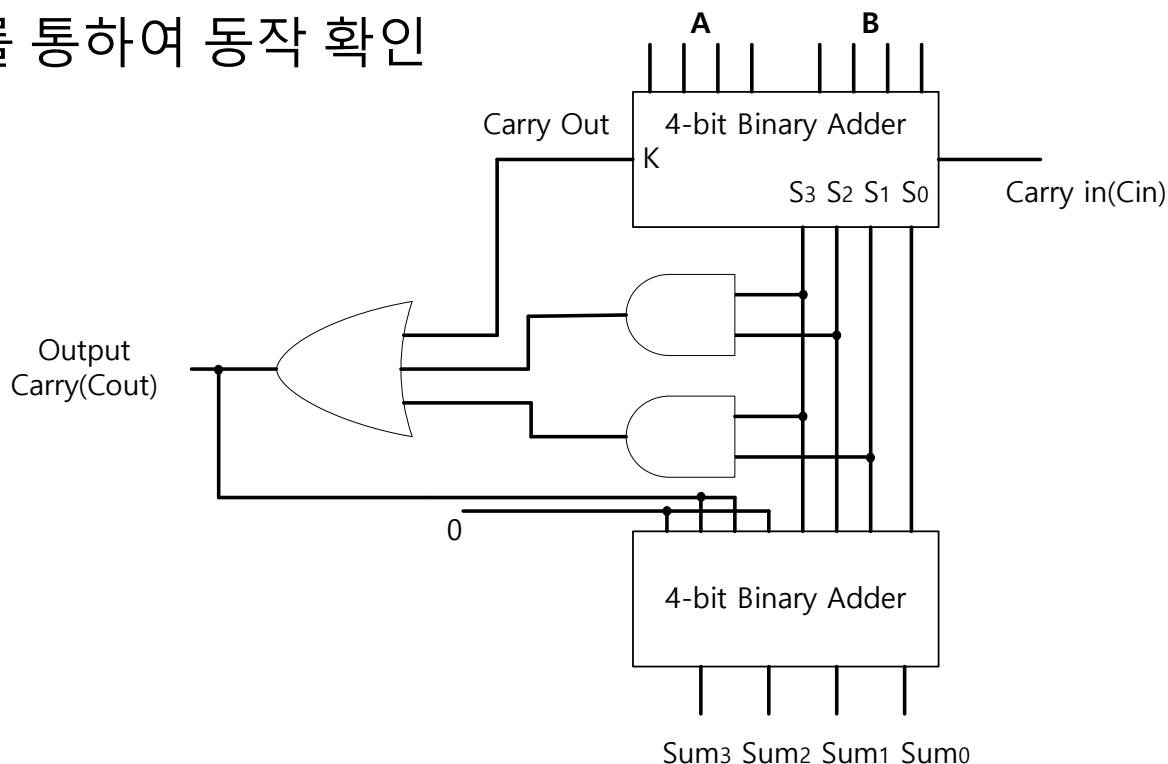
4 bit Binary Parallel Adder/Subtractor

◆ 4 bit Binary Parallel Adder/Subtractor(실습)



◆ BCD Adder

- 4bit binary adder를 사용한 구조로 회로를 Verilog 코딩
- Bcd 계산을 보정해줄 수 있는 보상회로 를 추가
- Verilog의 simulation 결과를 통해 Truth table 완성
- FPGA를 통하여 동작 확인



BCD Adder(실습)

BINARY SUM					BCD SUM					
K	Z8	Z4	Z2	Z1	C	S8	S4	S2	S1	DECIMAL
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	2
0	0	0	1	1	0	0	0	1	1	3
0	0	1	0	0	0	0	1	0	0	4
0	0	1	0	1	0	0	1	0	1	5
0	0	1	1	0	0	0	1	1	0	6
0	0	1	1	1	0	0	1	1	1	7
0	1	0	0	0	0	1	0	0	0	8
0	1	0	0	1	0	1	0	0	1	9
0	1	0	1	0	1	0	0	0	0	10
0	1	0	1	1	1	0	0	0	1	11
0	1	1	0	0	1	0	0	1	0	12
0	1	1	0	1	1	0	0	1	1	13
0	1	1	1	0	1	0	1	0	0	14
0	1	1	1	1	1	0	1	0	1	15
1	0	0	0	0	1	0	1	1	0	16
1	0	0	0	1	1	0	1	1	1	17
1	0	0	1	0	1	1	0	0	0	18
1	0	0	1	1	1	1	0	0	1	19