

컴퓨터공학실험II

Counter



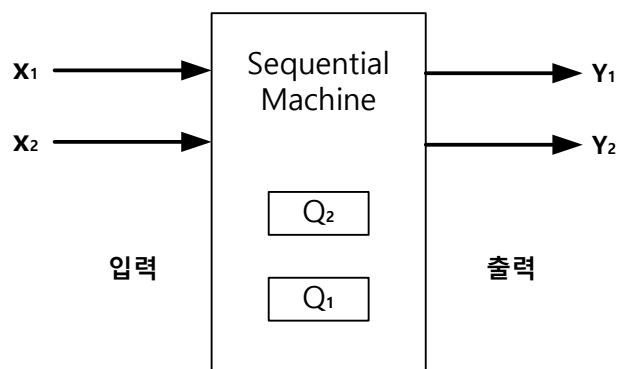
*Be as proud of Sogang
As Sogang is proud of you*

- ◆ 분석 절차 및 설계 단계 에 대한 이해.
- ◆ State Diagram 에 대한 이해.
- ◆ 2진 Counter 및 Decade Counter 에 대한 이해.
- ◆ Verilog를 사용하여 2bit 2진 Counter/4bit decade Counter 구현.
- ◆ FPGA 통해서 Verilog로 구현된 회로의 동작 확인.

◆ 분석절차(Analysis Procedure)

1. 주어진 순차 논리회로도에서 각각 2진 메모리 소자의 입력에 대한 Boolean 함수를 구한다.
2. 사용된 2진 메모리 소자의 특성 함수에 위의 입력 함수를 대입하여 차기 상태 (Next state) 함수를 구한다.
3. 차기 상태 함수에서 실제의 변수값(0 또는 1)을 대입하여 전이표(Transition Table)를 구한다.
4. 전이표로부터 상태표를 구한다.

예)



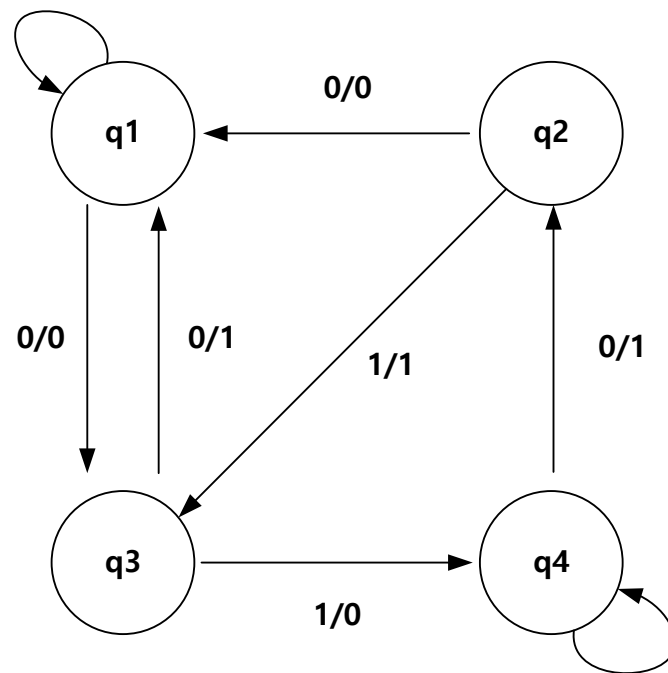
임의의 순차 논리회로
 Q_2, Q_1 : 2진 기억소자

State table				
Present State $Q_{t2} Q_{t1}$	Next State/Output $Q_{t2+1}Q_{t1+1}/f_1 f_2$			
	00	01	10	11
0 0	01 / 10	00 / 00	11 / 01	01 / 00
0 1	11 / 00	•	•	•
1 0	•	•	•	•
1 1	•	•	•	•

상태표

◆ 상태도(State Diagram)

1. 상태표(State Table)에 있는 상태들의 변화를 쉽게볼 수 있도록 그림으로 표시 한것.
2. 디지털 시스템의 Finite State Machine에서 상태와 상태천이를 표현하기 위해 도식화 해서 표현하는 그림.
3. 설계시, 설계 표현을 통해 복잡한 문제에서 나오는 오류를 줄일 수 있다.
4. FPGA의 설계시에도 복잡한 회로 표현에 유효하다.

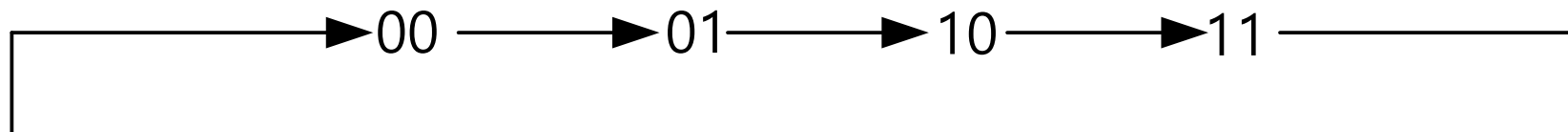


◆ 설계절차(Design Procedure)

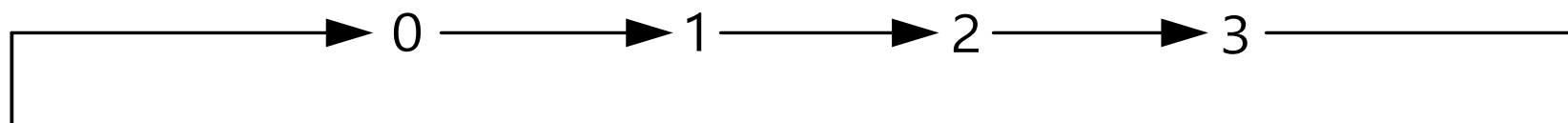
1. 설계하려는 기계에 대한 구문 설명(Word Description)으로부터 상태표를 구한다.
2. 상태도로부터 상태표를 작성한다.(물론 구문 설명으로부터 직접 상태표를 얻을 수도 있다.)
3. 상태표를 최소화한다.(minimization)
4. 사용하려는 플립-플롭의 type을 결정하고 각각 상태에 binary값을 지정하여 준다.(state assignment)
5. 플립-플롭의 입력 excitation table과 출력 함수를 구한다.
6. 회로를 구성한다.
7. 실험하여 위의 1의 구문 설명에 맞게 작동하는지 확인한다.

◆ 2-bit 2진 계수기

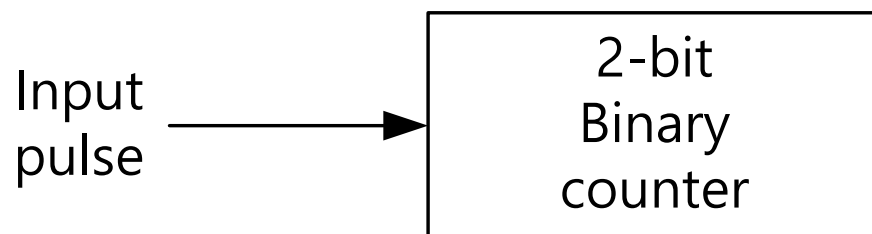
- ◆ 2-bit 2진 계수기는 2진값 00에서 11까지 모두 4개의 상태를 순차적으로 입력 pulse가 있을 때마다 반복하여 바꾸어 가는 순차 회로이다.



위와 같이 상태를 변이한다. 따라서 십진수로 환산하였을 때

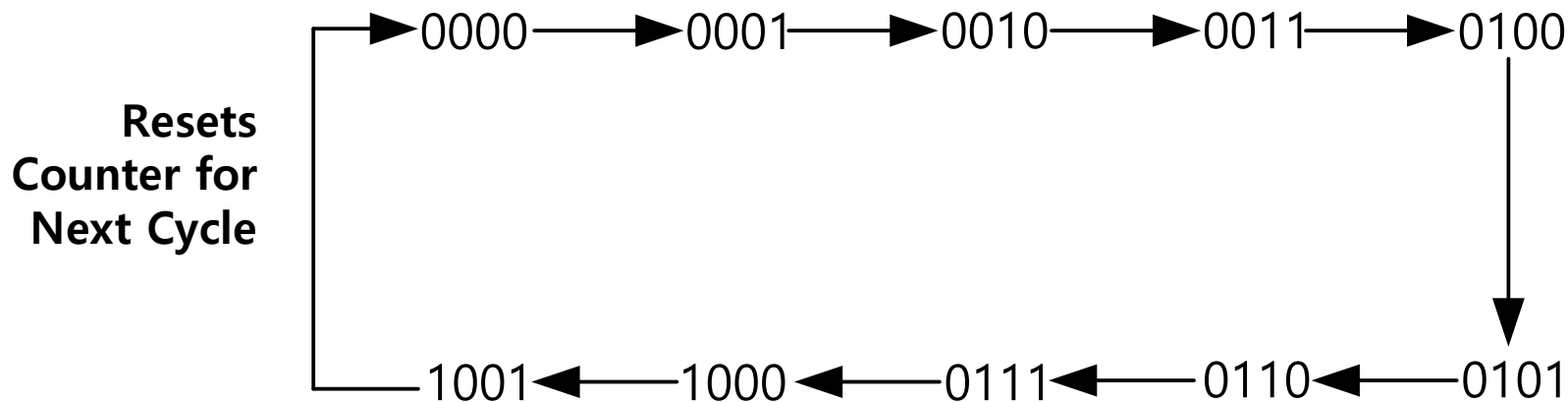


으로 반복 증가하므로 계수기라 부른다. 물론 n -bit일 때는 2^{n-1} 까지 계수할 수 있는 순차 회로가 될것이다.



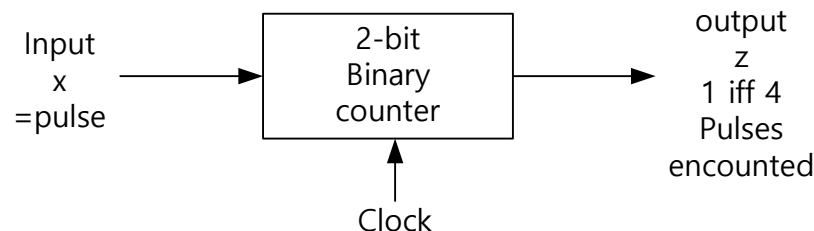
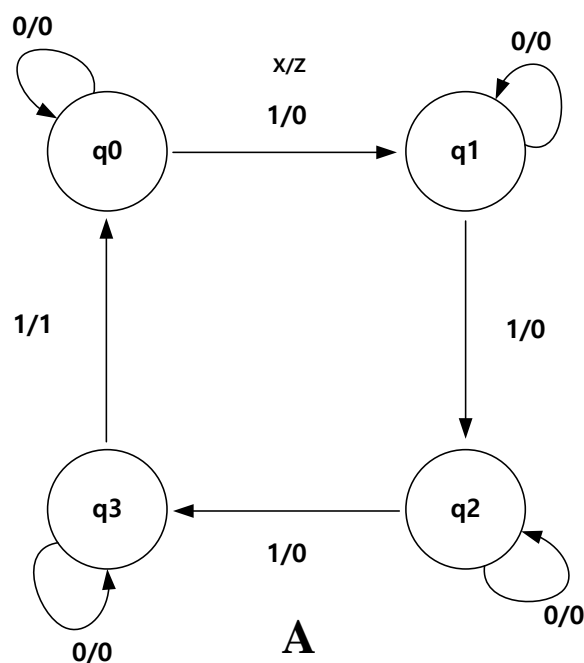
◆ Decade Counter

1. 0에서 9까지의 카운트를 반복
2. 16개의 상태 중에서 10개의 상태만을 사용
3. 카운터 출력이 [목표하는 최고 카운트]+1 에 도달한 순간을 포착하여 모든 값을 0으로 Clear.



◆ 2-bit 2진 Counter

1. 2-bit 2진 Counter Verilog 구현(Reset 동작 포함).
2. A의 상태도(state diagram)에서 상태표(state table) B 를 작성.
3. Verilog의 Simulation 결과 확인
4. FPGA를 통하여 동작확인.



Present state q_i	next state / output x/z	
	input .x = 0	input .x = 1
q0		
q1		
q2		
q3		

B

◆ 4-bit decade Counter

1. 4-bit decade Counter Verilog 구현(Reset 동작 포함).
2. 상태도(state diagram) 및 상태표(state table) 작성.
3. Verilog의 Simulation 결과 확인
4. FPGA를 통하여 동작확인.

Present state q_i	next state / output	
	input .x = 0	input .x = 1

◆ 4-bit 2421 decade Counter

1. 4-bit 2421 decade Counter Verilog 구현(Reset 동작 포함).
2. 상태도(state diagram) 및 상태표(state table) 작성.
3. Verilog의 Simulation 결과 확인
4. FPGA를 통하여 동작확인.

Present state qi	next state / output	
	input .x = 0	input .x = 1