

컴퓨터공학실험II

4장 NAND/NOR/XOR



*Be as proud of Sogang
As Sogang is proud of you*

- ◆ NAND/NOR/XOR Gate의 동작의 이해 및 확인
- ◆ Verilog를 사용하여 다중입력 NAND/NOR Gate 및 XOR Gate 구현
- ◆ 입력 신호 생성 후 Simulation을 통하여 구현된 각 Gate 동작 확인
- ◆ FPGA 통해서 Verilog로 구현된 회로의 동작 확인

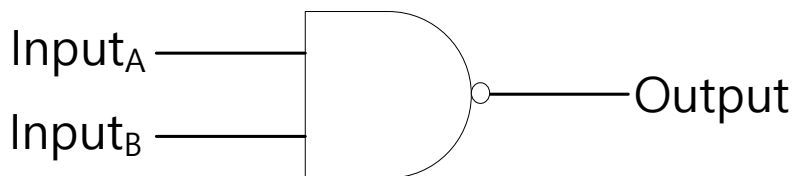
- ◆ 모든 입력이 High(1)이면 Low(0)출력이 발생하며,
그 이외의 경우에는 High(1)출력이 발생한다.

(NAND는 AND 연산자의 부정의 결과이다.)

- ◆ Boolean 식에서 '부정 곱'으로 표현

$$C = \overline{A \cdot B}$$

2-Input NAND gate



A	B	Output
0	0	1
0	1	1
1	0	1
1	1	0

2-input NAND gate Schematic 2-input NAND gate Truth Table

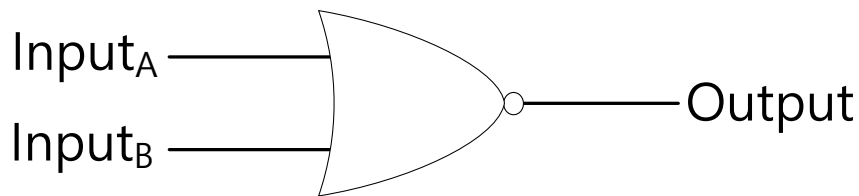
- ◆ 모든 입력이 Low(0)이면 High(1)출력이 발생하며, 입력 중 하나가 High(1)이면 Low 출력(0)이 발생한다.

(NOR는 OR 연산자의 부정의 결과이다.)

- ◆ Boolean 식에서 '부정 합'으로 표현

$$C = \overline{A + B}$$

2-Input NOR gate



2-input NOR gate Schematic

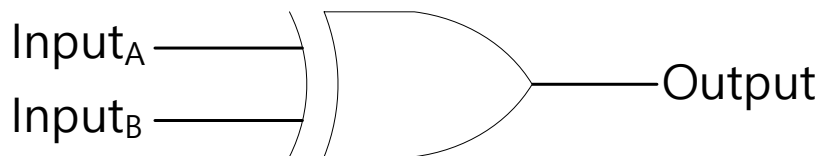
A	B	Output
0	0	1
0	1	0
1	0	0
1	1	0

2-input NOR gate Truth Table

- ◆ 모든 입력 값 들 중에서 High(1) 입력 값 숫자가 홀수일 때, High(1) 출력을 내보내며, High(1) 입력 값 숫자가 짝수일 때 Low 출력(0)가 발생한다.

$$C = A \cdot \bar{B} + \bar{A} \cdot B$$

2-Input XOR gate



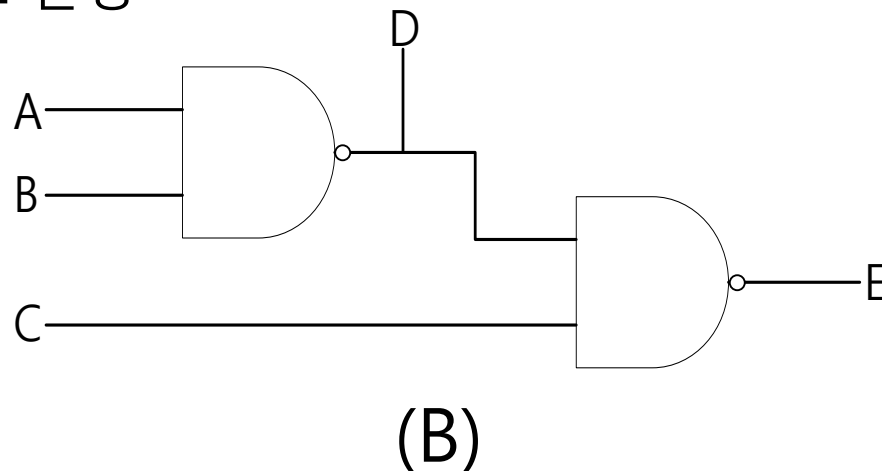
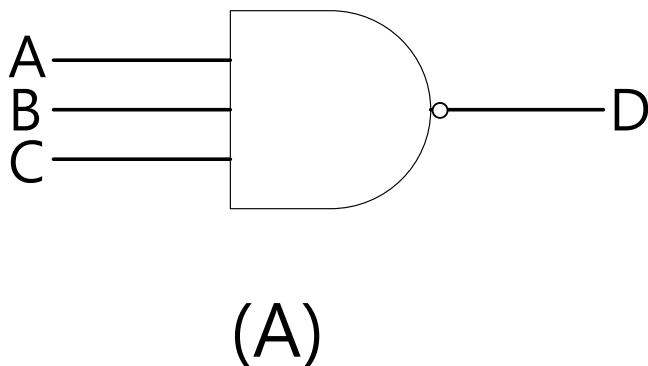
A	B	Output
0	0	0
0	1	1
1	0	1
1	1	0

2-input XOR gate Schematic

2-input XOR gate Truth Table

◆ 3-input NAND gate

- (A)와 (B)의 Boolean 식을 비교
- (A)와 (B)의 Verilog 코딩
- (A)와 (B)의 Simulation을 통해 출력 결과 비교
- (A)와 (B)의 동작을 FPGA의 동작 시켜 비교
- 3-input NAND gate의 진리표 완성

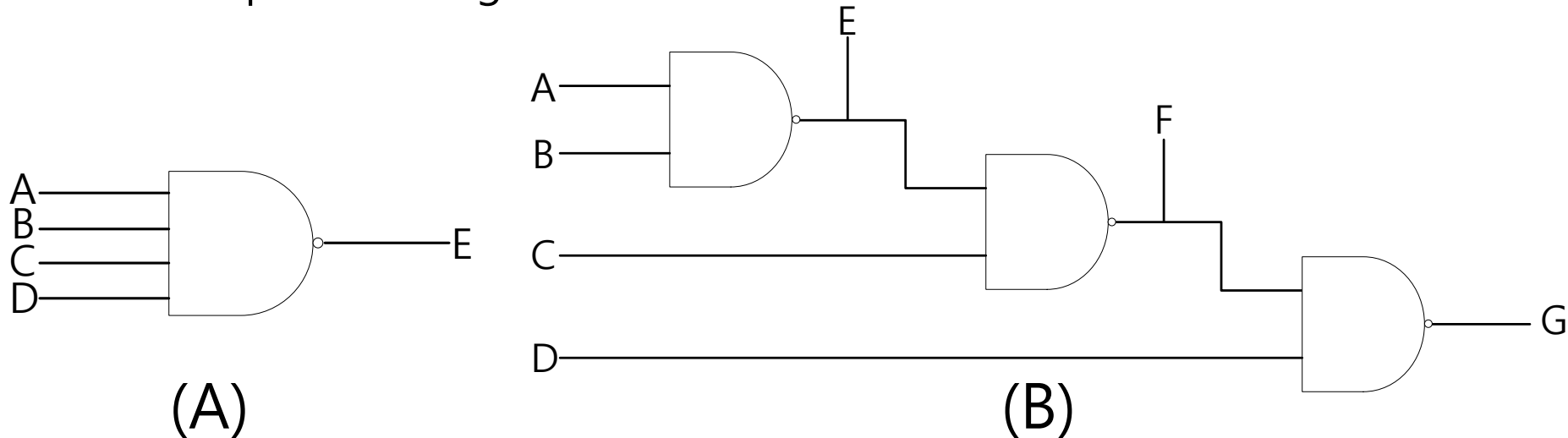


◆ 3-input NAND gate 진리표

In A	In B	In C	Out D	Out E
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

◆ 4-input NAND gate

- (A)와 (B)의 Boolean 식을 비교
- (A)와 (B)의 Verilog 코딩
- (A)와 (B)의 Simulation을 통해 출력 결과 비교
- (A)와 (B)의 동작을 FPGA의 동작 시켜 비교
- 4-input NAND gate의 진리표 완성

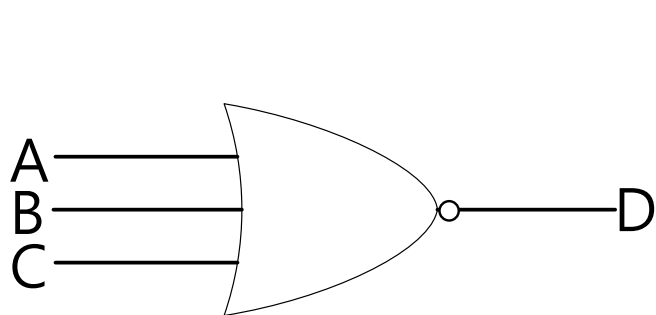


◆ 4-input NAND gate 진리표

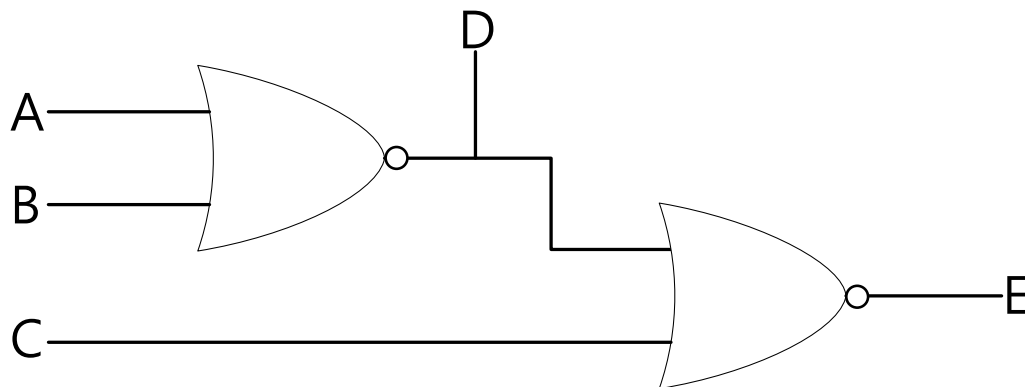
In A	In B	In C	In D	Out E	Out F	Out G
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

◆ 3-input NOR gate

- (A)와 (B)의 Boolean 식을 비교
- (A)와 (B)의 Verilog 코딩
- (A)와 (B)의 Simulation을 통해 출력 결과 비교
- (A)와 (B)의 동작을 FPGA의 동작 시켜 비교
- 3-input NOR gate의 진리표 완성



(A)



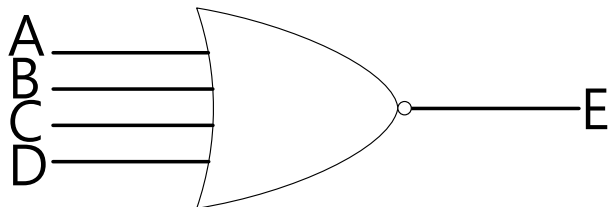
(B)

◆ 3-input NOR gate 진리표

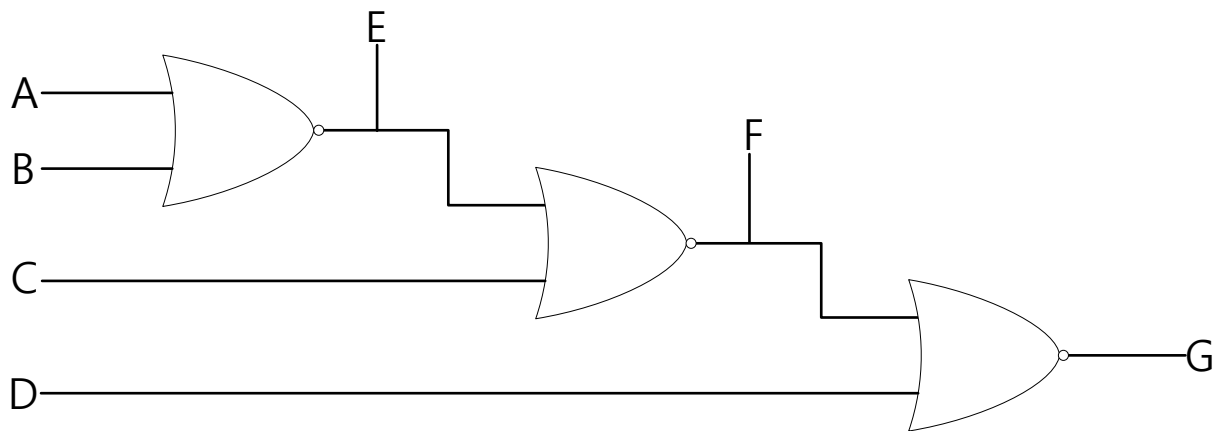
In A	In B	In C	Out D	Out E
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

◆ 4-input NOR gate

- (A)와 (B)의 Boolean 식을 비교
- (A)와 (B)의 Verilog 코딩
- (A)와 (B)의 Simulation을 통해 출력 결과 비교
- (A)와 (B)의 동작을 FPGA의 동작 시켜 비교
- 4-input NOR gate의 진리표 완성



(A)



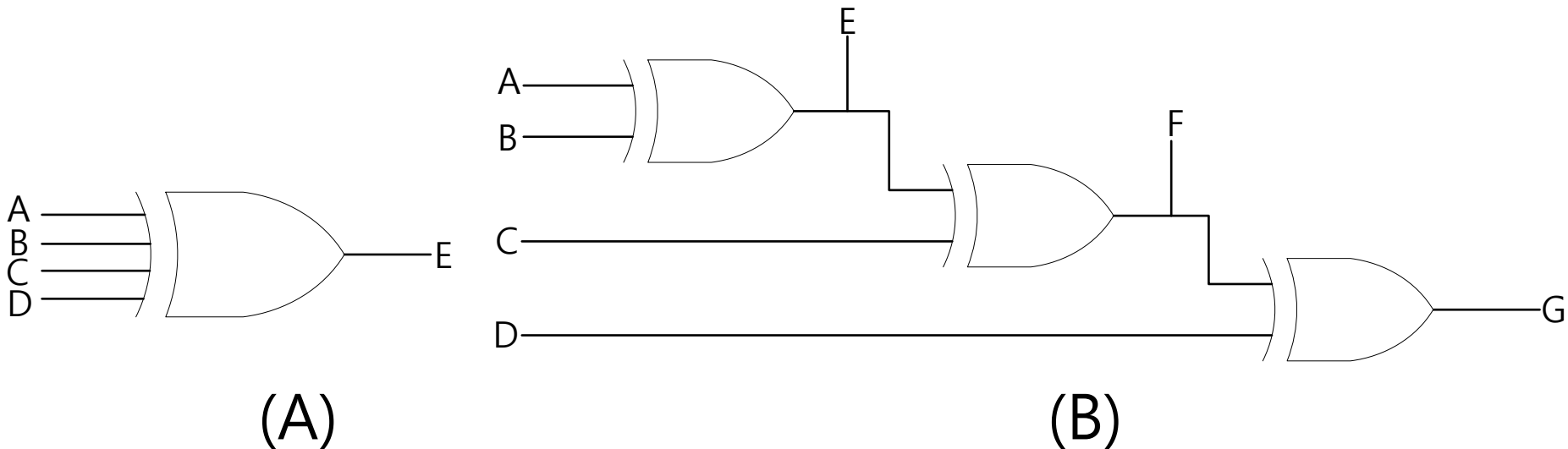
(B)

◆ 4-input NOR gate 진리표

In A	In B	In C	In D	Out E	Out F	Out G
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

◆ 4-input XOR gate

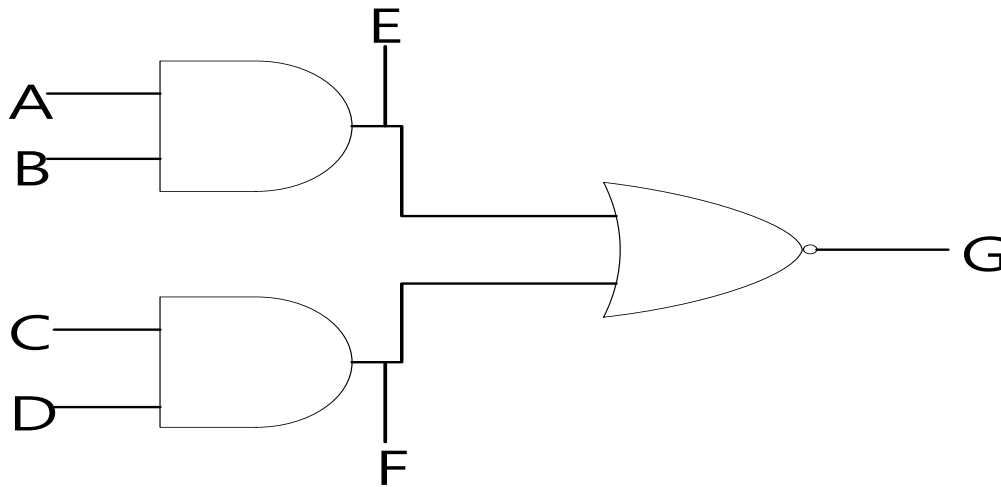
- (A)와 (B)의 Boolean 식을 비교
- (A)와 (B)의 Verilog 코딩
- (A)와 (B)의 Simulation을 통해 출력 결과 비교
- (A)와 (B)의 동작을 FPGA의 동작 시켜 비교
- 4-input XOR gate의 진리표 완성



◆ 4-input XOR gate 진리표

In A	In B	In C	In D	Out E	Out F	Out G
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

- ◆ 4-input AOI(AND OR Inverter) gate
 - Verilog 코딩
 - Simulation을 통해 출력 결과
 - FPGA의 동작 확인
 - 4-input AOI gate의 진리표 완성



◆ 4-input AOI(AND OR Inverter) gate 진리표

In A	In B	In C	In D	Out E	Out F	Out G
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			