

컴퓨터공학실험II

7장 Parity bit Generator/Checker, 2-bit Binary comparator



Be as proud of Sogang As Sogang is proud of you



실험 목표

◆ Parity bit Generator/Checker 및 2bit binary comparator 의 동작의 이해 및 확인

◆ Verilog를 사용하여 Parity bit Generator/Checker, 2bit binary comparator 구현

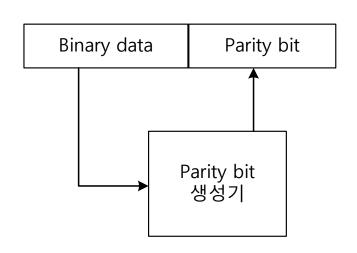
◆ 입력 신호 생성 후 Simulation을 통하여 구현된 각 Gate 동작 확인

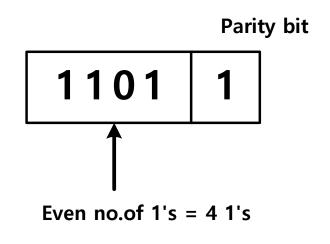
◆ FPGA 통해서 Verilog로 구현된 회로의 동작 확인



Parity bit 생성기

- Parity bit Generator
 - Binary 정보 를 전송할 때 error 를 검출하기 위해 parity bit가 사용된다.
 - Binary 데이터를 보낼 때 parity bit 라 불리는 1-bit를 추가로 넣어 보내는 방법으로, binary 데이터의 '1'bit 의 수가 홀수 개 이면 parity bit 는 '1'로, 또한 '1'bit의 수가 짝수 개 이면 parity bit을 '0'으로 놓게 된다. 따라서 전체적으로는 항상 짝수개의 '1' bit의 수를 갖는 전송 데이터 형태를 갖게 되어 목적지로 전송하게 된다.

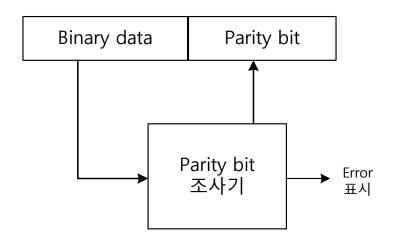


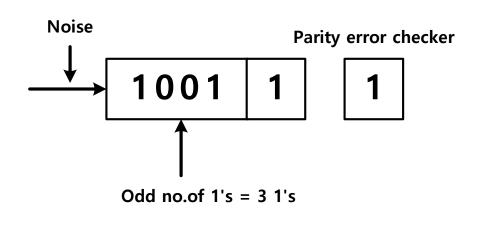




Parity bit 조사기

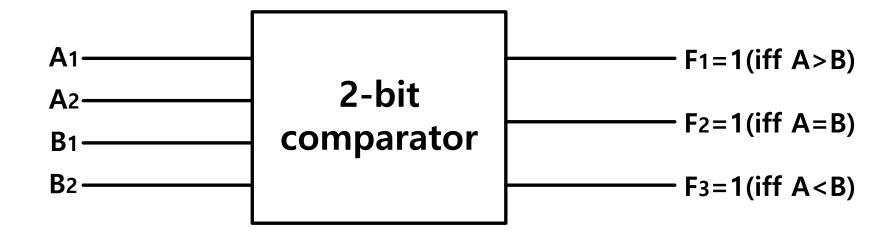
- Parity bit Checker
 - 수신기에서 패리티를 검사하는 회로를 parity checker 이라고 한다.
 - 패리티 조사기의 출력은 PEC(parity error checker) 로 표시되며, 1이 홀수 개일 경우 (오류일 경우) 1을 표시하며, 1이 짝수 개 이거나 0개 일 경우 PEC 는 0을 나타낸다.





2-bit 이진 비교기

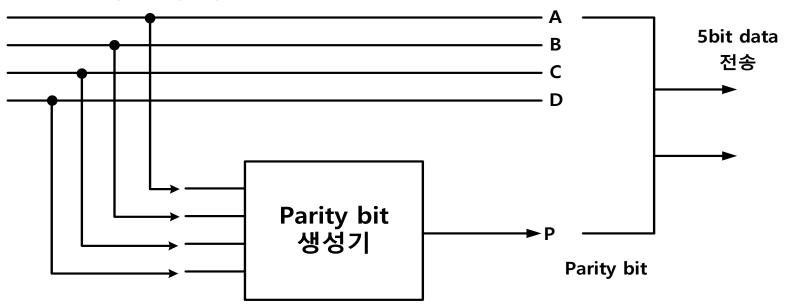
- ♦ 2-bit binary comparator
 - 2-bit의 이진수 A, B가 있을 때 이들 두 수를 비교하여 A>B이면 F1이,
 A=B이면 F2가, 그리고 A<B이면 F3가 '1'이 되도록 출력하는 조합 논리 회로.





Parity bit 생성기 (실습)

- Parity bit generator
 - K-map 작성
 - Truth table 완성
 - Verilog 코딩
 - Simulation을 통해 출력 결과(8,4,2,1 주기)
 - FPGA의 동작 확인





Parity bit 생성기 (실습)

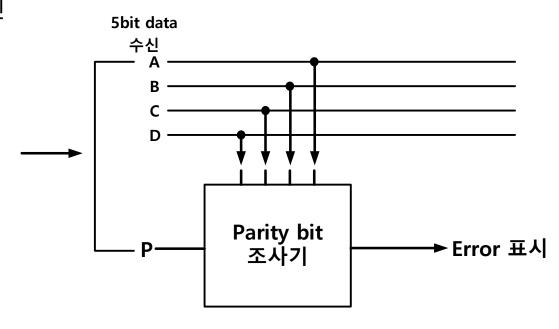
◆ Parity Generator Truth Table

In A	In B	In C	In D	Out E
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	



Parity bit 조사기 (실습)

- Parity bit checker
 - K-map 작성
 - Truth table 완성
 - Verilog 코딩
 - Simulation을 통해 출력 결과(8,4,2,1 주기)
 - FPGA의 동작 확인





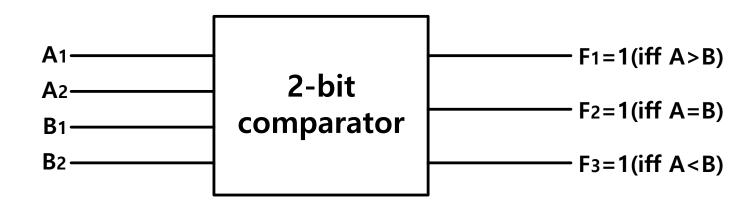
Parity bit 조사기 (실습)

- Parity Generator Truth Table
 - Input : 5 (InA, InB, InC, InD, InP)
 - Output : 1 (Out PEC)



2-bit 이진 비교기 (실습)

- 2-bit binary comparator
 - K-map 작성
 - Truth table 완성
 - Verilog 코딩
 - Simulation을 통해 출력 결과(8,4,2,1 주기)
 - FPGA의 동작 확인





2-bit 이진 비교기 (실습)

◆ 2-bit Binary comparator Truth Table

In A	In B	In C	In D	Out F1	Out F2	Out F ₃
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			