2주차 예비보고서

전공 : 국제한국학과 학년 : 4학년 학번 : 20181202 이름 : 김수미

**1. HDL이 무엇인지 조사하고 Verilog이외의 HDL에 대하여 조사하시오**

**1) HDL 이란 무엇인가?**

HDL 이란 Hardware Description Language의 약어로, 하드웨어를 기술 또는 표현하는 언어라는 의미이며 디지털 시스템의 기능 및 하드웨어 특징을 컴퓨터의 고급 언어에 접합하여 원하는 회로를 기술할 수 있도록 하는 언어를 말한다.  
하드웨어 규모가 커지면서 설계의 크기가 5만 게이트 이상이면 연결 도식 설계가 어려워지므로, 대신 결선 도식 하드웨어 표현을 언어적 기능으로 표현하게 되었다. HDL을 사용하면 디지털 시스템의 모델링, 시뮬레이션, 설계, 문서화, 검증, 합성 등을 할 수 있으며, 게이트 레벨 뿐만 아니라 동작 및 구조적 레벨에서 하드웨어를 표현할 수 있다.

**2) Verilog 이외의 HDL**

VHDL(VHSIC Hardware Description Language) : 디지털 회로 및 혼합 신호(mixed-signal, 아날로그 신호 포함)를 표현하는 하드웨어 기술 언어로 FPGA나 집적회로 등의 전자공학 회로를 처리하는 설계 자동화에 사용된다.

AHDL(Altera Hardware Description Language) : 복합 프로그래머블 논리 소자(CPLD)와 현장 프로그래머블 게이트 어레이(FPGA)를 프로그램 하기 위한 알테라 사의 자산 하드웨어 기술 언어이다.

**2. Verilog의 역사와 발전 과정**

베릴로그(Verilog) 언어는 전자 회로 및 시스템에 쓰이는 하드웨어 기술 언어(Hardware Description Language, HDL)이다. 회로 설계, 검증, 구현 등 여러 용도로 사용할 수 있다.  
베릴로그는 1981년 프라부 고엘(Prabhu Goel)이 미국에서 Gateway Design Automation이라는 회사를 설립한 후 1983년에 그 언어와 시뮬레이터가 공개되었다.  
1985년에는 새 버전의 베릴로그 언어인 Verilog-XL과 그 시뮬레이터를 공개하였고,  
1987년에는 VHDL 언어가 IEEE 1076 표준 HDL로 공개되었다.  
1989년에는 Cadence라는 회사가 Gateway사를 인수였고,  
1990년, Cadence는 Verilog HDL을 공개했고, Open Verilog International이 만들어졌다.  
1995년에는 Verilog 언어가 1364-1995로 공개되었으며, 2001년에 개정되어 현재 IEEE-1364가 사용되고 있다. 현재 VHDL과 Verilog는 Accellera라는 단체가 관리한다.

**3. Verilog의 기본적인 구조와 문법**

**1) Verilog의 기본적인 구조**

module : module은 Verilog에서 기본 설계 단위이며 이를 통해 다른 모듈을 포함하는 계층적 구성을 할 수 있다.

Verilog의 기본 구성 : 머리부, 선언부, 몸체부 등 크게 3가지로 구성된다.

- 머리부 : module {모듈 이름} ({port 목록}) ;

이후에 module 맨 마지막에 endmodule로 module의 끝을 알려야 한다.

- 선언부 : module에서 필요한 것들을 선언하는 부분. C언어에서 변수 선언하는 것과 유사한 부분이다. port (port들의 방향, 비트 폭), reg, wire, parameter 등을 선언한다.

- 몸체부 : 회로의 기능, 동작, 구조 등을 표현하는 구문들로 구성된다.

**2) Verilog의 기본적인 문법 1 : Data Type**

register : 추상적 저장 장치(value를 저장)

- reg : 절차형 할당문(always, initial)에 의해 값을 받는 객체

- integer : 정수형 변수

- time, realtime : 시간형 변수(시간에 따라 다른 값을 넣고 싶을 때처럼 시간 체크가 필요한 상황에서 simulation 시간을 처리하는 역할)

- real : 실수형 변수

Net : 디바이스의 물리적인 연결을 담당(각 Gate 간 연결 부분)

- wire : 변수들이 모듈 내에서 어떻게 연결되어 있는 지를 나타내주는 변수

- tri : 선을 연결할 때 사용한다. (tri-state net에 사용한다.)

**3) Verilog의 기본적인 문법 2 : 상수 선언**

bit 수 제한이 있는 reg의 값 선언할 때 : {bit 수} ‘ {입력 형식}{입력 값}

예) bit(size)를 정한 경우 : 4‘b1111; 🡪 binary 1111 (4bit) / 4’hf; 🡪 hexadecimal 1 (4bit)

3 bit(size) 정하지 않은 경우 : 214; 🡪 integer 214 / h32; 🡪 hexadecimal 32

4 signed number : 8’d6; 🡪 decimal –6 (8bit)

**4) Verilog의 기본적인 문법 3 : 연산자**

산술 연산자 : +, -, %, \*, /

관계 연산자 : ==, !=, >, >=

논리 연산자 : &&, ||, !, &, |, ~, ^, ^~, ~^, >>, <<, {}, {{}}, exp1?exp2:exp3 등