3주차 결과보고서

전공 : 국제한국학과 학년 : 4학년 학번 : 20181202 이름 : 김수미

**1. FPGA 동작법을 설명하시오.**아래의 절차를 통해 Vivado와 Verilog 언어를 이용하여 FPGA 동작을 검증할 수 있다.  
**1) Verilog Coding**Vivado에서 게이트의 동작을 제어하는 Verilog design source code와 testbench 코드를 작성한다. 이 때 변수 값에 들어가는 0 또는 1의 값은 FPGA에서 ‘switch’로 구현될 수 있다. (switch on = 1, switch off = 0 과 같은 방식)  
  
**2) Device assignment**  
FPGA 동작을 위해 Project에 적절한 Device를 assign한다. Vivado의 Project Manager > Settings > Project device 메뉴에서 이를 설정할 수 있으며 Device는 xc7a75tfgg484-1(Artix7) 로 지정해주면 된다. Artix-7 FPGA는 로직, 신호 처리, 임베디드 메모리, LVDS I/O, 메모리 인터페이스 및, 송수신기에 최적화된 성능을 제공하는 FPGA device 이다.  
  
**3) Pin assignment**Pin 이란 쉽게 말해 Verilog 코드에서의 input, output 변수라고 할 수 있다. Vivado의 Project Manager > Add Sources > Add or create constraints > Create File 을 통해 .xdc 파일을 생성할 수 있으며, 해당 파일에 FPGA pin list에서 할당하고 싶은 Pin과 Verilog 소스의 port를 링크할 수 있다.  
예 ) set\_property -dict {PACKAGE\_PIN G21 IOSTANDARD LVCMOS33} [get\_ports a]  
  
**4) Synthesis/Implement**Vivado에서 Synthesis > Run Synthesis, Implementation > Run Implementation > Open Implemented Design을 통해 Synthesis Design과 Route Design을 생성할 수 있다.  
  
**5) Device Configuration**Vivado에서 Program and debug > Generate Bitstream > Open Hardware Manager를 통해 Device configuration을 할 수 있다.  
  
**6) FPGA 동작**Vivado에서 Program and debug > Open Hardware Manager > Open Target > Auto Connect 클릭 후 Project[제목] > Project[제목]\_runs > impl\_1 폴더 안에 debug\_nets.ltx 파일을 추가한 다음  
Program and debug > Program Device > Debug probes file > 위에서 추가한 debug\_nets.ltx 파일 선택을 통해 Program device(xc7a75t\_0)를 지정하여 외부 FPGA 기기에 연결할 수 있다.

**텍스트, 영수증이(가) 표시된 사진

자동 생성된 설명**텍스트이(가) 표시된 사진

자동 생성된 설명**2. 3-input AND gate의 simulation 결과 및 과정에 대해서 설명하시오.  
1) 3 input AND gate (3 input, 1 output)  
텍스트, 스크린샷, 전자기기, 컴퓨터이(가) 표시된 사진

자동 생성된 설명**

|  |  |  |  |
| --- | --- | --- | --- |
| **Input A** | **Input B** | **Input C** | **Output D** |
| **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **0** |
| **0** | **1** | **0** | **0** |
| **0** | **1** | **1** | **0** |
| **1** | **0** | **0** | **0** |
| **1** | **0** | **1** | **0** |
| **1** | **1** | **0** | **0** |
| **1** | **1** | **1** | **1** |

< 그림1 . 차례대로 3 input AND gate simulation, truth table, design  
source, testbench >

**텍스트이(가) 표시된 사진

자동 생성된 설명테이블이(가) 표시된 사진

자동 생성된 설명**3 input AND 의 경우 세 input 의 값이 모두 1인 경우에만 output 값이 1이 되고, 나머지는 0이 되는 것을 확인할 수 있다.  
**2) 3 input AND gate (3 input, 2 output)  
텍스트, 스크린샷, 전자기기, 컴퓨터이(가) 표시된 사진

자동 생성된 설명**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Input A** | **Input B** | **Input C** | **Output D** | **Output E** |
| **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **0** | **0** |
| **0** | **1** | **0** | **0** | **0** |
| **0** | **1** | **1** | **0** | **0** |
| **1** | **0** | **0** | **0** | **0** |
| **1** | **0** | **1** | **0** | **0** |
| **1** | **1** | **0** | **1** | **0** |
| **1** | **1** | **1** | **1** | **1** |

< 그림2 . 차례대로 3 input AND gate simulation, truth table, design  
source, testbench >

Output이 2개인 경우 output D는 A,B에 AND를 씌운 결과값을, output E는 C,D에 AND를 씌운 결과값을 나타낸다. 즉 output E가 최종 결과값이 되며, 이는 output이 1개인 경우와 동일하게 세 input 의 값이 모두 1인 경우에만 output 값이 1이 된다.

텍스트이(가) 표시된 사진

자동 생성된 설명텍스트, 영수증이(가) 표시된 사진

자동 생성된 설명**3. 4-input AND gate의 simulation 결과 및 과정에 대해서 설명하시오.  
1) 4 input AND gate (4 input, 1 output)  
텍스트, 전자기기, 스크린샷, 디스플레이이(가) 표시된 사진

자동 생성된 설명**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Input A** | **Input B** | **Input C** | **Input D** | **Output E** |
| **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **0** | **1** | **0** |
| **0** | **0** | **1** | **0** | **0** |
| **0** | **0** | **1** | **1** | **0** |
| **0** | **1** | **0** | **0** | **0** |
| **0** | **1** | **0** | **1** | **0** |
| **0** | **1** | **1** | **0** | **0** |
| **0** | **1** | **1** | **1** | **0** |
| **1** | **0** | **0** | **0** | **0** |
| **1** | **0** | **0** | **1** | **0** |
| **1** | **0** | **1** | **0** | **0** |
| **1** | **0** | **1** | **1** | **0** |
| **1** | **1** | **0** | **0** | **0** |
| **1** | **1** | **0** | **1** | **0** |
| **1** | **1** | **1** | **0** | **0** |
| **1** | **1** | **1** | **1** | **1** |

< 그림3 . 차례대로 4 input AND gate simulation, truth table, design source, testbench >

Input이 4개, output이 1개인 AND gate의 경우에는 역시 input의 값이 모두 1일 때만 output 값이 1이되고, 나머지 경우는 모두 0이 된다.  
**2) 4 input AND gate (4 input, 3 output)**

텍스트, 전자기기, 스크린샷, 디스플레이이(가) 표시된 사진

자동 생성된 설명

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Input A** | **Input B** | **Input C** | **Input D** | **Output E** | **Output F** | **Output G** |
| **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **0** | **1** | **0** | **0** | **0** |
| **0** | **0** | **1** | **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **1** | **0** | **0** | **0** |
| **0** | **1** | **0** | **0** | **0** | **0** | **0** |
| **0** | **1** | **0** | **1** | **0** | **0** | **0** |
| **0** | **1** | **1** | **0** | **0** | **0** | **0** |
| **0** | **1** | **1** | **1** | **0** | **0** | **0** |
| **1** | **0** | **0** | **0** | **0** | **0** | **0** |
| **1** | **0** | **0** | **1** | **0** | **0** | **0** |
| **1** | **0** | **1** | **0** | **0** | **0** | **0** |
| **1** | **0** | **1** | **1** | **0** | **0** | **0** |
| **1** | **1** | **0** | **0** | **1** | **0** | **0** |
| **1** | **1** | **0** | **1** | **1** | **0** | **0** |
| **1** | **1** | **1** | **0** | **1** | **1** | **0** |
| **1** | **1** | **1** | **1** | **1** | **1** | **1** |

테이블이(가) 표시된 사진

자동 생성된 설명텍스트이(가) 표시된 사진

자동 생성된 설명

< 그림4 . 차례대로 4 input AND gate simulation, truth table, design source, testbench >

Input이 4개, output이 3개인 AND gate의 경우 output E 는 A,B 값에 AND를 씌운 값, output F는 C,E 값에 AND를 씌운 값, output G는 D,F 값에 AND를 씌운 값을 가진다. 즉 최종 결과값은 output G의 값이며, 이는 역시 input A,B,C,D의 값이 모두 1일 때만 1의 값을 가지고 나머지는 모두 0의 값을 가지게 된다.

텍스트이(가) 표시된 사진

자동 생성된 설명텍스트, 영수증이(가) 표시된 사진

자동 생성된 설명**4. 3-input OR gate의 simulation 결과 및 과정에 대해서 설명하시오.  
1) 3 input OR gate (3 input, 1 output)  
텍스트, 스크린샷, 전자기기, 컴퓨터이(가) 표시된 사진

자동 생성된 설명**

|  |  |  |  |
| --- | --- | --- | --- |
| **Input A** | **Input B** | **Input C** | **Output D** |
| **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **1** |
| **0** | **1** | **0** | **1** |
| **0** | **1** | **1** | **1** |
| **1** | **0** | **0** | **1** |
| **1** | **0** | **1** | **1** |
| **1** | **1** | **0** | **1** |
| **1** | **1** | **1** | **1** |

< 그림5 . 차례대로 3 input OR gate simulation, truth table, design source, testbench >

3 input OR 의 경우 세 input 의 값이 모두 0인 경우에만 ouput 값이 0이 되고, 나머지는 1값을 가지는 것을 확인할 수 있다.

**텍스트이(가) 표시된 사진

자동 생성된 설명테이블이(가) 표시된 사진

자동 생성된 설명2) 3 input OR gate (3 input, 2 output)  
텍스트, 스크린샷, 전자기기, 컴퓨터이(가) 표시된 사진

자동 생성된 설명**

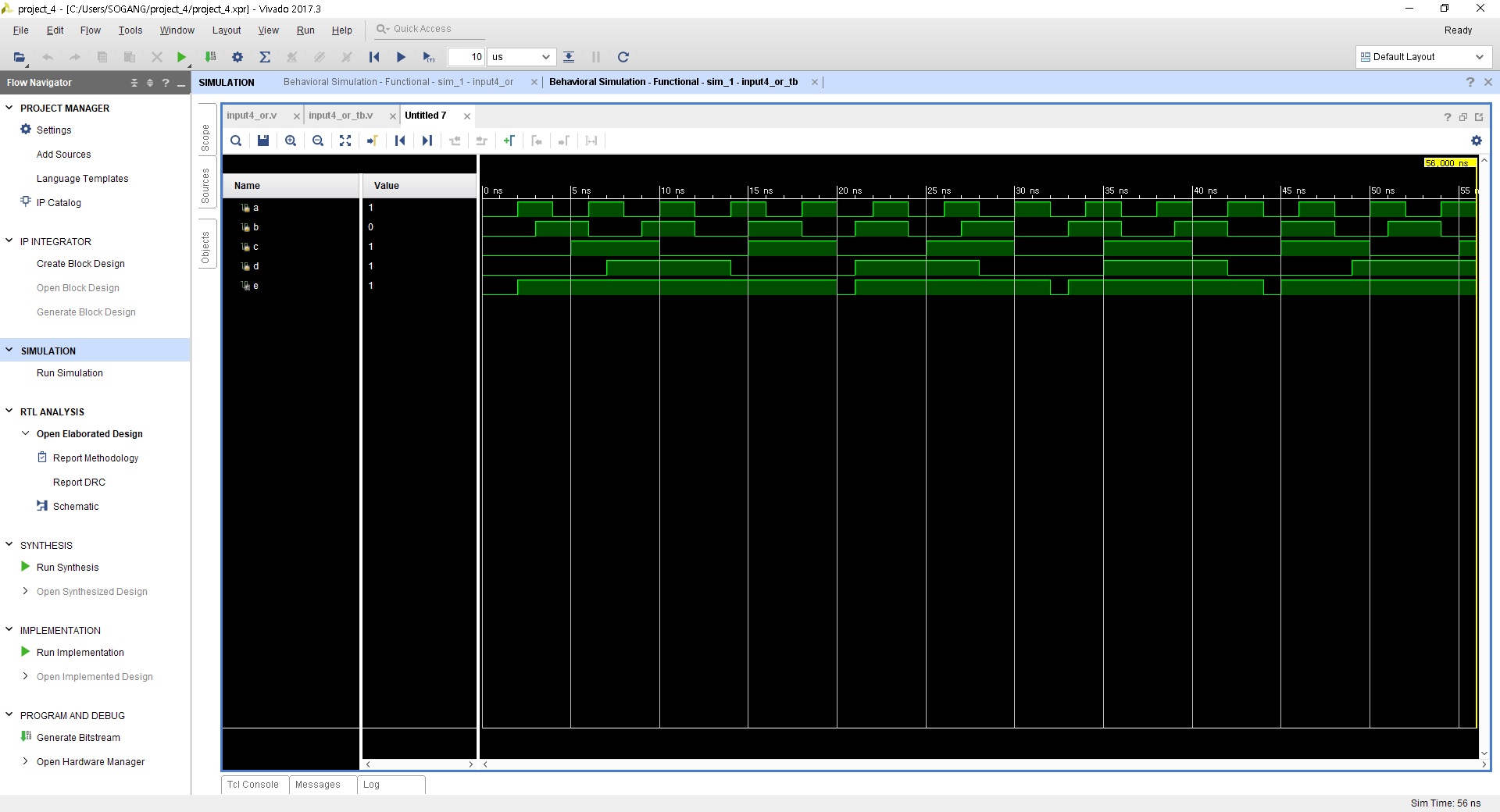
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Input A** | **Input B** | **Input C** | **Output D** | **Output E** |
| **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **0** | **1** |
| **0** | **1** | **0** | **1** | **1** |
| **0** | **1** | **1** | **1** | **1** |
| **1** | **0** | **0** | **1** | **1** |
| **1** | **0** | **1** | **1** | **1** |
| **1** | **1** | **0** | **1** | **1** |
| **1** | **1** | **1** | **1** | **1** |

< 그림6 . 차례대로 3 input OR gate simulation, truth table, design source, testbench >

Output이 2개인 경우 output D는 A,B에 OR를 씌운 결과값을, output E는 C,D에 OR를 씌운 결과값을 나타낸다. 즉 output E가 최종 결과값이 되며, 이는 output이 1개인 경우와 동일하게 세 input 의 값이 모두 0인 경우에만 output 값이 0이 되고 나머지는 1 값을 갖는다.

테이블이(가) 표시된 사진

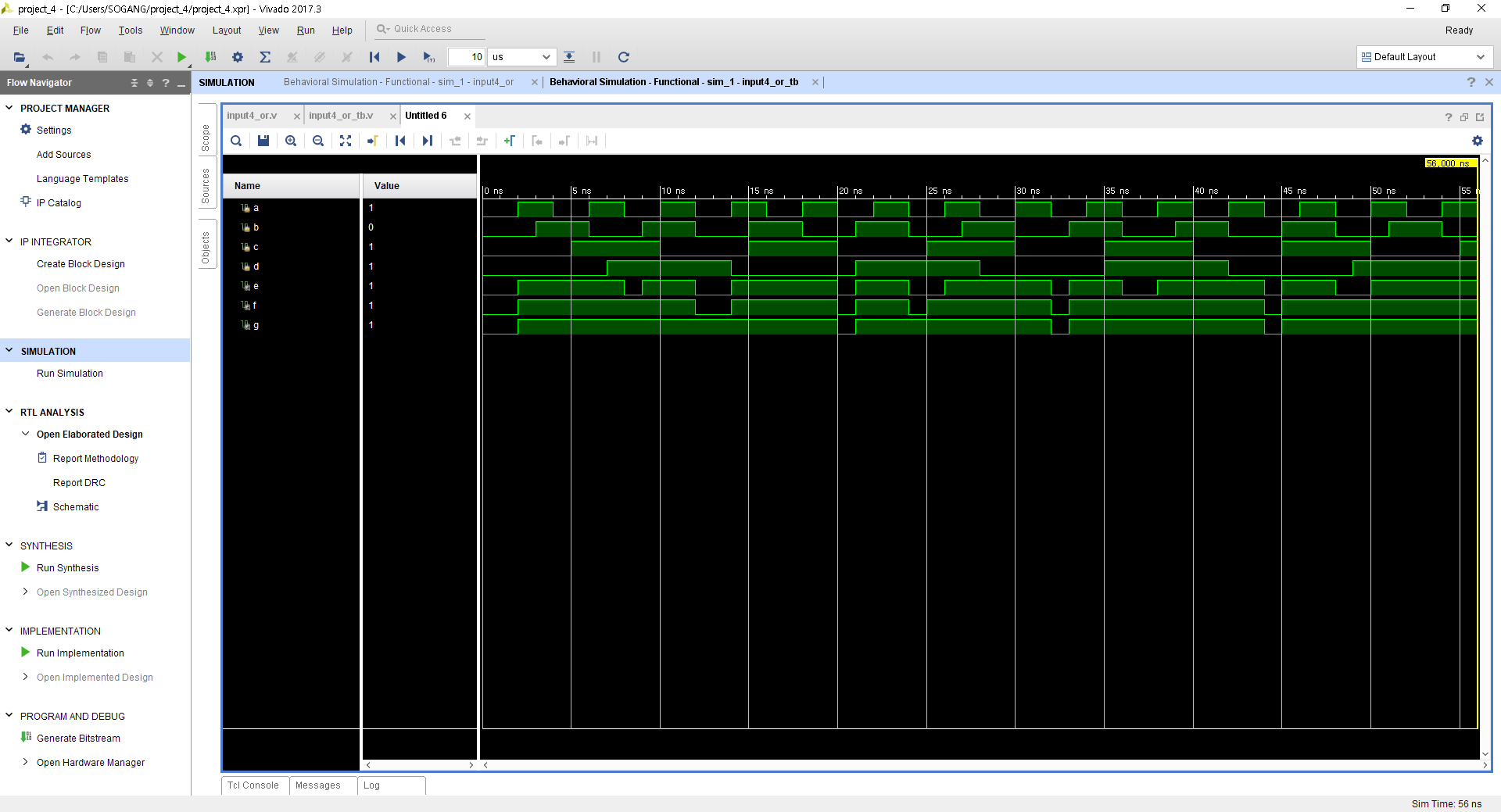
자동 생성된 설명텍스트이(가) 표시된 사진

자동 생성된 설명**5. 4-input OR gate의 simulation 결과 및 과정에 대해서 설명하시오.  
1) 4 input OR gate (4 input, 1 output)  
**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Input A** | **Input B** | **Input C** | **Input D** | **Output E** |
| **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **0** | **1** | **1** |
| **0** | **0** | **1** | **0** | **1** |
| **0** | **0** | **1** | **1** | **1** |
| **0** | **1** | **0** | **0** | **1** |
| **0** | **1** | **0** | **1** | **1** |
| **0** | **1** | **1** | **0** | **1** |
| **0** | **1** | **1** | **1** | **1** |
| **1** | **0** | **0** | **0** | **1** |
| **1** | **0** | **0** | **1** | **1** |
| **1** | **0** | **1** | **0** | **1** |
| **1** | **0** | **1** | **1** | **1** |
| **1** | **1** | **0** | **0** | **1** |
| **1** | **1** | **0** | **1** | **1** |
| **1** | **1** | **1** | **0** | **1** |
| **1** | **1** | **1** | **1** | **1** |

< 그림7 . 차례대로 4 input OR gate simulation, truth table, design source, testbench >  
Input이 4개, output이 1개인 OR gate의 경우에는 역시 input의 값이 모두 0일 때만 output 값이 0이되고, 나머지 경우는 모두 1이 된다.

**텍스트, 영수증, 스크린샷이(가) 표시된 사진

자동 생성된 설명2) 4 input OR gate (4 input, 3 output)**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Input A** | **Input B** | **Input C** | **Input D** | **Output E** | **Output F** | **Output G** |
| **0** | **0** | **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **0** | **1** | **0** | **0** | **1** |
| **0** | **0** | **1** | **0** | **1** | **1** | **1** |
| **0** | **0** | **1** | **1** | **1** | **1** | **1** |
| **0** | **1** | **0** | **0** | **1** | **1** | **1** |
| **0** | **1** | **0** | **1** | **1** | **1** | **1** |
| **0** | **1** | **1** | **0** | **1** | **1** | **1** |
| **0** | **1** | **1** | **1** | **1** | **1** | **1** |
| **1** | **0** | **0** | **0** | **1** | **1** | **1** |
| **1** | **0** | **0** | **1** | **1** | **1** | **1** |
| **1** | **0** | **1** | **0** | **1** | **1** | **1** |
| **1** | **0** | **1** | **1** | **1** | **1** | **1** |
| **1** | **1** | **0** | **0** | **1** | **1** | **1** |
| **1** | **1** | **0** | **1** | **1** | **1** | **1** |
| **1** | **1** | **1** | **0** | **1** | **1** | **1** |
| **1** | **1** | **1** | **1** | **1** | **1** | **1** |

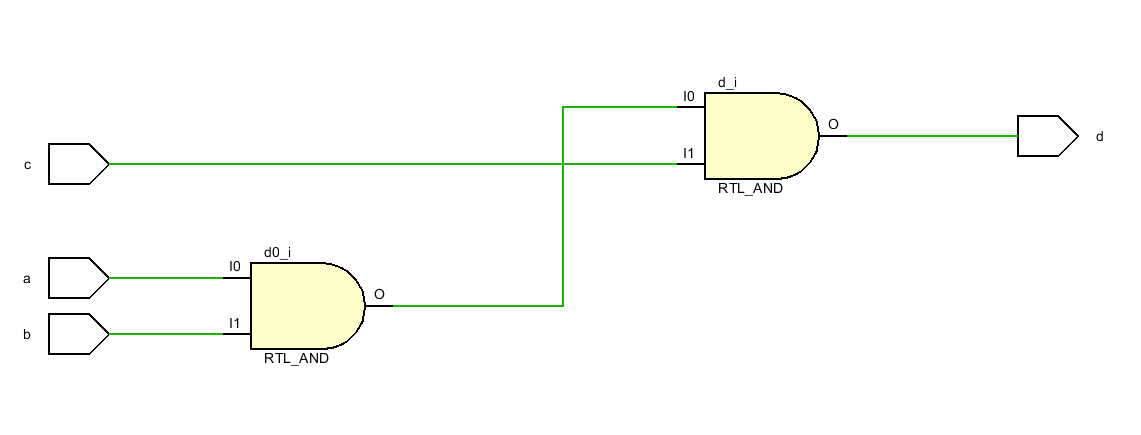
텍스트이(가) 표시된 사진

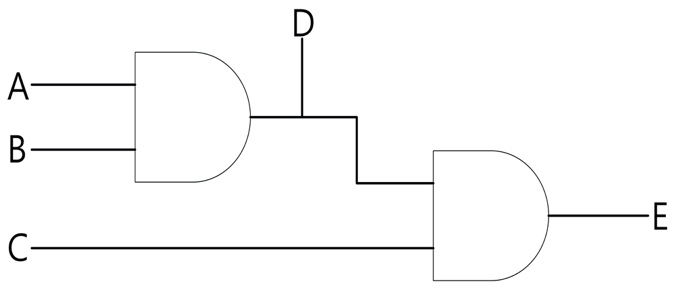
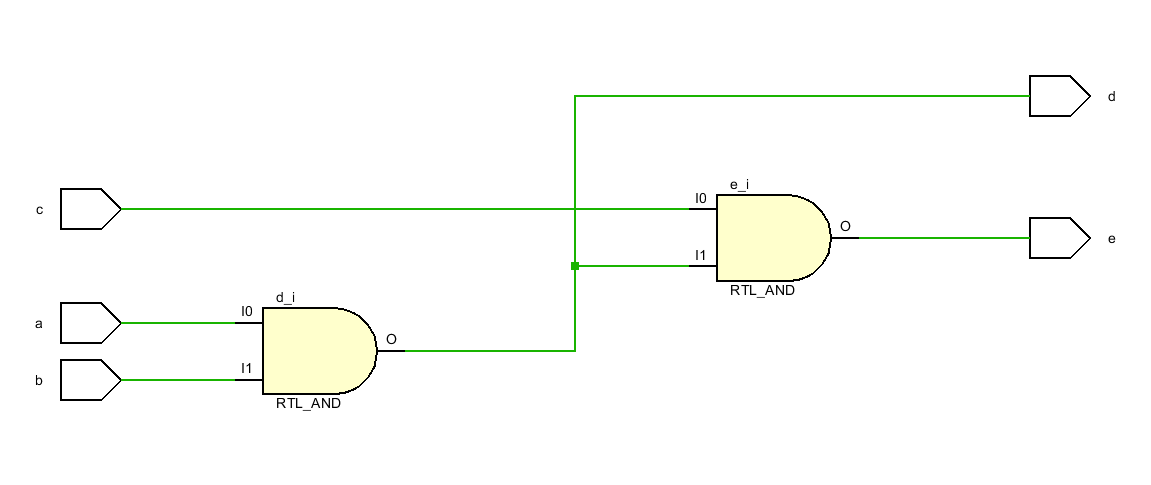
자동 생성된 설명< 그림8 . 차례대로 4 input OR gate  
simulation, truth table, design source,  
testbench >

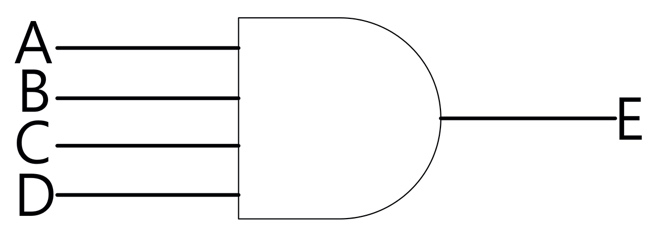
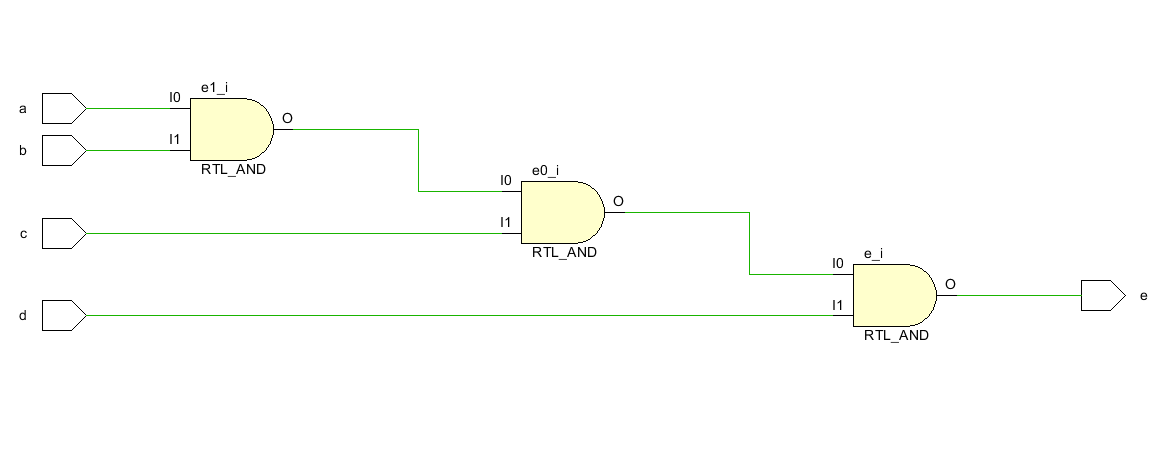
Input이 4개, output이 3개인 OR gate의 경우 output E 는 A,B 값에 OR을 씌운 값, output F는 C,E 값에 OR을 씌운 값, output G는 D,F 값에 OR을 씌운 값을 가진다. 즉 최종 결과값은 output G의 값이며, 이는 역시 input A,B,C,D의 값이 모두 0일 때만 0의 값을 가지고 나머지는 모두 1의 값을 가지게 된다.

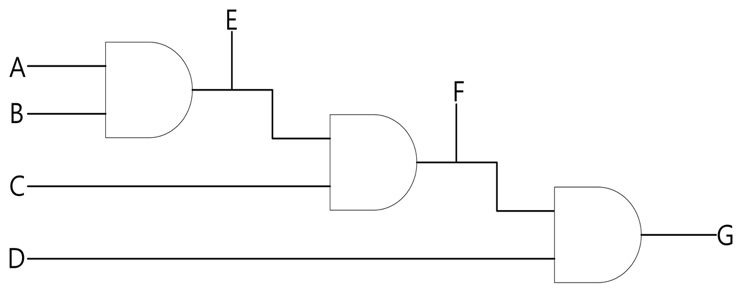
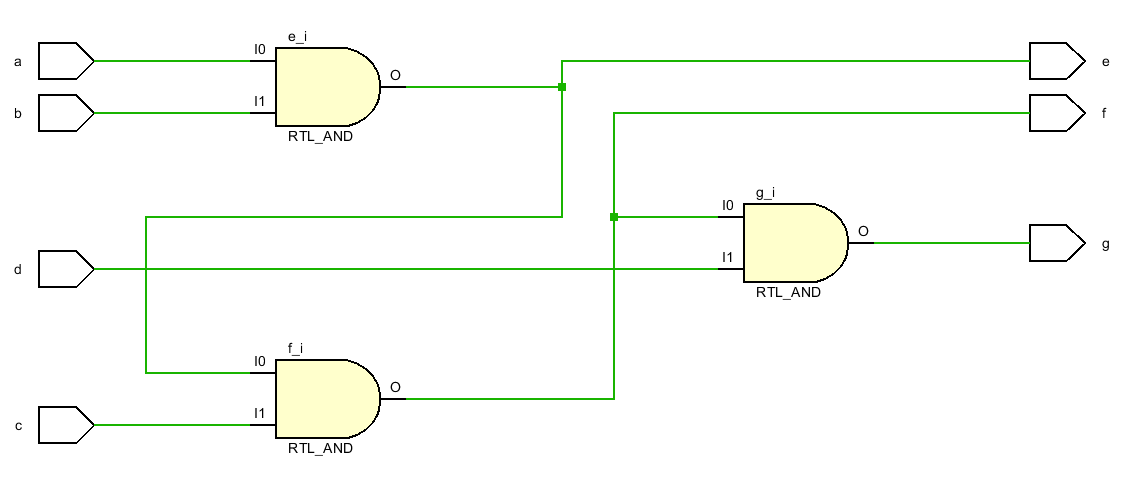
**6. 결과 검토 및 논의사항.**다음은 Vivado에서 생성한 AND/OR gate들의 Schematic Diagram이다. 강의자료에 기재된 Schematic과 어떤 차이가 있는지 살펴보자.

**1) 3 input AND gate (3 input, 1 output)**텍스트, 클립아트, 스크린샷이(가) 표시된 사진

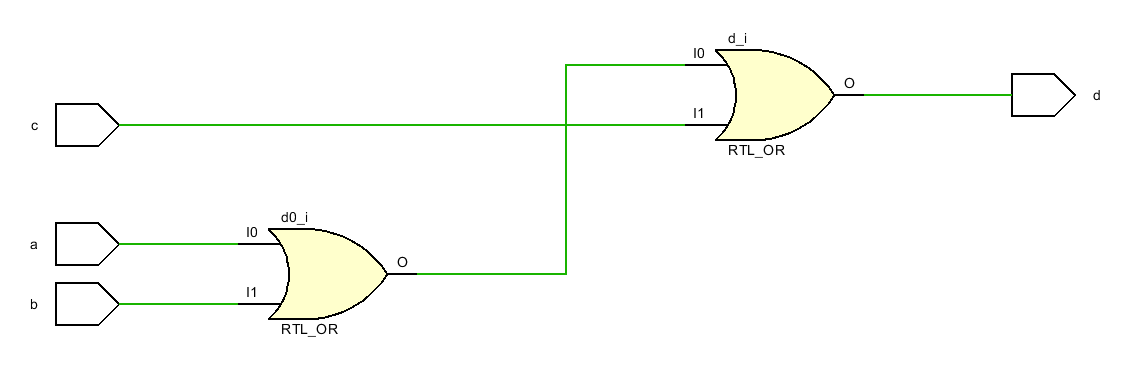
자동 생성된 설명  
  
강의자료의 3 input 1ouput AND gate는 세개의 input을 하나의 AND 게이트로 처리하고 있지만, 실제로 회로에서는 이를 두개의 AND 게이트를 사용하여 처리하고 있음을 알 수 있다.

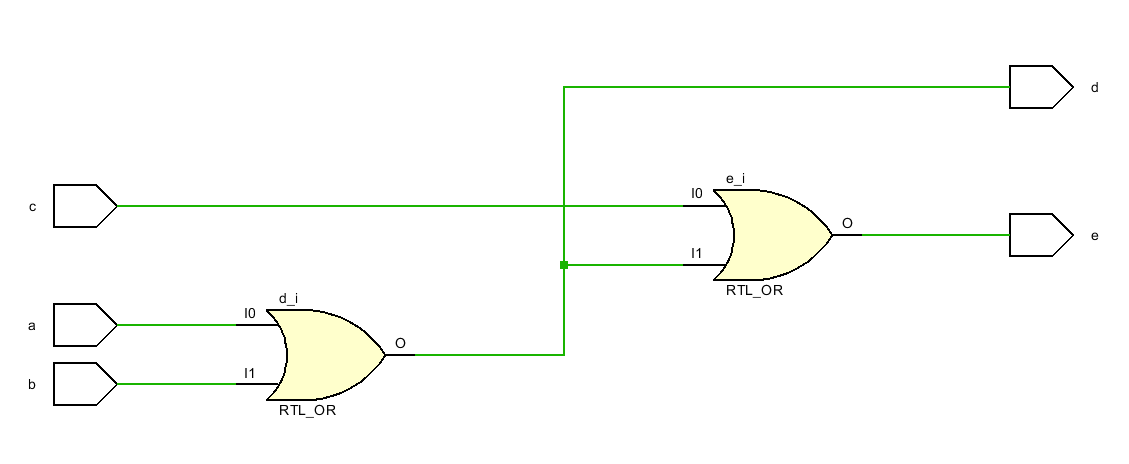
**2) 3 input AND gate (3 input, 2 output)**  
  
회로의 모양이 강의자료의 것 보다는 조금 더 꼬여 있긴 하지만, 전체적으로 동일한 모습을 보이고 있다.

**3) 4 input AND gate (4 input, 1 output)**  
  
강의자료의 4 input 1ouput AND gate는 4개의 input을 하나의 AND 게이트로 처리하고 있지만, 실제로 회로에서는 이를 세개의 AND 게이트를 사용하여 처리하고 있음을 알 수 있다.

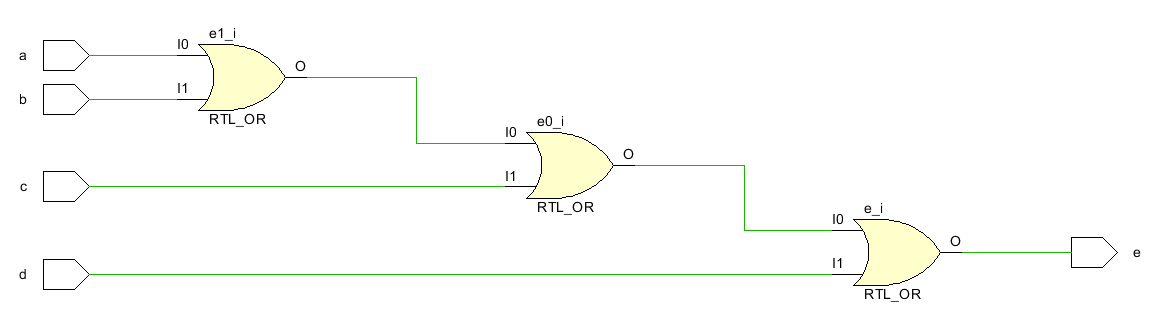
**4) 4 input AND gate (4 input, 3 output)**  
  
회로의 모양이 강의자료의 것 보다는 조금 더 꼬여 있긴 하지만, 전체적으로 동일한 모습을 보이고 있다.

**5) 3 input OR gate (3 input, 1 output)**클립아트이(가) 표시된 사진

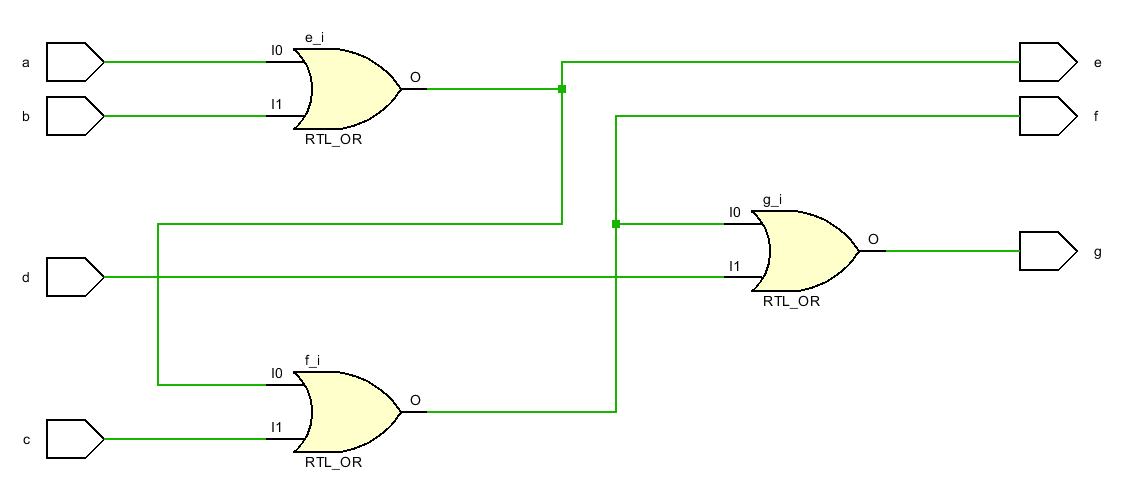
자동 생성된 설명  
  
강의자료의 3 input 1ouput OR gate는 3개의 input을 하나의 OR 게이트로 처리하고 있지만, 실제로 회로에서는 이를 두개의 OR 게이트를 사용하여 처리하고 있음을 알 수 있다. **6) 3 input OR gate (3 input, 2 output)**텍스트, 도끼, 벡터그래픽이(가) 표시된 사진

자동 생성된 설명  
  
회로의 모양이 강의자료의 것 보다는 조금 더 꼬여 있긴 하지만, 전체적으로 동일한 모습을 보이고 있다.

**7) 4 input OR gate (4 input, 1 output)**텍스트, 클립아트이(가) 표시된 사진

자동 생성된 설명  
  
강의자료의 4 input 1ouput OR gate는 4개의 input을 하나의 OR 게이트로 처리하고 있지만, 실제로 회로에서는 이를 세개의 OR 게이트를 사용하여 처리하고 있음을 알 수 있다.

**8) 4 input OR gate (4 input, 3 output)**텍스트, 도끼이(가) 표시된 사진

자동 생성된 설명  
  
회로의 모양이 강의자료의 것 보다는 조금 더 꼬여 있긴 하지만, 전체적으로 동일한 모습을 보이고 있다.

**7. 추가 이론 조사 및 작성.**

1) AND gate : AND 게이트는 논리곱을 구현하는 기본 디지털 논리 게이트이다.  
AND 게이트를 사용할 수 없는 상황에서는 NAND나 NOR 게이트를 이용하여 AND 게이트의 역할을 하는 것을 구현할 수 있다.

2) OR gate : OR 게이트(OR gate)는 논리합을 구현하는 디지털 논리 게이트이다.  
OR 게이트를 사용할 수 없는 상황에서는 NAND나 NOR 게이트를 이용하여 OR 게이트의 역할을 하는 것을 구현할 수 있다.

3) Boolean식(논리식) : 논리식은 식을 통해서 논리 연산자를 표현하는 방식이다. 복잡한 논리 게이트 식의 연산과 법칙을 통해 단순한 게이트의 연결로 나눌 수 있다. 진리표로부터 논리식을 추출할 수도 있다.