11주차 결과보고서

전공 : 국제한국학과 학년 : 4학년 학번 : 20181202 이름 : 김수미

**1. RS Flip-Flop의 결과 및 Simulation 과정에 대해서 설명하시오.**   
1) Truth Table

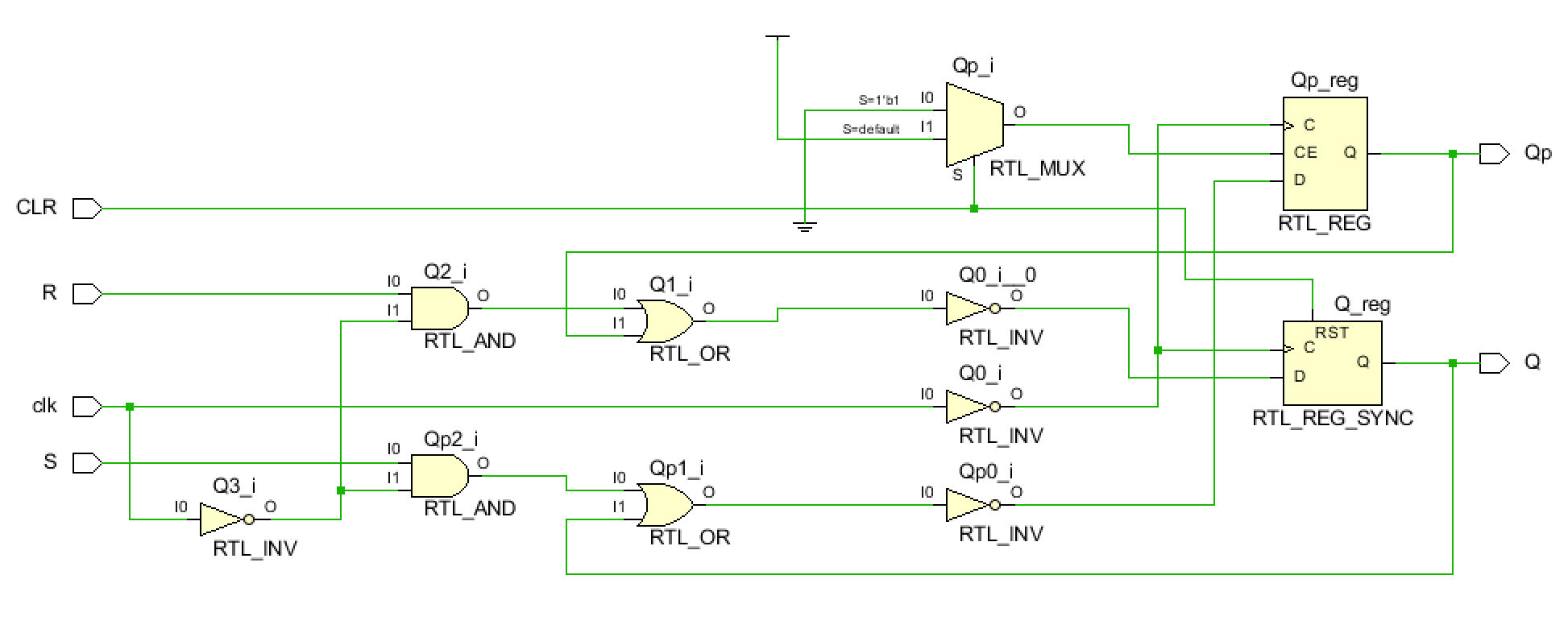
|  |
| --- |
| RS Flip Flop Truth Table |
| |  |  |  |  |  | | --- | --- | --- | --- | --- | | Input | | | Output | | | 입력 순서 | R | S | Q | ~Q | | 1 | 0 | 1 | 1 | 0 | | 2 | 0 | 0 | 1 | 0 | | 3 | 1 | 0 | 0 | 1 | | 4 | 0 | 0 | 0 | 1 | | 5 | 1 | 0 | 0 | 1 | | 6 | 1 | 1 | X | X | |

RS Flop-Flop using NOR

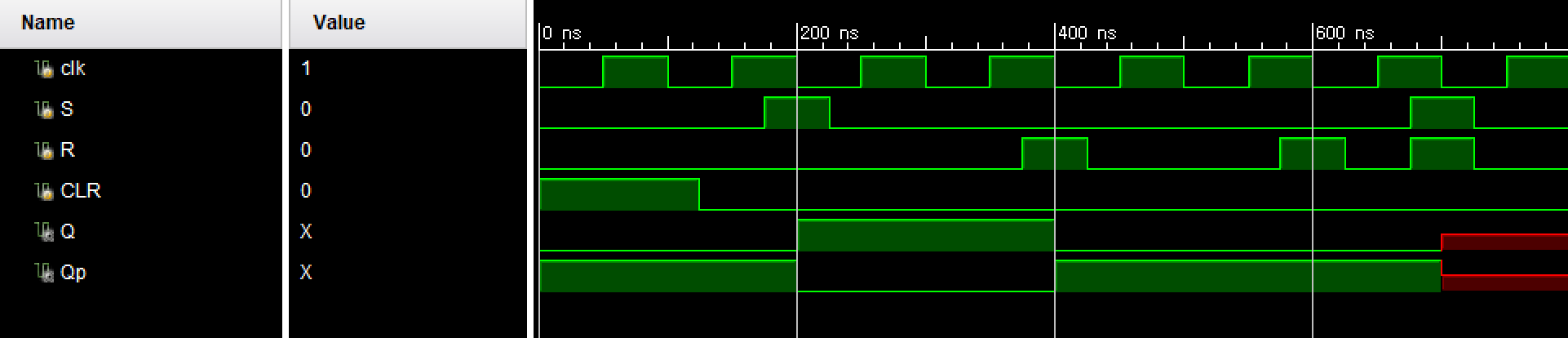
1) Source Code

|  |  |
| --- | --- |
| Design Source | Test Bench |
|  |  |

2) Schematic



3) Simulation



4) 결과 및 과정

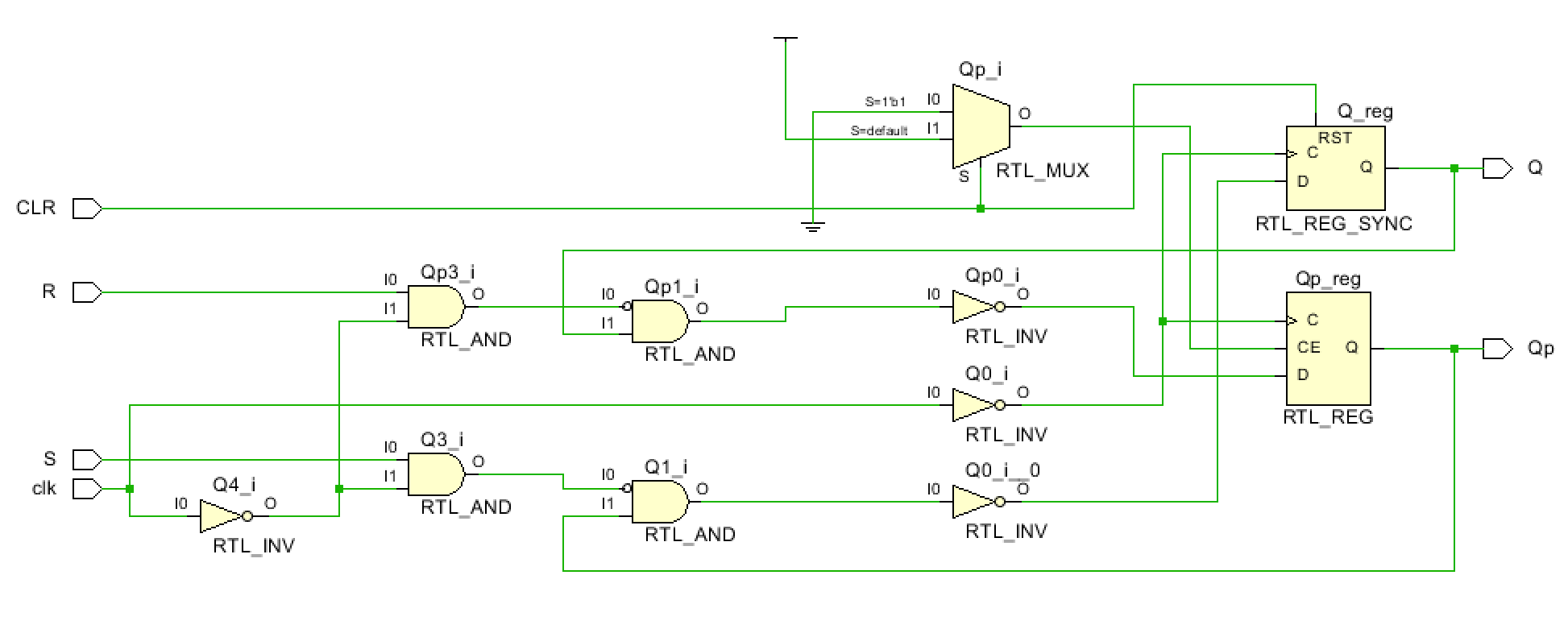
RS Flip Flop은 clock의 상승 또는 하강 edge에서 입력 값 RS가 10이면 출력 값 Q가 reset(R) 되어 0이 되고, RS가 01 이면 출력 값 Q가 set(S) 되어 1이 된다. RS값이 00이면 기존 Q 값이 그대로 유지되고, 11의 입력은 illegal 한 입력이기 때문에 11이 입력 값으로 들어온 경우 X 값을 출력하도록 코드를 작성했다. 실습 시간에는 falling edge trigger로 RS Flip Flop을 디자인 했으며, R, S값과 clock 값을 조사하여 clock 값이 1에서 0으로 떨어질 때 R과 S에 저장된 값을 조사하여 이에 따라 Q에 적절한 값이 저장될 수 있도록 코드를 작성했다.

RS Flop-Flop using NAND

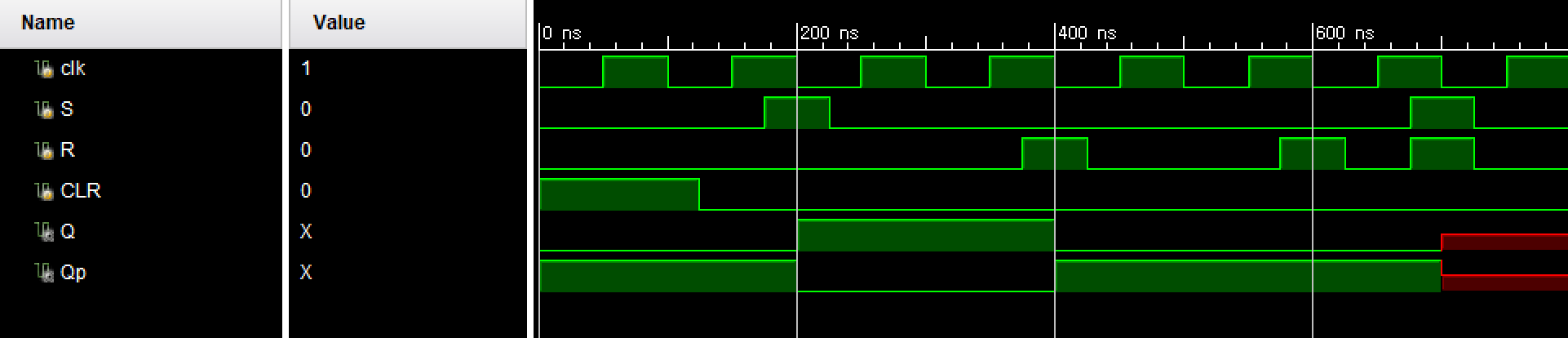
1) Source Code

|  |  |
| --- | --- |
| Design Source | Test Bench |
|  |  |

2) Schematic



3) Simulation



4) 결과 및 과정

전체적인 logic은 NOR 게이트를 이용했을 때와 동일하다. 단 NAND 게이트 만을 사용하는 경우 회로상에서의 S와 R값의 위치를 바꿔주어야 한다.

**2. D Flip-Flop 의 결과 및 Simulation 과정에 대해서 설명하시오.**

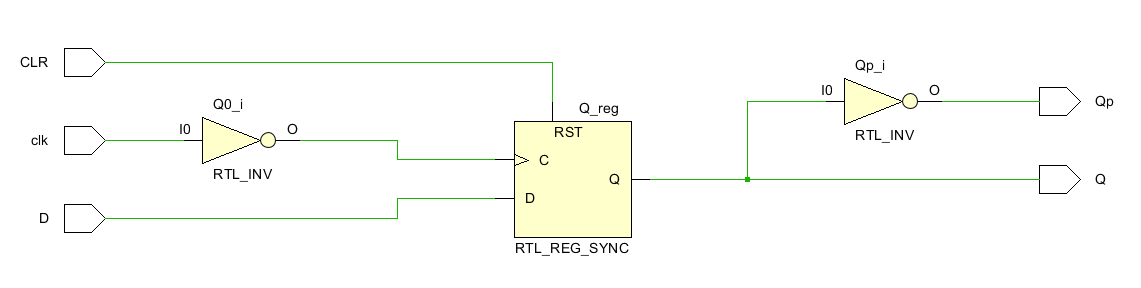
1) Truth Table

|  |
| --- |
| D Flip Flop Truth Table |
| |  |  |  |  | | --- | --- | --- | --- | | Input | | Output | | | 입력 순서 | D | Q | ~Q | | 1 | 0 | 0 | 1 | | 2 | 0 | 0 | 1 | | 3 | 1 | 1 | 0 | | 4 | 0 | 0 | 1 | | 5 | 1 | 1 | 0 | | 6 | 1 | 1 | 0 | |

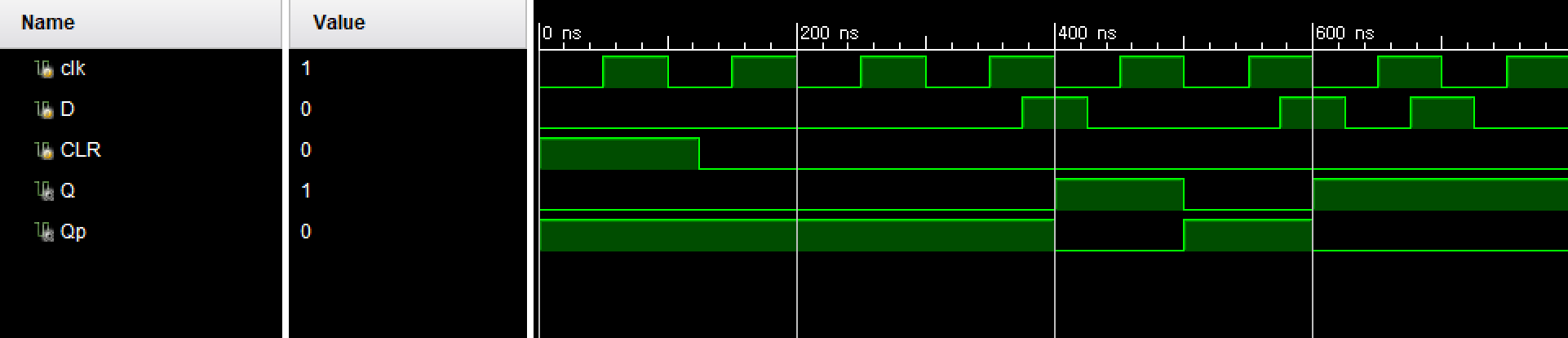
2) Source Code

|  |  |
| --- | --- |
| Design Source | Test Bench |
|  |  |

3) Schematic



4) Simulation



5) 결과 및 과정

D Flip Flop은 clock의 상승 또는 하강 edge에서 입력 값 D의 값이 출력 값 Q에 그대로 전달한다. 실습 시간에는 falling edge trigger로 D Flip Flop을 디자인 했으며, D값과 clock 값을 조사하여 clock 값이 1에서 0으로 떨어질 때 D에 저장된 값이 Q에 저장될 수 있도록 코드를 작성했다.

**3. 결과 검토 및 논의 사항**

D Flip Flop 구현을 위한 코드 작성에서 처음으로 Verilog 언어의 if, else 문을 사용해 볼 수 있었다. 이번에 사용법을 익힌 덕분에 앞으로의 코딩에서도 이를 유용하게 활용할 수 있을 것 같다.

**4. 추가 이론 조사 및 작성**

1) Set-up time and Hold time

Set-up time : Set-up time 이란 상승 또는 하강 edge 발생 전, 입력 값을 받아들이는데 필요한 최소 시간을 의미한다. 다시 말해 입력 값이 정확히 인식되기 위해 switching이 일어나기 전까지 해당 입력 값을 유지해야 하는 최소 시간으로, 입력 값이 High 값인지 Low 값인지를 판별하는데 필요한 최소 시간을 의미한다.

Hold time : D flip-flop에서 leading edge trigger를 예시로 보면, clock 값이 0으로 fall 한 뒤에 D 값이 일정한 시간 동안 stable 하게 유지되어야 메모리에 garbage 값이 생기지 않는다. 이렇게 D 값을 stable 하게 유지시켜 줘야 하는 시간을 Hold time 이라고 한다. 다시 말해 상승 또는 하강 edge 발생 후, 출력 값을 정확히 출력하기 위해 필요한 최소 시간을 의미한다.

|  |
| --- |
| Setup Time과 Hold Time이 제대로 지켜진 경우 |
| https://blog.kakaocdn.net/dn/y1cWM/btqGtCLbFHt/G6BkLQ5VqkXaVJN9oR9I91/img.png |
| Setup Time과 Hold Time이 제대로 지켜지지 않은 경우 |
| https://blog.kakaocdn.net/dn/57sSU/btqGrAmZrC5/IHHO7jGZMPdEqYwJY1xkuK/img.png |