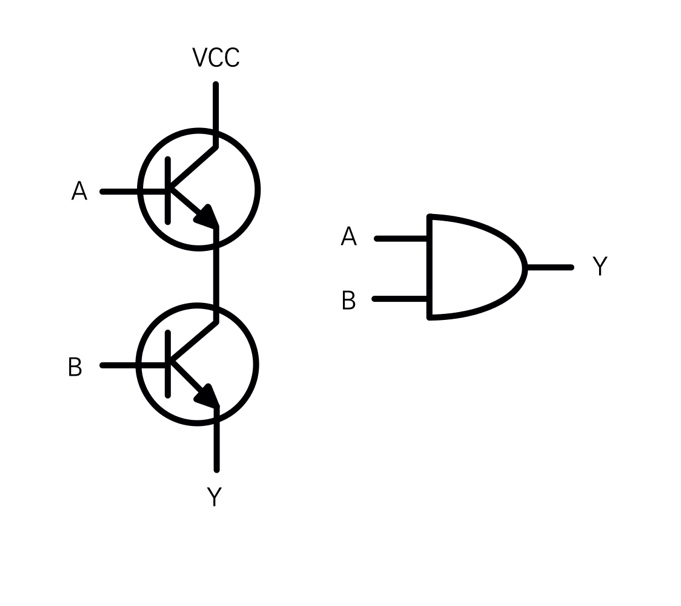
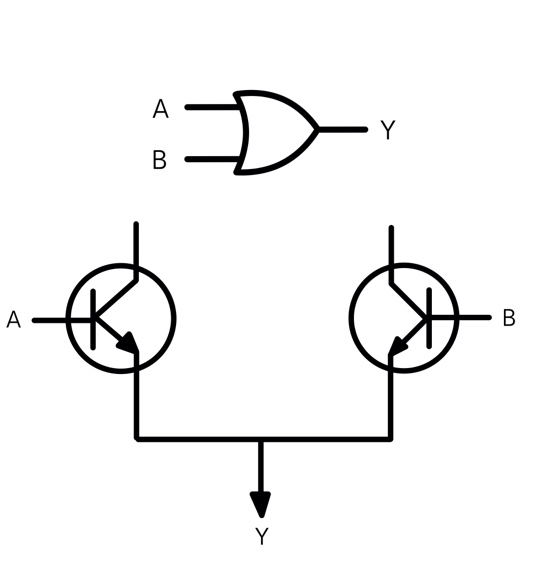
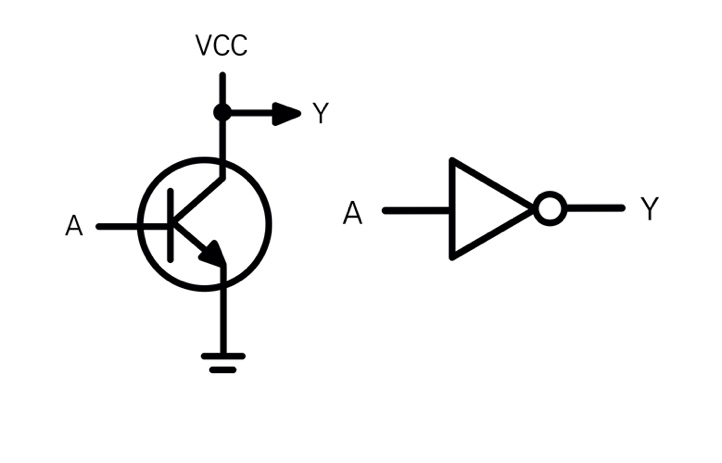
3주차 예비보고서

전공 : 국제한국학과 학년 : 4학년 학번 : 20181202 이름 : 김수미

**1. 논리게이트 AND/OR/NOT의 구조를 Transistor-Level로 그리시오.**

**1) AND 2) OR**

**3) NOT**



**2. AND/OR/NOT Logic의 특성에 대해 조사하시오.**

**1) AND**

2개 이상의 입력을 가질 수 있으며 1개의 출력을 반환한다. 입력 값이 모두 1인 경우 출력 값은 1이 된다. 입력 값 중에서 0이 하나라도 존재하면 출력 값은 0이 된다.

**2) OR**

2개 이상의 입력을 가질 수 있으며 1개의 출력을 반환한다. 입력 값에 1이 하나라도 존재하면 출력 값은 1이 된다. 입력 값이 모두 0인 경우 출력 값은 0이 된다.

**3) NOT**

1개의 입력과 1개의 출력을 가진다. 입력 값이 1인 경우 출력 값은 0이 되고, 입력 값이 0인 경우 출력 값은 1이 된다.

**3. Fan-out에 대하여 조사하시오.**

Fan-out 이란 영어로 ‘흩어지다’라는 의미를 가지며, 논리 회로에서 하나의 논리 게이트의 출력이 얼마나 많은 다른 논리 게이트의 입력으로 사용되는지에 대해 서술할 때 사용되는 용어이다. Fan-out이 크다는 말은 하나의 출력이 다른 많은 논리게이트의 입력으로 사용된다는 것을 의미한다. Fan-out이 너무 크면 회로가 손상되거나 신호가 제대로 전달되지 않을 수 있기 때문에 이를 해결해 줄 필요가 있다. 하나의 신호를 두 부분으로 나누어서 처리하거나 버퍼를 생성하는 등의 방법으로 Fan-out을 줄일 수 있다.

**4. 전파 지연에 대하여 조사하시오.**

전파 지연(Propagation Delay)이란 논리 회로가 입력신호를 받고 나서 출력 결과를 나타낼 때까지 걸리는 평균 시간을 의미한다. 이는 논리 게이트의 개수 및 지연 시간 등에 영향을 받으며 식으로는 과 같이 나타낼 수 있다.  
여기서 (Propagation Delay)는 전파 지연 시간을 의미하며 (Propagation delay time from High to Low)은 입력 신호에 반응하여 출력이 논리 1에서 논리 0으로 변화하는데 걸리는 시간을, (Propagation delay time from Low to High)는 입력 신호에 반응하여 출력이 논리 0에서 논리 1로 변화하는데 걸리는 시간을 의미한다.

여러 개의 통과하는 게이트가 많아질수록 지연시간은 점점 늘어나기 때문에 논리회로 설계 시 이를 유의하여 효율적으로 설계해야 한다.

**5. Verilog의 task 및 function에 대해 조사하시오.**

Verilog의 task와 function은 C언어의 function처럼 코드 반복을 줄이기 위해 사용되는 키워드이다. 즉 동일한 동작이 많은 프로젝트에서 task와 function을 사용하면 코드를 간결하게 만들 수 있다. task와 function 모두 local variable, global variable, register, time variable, integer, real 등을 가질 수 있으나 wire를 가지지는 못한다. 또한 behavioral 구문만을 포함하며 always, initial 구문을 가지지는 못한다. 아래는 task와 function의 차이점을 위주로 조사한 내용이다.

**1) task**

- 시작과 끝을 task와 endtask로 시작과 끝을 감싸 선언할 수 있다.

- delay, timing, event 제어 구문을 가질 수 있다.

- 하나 이상의 input, output, inout 등의 인수가 존재하며 인수가 하나도 없을 수도 있다.

- 내부에서 task와 function을 모두 호출할 수 있다.

- 시간 지연 기능을 사용하지 않는 경우 합성이 가능하다.

- non-zero 시뮬레이션 타임에 실행될 수 있다.

- 명령문으로 호출이 가능하지만, 표현식 내부에서는 사용할 수 없다.

**2) function**

- 시작과 끝을 function과 endfunction으로 감싸 선언할 수 있다.

- delay, timing, event 제어 구문을 가질 수 없다.

- 적어도 1개 이상의 input을 가지며 단 하나의 return value만을 가진다.

- 내부에서 function만 호출할 수 있다.

- 합성이 가능하며 조합회로 모델링에 사용할 수 있다.

- 항상 0 시뮬레이션 타임에 실행된다