



OS[2:0]	过采样 倍率	5 V范围SNR(dB)	10 V范围SNR(dB)	5 V范围3 dB带宽 (kHz)	10 V范围3 dB带宽 (kHz)	最大吞吐量CONVST频率(kHz)
000	No OS	89	90	15	22	200
001	2	91.2	92	15	22	100
010	4	92.6	93.6	13.7	18.5	50
011	8	94.2	95	10.3	11.9	25
100	16	95.5	96	6	6	12.5
101	32	96.4	96.7	3	3	6.25
110	64	96.9	97	1.5	1.5	3.125
111	无效					

原理图	Schematic3		更新日期	2025-12-12
图页	P1		创建日期	2025-11-27
绘制	AD7606-4 ADC采集模块（并行输出）		物料编码	
审阅				
		版本	尺寸	页 1 共 1
嘉立创EDA		V1.0	A4	嘉立创EDA