



S[2:0]	过采样倍率	5 V范围SNR(dB)	10 V范围SNR(dB)	5 V范围3 dB带宽(kHz)	10 V范围3 dB带宽(kHz)	最大吞吐量CONVST频率(kHz)
0	No OS	89	90	15	22	200
1	2	91.2	92	15	22	100
0	4	92.6	93.6	13.7	18.5	50
1	8	94.2	95	10.3	11.9	25
0	16	95.5	96	6	6	12.5
1	32	96.4	96.7	3	3	6.25
0	64	96.9	97	1.5	1.5	3.125
1	无效					

原理图	Schematic3	更新日期	2025-12-12
		创建日期	2025-11-27
图页	P1	物料编码	
绘制			AD7606-4 ADC采集模块 (并行输出)
审阅			
		版本	尺寸
		V1.0	A4
			嘉立创EDA