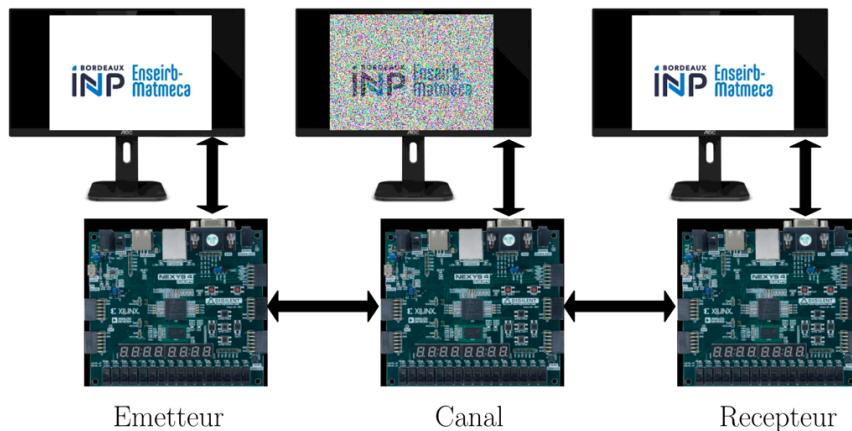


Titre : Codes correcteurs d'erreurs sur les corps finis et applications à l'architecture numérique

Code : **[ECC]**



Encadrants : Camille LEROUX

Nombre de binômes : 1

Mots-clés : codes correcteurs, architecture numérique, théorie de l'information, FPGA, VHDL, RISC-V, transmission de données, communication numérique

Description générale : Les systèmes numériques modernes, en particulier ceux embarqués ou fonctionnant dans des environnements bruités (communications, stockage, calcul haute performance), sont exposés à des risques d'erreurs de données. Les codes correcteurs d'erreurs (ECC) permettent de détecter et de corriger ces erreurs de manière algébrique, garantissant ainsi l'intégrité des données. L'utilisation de corps finis fournit un cadre mathématique rigoureux pour la construction de codes efficaces (codes de Reed- Solomon, BCH, LDPC, etc.). Parallèlement, les architectures RISC-V ou STM32, de par leur ouverture et leur modularité, offrent un terrain idéal pour l'implémentation matérielle et les tests de mécanismes de correction d'erreurs, notamment sur FPGA (pour un RISC).

► Binôme 1 [ECC-1]:

Titre : Codes correcteurs d'erreurs sur les corps finis et applications à l'architecture numérique

Étudiant pré-affecté : Nasr-allah HITAR

Description : Conception et implémentation d'un code correcteur d'erreurs sur corps finis (type Reed-Solomon ou BCH), depuis la simulation logicielle en C++ jusqu'à l'intégration matérielle dans un processeur RISC-V sur FPGA, avec validation par un démonstrateur matériel et analyse de performances.