

AN70707

EZ-USB® FX3™/FX3S™硬件设计指南和原理图检查表

作者: **Hussein Osman**

相关项目: 无

相关器件系列: **CYUSB3014、CYUSB3035**

软件版本: **N/A**

相关应用笔记: 要想获取完整列表, 请点击[此处](#)。

要想获取本应用笔记的最新版本或相关项目文件, 请访问 <http://www.cypress.com/go/AN70707>。

AN70707 文档介绍的是开发者需要考虑的 EZ-USB® FX3™/FX3S™硬件设计及其关键项目的建议实践。赛普拉斯 EZ-USB FX3 是新一代的 USB 3.0 外设控制器。它可提供高度集成和灵活的特性, 因此开发者可以在任何系统中添加 USB 3.0 功能。除非另有说明, 所有建议的内容都应用于 FX3 和 FX3S。要想获取 USB 超高速代码示例的完整列表, 请参考 <http://www.cypress.com/101781>。

目录

1	简介	2	9	引导	14
2	相关资源	2	10	EMI 和 ESD 的注意事项	14
2.1	EZ-USB FX3 软件开发套件	3	11	FX3 器件封装尺寸	15
2.2	GPIO™ II Designer	3	12	电气设计注意事项	15
3	电源系统	4	12.1	USB 3.0 SuperSpeed 的设计指南	15
3.1	概述	4	13	FX3S 硬件设计的注意事项	26
4	功耗模式	5	13.1	S 端口接口	26
4.1	器件的电源去耦	5	14	原理图和布局检查表	29
4.2	电涌和供电设计	6	15	总结	30
5	时钟	9	16	参考	30
5.1	晶振	9	A	附录 A — PCB 布局提示	31
5.2	看门狗定时器	11		文档修订记录	32
6	GPIO II 接口	12		全球销售和设计支持	33
7	USB	12		产品	33
8	低性能的外设 (LPP)	12		PSoC®解决方案	33
8.1	I²C 接口	12		赛普拉斯开发者社区	33
8.2	JTAG	13		技术支持	33
8.3	I²S	13			
8.4	SPI 和 UART	13			
8.5	SPI 闪存的选择	13			

1 简介

赛普拉斯的 EZ-USB[®] FX3[™] 是新一代 USB 3.0 外设控制器，可提供集成且灵活的功能。FX3 具有一个可进行完全配置的并行通用可编程接口 GPIF II，它能够与任何处理器、ASIC 或 FPGA 连接。它可轻松无缝地连接到多种常用接口，如异步 SRAM、异步和同步地址数据复用式接口以及并行 ATA。FX3 包含一个嵌入式 32 位 ARM926EJ-S 微处理器，它具有强大的数据处理能力，并可用于构建自定义应用。本产品采用了一种架构，使从 GPIF II 到 USB 接口的数据传输速度可达 375 MB/秒。

通过集成的 USB 2.0 OTG 控制器可以使能某些应用，其中 FX3 具有两个作用。例如，FX3 可以作为 OTG 主机控制 MSC 设备，同时可以作为 HID 设备。FX3 具有大小为 512 KB 或 256 KB 的片上 SRAM，用于存储代码和数据。FX3 还具有可连接至 UART、SPI、I²C 和 I²S 等串行外设的接口。FX3 带有应用开发工具。软件开发套件中带有应用示例，从而能够加快产品的上市时间。

除了上述功能外，FX3S 还集成了存储控制器，并可支持两个独立的大容量存储器。它也支持 SD 3.0 和 eMMC 4.41 存储卡。另外，它可以在这些端口上支持 SDIO 功能。FX3 和 FX3S 之间的特性区别如表 1 所示。

您应该遵循指南中所要求的走线宽度、多层板以及其他布局注意事项，以确保系统正常运行。

CYUSB3KIT-003 EZ-USB[®] FX3[™] 超高速浏览器套件中提供了超高速浏览器套件的参考原理图。CYUSB3KIT-001 EZ-USB[®] FX3[™] 中提供了 EZ-USB FX3 DVK 的参考原理图。如果需要 EZ-USB FX3S DVK 原理图，请联系 fx3@cypress.com。

表 1. FX3 特性与 FX3S 特性的区别

特性	EZ-USB FX3	EZ-USB FX3S
GPIF	8/16/32 位	8/16 位
存储端口	无	一个或两个端口（SD3.0、eMMC4.41、SDIO3.0）
USB 3.0、USB 2.0 设备	支持	支持
HS-OTG	支持	支持
CPU	ARM9、200MHz	ARM9、200 MHz
嵌入式 SRAM	256 KB / 512 KB	256 KB / 512 KB
串行接口*	I ² C、SPI、I ² S、UART	I ² C、SPI、I ² S、UART
引导选项	基于 I ² C、SPI、USB、GPIF	FX3 的所有引导选项 + 基于 eMMC 的引导选项
封装	121-BGA、10x10mm	121-BGA、10x10mm

*在所有的配置选项下，并不是所有的串行接口会有效。有关详细信息，请参考数据手册中的引脚说明一节。

注意：如果您使用 EZ-USB[®] CX3 设计硬件，请参考 [KBA91295](#) 了解 CX3 硬件的常见问题解答，并参考 [AN90369](#) 获取布线 MIPI CSI-2 信号指南。

2 相关资源

赛普拉斯的网站 www.cypress.com 上提供了大量资料，有助于正确选择您设计的 FX3[™]/FX3S[™] 器件，并允许您能够快速和有效地将器件集成到设计中。有关使用资源的完整列表，请参考知识库文章 [KBA87889 — 如何使用 FX3/FX3S 进行设计](#)。

- 概况：[USB 产品系列](#)、[USB 路线图](#)
- USB 3.0 产品选型器：[FX3](#)、[FX3S](#)、[CX3](#)、[HX3](#)、[West Bridge Benicia](#)

- 应用笔记：赛普拉斯提供了大量的 USB 应用笔记，包括从基本到高级的广泛主题。下面列出的是 FX3 入门的应用笔记：
 - [AN75705 — EZ-USB FX3 入门](#)
 - [AN76405 — EZ-USB FX3 引导选项](#)
 - [AN70707 — EZ-USB FX3/FX3S 硬件设计指南和原理图检查表](#)
 - [AN65974 — 使用 EZ-USB FX3 从设备 FIFO 接口进行设计](#)
 - [AN75779 — 如何使用 EZ-USB FX3 来实现 USB 视频类别（UVC）框架中的图像传感器接口](#)
 - [AN86947 — 使用 EZ-USB FX3 优化 USB 3.0 的吞吐量](#)
 - [AN84868 — 使用赛普拉斯 EZ-USB FX3 通过 USB 配置 FPGA](#)
 - [AN68829 — 用于 EZ-USB FX3 的从设备 FIFO 接口：5 位地址模式](#)
 - [AN73609 — EZ-USB FX2LP/ FX3 在 Linux 上开发 Bulk-Loop 示例](#)
 - [AN77960 — EZ-USB FX3 高速 USB 主机控制器简介](#)
 - [AN76348 — EZ-USB FX2LP 和 EZ-USB FX3 应用的区别](#)
 - [AN89661 — 使用 EZ-USB FX3S 设计 USB RAID 1 磁盘](#)
 - [AN90369 — 如何将 MIPI CSI-2 图像传感器连接至 EZ-USB[®] CX3](#)
- 代码示例：
 - [USB 高速](#)
 - [USB 全速](#)
 - [USB 超高速](#)
- 技术参考手册（TRM）：
 - [EZ-USB FX3 技术参考手册](#)
- 开发套件：
 - [CYUSB3KIT-003 EZ-USB FX3 超高速浏览器套件](#)
 - [CYUSB3KIT-001 EZ-USB FX3 开发套件](#)
- 模型：[IBIS](#)

2.1 EZ-USB FX3 软件开发套件

赛普拉斯为 FX3 提供了完整的软件和固件堆栈，这样很容易便能够将超高速 USB 集成到嵌入式应用内。[软件开发套件](#)（SDK）中带有各种工具、驱动程序和应用示例，有助于加快应用开发程序。

2.2 GPIF[™] II Designer

[GPIF II Designer](#) 是一个图形软件，设计师可以通过它来配置 EZ-USB FX3 USB 3.0 器件控制器的 GPIF II 接口。

用户使用该工具可以从赛普拉斯所提供的五个接口选择一个，或从头创建专有的 GPIF II 接口。赛普拉斯提供了符合工业标准的接口，如异步和同步从设备 FIFO、异步和同步 SRAM 以及异步 SRAM。在具有上面所述接口的系统中，开发者可从一组标准参数（如总线宽度（x8、16、x32）、字节顺序、时钟设置）选择所需要的接口。然后，编译已选定的接口。该工具为需要自定义接口的用户提供了一个简洁的三步骤 GPIF 接口开发程序。用户先选择引脚配置和标准参数。然后，他们可以使用可配置操作设计一个虚拟的状态机。最后，用户通过查看输出时序验证是否与所需时序相匹配。一旦完成这三个步骤，便可以使用 FX3 对该接口进行编译和集成操作。

3 电源系统

3.1 概述

EZ-USB FX3 器件的电压域如图 1 所示。有关这些电压域的说明和电压设置，请参见表 2。

图 1. EZ-USB FX3 电压域框图

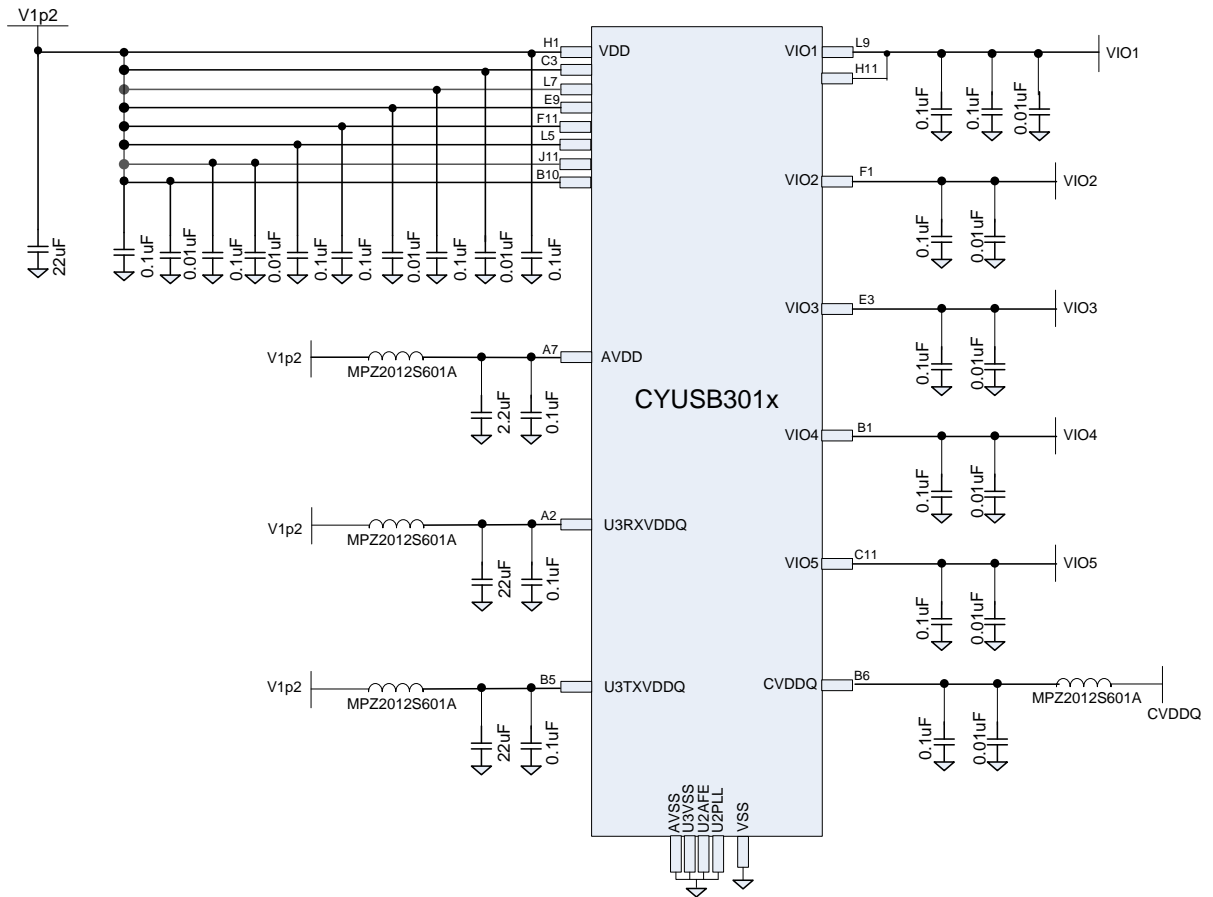


表 2. EZ-USB FX3 电压域说明

参数	说明	最小值	典型值	最大值	单位
V _{DD}	内核供电电压	1.15	1.2	1.25	V
A _{VDD}	模拟供电电压	1.15	1.2	1.25	V
V _{IO1}	GPIO II 的 I/O 电压域	1.7	1.8、2.5 和 3.3	3.6	V
V _{IO2}	IO2 电压域	1.7	1.8、2.5 和 3.3	3.6	V
V _{IO3}	IO3 电压域	1.7	1.8、2.5 和 3.3	3.6	V
V _{IO4}	UART/SPI/I ² S 电压域	1.7	1.8、2.5 和 3.3	3.6	V
V _{IO5}	I ² C 和 JTAG 供电范围	1.15	1.2、1.8、2.5 和 3.3	3.6	V

参数	说明	最小值	典型值	最大值	单位
V _{BATT}	USB 供电电压	3.2	3.7	6	V
V _{BUS}	USB 供电电压	4.0	5	6	V
C _{VDDQ}	时钟供电电压	1.7	1.8、3.3	3.6	V
U3TX _{VDDQ}	USB3.0 1.2V 供电电压	1.15	1.2	1.25	V
U3RX _{VDDQ}	USB3.0 1.2V 供电电压	1.15	1.2	1.25	V

4 功耗模式

EZ-USB FX3 支持下列各种功耗模式：

正常模式：这是全功能的工作模式。在该模式下，内部 CPU 时钟和内部 PLL 都被使能。

- I/O 电源 VIO2、VIO3、VIO4 和 VIO5 在相应接口未被使用时可能被关闭。而在应用程序使用 GPIF II 接口时，始终不能关闭 VIO1。
- USB I/O 要求使用 3.3 V 稳压电源。该电源的内部驱动，是由 VBUS 或 VBATT 外部电源提供的。如果未使用 USB，则可以关闭 VBATT/VBUS。如果使用 USB 端口，则必须打开上述一个或两个电源。
- VBATT 能够连接到系统电池或 PMIC 中 3.2 V – 6 V 的稳定电压。如果 VBUS 和 VBATT 都被打开，并且它们的值在其特定的电源范围内，VBUS 将成为 USB I/O 的主电源，除非有软件/固件控制。如果 VBUS 小于 4.1 V，那么 FX3 的运行情况将与断开 VBUS 的相同。如果为 FX3 供电时发生了这种情况，那么 FX3 便不会进行枚举。如果在运行 FX3 期间发生这种情况，那么 FX3 固件将关闭 USB PHY，并断开与主机的连接。
- EZ-USB FX3 在 VBUS 引脚上可以承受 6 V 的电压；在某些应用中，如果该供电电压更高，则需要有一个防止过压 (OVP) 的外部设备来保护 EZ-USB FX3 器件。电池充电版本 1.2 规格是这种应用的一个示例。在该应用中，充电器（如壁式充电器/专用充电器）可以为 VBUS 提供高达 9 V 的电源。
- VBUS 引脚可以连接到系统内的电源轨。该电源轨会根据另一个处理器检测的 VBUS 而打开/关闭。在典型的情况下，PMIC 将检测 VBUS 并打开 3.3 V 的稳压电源，以启动 EZ-USB FX3。这时，该系统必须通过软件控制将 VBATT 作为主电源使用。
- EZ-USB FX3 不带有电荷泵，因此作为 OTG-A 设备使用时，它不能给 VBUS 供电。EZ-USB FX3 作为 OTG-A 设备使用时，必须通过外部供电泵（单独供电泵或集成到 PMIC 的供电泵）给 VBUS 供电。

使能 USB 3.0 PHY 的暂停模式 (L1)：必须保留用于唤醒源和内核的电源。所有其他电压域都可独立开启/关闭。

禁用 USB 3.0 PHY 的暂停模式 (L2)：必须保留用于唤醒源和内核的电源。所有其他电压域都可独立开启/关闭。

待机模式 (L3)：必须保留用于唤醒源和内核的电源。所有其他电压域都可独立开启/关闭。

内核断电模式 (L4)：内核电源关闭。所有其他电压域都可独立开启/关闭。

4.1 器件的电源去耦

电源去耦的重要作用是在供电过程中，不让系统噪声传输给器件。错误去耦则会产生抖动信号，特别是在 USB 总线上发生的错误去耦将导致更高的 CRC 错误率并要求多次重试。去耦电容应该是稳定的、非导电性的陶瓷电容。必须将去耦电容放在离电源引脚最近的位置，并用短的连线将 FX3 的电源和地分别连接到电路板的电源层和地层。图 2 显示的是去耦电容的位置。

图 2. 去耦电容的位置

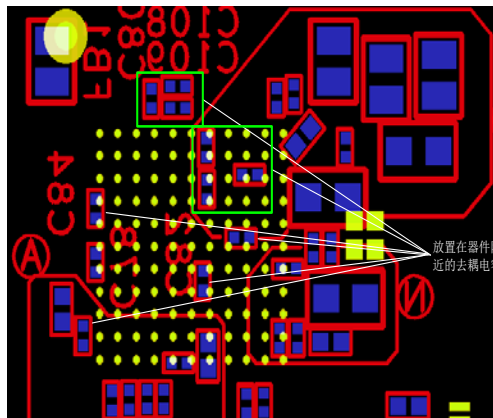


表 3 显示的是离 FX3 电源引脚最近的陶瓷电容的特殊要求。

表 3. 电源去耦的要求

电压域 (引脚编号)	引脚组中的各批量电容	每个引脚上的去耦电容
VDD (B10、J11)	22 μ F	0.01 μ F 和 0.1 μ F
VDD (H1、L7、F11、L5)		0.1 μ F
VDD (C3、E9)		0.01 μ F
AVDD (A7)	2.2 μ F	0.1 μ F
U3RXVDDQ (A2)	22 μ F	0.1 μ F
U3TXVDDQ (B5)	22 μ F	0.1 μ F
CVDDQ (B6)		0.01 μ F 和 0.1 μ F
VIO1 (L9、H11)	0.01 μ F	0.1 μ F
VIO2 (F1)		0.01 μ F 和 0.1 μ F
VIO3 (E3)		0.01 μ F 和 0.1 μ F
VIO4 (B1)		0.01 μ F 和 0.1 μ F
VIO5 (C11)		0.01 μ F 和 0.1 μ F
VBUS (E11)		0.1 μ F

4.2 电涌和供电设计

第一次使能 USB3.0 超高速 PHY 或发生复位事件时, 大约在 10 μ s 时间内, 将在 1.2 V U3RXVDDQ 和 U3TXVDDQ 上生成电涌。该电流可达 800 mA。为了确保电涌不会从 1.2 V 电源下降到不可接受的电压值, 在设计供电网络时必须十分慎重。

如果 VDD 内核电源也使用了相同的 1.2 V 电源, 则必须确保该电源的电平不会降得太低。否则, 该电流将激发到片上加电复位 (POR) 电路, 从而复位整个芯片。在 200 ns 的时间内, 如果 1.2 V 的内核 VDD 电压下降到低于 0.83 V 的值, 则 POR 电路将被破坏。必须设计 1.2 V 电源网络, 以便在发生电涌事件时, VDD 不会低于 0.83 V。为了达到此目的, 需要结合使用去耦电容 (如数据手册中所指定)、电感器扼流圈和电压调节器的输出阻抗。

下面的示例波形显示的是发生电流尖脉冲时的电涌 (图 4) 和 VDD 电平的降低 (图 5)。该结果是通过使用 TPS76801QD 电压调节器、2.2 μ F 去耦电容和扼流圈从非优化的电源设计中所得到的, 具体如图 3 所示。

图 3. 非优化的电源设计

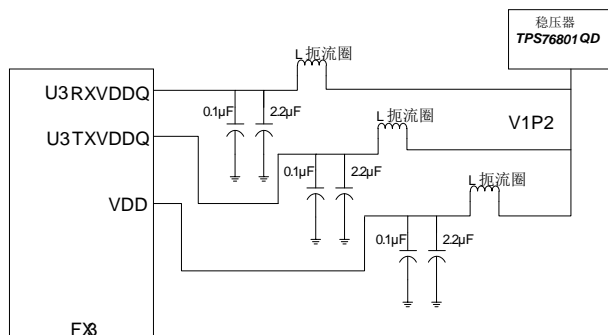


图 4. 电涌 ($80 \text{ mV} / 0.1 \Omega = 800 \text{ mA}$)

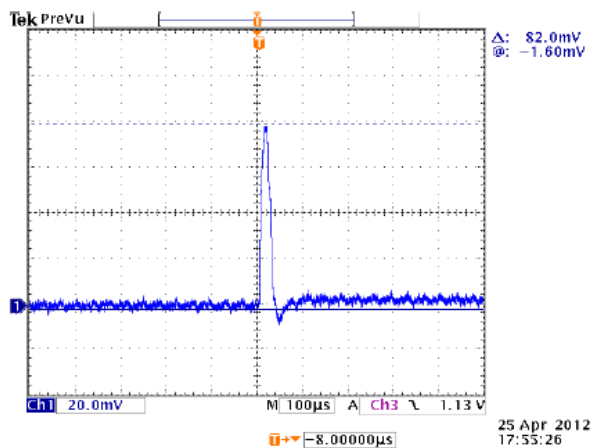
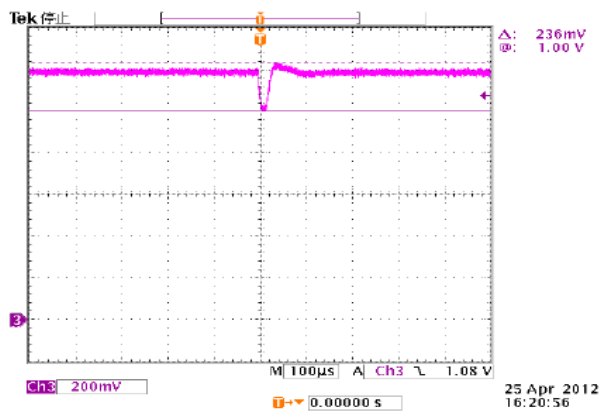


图 5. 1.2 V 的电压降低 (200 mV)



相反，下面图 6 显示的优化电源设计，虽然使用了相同的电压调节器（TPS76801QD），但电容使用的是 22 μF 去耦电容，并清除了 VDD 电源中的扼流圈。该设计表示已降低了浪涌电流（图 7）并改善了电源的降低（图 8）。

图 6. 优化的电源设计

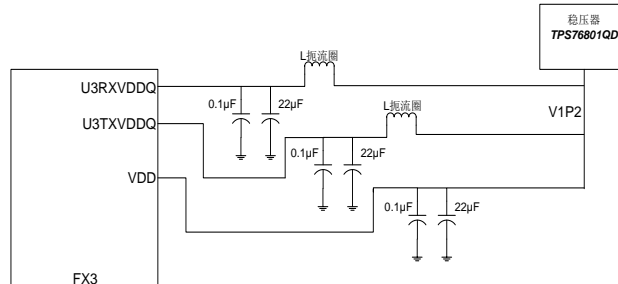


图 7. 电涌 (320 mA)

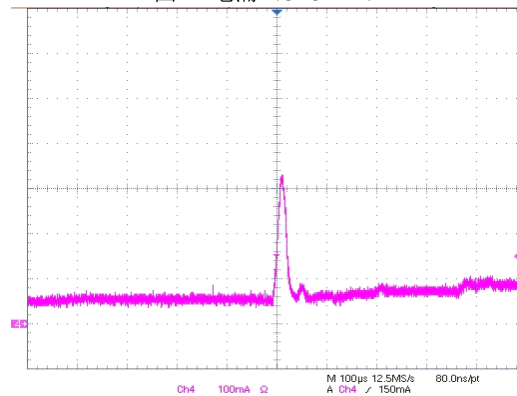
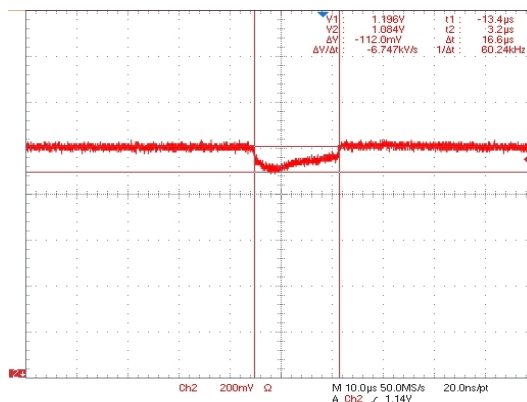


图 8. 1.2 V 的电压降低 (112 mV)



用户可以选择具有相同规格的任何电压调节器。

建议始终将不同的电源相互隔离开。如果您将 IO 电源（VIO1-5）与 CVDDQ 短接在一起，那么应该使用一个扼流圈将其隔离开（如图 1 所示）。这样可以减少 PHY 错误。另外，通过使用低电压（1.8 V）运行 VIO1，也可以减少 PHY 错误。

5 时钟

EZ-USB FX3 器件可以使用：

- 1) 19.2 MHz 晶振或
- 2) 频率为 19.2 MHz、26 MHz、38.4 MHz 或 52 MHz 的时钟作为时钟源。

5.1 晶振

图 9 显示了晶振连接情况。

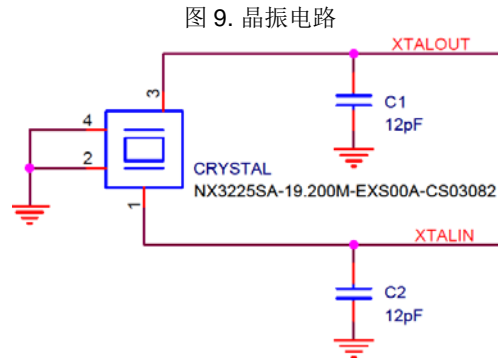


表 4 显示的是 19.2 MHz 晶振的要求。

表 4. 晶振的要求

参数	规范	单位
容差	±100	ppm
温度范围	-40 ~ 85	°F
驱动电平	使用公式 1 计算得到的值	mW

晶振功耗大小取决于下列各项参数：

- 1) XTALOUT 引脚的电平（在 FX3 中，该值为 1.32 V）
- 2) 所需的频率（19.2 MHz）
- 3) 晶振的等效电阻值

公式 1. 晶振的功耗

$$P = I^2 R = \left(\frac{V_x}{|Z|} \right)^2 R$$

$$= 2[\pi f (C_0 + C_L) V_x]^2 R$$

其中：

f 是晶振频率

C_0 是晶振数据手册中晶振的并联电容

C_L 是负载电容；有关 C_L 的计算，请参考下一节中介绍的内容

R 是晶振数据手册中晶振的等效串联电阻 (ESR)

V_{cc} 是 XTALOUT 引脚上的最大电压 (1.32 V)

使用晶振的功耗驱动电平小于晶振功耗会加速该晶振老化, 甚至会烧坏该晶振。

表 5 中显示了可兼容的晶振的示例。请注意, 只有 NX3225SA 符合 EZ-USB FX3 的特性, 其他晶振通过使用公式 1 作为示例。

表 5. 晶振选择

器件	数据手册中 R1 的最大值 (Ω)	等效电阻值 CL (pF)	电阻估算值 C0 (pF)	使用公式 1 计算的驱动 电平 (uW)	最大驱动电 平 (规格) uW
Epson FA-20H	80	11	nil	123	200
NX2520SA	60	12	nil	110	200
NX3225SA	80	9	1.26	107	200

注意: 请勿在晶振的 XTALOUT 和 XTALIN 引脚上连接任何串联电阻。如果连接了串联电阻, 则晶振 ESR 的电阻会增加, 因此会加大晶振的功耗并延长启动时间。

5.1.1 晶振的有效负载电容的计算

为 FX3 提供正确时钟源时, 负载电容 C_L 起着重要作用。必须根据晶振的负载电容值慎重选择电容 C_1 和 C_2 (如图 9 所示)。

该负载电容可通过以下公式计算得出:

公式 2. 晶振的负载电容

$$C_L = \frac{C_1 * C_2}{C_1 + C_2} + C_s$$

C_s 是电路板 (PCB) 上 XTALOUT 和 XTALIN 走线间的寄生电容。只要在 FX3 上遵循良好的布局实践并尽量缩短晶振与引脚之间的走线长度, 这样 C_s 的值通常为 2 ~ 5 pF。

对于 FX3 开发套件中使用的晶振, $C_L = 9$ pF。电路板 PCB 的 $C_s = 3$ pF。在公式 2 中, $C_1 = C_2 = 12$ pF。

5.1.2 时钟

EZ-USB FX3 的时钟输入必须符合下表中具体规定的相位噪声和时序抖动要求。

表 6. 时钟要求

参数	说明	规格		单位
		最小值	最大值	
相位噪声	100 Hz 偏移	—	-75	dB
	1 kHz 偏移	—	-104	dB
	10 kHz 偏移	—	-120	dB
	100 kHz 偏移	—	-128	dB
	1 MHz 偏移	—	-130	dB
最大频率偏差		—	150	ppm
占空比		30	70	%
过冲		—	3	%
下冲		—	-3	%
上升时间/下降时间		—	3	ns

根据所选定的时钟，可通过弱上拉电阻将频率选择（FSLC[2:0]）信号线连接到电源，或连接到地。

表 7 显示的是不同时钟的各个 FSLC[2:0] 值。

推荐使用 ASEMB-19.200MHZ-LY-T 时钟振荡器。

表 7. ‘频率选择’ 信号的配置

FSLC[2]	FSLC[1]	FSLC[0]	晶振/时钟频率
0	0	0	19.2 MHz 的晶振
1	0	0	19.2 MHz 的输入时钟
1	0	1	26 MHz 的输入时钟
1	1	0	38.4 MHz 的输入时钟
1	1	1	52 MHz 输入时钟

CVDDQ 是与时钟输入相关的电源。它和外部时钟输入（若有）的电压值是相同的。

如果只使用外部时钟输入，XTALIN 和 XTALOUT 引脚会保持为未连接的状态。如果只使用晶振时钟，CLKIN 引脚会保持未连接状态。

5.2 看门狗定时器

在待机模式下，运行看门狗定时器时可以使用 32.768 kHz 的时钟输入。该时钟可以由外部时钟源提供。

表 8. 看门狗定时器的要求

参数	最小值	最大值	单位
占空比	40	60	%
频率偏差	—	±200	ppm

6 GPIF II 接口

EZ-USB FX3 提供了高性能的通用可编程接口，即 GPIF II。该接口与 FX2LP 的 GPIF 和从设备 FIFO 接口的功能相似，但更加先进。欲了解有关 GPIF 接口的详细信息，请参考应用笔记 [AN75779 — 通过 USB 视频类别 \(UVC\) 框架将图像传感器连接至 EZ-USB[®] FX3[™]](#)。

下述内容介绍了 EZ-USB FX3 的 GPIF II 接口的通用设计指南。

- GPIF II 接口的最大频率是 100 MHz。GPIF II 总线的所有信号线长度应该小于 500 mil。500 mil 的要求是很随意的，目的在于尽量减少时钟偏斜 (skew)。此外，还推荐使用大小为 22 Ω 的串联终端电阻，以避免在这些信号线上发生反射现象。
- 如果 GPIF 线的长度超过 5 英寸或者经过一个过孔，会导致阻抗失配。此时，推荐使用 EZ-USB FX3 IBIS 模型来仿真信号的完整性。
- 在所有的同步接口中，推荐将 GPIO[16] (PCLK) 作为 GPIF II 时钟信号使用。
- 启动 FX3 时，应该对 GPIO[32:30] (PMODE[2:0]) 信号进行相应的配置。启动后，这些信号可作为 GPIO 使用。
- INT# 信号不能作为 GPIO 使用。该引脚在未被使用时，可以保持为悬空状态，也可以被上拉到 VIO1 电平。

注意： 将 GPIF II 配置为 32 位模式时，SPI 接口的信号线不可用。在该模式下，可以使用 SPI 接口来启动 FX3 器件。

7 USB

如果只将 FX3 作为 USB 器件使用，那么可以将 OTG_ID 引脚保持为无连接状态。但是将 FX3 作为双功能器件时，必须将该引脚接地。

8 低性能的外设 (LPP)

8.1 I²C 接口

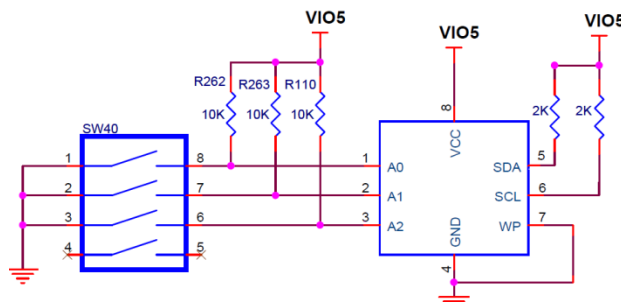
EZ-USB FX3 提供一个符合 I²C 总线规范版本 3 的 I²C 接口。EZ-USB FX3 的 I²C 接口只能作为 I²C 主设备运行。例如，EZ-USB FX3 可以通过一个与 I²C 接口相连的 EEPROM 启动。EZ-USB FX3 的 I²C 主控制器也支持多主设备模式功能。

I²C 接口由 VIO5 供电，该电压独立于其他串行外设的电压。这样，I²C 接口可以比其他串行接口更加灵活地在不同的电压下工作。

I²C 控制器所支持的总线频率分别为 100 kHz、400 kHz 和 1 MHz。当 VIO5 为 1.2 V 时，支持的最大工作频率为 100 kHz。当 VIO5 为 1.8 V、2.5 V 或 3.3 V 时，支持的工作频率为 400 kHz 和 1 MHz。

如果 I²C 总线使用了外部 EEPROM 来引导固件镜像，那么 SCL 和 SDA 线上需要使用大小为 2 k Ω 的上拉电阻（如下图所示）以便能够正常运行。

图 10. I²C 配置



注意： 需要根据 EEPROM 数据手册中的指导来对 EEPROM 的地址引脚 A0、A1 和 A2 进行连接。

8.2 JTAG

EZ-USB FX3 的 JTAG 接口提供了一个标准的 5 引脚接口，用于同 JTAG 调试器相连。该特性允许通过 CPU 内核的片上调试电路来调试固件。

由于 JTAG 信号（TDI、TMC、TRST#）已经使用了一个 50 kΩ 的内部上拉电阻，并且 TCK 信号使用了 10 kΩ 的下拉电阻，因此 JTAG 信号上不需要使用任何外部上拉/下拉电阻。

请注意，FX3/FX3S 不支持边界扫描功能。这些器件中的 JTAG 接口仅用于调试工作。

8.3 I²S

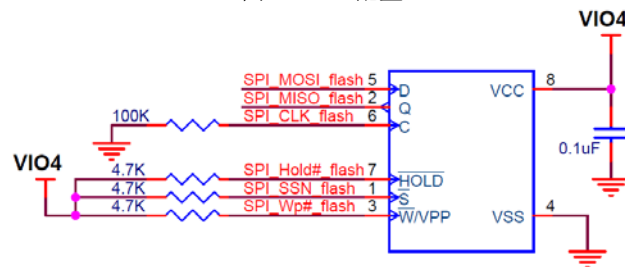
EZ-USB FX3 具有 I²S 端口，支持外部音频编解码器。EZ-USB FX3 可以用作 I²S 主设备（**仅作为发送器**）。EZ-USB FX3 可在 I2S_MCLK 线上生成系统时钟输出，也可以在 I2S_MCLK 线上接收外部系统时钟输入。

8.4 SPI 和 UART

EZ-USB FX3 支持串行外设端口上的 SPI 主设备接口。SPI 和 UART 共享一组 GPIO。MOSI 和 MISO 信号不需要使用上拉电阻或下拉电阻。

图 11 显示了使用 M25P40-VMN6TPB SPI 器件进行的 SPI 信号正确连接。

图 11. SPI 配置



8.5 SPI 闪存的选择

通过下列指南，可以选择 SPI 闪存。

- 闪存大小：1 Kbit ~ 32 Mbit。
- 工作电压范围：1.7 V ~ 3.6 V
- 指令集：SPI 闪存需要提供以下指令，用以支持 FX3 启动。
 - 读取数据：03h，使用 3 字节进行寻址
 - 读取状态寄存器：05h
 - 写入使能：06h
 - 写入数据（页编程）：02h
 - 扇区擦除：D8h

只要各个读指令相互匹配，便能使用 SPI 闪存启动 FX3。如果写指令存在差异，那么使用所提供的 CyBootProgrammer.img（位于 C:\Program Files (x86)\Cypress\Cypress USB Suite\application\c_sharp\controlcenter 内）便不能成功编程 SPI 闪存；这时需要更改 SPI 写指令，FX3 SDK 的 USBFlashProg 示例项目中使用这些指令。使用编译更改好 USBFlashProg 项目以后所创建的镜像文件替代掉所提供的 CyBootProgrammer.img（名称相同），这样可成功编程 SPI 闪存。

9 引导

EZ-USB FX3 可以作为系统中的主处理器，也可以是另一个主处理器的协处理器使用。启动方式取决于特定系统的操作。PMODE[2:0]配置引导选项，根据将要使用的引导选项可直接连接到主处理器或在电路板上通过固定连线实现连接。下表显示的是不同引导选项所需要的 PMODE[2:0]信号电平。

表 9. PMODE 信号设置

PMODE[2:0]	引导自
Z00	同步 ADMUX (16 位)
Z01	异步 ADMUX (16 位)
Z11	USB 引导
Z0Z	异步 SRAM (16 位)
Z1Z	I ² C (如失败，则使用 USB 引导器件)
1ZZ	仅使用 I ² C
0Z1	SPI (如果失败，则使用 USB 启动)
000*	S0 端口 (eMMC)。如果失败，则使用 USB 引导 (仅适用于 FX3S)
100*	S0 端口 (eMMC) (仅适用于 FX3S)

注意： Z = 高阻态、开漏、无连接、*仅适用于 FX3S

推荐在 PMODE [2:0]信号上使用 10 K Ω 的上拉和下拉电阻，并加载优选引导选项所需要的组合。这样在早期开发时可以非常灵活地调试系统。

10 EMI 和 ESD 的注意事项

必须谨慎考虑有关产品外壳、部署环境的 EMI 和 ESD 以及监管法规等方面的问题。有关 EMI 以及 EZ-USB FX3 符合 FCC 15B (美国) 和 EN55022 (欧洲) 电子消费品规定中的 EMI 要求，本应用笔记没有给出任何特殊建议。按照上列规定，EZ-USB FX3 可承受由干扰源造成的合理 EMI，并继续按预期工作。但本应用笔记提供了普通的 EMI 和 ESD 的注意事项。有关 PCB 布局技术的基本信息，请参考附录 A — PCB 布局提示中介绍的内容。您同样可以参考‘附录 A: AN61290 — PSoC[®] 3 和 PSoC 5 硬件设计注意事项的 PCB 布局提示’中的内容，其中有助于提高抗 EMI/EMC 能力的布局提示列表以及有关该主题的参考书。

EZ-USB FX3 在 USB 接口的 D+、D- 和 GND 引脚上具有内置 ESD 保护。这些端口上的 ESD 保护电平分别为：

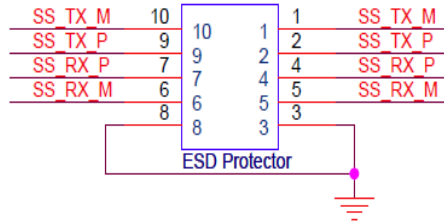
- 根据 ± 6 kV 的接触放电，人体模型 (HBM) 的保护为 ± 2.2 kV；根据 IEC61000-4-2 的 3 A 级标准，气隙放电为 ± 8 kV
- 根据 IEC61000-4-2 的 4C 级标准，接触放电为 ± 8 kV，且气隙放电为 ± 15 kV。

这种保护特性确保器件在出现最高达到上述电平的 ESD 事件后仍能够继续工作。

SSRX+、SSRX-、SSTX+、SSTX- 引脚的人体模型 (HBM) 内部 ESD 保护最高为 ± 2.2 kV。

通过使用高性能、低电容的外部 ESD 器件 (SP3010-04UTG)，您可以为这些引脚提供其他保护，如图 12 所示。为了防止对该总线的性能产生影响，添加的电容不能超过 0.5 pF。

图 12. 采用低电容外部 USB SuperSpeed (SS) ESD 器件的保护



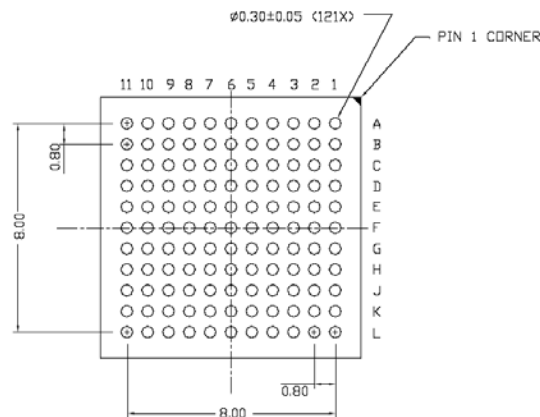
就 EMI 而言，所有信号和时钟的走线在切换电平时都会产生电磁（EM）辐射。为了满足不同国家的标准，必须最小化这些辐射。通过使用下列方法，您可以降低 EM 辐射：

- 将电源和接地层设置为最外层，其他各层作为信号层使用。
- 集成电路和时钟下方始终有灌铜填充。
- 请确保所有信号都有接地返回路径。
- 尽可能缩短高速和高电流的走线长度。

11 FX3 器件封装尺寸

EZ-USB FX3 封装的尺寸为 10 x 10 mm，引脚间距（BGA）为 0.8 mm。推荐焊盘大小为 0.241 mm（9.5 mil）。

图 13. EZ-USB FX3 封装尺寸



12 电气设计注意事项

USB 3.0 协议将 USB 速度提高到 5 Gbps。将超高速（SS）线和高速线（HS）结合后，它与 USB 2.0 规范向后兼容。需要特别注意两个总线的电气设计。设计 SuperSpeed USB 时，需要注意它的组件选项、电源去耦、信号线的阻抗以及噪声等问题。这些物理问题主要受 PCB 设计的影响。有关 PCB 布局技术的基本信息，请参考附录 A — PCB 布局提示中介绍的内容。

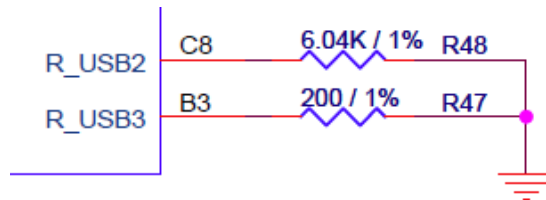
12.1 USB 3.0 SuperSpeed 的设计指南

EZ-USB FX3 具有 SuperSpeed USB 线和 High-Speed USB 线。设计这些总线时，可以使用下列最佳做法：

- 尽量缩短 USB 线的走线长度（< 3 英寸）。先要路由这些信号线，以确保实现了该列表中所推荐的内容。长走线会影响到发送器的质量，并会引入接收端上符号间的干扰（ISI）。

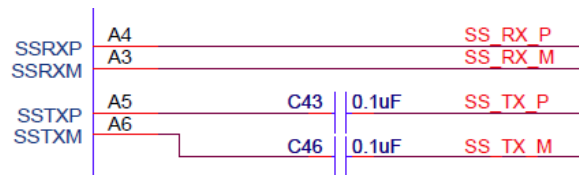
- 可以在 USB 3.0 差分对上交换极性。在链接过程中，USB3.0 PHY 自动进行极性检测，如 USB3.0 规范中的 6.4.2 一节所定义，并不需要对器件的固件进行任何其他更改。如果有不同的 USB 连接器引脚分布，可以使用极性反转机制，以确保 USB 走线不会彼此交叉。
- 使用精度为 1% 的 6.04 k Ω 高精度电阻将 R_USB2 引脚接地。然后，使用精度为 1% 的 200 Ω 高精度电阻将 R_USB3 引脚接地。

图 14. USB2 和 USB3 的参考电阻



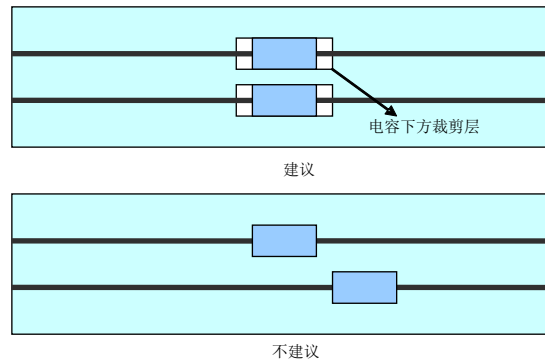
- USB 3.0 走线需要在 SS_TX 信号线上有另一个交流耦合电容 (0.1 μ F)。这些电容需要对称放置，并与 EZ-USB FX3 器件接近。

图 15. SuperSpeed TX 线的去耦电容



- 需要对位于这些交流耦合电容正下方的最少一层进行截断，旨在符合电容的外形，以便避免在各线上由电容焊盘而导致的额外电容。图 16 显示的是合理的去耦电容布局。

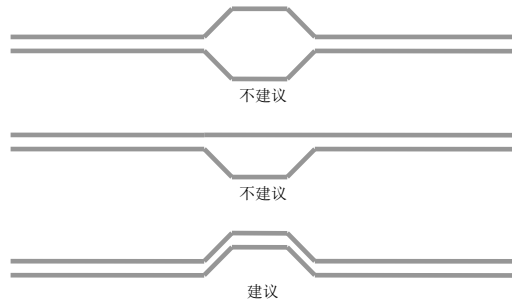
图 16. SuperSpeed TX 线的去耦电容布局



- USB 信号线阻抗为 90 Ω 的差分值 ($\pm 7\%$)。
- 在两个差分对之间填充接地铜箔。应确保地端和差分对之间最小距离为 $2W$ ，其中 W 是走线宽度。
- 尽量缩短晶振的走线长度，使它与 FX3 之间的距离小于 2 cm。
- 请勿将任意 Hi-Speed 信号走线靠近该晶振。如果因空间的限制而需要，请使用底层填充。
- 尽量将 RC 复位电路中使用的电容放置的位置接近 FX3 的复位引脚。
- 在电源层上为这些不同的电源域划分使用区域。

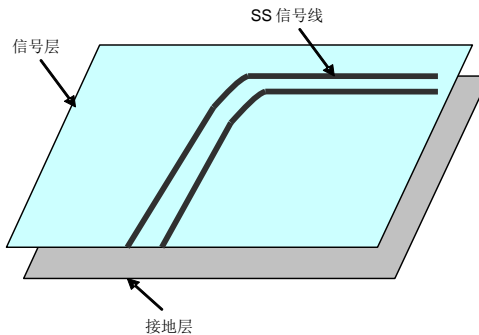
- 使电源走线远离 Hi-Speed 数据线和时钟线。
- 电源走线宽度应 ≥ 25 mil，这样可以降低电感。
- 尽量缩短电源走线的长度。在电源走线上使用较大的过孔（焊盘的最小厚度为 30 mil，孔的最小宽度是 15 mil）。
- 请勿拆开 USB 信号线下方的接地层。否则会导致该点的特性阻抗发生变化。
- 保持差分对之间的走线宽度一致，以避免发生阻抗的不匹配情况，具体如下图所示。

图 17. 差分对的阻抗匹配技术



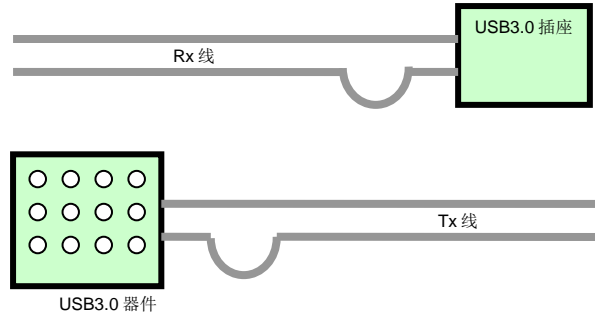
- 需要将所有 SS 信号线完全路由在邻近层的实心接地层上面。拆分 SS 信号下方的接地层会增大环路电感，使得阻抗不匹配并增加电气辐射。图 18 显示的是 SuperSpeed 信号线下方的接地层。

图 18. SuperSpeed 信号线下方的实心接地层



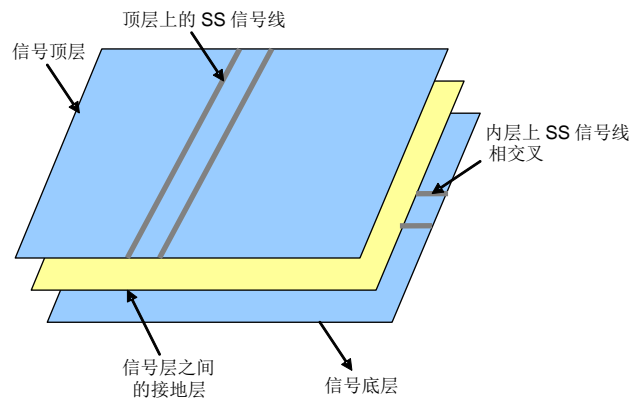
- 差分 SS 对的走线长度必须小于 0.12 mm (5 mil)。HS D+和 D-信号的走线长度必须相同，并小于 1.25 mm (50 mil)。若需要，应该在 USB 插座附近调整 HS 和 SS Rx 信号线，并在器件附近调整 SS Tx 信号线。图 19 显示的是 SuperSpeed 信号线的长度匹配示例。

图 19. SuperSpeed 信号线的长度相互匹配



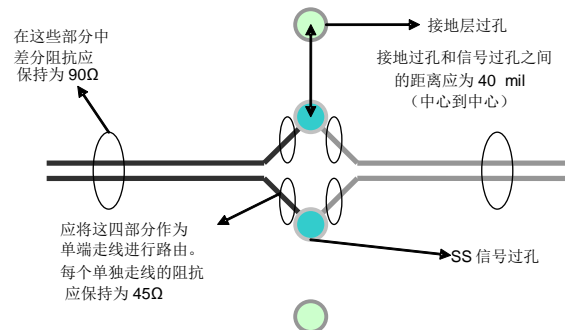
- PCB 至少有 4 层。为了将差分阻抗保持为 $90\ \Omega$ ，需要使用实心的参考电源层。
- 一旦两对 USB 走线在不同层中彼此交叉，将在两个 USB 信号层之间放置一个接地层，具体如图 20 所示。

图 20. 接地层插入



- 如果需要将信号布线到另一层，将要保持连续接地，以确保阻抗的一致性。为了实现这个目的，接地过孔必须位于信号过孔的旁边，如图 21 所示。信号过孔和接地过孔之间的距离要大于 $40\ \text{mil}$ 。

图 21. 接地过孔



- 保持差分对中的走线宽度一致，以避免发生阻抗的不匹配情况，具体如图 22 所示。

图 22. 差分对的放置



表 10 定义了上图中所介绍的推荐参数。

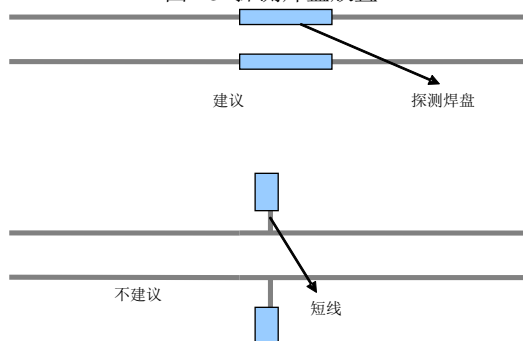
表 10. USB 走线规格

尺寸	说明	值
S	内部对的间距	8 mil
W	走线宽度	11 mil
g	走线和其他层之间的最小间隙	8 mil

但是，如果各线的特性阻抗为 90 Ω ，可以忽略上述值的变异。

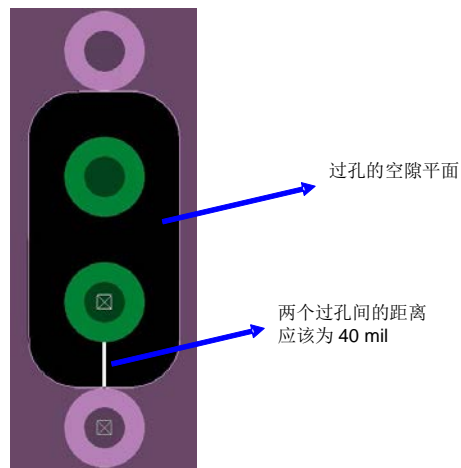
- 避免所有 USB 线上存在短线。如果各线上需要焊盘，用于探测，那么这些焊盘不能超过短线形式的走线。图 23 说明了这个内容。

图 23. 探测焊盘放置



- SS 信号线上的过孔空隙应该普遍存在于该差分对。常见的空隙与单独过孔相比会保持更高的阻抗匹配，如下图所示。

图 24. SS 走线的空隙过孔放置



- 由于 Micro-B 插座是表面贴装的插座，所以要将 USB 信号全部布线在与 EZ-USB FX3 器件和 USB 3.0 Micro-B 插座相同的层，如图 25 所示。另外，该层的布局如图 26 所示。

图 25. Micro-B 插座的放置

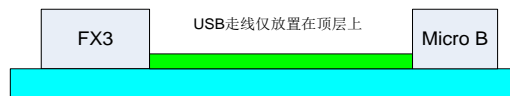
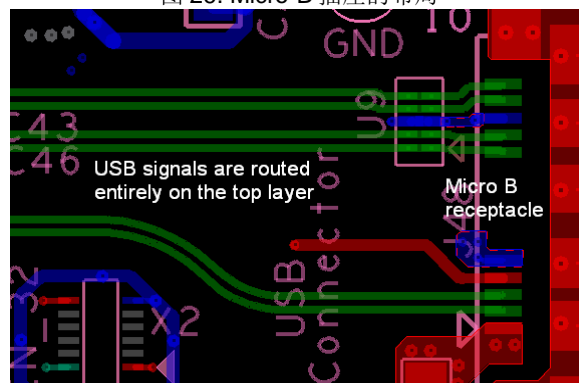


图 26. Micro-B 插座的布局



- 强烈建议在（通过孔插座）使用标准 B 插座时，将 USB 信号连接到插座引脚。这些引脚位于该插座位置的对立层，如图 27 和图 28 所示。例如，如果标准 B 插座位于顶层上，该信号线将连接到底层上的插座引脚。这样会防止 USB 插座引脚导致的不必要的短线。图 29 和图 30 分别显示的是推荐布局 and 产生短线布局的框图。为了避免引入过孔，可以将 EZ-USB FX3 器件放置在标准 B 插座的对立层上。这时，USB 走线可完全布线在同一层上。

图 27. 标准 B 插座的放置

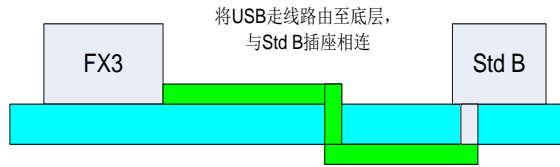
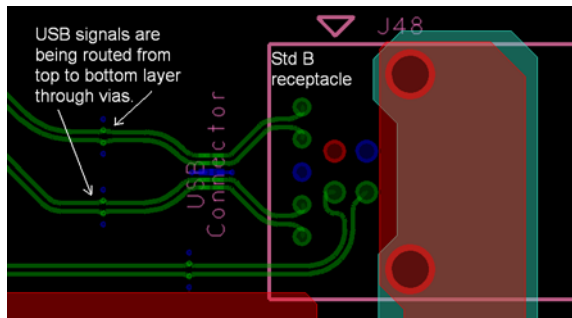


图 28. 标准 B 插座的布局



上述两个布线方案均被测试，以便可以使用长度为 3 英寸的 SS 走线工作。

图 29. USB 信号连接到标准类型 B USB 插座的对立层上

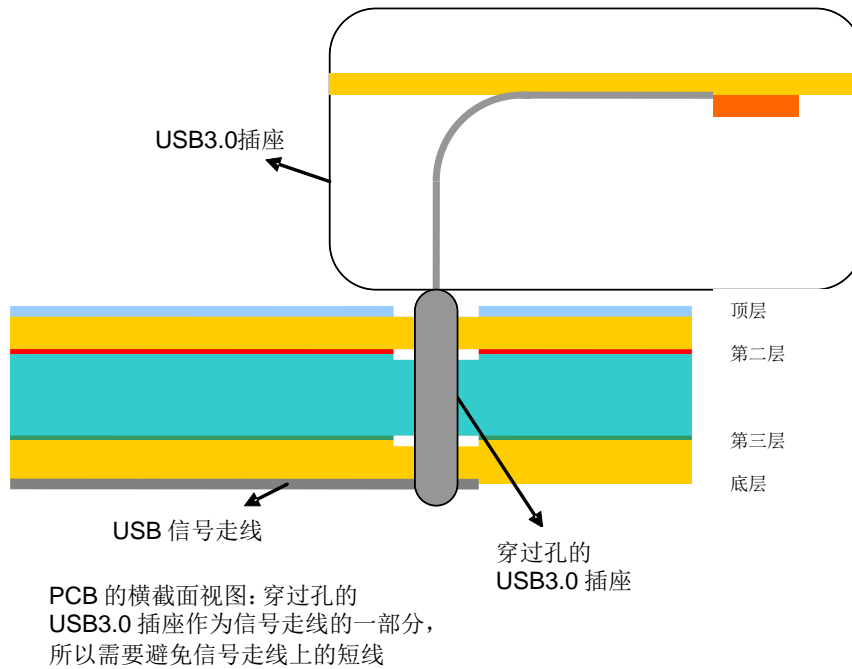
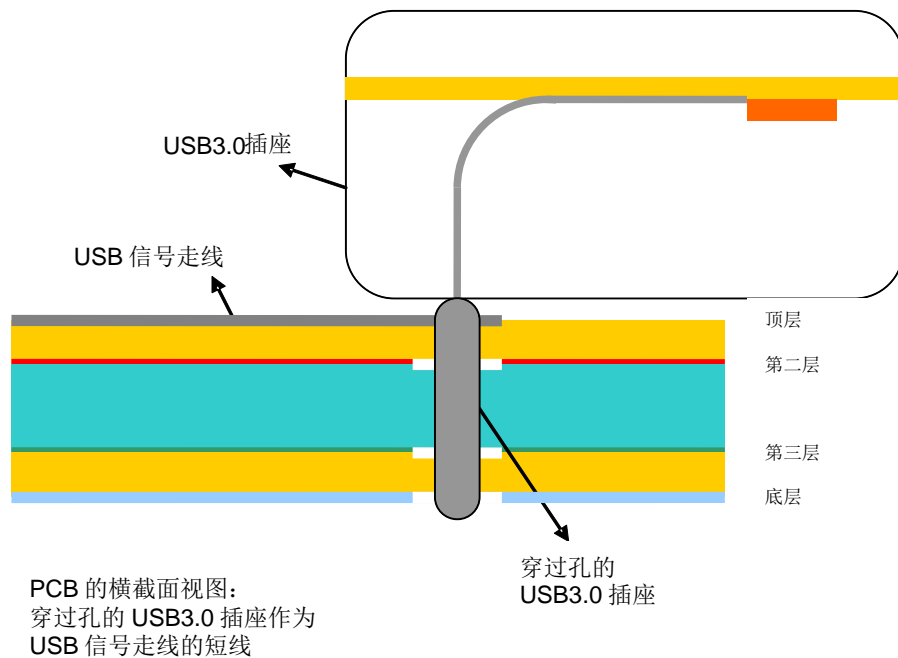
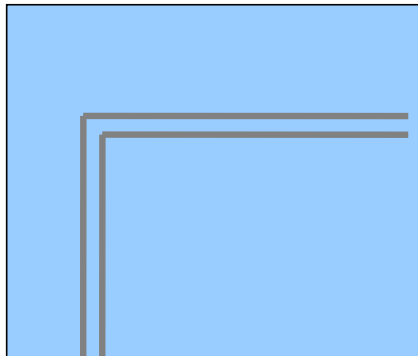


图 30. USB 信号连接到标准类型 B USB 插座的不同层上

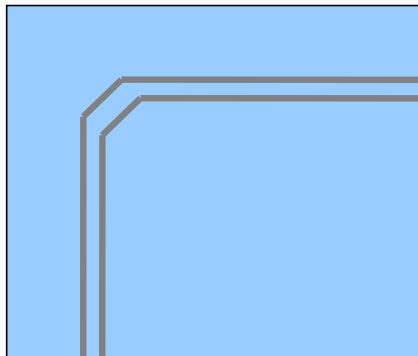


- 使用 LC 电路将 USB 3.0 插座上的“屏蔽”引脚接地，以实现交流隔离。
- 在 USB 信号线上，尽量减少将要使用的弯曲。请勿使用 90° 的弯曲布线。若需要，请进行 45° 的弯曲或圆形（曲线）弯曲。图 31 显示了一个说明。

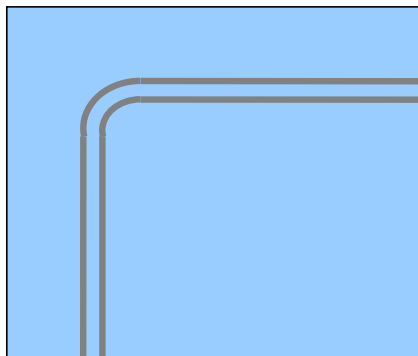
图 31. USB 信号弯曲



不建议



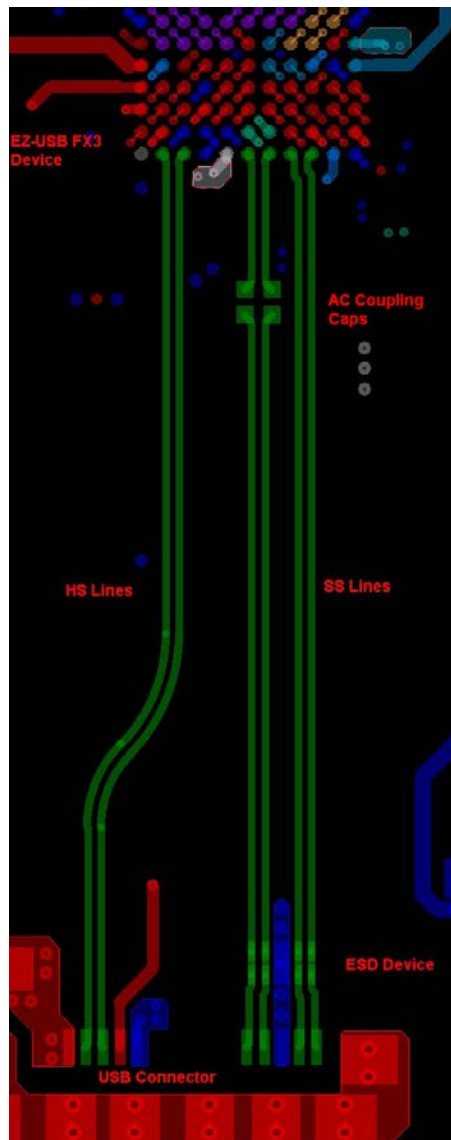
建议



建议

- 为了避免串扰，请勿将这些差分对信号放置在其他差分对、时钟信号或其他任何高速信号的附近位置。
- 图 32 显示的是将 USB 信号从 EZ-USB FX3 器件布线到 USB 3.0 Micro B 插座的一个示例。每个差分对在走线上必须保持一致。将交流耦合电容器放置在离该器件尽可能近的位置。将 ESD 器件放置在离该插座最近的位置。

图 32. USB 信号的布局示例



12.1.1 8 层 PCB 的示例

图 33 显示的是 SuperSpeed Explorer 开发套件布局中的层。

图 33. SuperSpeed Explorer 开发套件的详细叠层

1.3 MIL	铜+电镀	顶层
4.3 MIL	FR-4	
0.65 MIL	铜	接地层
4 MIL	FR-4	
0.65 MIL	铜	信号层
9.5 MIL	FR-4	
0.65 MIL	铜	电源层
18 MIL	FR-4	
0.65 MIL	铜	电源层
9.5 MIL	FR-4	
0.65 MIL	铜	信号层
4 MIL	FR-4	
0.65 MIL	铜	接地层
4.3 MIL	FR-4	
1.3 MIL	铜+电镀	底层

图 34 显示的是 FX3 开发套件中的各层。

图 34. FX3 开发套件的详细叠层

1.2 MIL	铜+电镀	顶层
8 MIL	FR-4	
1.2 MIL	铜	接地层
8 MIL	FR-4	
1.2 MIL	铜	信号层
8 MIL	FR-4	
1.2 MIL	铜	电源层
8 MIL	FR-4	
1.2 MIL	铜	电源层
8 MIL	FR-4	
1.2 MIL	铜	信号层
8 MIL	FR-4	
1.2 MIL	铜	接地层
8 MIL	FR-4	
1.2 MIL	铜+电镀	底层

13 FX3S 硬件设计的注意事项

本章节仅特定于 EZ-USB FX3S。除了 FX3 的硬件设计指南外，还需要考虑下面指南。

13.1 S 端口接口

EZ-USB FX3S 具有两个独立的存储端口（S0 端口和 S1 端口）。两个存储端口都支持下面内容：

- MMC 系统规格、MMCA 技术委员会，版本 4.4
- SD 规格版本 3.0
- 符合 SDIO 规格版本 2.00（2007 年 1 月 30 日）的 SDIO 主控制器

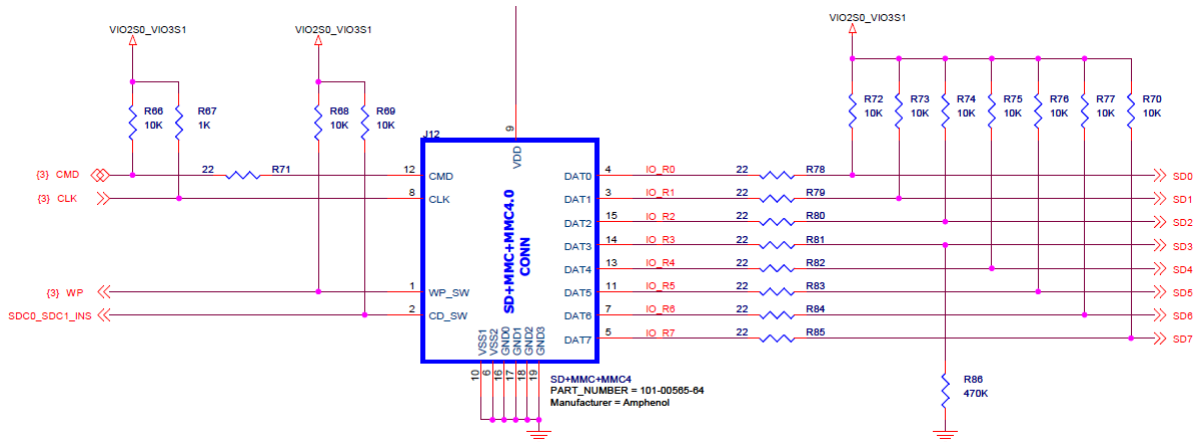
为了满足这些规格的要求，在 EZ-USB FX3S 系统 PCB 上设计存储端口电路时需要遵循下面的指南。

- 所有的数据线、指令和时钟线的长度必须匹配。
- 走线的长度不应该超过 5 英寸。这些数字是根据 SD 卡、eMMC 器件和 EZ-USB FX3S 器件的最坏时序参数计算得到，只作为参考。

- 如果使用 SD 卡，V_{DD} 将为 3.3 V，无论其他 SD 线所使用的输入/输出电压如何，具体如图 35 所示。
- 如果使用 eMMC 器件，VCC 将为 3.3 V 且 VCC 将使用端口输入/输出的供电电压（VIO2 或 VIO3）。图 36 显示的是一个 eMMC 器件电路。
- 将 10 kΩ 的上拉电阻添加到 SD 数据信号上，除 SD_D3 外，因为将它作为卡插入的检测机制使用。使用 470 kΩ 进行下拉 SD_DQ3。使用一个 1 kΩ 的电阻来上拉 SD_CLK。
- 使用 UHS-I 内存卡时，需要将 SD 卡的供电电压（VIO2 或 VIO3）动态修改为 1.8 V。
- 通过使用下列机制实现卡插入和移除检测：
 - SD-D3 数据线：SD 卡具有一个大小为 10 kΩ 的内部上拉电阻。从 SD/MMC 连接器添加或移除存储卡时，SD_D3 引脚上的电压电平将改变并触发 CPU 中断。请注意，早期 MMC 卡不支持该卡检测机制。
 - S0/S1_INS 引脚：某些 SD/MMC 连接器为微动的开关提供便利条件，利于卡的插入和移除检测。该微动开关会连接到 S0/S1_INS。当您从 SD/MMC 连接器插入或移除存储卡时，它将打开或关闭此微动开关。这样会使触发 CPU 中断的引脚上的电压电平发生变化。请注意，两个 S 端口共用 S0/S1_INS 引脚。通过寄存器配置可确定将使用该引脚的端口。该引脚被映射到 VIO3 电压；如果 VIO2 和 VIO3 的电压电平不同，该引脚不能作为 S1_INS 引脚使用。由于 eMMC 器件通常被焊接到电路板上并不参与插入/移除检测，因此插入/移除机制不适用于这些器件。

图 35 和图 36 显示的是 SD/MMC 卡和 eMMC 器件的不同实现。

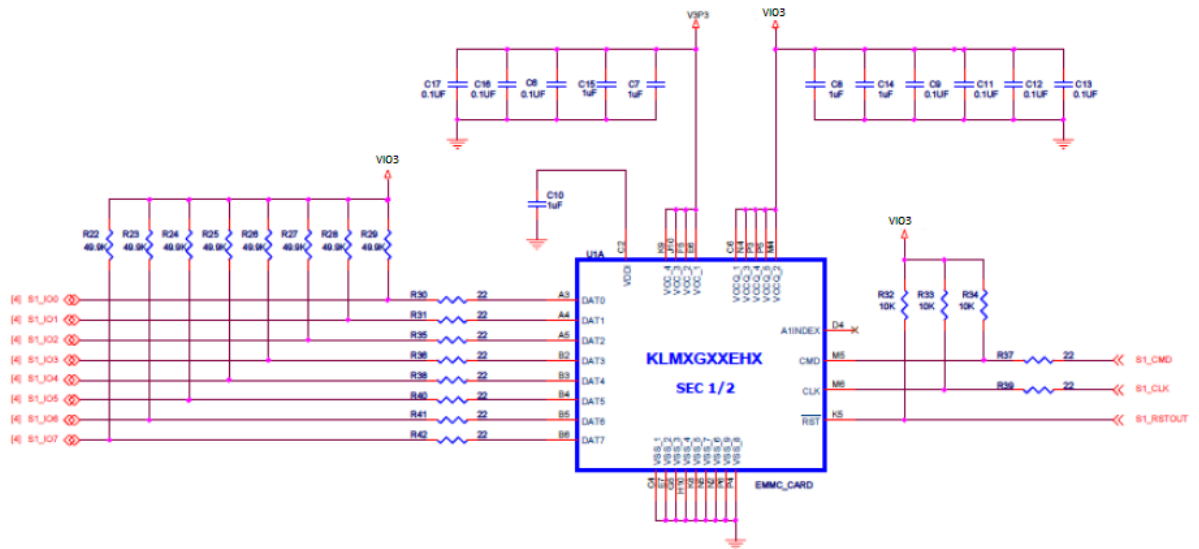
图 35. SD/MMC 卡电路



注意：

1. VIO2S0_VIO3S1 – VIO2S0 或 VIO3S1
根据连接到存储子卡的位置，该供电电压可以为 VIO2 或 VIO3。如果存储子卡连接到 S0 端口，将使用 VIO2，如果存储子卡连接到 S1 端口，将使用 VIO3。
2. SD 卡连接到 S1 端口时，某些串行接口将不可用。有关详细信息，请参考 FXS 数据手册中的引脚说明一节。

图 36. eMMC 器件



14 原理图和布局检查表

表 11 是所有重要指南的检查表。它为每一个检查表的条目提供了答案，通过它您可以了解当前硬件是否符合准则的要求。

表 11. 原理图和布局检查表

序号	原理图检查表	答案 (是/否/未确定)
1	去耦电容和批量电容是否根据表 3 进行连接?	
2	晶振是否符合本应用手册中的规范?	
3	在 AVDD、U3TXVDD、U3RXVDD 和 CVDD 上是否连接了铁氧体磁珠?	
4	上电复位 RC 组件是否满足最小复位时间 (1 ms) 的要求?	
5	USB 高精度电阻的容差是否为 1%?	
6	I ² C 线是否通过上拉电阻被拉到 VIO5 域?	
7	USB 端口屏蔽是否正常停止?	
8	SuperSpeed USB 线是否连接到 ESD 器件?	
9	GPIF 线是否连接到 22 Ω 串联电阻?	
10	PMODE 线是否按表 9 的指南进行连接?	
11	SPI Flash 是否满足本应用笔记中的规范?	
12	您是否确保 JTAG 线没有上拉电阻?	
序号	PCB 布局检查表	答案 (是/否/未确定)
1	是否已经将晶振放置在接近芯片 (低于 2 cm) 的位置?	
2	去耦电容和批量电容是否被放置在接近 FX3 电源引脚的位置?	
3	时钟走线与高速数据走线和电源走线是否相互隔离开?	
4	电源走线与高速数据走线和时钟走线是否相互隔离开?	
5	RC 复位电路中的电容是否被放置在靠近 FX3 的复位引脚的位置?	
6	USB SS 和 HS 信号线的差分阻抗是否为 90 Ω ?	
7	USB SS 和 HS 信号线的长度是否一致?	
8	是否向 USB 数据线的下面放置了实心的接地层?	
9	是否沿着 USB 数据走向 SS 走线提供了缝合过孔的防护线?	
10	是否在 TX 线上向 SS 走线提供了交流去耦电容 (0.1 μ F) ?	
11	是否已经尽可能地缩短了 USB 走线?	
12	是否确保在所有 USB 走线上没有任何短截线?	
13	是否确保 SS 走线上没有任何过孔?	
14	USB 走线是否少弯, 并且没有发生 90 度的弯曲?	
15	是否根据电容的外形对交流去耦电容正下方的两层进行截断?	
16	SS 和 HS USB 走线是否按照相同的间距进行布线?	

15 总结

本文档介绍了开发者需要考虑的 EZ-USB® FX3™/FX3S™硬件设计及其关键项目的建议实践。

16 参考

更多有关信息，请参考下列文档：

- 电路设计的伴侣，版本 2（设计工程师的 EDN 系列），作者：Tim Williams
- 实际世界 EMI 控制的 PCB 设计（工程和计算机科学的 Springer 国际系列），作者：Bruce R. Archambeault 和 James Drewniak
- 印刷电路手册（McGraw Hill 手册），作者：Clyde Coombs
- EMC 和印刷电路板：设计、理论和布局变得更加简单，作者：Mark I. Montrose
- 信号集成问题和印刷电路板设计，作者：Douglas Brooks

关于作者

姓名：Hussein Osman
职务：系统工程师负责人

A 附录 A — PCB 布局提示

许多经典方法应用于设计 PCB 时，降低低噪声和 EMC。这些方法包括：

- **多层：**虽然比较昂贵但最好方法是使用一个多层 PCB，其中 Vss 和 VDD 供电具有单独一层。这样可以使去耦和屏蔽效果更好。这些层上的单独填充将使用于 VSSA、VSSD、VDDA 和 VDDD。

为了减少成本，可以使用一个两层的 PCB 或单层的 PCB。在这种情况下，必须有良好的 Vss 和 VDD 布局。

- **组件位置：**根据电磁干扰（EMI）的影响来区分 PCB 上的不同电路。这样会降低 PCB 上的交叉耦合。例如，应该将噪声高电流电路、低电压电路和数字组件互相分开。

- **接地和电源：**必须有一个用于收集所有接地返回的单点。避免接地环路或最小化它们的面积。PCB 上的所有空表面中应该填充地面，以创建一个屏蔽，特别是在使用两层 PCB 或单层 PCB 时。

为了最小化电源回路区，该电源必须靠近接地线。该电源回路可作为一个天线、EMI 的主发射器或接收器使用。

- **解耦：**外部电源的标准去耦器为 100 μF 电容。为了降低高频电源纹波，补充的 0.1 μF 电容必须离器件 Vss 和 VDD 引脚非常近。

总体来说，应该去耦所有灵敏信号或噪声信号，这样可以提高电磁兼容性（EMC）的性能。该去耦可以是电容去耦和电感去耦。

- **信号布线：**为了提高 EMC 的性能，在设计某一应用时，必须仔细考虑下面各内容：

- 噪声信号，如快速沿时间的信号
- 敏感信号和高阻抗信号
- 捕获事件信号，如中断和选通信号

为了提高 EMC 性能，要使走线长度最小，并使这些走线和 Vss 走线互相隔离。为了避免串扰，请勿将这些走线靠近其他嘈杂和敏感走线或与其并行排列。

文档修订记录

文档标题: AN70707- EZ-USB® FX3™/FX3S™硬件设计指南和原理图检查表

文档编号: 001- 88725

版本	ECN	变更者	提交日期	变更说明
**	4089287	LWEN	08/07/2013	本文档版本号为 Rev**, 译自英文版 001-70707 Rev*F。
*A	4950319	LIP	10/07/2015	本文档版本号为 Rev*A, 译自英文版 001-70707 Rev*K。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 培训

技术支持

cypress.com/go/support

EZ-USB 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

	赛普拉斯半导体公司	电话	: 408-943-2600
	198 Champion Court	传真	: 408-943-4730
	San Jose, CA 95134-1709	网址	: www.cypress.com

© 赛普拉斯半导体公司，2011-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受限于赛普拉斯软件许可协议。