

07.04.23



SAYISAL TASARIM (BM222) LAB
ÖDEV-3 RAPORU

HAZIRLAYAN:

AD-SOYAD : SÜMEYYE ARMUTCU

OKUL NO: 21118080009

Kanonik Form – Minterm – Maxterm – SOP – POS :

AB/CD	00	01	11	10
00	1	0	0	1
01	1	1	1	0
11	1	0	0	1
10	1	0	0	1

$F(A, B, C, D) = \sum (0, 2, 4, 5, 7, 8, 10, 12, 14)$
 $= m_0 + m_2 + m_4 + m_5 + m_7 + m_8 + m_{10} + m_{12} + m_{14}$

$F = B'D' + A'BD + AD' + A'BC'$

Kanonik form oluşturulurken mümkün olan en büyük gruplarla gruplanır, sonra küçük gruplara geçilir.

Yapılan gruplamanın dahil olduğu satır ve sütundaki ortak harflerle (A, B, C ve D gibi) kanonik form oluşturulur.

$$F = A'B'C'D' + A'B'C'D + A'BC'D' + A'BC'D + A'BCD + AB'C'D' + AB'C'D + ABC'D' + ABCD$$

(SOP)

$$F(A, B, C, D) = \prod (1, 3, 6, 9, 11, 13, 15)$$

$$= M_1 \cdot M_3 \cdot M_6 \cdot M_9 \cdot M_{11} \cdot M_{13} \cdot M_{15}$$

$$F = (A+B+C+D')(A+B+C'+D')(A+B'+C'+D)(A'+B+C+D') \\ (A'+B+C'+D')(A'+B'+C+D')(A'+B'+C'+D')$$

(POS)

Kanonik form modülünün kodları:

```
C:/intelFPGA/18.1/work/kano.v - Default
Ln#
1  module kano(f_k,a,b,c,d);
2
3      input a,b,c,d;
4      output f_k;
5
6      wire w_1,w_2,w_3,w_4;
7      wire not_a,not_b,not_c,not_d;
8
9      not(not_a,a);
10     not(not_b,b);
11     not(not_c,c);
12     not(not_d,d);
13
14
15     and(w_1,not_b,not_d);
16     and(w_2,not_a,b,d);
17     and(w_3,a,not_d);
18     and(w_4,not_a,b,not_c);
19
20     or(f_k,w_1,w_2,w_3,w_4);
21
22 endmodule
23
```

POS modülünün kodları:

```
C:/intelFPGA/18.1/work/pos.v - Default
Ln#
1  module pos(f_p,a,b,c,d);
2
3      input a,b,c,d;
4      output f_p;
5
6      wire w_1,w_2,w_3,w_4,w_5,w_6,w_7;
7      wire not_a,not_b,not_c,not_d;
8
9      not(not_a,a);
10     not(not_b,b);
11     not(not_c,c);
12     not(not_d,d);
13
14
15     or(w_1,a,b,c,not_d);
16     or(w_2,a,b,not_c,not_d);
17     or(w_3,a,not_b,not_c,d);
18     or(w_4,not_a,b,c,not_d);
19     or(w_5,not_a,b,not_c,not_d);
20     or(w_6,not_a,not_b,c,not_d);
21     or(w_7,not_a,not_b,not_c,not_d);
22
23     and(f_p,w_1,w_2,w_3,w_4,w_5,w_6,w_7);
24
25 endmodule
26
27
```

SOP modülünün kodları:

```
C:/intelFPGA/18.1/work/sop.v - Default
Ln#
1 module sop(f_s,a,b,c,d);
2
3 input a,b,c,d;
4 output f_s;
5
6 wire w_1,w_2,w_3,w_4,w_5,w_6,w_7,w_8,w_9;
7 wire not_a,not_b,not_c,not_d;
8
9 not(not_a,a);
10 not(not_b,b);
11 not(not_c,c);
12 not(not_d,d);
13
14
15 and(w_1,not_a,not_b,not_c,not_d);
16 and(w_2,not_a,not_b,c,not_d);
17 and(w_3,not_a,b,not_c,not_d);
18 and(w_4,not_a,b,not_c,d);
19 and(w_5,not_a,b,c,d);
20 and(w_6,a,not_b,not_c,not_d);
21 and(w_7,a,not_b,c,not_d);
22 and(w_8,a,b,not_c,not_d);
23 and(w_9,a,b,c,not_d);
24
25 or(f_s,w_1,w_2,w_3,w_4,w_5,w_6,w_7,w_8,w_9);
26
27 endmodule
28
```

Test bench kodları:

```
C:/intelFPGA/18.1/work/tb.v - Default C:/intelFPGA/18.1/work/tb.v - Default C:/intelFPGA/18.1/work/tb.v - Default
Ln# Ln# Ln#
1 module tb(); 42 80 c=l'b1;
2 reg a,b,c,d; 43 a=l'b0; 81 d=l'b0;
3 wire f_k,f_p,f_s; 44 b=l'b1; 82
4 kano kan_0(f_k,a,b,c,d); 45 c=l'b0; 83 #100
5 pos pos_0(f_p,a,b,c,d); 46 d=l'b1; 84
6 sop sop_0(f_s,a,b,c,d); 47 85 a=l'b1;
7 initial begin 48 #100 86 b=l'b0;
8 a=l'b0; 49 87 c=l'b1;
9 b=l'b0; 50 a=l'b0; 88 d=l'b1;
10 c=l'b0; 51 b=l'b1; 89
11 d=l'b0; 52 c=l'b1; 90 #100
12 53 d=l'b0; 91
13 #100 54 92 a=l'b1;
14 55 #100 93 b=l'b1;
15 a=l'b0; 56 94 c=l'b0;
16 b=l'b0; 57 a=l'b0; 95 d=l'b0;
17 c=l'b0; 58 b=l'b1; 96
18 d=l'b1; 59 c=l'b1; 97 #100
19 60 d=l'b1; 98
20 #100 61 99 a=l'b1;
21 62 #100 100 b=l'b1;
22 a=l'b0; 63 101 c=l'b0;
23 b=l'b0; 64 a=l'b1; 102 d=l'b1;
24 c=l'b1; 65 b=l'b0; 103
25 d=l'b0; 66 c=l'b0; 104 #100
26 67 d=l'b0; 105
27 #100 68 106 a=l'b1;
28 69 #100 107 b=l'b1;
29 a=l'b0; 70 108 c=l'b1;
30 b=l'b0; 71 a=l'b1; 109 d=l'b0;
31 c=l'b1; 72 b=l'b0; 110
32 d=l'b1; 73 c=l'b0; 111 #100
33 74 d=l'b1; 112
34 #100 75 113 a=l'b1;
35 76 #100 114 b=l'b1;
36 a=l'b0; 77 115 c=l'b1;
37 b=l'b1; 78 a=l'b1; 116 d=l'b1;
38 c=l'b0; 79 b=l'b0; 117
39 d=l'b0; 80 c=l'b1; 118
40 81 d=l'b0; 119 end
41 #100 82 120 endmodule
42 83 #100 121
```

Simülasyon görüntüsü:

