

11.05.23



SAYISAL TASARIM (BM222) LAB
ÖDEV-5 RAPORU

HAZIRLAYAN:

AD-SOYAD : SÜMEYYE ARMUTCU

OKUL NO: 21118080009

BCD toplayıcı kodu:

```
C:/intelFPGA/18.1/work/BCD_Add.v - Default *
Ln#
1 module BCD_Add(A, B, Cin, S, C_4);
2     input [3:0] A;
3     input [3:0] B;
4     input Cin;
5     output [3:0] S;
6     output C_4;
7
8     wire [1:0] C_temp;
9     wire [3:0] S_temp;
10    wire cout1;
11    wire cout2;
12
13    dbt dbt1(cout1,S_temp,A,B,Cin);
14    //sayı invalid mi kontrolü
15    and (C_temp[0],S_temp[3],S_temp[2]);
16    and (C_temp[1],S_temp[3],S_temp[1]);
17    or(C_4,C_temp[1],C_temp[0],cout1);
18    //eğer sayı [0,9] aralığı dışındaysa +0110 (6) ekleme işlemi
19    dbt dbt2(cout2,S,S_temp,{1'b0,C_4,C_4,1'b0},1'b0);
20
21    endmodule
```

Kendi toplayıcı kodum [0,11] aralığı:

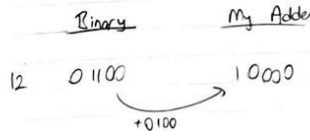
```
C:/intelFPGA/18.1/work/My_Add.v (/All_Adders_TB/My_Add_1) - Default *
Ln#
1 module My_Add(A, B, Cin, S, C_4);
2     input [3:0] A;
3     input [3:0] B;
4     input Cin;
5     output [3:0] S;
6     output C_4;
7
8     wire C_temp;
9     wire [3:0] S_temp;
10    wire cout1;
11    wire cout2;
12
13
14    dbt dbt1(cout1,S_temp,A,B,Cin);
15    //sayı invalid mi kontrolü
16    and (C_temp,S_temp[3],S_temp[2]);
17
18    or(C_4,C_temp,cout1);
19    //eger sayı [0,11] aralığında değil ise +0100 (4) ekleme işlemi
20    dbt dbt2(cout2,S,S_temp,{1'b0,C_4,1'b0,1'b0},1'b0);
21
22    endmodule
```

	K	S ₃	S ₂	S ₁	S ₀
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	0
3	0	0	0	1	1
4	0	0	1	0	0
5	0	0	1	0	1
6	0	0	1	1	0
7	0	0	1	1	1
8	0	1	0	0	0
9	0	1	0	0	1
10	0	1	0	1	0
11	0	1	0	1	1
12	1	1	1	0	0
13	1	1	1	0	1
14	1	1	1	1	0
15	1	1	1	1	1
16	1	0	0	0	0
17	1	0	0	0	1
18	1	0	0	1	0
19	1	0	0	1	1

S ₃	S ₂	S ₁	S ₀	f
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

S ₃ S ₂	S ₁ S ₀				
00	00	0	1	1	0
00	01	0	0	0	0
01	00	0	0	0	0
01	01	1	1	1	1
10	00	0	0	0	0

$$f = S_3 S_2 \quad f_1 = f + \text{Carry}$$



Doğruluk Tablosu ile [0,11] aralığı dışında kalan sayıların elde olarak verilmesi fonksiyonunu oluşturdum. Sayı invalid ise f=1 olur mantığı ile doğruluk tablosu ve Karnaugh haritası oluşturdum. Soldan ilk ve ikinci basamak 1 olduğu her durumda veya K eldesi 1 olduğu her durumda sayımız invalid olacaktır.

Haritadan $f = S_3 S_2 + K$ fonksiyonunu elde ettim. Ayrıca binary sayının kendi toplayıcım için uygun hale dönüşmesi için 0100(binary) sayısı ile toplanması gerektiğini buldum.

Bulduğum fonksiyona göre kodumda, sayı invalid mi kontrolü yaptım ve invalid ise 0100(binary) sayısını ekledim. Değil ise 0000(binary) ekledim yani bir müdehale yapmadım. Bu şekilde kendi toplayıcımı oluşturmuş oldum.

Test bench kodları:

```
C:/intelFPGA/18.1/work/All_Adders_TB.v - Default *
Ln#
1  module All_Adders_TB;
2      reg [3:0] A;
3      reg [3:0] B;
4      reg Cin;
5      wire [3:0] S_dbt;
6      wire Cout_dbt;
7      wire [3:0] S_ma;
8      wire Cout_ma;
9      wire [3:0] S_BCD;
10     wire Cout_BCD;
11
12     My_Add My_Add_1(A, B, Cin, S_ma, Cout_ma);
13     dbt dbt1(Cout_dbt,S_dbt,A,B,Cin);
14     BCD_Add BCD_Add_1(A, B, Cin, S_BCD, Cout_BCD);
15
16     initial begin
17         //A=2, B=3, Cin=1 => Top:6
18         A = 4'b0010;
19         B = 4'b0011;
20         Cin = 1'b1;
21         #100;
22
23         //A=7, B=2, Cin=1 => Top:10
24         A = 4'b0111;
25         B = 4'b0010;
26         Cin = 1'b1;
27         #100;
28
29         //A=8, B=4, Cin=0 => Top:12
30         A = 4'b1000;
31         B = 4'b0100;
32         Cin = 1'b0;
33         #100;
34
35     end
36 endmodule
```

İlk durumda tüm toplayıcıların aynı sonucu verdiği toplama işlemini gerçekleştirdim.

BCD[0,9] aralığı en küçük aralık olduğu için bu aralık içinde bir toplam elde edildiğinde

tüm toplayıcıların aralığında olacağı için [0-9] aralığından 6'yı seçtim.

İkinci durumda siz BCD ve 4 bitlik toplayıcının aynı ama kendi toplayıcının farklı olduğu

durumu istemişsiniz fakat böyle bir durum oluşamaz. Ben kendi toplayıcım ve 4 bitlik

toplayıcının aynı, BCDnin farklı olduğu durumu seçtim. Bu da BCD aralığı dışı, Kendi

toplayıcının aralığının içi demek yani [10,11] aralığından 10u seçtim.

Son durumda ise hepsinin farklı sonuç vermesi için BCD ve kendi toplayıcının aralıkları

dışında seçmem gerekiyordu, [0,9] ve [0,11] aralığı dışında 12yi seçtim.

Simülasyon görüntüsü:

Wave - Default					
		Msgs			
+ ◆	/All_Adders_TB/A	0010	0010	0111	1000
+ ◆	/All_Adders_TB/B	0011	0011	0010	0100
◆	/All_Adders_TB/Cin	1			
+ ◆	/All_Adders_TB/S_dbt	0110	0110	1010	1100
◆	/All_Adders_TB/Cout_dbt	St0			
+ ◆	/All_Adders_TB/S_ma	0110	0110	1010	0000
◆	/All_Adders_TB/Cout_ma	St0			
+ ◆	/All_Adders_TB/S_BCD	0110	0110	0000	0010
◆	/All_Adders_TB/Cout_BCD	St0			