

计算机系统结构课程考核试题答案

一、名词解释（每题 3 分，共 15 分）

耦合度——反映多机系统中各计算机之间物理连接的紧密程度和交互作用能力的强弱。

数据相关——考虑两条指令 i 和 j ， i 在 j 的前面，如果下述条件之一成立，则称指令 j 与指令 i 数据相关：（1）指令 j 使用指令 i 产生的结果；（2）指令 j 与指令 k 数据相关，而指令 k 又与指令 i 数据相关。

向后兼容——按某个时期投入市场的某种型号计算机编制的程序，不加修改地就能运行于在它之后投入市场的计算机。

命中时间——访问 Cache 命中时所用的时间。

定向技术——用来解决写后读冲突的。在发生写后读相关的情况下，在计算结果尚未出来之前，后面等待使用该结果的指令并不一定马上就要用该结果。如果能够将该计算结果从其产生的地方直接送到其它指令需要它的地方，那么就可以避免停顿。

二、填空（每空 1 分，共 14 分）

- 1、Flynn 分类法、冯氏分类法
- 2、变长编码格式、固定长度编码格式、混合型编码格式
- 3、从前调度，从目标处调度，从失败处调度
- 4、50%、2.5%
- 5、容量、速度
- 6、集中式共享存储器结构、分布式存储器结构

三、（10 分）计算机系统设计中经常使用的 4 个定量原理是什么？请说出它们的含义。

答：（1）以经常性事件为重点。在计算机系统的设计中，对经常发生的情况，赋予它优先的处理权和资源使用权，以得到更多的总体上的改进。

（2）Amdahl 定律。加快某部件执行速度所获得的系统性能加速比，受限于该部件在系统中所占的重要性。

（3）CPU 性能公式。

执行一个程序所需的 CPU 时间 $= IC \times CPI \times \text{时钟周期时间}$

（4）程序的局部性原理。程序在执行时所访问地址的分布不是随机的，而是相对地簇聚。

四、（8 分）

表 3.1 MIPS 流水线的每个流水段的操作

流水段	所有指令		
	ALU 指令	load/store 指令	分支指令

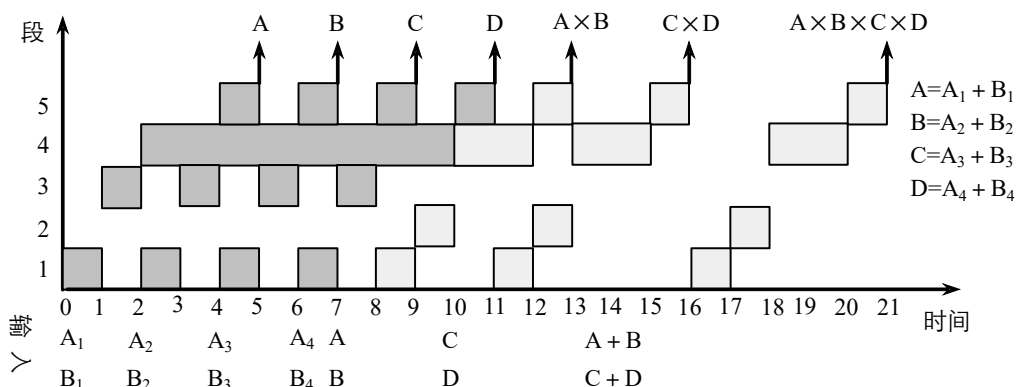
EX	\leftarrow EX/MEM.IR ID/EX.IR ; EX/MEM.ALUo \leftarrow ID/EX.A <i>func</i> ID/EX.B 或 EX/MEM.ALUo \leftarrow ID/EX.A <i>op</i> ID/EX.Imm ;	\leftarrow EX/MEM.IR ID/EX.IR ; EX/MEM.ALUo \leftarrow ID/EX.A + ID/EX.Imm ; EX/MEM.B \leftarrow ID/EX.B ;	EX/MEM.IR \leftarrow ID/EX.IR ; EX/MEM.ALUo \leftarrow ID/EX.NPC + ID/EX.Imm $\ll 2$; EX/MEM.cond \leftarrow (ID/EX.A == 0) ;
----	--	---	---

五、（8分）

- 容量小、结构简单的 Cache：硬件越简单，速度就越快。
- 虚拟 Cache：可以直接用虚拟地址进行访问的 Cache，其标识存储器中存放的是虚拟地址，进行地址检测用的也是虚拟地址。
- Cache 访问流水化：把对第一级 Cache 的访问按流水方式组织，这样一来，就使得访问 Cache 需要多个时钟周期才可以完成。
- 踪迹 Cache 中存放的是 CPU 所执行过的动态指令序列，其中包含了由分支预测展开了的指令。该分支预测是否正确需要在取到该指令时进行确认。

六、（16分）

（1）时空图



（2）吞吐率 $7/21 \Delta t$ 、加速比 1.67、效率 33.3%

七、（13分）

（1）当一个块处于未缓冲状态时，对该块发出的请求及处理操作为：

读失效——将存储器数据送往请求方处理器，且该处理器成为该块的唯一共享结点，本块的状态变成共享。

写失效——将存储器数据送往请求方处理器，该块的状态变成专有，表示该块仅存在唯一的有效副本。其共享集合仅包含该处理器，指出该处理器是其拥有者。

（2）当一个块处于共享状态时，其在存储器中的数据是当前最新的，对该块发出的请求及处理操作为：

读失效——将存储器数据送往请求方处理器，并将其加入共享集合。

```

graph TD
    E((E)) -- "WMiss/发 Invalidate,  
DReply, 共享集={P}" --> S((S))
    S((S)) -- "WMiss/发 Invalidate,  
DReply, 共享集={P}" --> E
    S((S)) -- "RdMiss/DReply,  
把 P 加入共享集" --> S
    U((U)) -- "WMiss/发 DReply,  
共享集={P}" --> E
    U((U)) -- "RdMiss/发 DReply,  
共享集={P}" --> S
  
```

U: 未缓存 (Uncached) S: 共享 (Shared): 只读
E: 独占 (Exclusive): 可读写 P: 本地处理器

答：采用这种方法时，在命中情况下，访问 Cache 的过程和直接映象 Cache 中的情况相同；而发生不命中时，在访问下一级存储器之前，会先检查 Cache 另一个位置（块），看是否匹配。确定这个另一块的一种简单的方法是将索引字段的最高位取反，然后按照新索引去寻找伪相联组中的对应块。如果这一块的标识匹配，则称发生了伪命中。否则，就只好访问下一级存储器。

$$\text{平均访存时间}_{\text{伪相联}} = \text{命中时间}_{1\text{路}} + (\text{失效率}_{1\text{路}} - \text{失效率}_{2\text{路}}) \times \text{伪命中的额外开销} + \text{失效率}_{2\text{路}} \times \text{失效开销}_{1\text{路}}$$

指令	指令执行状态		
	流出	执行	写结果
L.D F8, 21 (R3)	1	2-5	6
L.D F4, 16 (R4)	2	3-6	7
MUL.D F2, F4, F6	3	8-	
SUB.D F10, F8, F4	4	8-9	10
DIV.D F12, F2, F8	5		
ADD.D F8, F10 F4	6		

名称	保留站内容						
	Busy	Op	Vj	Vk	Qj	Qk	A
Load 1	no						
Load 2	no						
Add 1	no						
Add 2	yes	ADD.D	Mem[21+Regs[R3]] – Mem16+Regs[R4]]	Mem16+Regs[R4]]			
Add 3	no						
Mult 1	yes	MUL.D	Mem16+Regs[R4]]	Regs[F6]			
Mult 2	yes	DIV.D		Mem[21+Regs[R3]]	Mult1		

	寄存器状态							
	F0	F2	F4	F6	F8	F10	F12	...
Qi		Mult1	Load2		Add2	Add1	Mult2	
值			Mem16+Regs[R4]]		Mem[21+Regs[R3]]	Mem[21+Regs[R3]] – Mem16+Regs[R4]]		