



## Homework 01

Ren-Der Chen (陳仁德)  
Department of Computer Science and  
Information Engineering  
National Changhua University of Education  
E-mail: rdchen@cc.ncue.edu.tw  
Fall, 2019

### 2個數字之排序電路

n 圖(a)為2個數字之排序電路(sort2.v)，圖(b)與(c)分別為其遞增與遞減之示意圖。

n 輸入/輸出信號

! input [7:0] A, B;

! output [7:0] minAB, maxAB;

Verilog Hints: #2為假設之delay

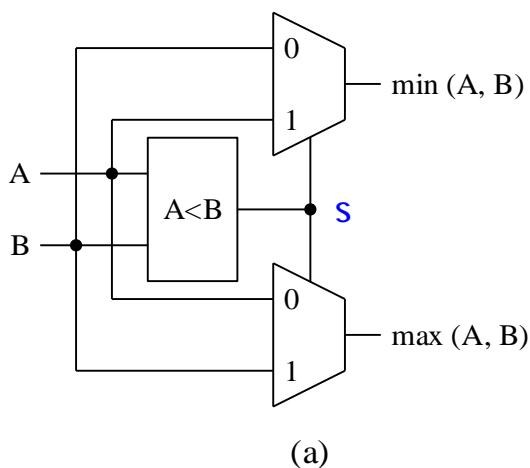
[A < B]

assign #2 s = (A < B) ? 1'b1 : 1'b0;

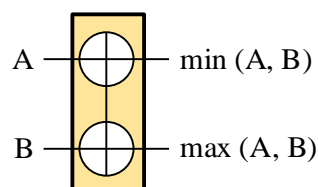
[Mux2]

assign #2 minAB = (s == 1) ? A : B;

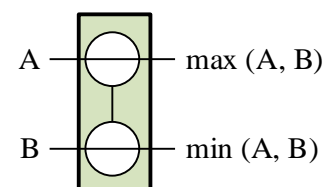
assign #2 maxAB = (s == 1) ? B : A;



(a)



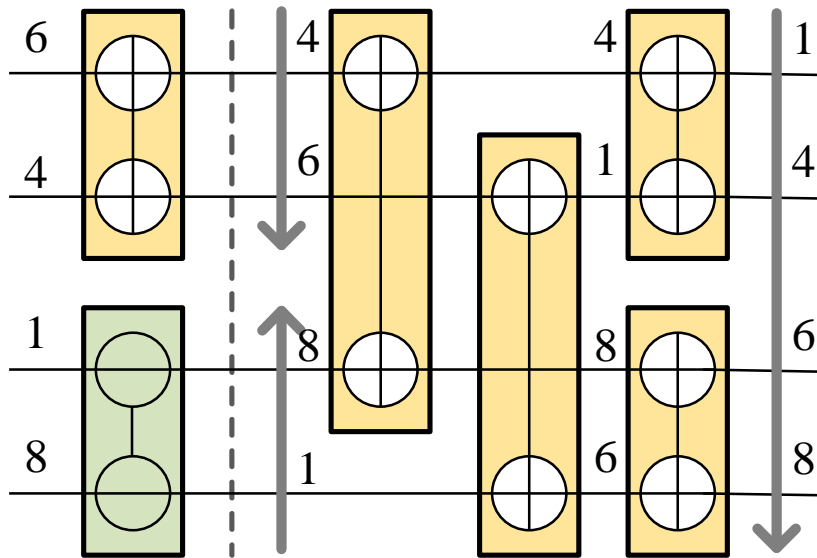
(b)



(c)

## 4個數字之排序電路

- n 利用2個數字之排序電路(6個sort2)，組成4個數字之排序電路(sort4.v)。



3

## 作業描述 (1/3)

- n 利用Verilog設計一個4個數字之排序電路(sort4.v)，並驗證其功能。
- n 電路之輸入/輸出信號
  - ! **input** [7:0] x0, x1, x2, x3;
  - ! **output** [7:0] y0, y1, y2, y3;
- n 另外再設計一個testbench檔案(sort4\_tb.v)來驗證電路的正確性。

4

## 作業描述 (2/3)

---

- n 請使用Modelsim進行Functional simulation，觀察text message及waveform之輸出。
- n 三組測試樣本
  - l  $X = \{20, 10, 30, 50\}$
  - l  $X = \{30, 20, 15, 70\}$
  - l  $X = \{70, 90, 60, 40\}$

5

## 作業描述 (3/3)

---

- n Text message部分，針對每組測試樣本，先列印出4個輸入值X，再印出4個輸出排序值Y。
- n Waveform部分，應清楚標示出每組測試樣本之4個輸入值，及4個輸出值。

6

# 作業繳交

---

- n 繳交之作業檔案請以”您的學號\_01”(ex. **S0754000\_01**)命名，包含
  - l Verilog原始檔 (請全部壓縮成一個**S0754000\_01.zip**)
  - l 作業報告檔 (請參考範本 **S0754000\_01.ppt**)
- n 繳交方式：彰化師大雲端學院，課程作業區，以附檔作答
- n 繳交期限：**2019/10/16 (三) 12:00**
- n 有關課程及作業相關問題，可於FB社團 (**2019\_硬體描述語言**) 提出討論