



Homework 02

Ren-Der Chen (陳仁德)
Department of Computer Science and
Information Engineering
National Changhua University of Education
E-mail: rdchen@cc.ncue.edu.tw
Fall, 2019

作業描述 (1/3)

- n 設計一個組合電路(alu.v)，其input/output信號如下
 - l **input** [5:0] A, [5:0] B, [2:0] op, **output** [5:0] Y
- n 電路功能
 - l 若op之值為3'b000時，Y之值為 $A + B$
 - l 若op之值為3'b001時，Y之值為 $A - B$
 - l 若op之值為3'b010時，Y之值為 $A + 1$
 - l 若op之值為3'b011時，Y之值為 $A - 1$
 - l 若op之值為3'b100時，Y之值為 $A \text{ AND } B$
 - l 若op之值為3'b011時，Y之值為 $A \text{ OR } B$
 - l 若op之值為3'b110時，Y之值為 $\text{NOT } A$
 - l 若op之值為3'b111時，Y之值為 A、B中較大者

作業描述 (2/3)

- n 另外再設計一個testbench (alu_tb.v)來驗證電路的正確性。
- n 請使用Modelsim進行Functional simulation，觀察text message及waveform之輸出。
- n 測試樣本
 - | A = 6'b010001 (6'd17), B = 6'b001101 (6'd13), op = 3'b000~3'b111
 - | A = 6'b001001 (6'd9), B = 6'b010010 (6'd18), op = 3'b000~3'b111
 - | 共有16組輸出

3

作業描述 (3/3)

- n Text message部分，每隔10 ns列印出一組執行結果，格式如下所示：

Time: 10 ns, A=6'b010001 (6'd17), B=6'b001101 (6'd13),
op=3'b000, Y=6'b011110 (6'd30)

Time: 20 ns, A=6'b010001 (6'd17), B=6'b001101 (6'd13),
op=3'b001, Y = 6'b000100 (6'd4)

...

依此類推

4

作業繳交

- n 繳交之作業檔案請以”您的學號_01”(ex. **S0754000_02**)命名，包含
 - l Verilog原始檔 (請全部壓縮成一個**S0754000_02.zip**)
 - l 作業報告檔 (請參考範本 **S0754000_02.ppt**)
- n 繳交方式：彰化師大雲端學院，課程作業區，以附檔作答
- n 繳交期限：**2019/11/13 (三) 12:00**
- n 有關課程及作業相關問題，可於FB社團 (**2019_硬體描述語言**) 提出討論