

术语

积分非线性 (INL)

INL 是通过 ADC 传输函数端点的直线的最大偏差。转换函数的端点为零刻度，低于第一个代码转换的 $\frac{1}{2}$ LSB，满刻度，高于最后一个代码转换的 $\frac{1}{2}$ LSB。

差分非线性 (DNL)

DNL 是 ADC 中任意两个相邻编码之间 1 LSB 变化的测量值与理想值之间的差值。

双极零码错误

双极性零码误差是中值转换（所有 1 到所有 0）与理想值（ $0\text{ V} - \frac{1}{2}\text{ LSB}$ ）的偏差。

双极零码错误匹配

双极零码误差匹配是指任意两个输入通道之间双极零码误差的绝对差值。

开路代码错误

开路代码错误是指当模拟输入端开路且模拟输入对引脚之间连接有下拉电阻器 (R_{PD}) 时的 ADC 输出代码。详见图 95。

正全量程 (PFS) 误差

在双极范围内，PFS 误差是指实际最后一次代码转换与理想最后一次代码转换的偏差（例如， $10\text{ V} - 1\frac{1}{2}\text{ LSB}$ (9.99988)， $5\text{ V} - 1\frac{1}{2}\text{ LSB}$ (4.99994)，或 $2.5\text{ V} - 1\frac{1}{2}\text{ LSB}$ (2.49997)) 调节掉双极性零码误差后的误差。PFS 误差包括来自参考缓冲区的误差。

正全量程 (PFS) 误差匹配

PFS 误差匹配是任意两个输入通道之间正全量程误差的绝对差值。

负全量程 (NFS) 误差

在双极范围内，NFS 误差是第一个代码转换与理想的第一个代码转换的偏差（例如， $-10\text{ V} + \text{NFS}$ ）。

$\frac{1}{2}\text{ LSB}$ (-9.99996)、 $-5\text{ V} + \frac{1}{2}\text{ LSB}$ (-4.99998) 或 $-2.5\text{ V} + \frac{1}{2}\text{ LSB}$ (-2.49999)) 调节掉双极性零码误差后的结果。NFS 误差包括来自参考缓冲区的误差。

负全量程 (NFS) 误差匹配

NFS 误差匹配是任意两个输入通道之间负全量程误差的绝对差值。

满刻度 (FS) 误差

在单极性范围内，FS 误差是调整掉零刻度误差后，实际最后一次代码转换与理想最后一次代码转换的偏差（例如， $10\text{ V} - 1\frac{1}{2}\text{ LSB}$ (9.99954)，或 $5\text{ V} - 1\frac{1}{2}\text{ LSB}$ (4.99977))。FS 误差包括参考缓冲器的贡献值

零刻度 (ZS) 误差

在单极范围内，ZS 误差是第一个代码转换与理想的第一个代码转换的偏差，即 $0\text{ V} - \frac{1}{2}\text{ LSB}$ 。

$PSRR\ (dB) = 20\ log\ (0.1/P_{fS})$

未调整总误差 (TUE)

TUE 是输出代码与理想值的最大偏差。TUE 包括 INL 误差、双极零码和正负满量程误差以及基准误差。

信号噪声失真比 (SINAD)

SINAD 比率是指在 ADC 输出端测得的信号-噪声-失真比率。信号是基波的均方根幅值。噪声是采样频率一半 ($f_S/2$ ，不包括直流) 以下所有非基波信号的总和。

该比率取决于数字化过程中的量化级数：量化级数越多，量化噪声越小。

正弦波输入的理想 N 位转换器的理论 SINAD 值为

$SINAD = (6.02N + 1.76)\ dB$

因此，对于 16 位转换器，SINAD 为 98 dB。

总谐波失真 (THD)

THD 是谐波有效值之和与基波之比。对于 AD7606C-18 而言，其定义为

总谐波失真 (分贝) =

$20\log$

1

$$\frac{\sqrt{V_{22}^2 + V_{32}^2 + V_{42}^2 + V_{52}^2 + V_{62}^2 + V_{72}^2 + V_{82}^2 + V_{92}^2}}{V}$$

V

在哪里？

V_2 至 V_9 为第二次至第九次谐波的均方根幅值。

V_1 是基波的均方根振幅。

谐波或杂散噪声峰值

谐波或杂散噪声峰值是 ADC 输出频谱中次大分量的均方根值 (最大 $f_S/2$ ，不包括直流) 与基波均方根值之比。通常，该规格的值由频谱中最大的谐波决定，但对于谐波被掩埋在本底噪声中的 ADC，该值由噪声峰值决定。

电源抑制比 (PSRR)

电源变化会影响全量程转换，但不会影响转换器的线性度。电源抑制 (PSR) 是指电源电压与额定值相比发生变化时，满刻度转换点的最大变化。PSRR 的定义是：应用于 ADC 频率 f_S 的 AV_{CC} 电源的 100 mV p-p 正弦波与该频率 f_S 下 ADC 输出功率之比。

在哪里？

P_{fS} 等于耦合到 AV_{CC} 电源上的频率 f_S 功率。

通道间隔离

通道间隔离度是衡量所有输入通道之间串扰程度的指标。

其测量方法是在所有未选择的输入通道上施加高达 200 kHz 的满量程正弦波信号，然后确定在所选通道上施加 1 kHz 正弦波信号时信号的衰减程度（见图 58）。

相位延迟

相位延迟是指从转换器对输入进行采样到从 ADC 读回与采样相关的结果之间的绝对时间延迟，包括设备模拟前端引起的延迟。

相位延迟漂移

相位延迟漂移是指在器件的整个工作温度范围内，单位温度下相位延迟的变化。

相位延迟匹配

相位延迟匹配是指任何同时采样的数据对之间的最大相位延迟。

箱式方法

箱式计算法的计算公式如下

$$TC_{VOUT} = \left| \frac{\max\{V_{OUT}(T_1, T_2, T_3)\} - \min\{V_{OUT}(T_1, T_2, T_3)\}}{v_{out}(t_2) \times (t_3 - t_1)} \right| \times 10^6$$

在哪里？

TC_{VOUT} 单位为 ppm/°C。

$V_{OUT}(T_X)$ 是温度为 T_X 时的输出电压。 $T_1 = -40^\circ\text{C}$

。

$T_2 = +25^\circ\text{C}$ 。

$T_3 = +125^\circ\text{C}$ 。

这种盒式方法可确保 TC_{VOUT} 准确显示测量器件输出电压时三个温度之间的最大差值。

18
运行原理
模拟前端

的每个模拟输入都包含钳位保护电路。尽管采用 5 V 单电源工作，但模拟输入钳位保护允许高达 ±21 V 的输入过压。

AD7606C-18 是一款具有八个通道的 18 位同步采样模数转换 DAS。每个通道都包含模拟输入钳位保护、PGA、LPF 和 18 位 SAR ADC。

模拟输入范围

AD7606C-18 可以处理真正的双极差分、双极单端和单极单端输入电压。在软件模式下，可以为每个通道配置一个单独的模拟输入范围，从地址 0x03 到地址 0x06。在软件模式下，RANGE 引脚上的逻辑电平将被忽略。

在硬件模式下，RANGE 引脚上的逻辑电平决定所有模拟输入通道的模拟输入范围为 ±10 V 或 ±5 V 单端，如表 10 所示。

RANGE 引脚上的逻辑变化会立即影响模拟输入范围。不过，除了正常的采集时间要求外，通常还需要大约 80 μs 的沉淀时间。对于快速吞吐率应用，不建议在转换过程中更改 RANGE 引脚。

表 10.模拟输入范围选择

范围 (V)	硬件模式 ¹	软件模式 ²
±10 单端	RANGE 引脚高电平	地址 0x03 至地址 0x06
±5 单端	RANGE 引脚低电平	地址 0x03 至地址 0x06
任何其他范围	不适用	地址 0x03 至地址 0x06

¹所有八个通道的模拟输入范围相同，均为±10 V 或 ±5 V。

²模拟输入范围是通过内存图按通道选择的。

模拟输入阻抗

AD7606C-18 的模拟输入阻抗最小为 1 MΩ。这是一个固定的输入阻抗，不会随 AD7606C-18 采样频率的变化而变化。这种高模拟输入阻抗使 AD7606C-18 前面不再需要驱动放大器，从而可以直接连接到信号源或传感器。因此，信号链中可以去掉双极电源。

模拟输入钳位保护

图 74 显示了 AD7606C-18 的模拟输入电路。AD7606C-18

图 75 显示了输入钳位电流与钳位电路源电压的关系。对于输入电压高达 $\pm 21\text{ V}$ 时，钳位电路中无电流流动。输入电压高于 $\pm 21\text{ V}$ 时，AD7606C-18 的钳位电路接通。

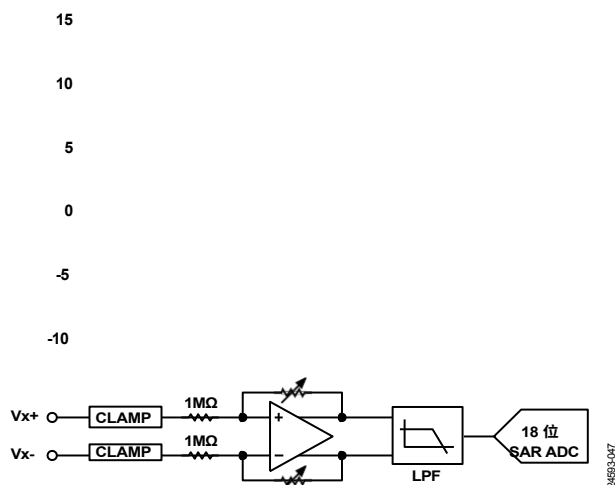


图 74. 每个通道的模拟输入电路

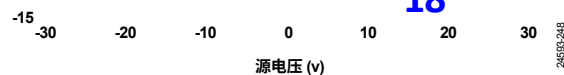
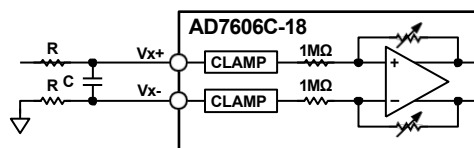


图 75. 输入保护钳曲线

在模拟输入通道 V_{x+} 上存在串联电阻 (R) 的应用中，建议将该电阻 (R) 与 V_{x-} 上的电阻相匹配，以消除引入系统的任何偏移，如图 76 所示。不过，在软件模式下，每个通道的系统偏移校准可消除整个系统的偏移（参见系统偏移校准部分）。

在正常工作期间，不建议让 AD7606C-18 长时间处于模拟输入大于输入范围的状态，因为这会降低双极性零码错误性能。在关机或待机模式下，则不存在这种问题。

图 76. 单端量程 AD7606C-18 模拟输入端的输入电阻匹配 (V_{x-} 接地)



18
PGA

每个输入通道都有一个 PGA。增益的配置取决于所选的模拟输入范围（见表 10），以将模拟输入信号（双极差分或双极或单极单端）缩放至 ADC 全差分输入范围。

PGA 每个输入端的输入阻抗都经过精确微调，以保持总体增益误差。当启用增益校准时，该微调值将用于补偿外部串联电阻引入的增益误差。有关 PGA 功能的更多信息，请参阅系统增益校准部分。

模拟输入抗混叠滤波器

AD7606C-18 提供一个模拟抗混叠滤波器。

图 77 和图 78 分别显示了模拟抗混叠滤波器的频率响应和相位响应。其中 -3 dB 频率通常为 25 kHz。

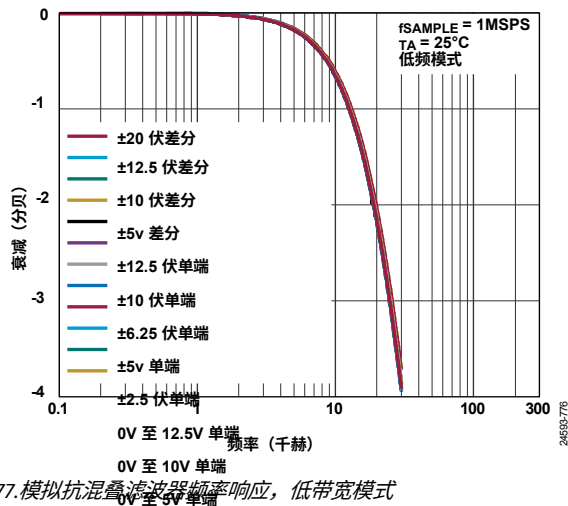


图 77. 模拟抗混叠滤波器频率响应，低带宽模式

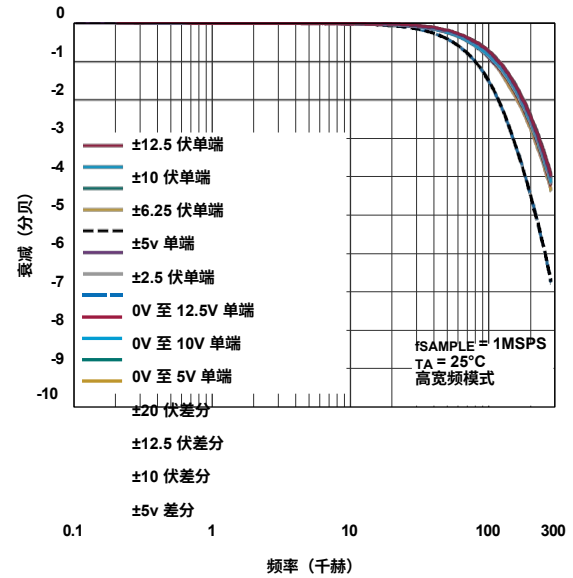
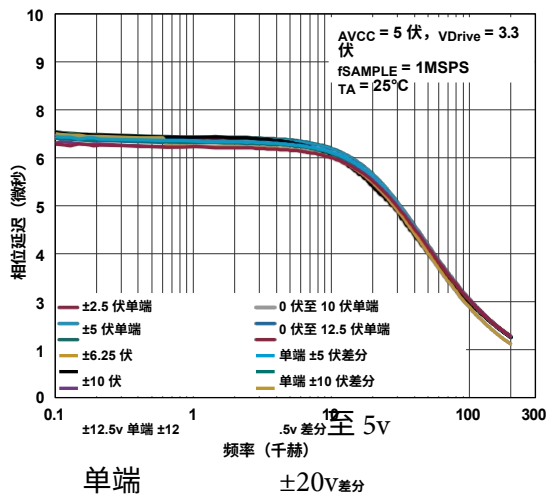


图 79. 模拟抗混叠滤波器频率响应，高带宽模式

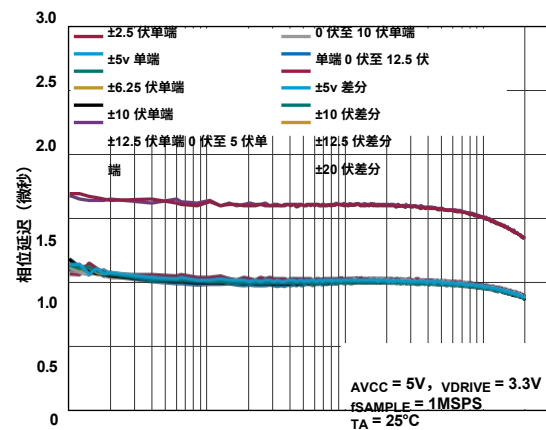


图 78. 模拟抗混叠滤波器相位响应，低带宽模式

此外，如图 79 和图 80 所示，AD7606C-18 还允许 ADC 按通道启用高带宽模式，将 -3 dB 频率提升至 220 kHz。该模式专用于快速模拟输入结算应用，如图 63 至图 68 所示。

0.1 1 10 100 300
频率 (千赫)

图80. 模拟抗混叠滤波器相位响应，高带宽模式

SAR ADC

AD7606C-18 可让 ADC 以 18 位分辨率精确采集满量程幅度的输入信号。所有八个 SAR ADC 在 CONVST 信号的上升沿同时对各自的输入进行采样。

BUSY 信号表示转换正在进行中。因此，当 CONVST 信号的上升沿作用时，BUSY 引脚变为逻辑高电平，并在整个转换过程结束时变为低电平。BUSY 信号的下降沿表示所有八个通道的转换过程结束。当 BUSY 信号边沿下降时，下一组转换的采集时间开始。当 BUSY 信号处于高电平时，CONVST 信号的上升沿没有任何作用。

在忙输出变为低电平后，可通过并行或串行接口从输出寄存器读取新数据。另外，也可以在忙音引脚为高电平时读取上一次转换的数据，具体操作参见 "转换过程中的读取" 部分。

AD7606C-18 包含一个片上振荡器，用于执行转换。所有 ADC 通道的转换时间为 t_{CONV} （见表 3）。在软件模式下，可以选择通过 CONVST 引脚应用外部时钟。提供低抖动外部时钟可提高大超采样率的信噪比性能。更多信息，请参阅数字滤波器部分和图 15 至图 18。

将所有未使用的模拟输入通道连接至 AGND。任何未使用通道的结果仍包含在数据中。

读取，因为所有通道总是转换的。

ADC 传输函数

对于单端或差分双极模拟输入范围，AD7606C-18 的输出编码为二进制。在单极范围内，输出编码是直二进制。

设计的代码转换发生在连续整数 LSB 值的中间，即 $1/2$ LSB 和 $3/2$ LSB 之间。AD7606C-18 的 LSB 大小为 $\text{FSR}/262,144$ 。图 81 显示了 AD7606C-18 的理想传输特性。LSB 大小取决于所选的模拟输入范围，如表 11 和表 12 所示。

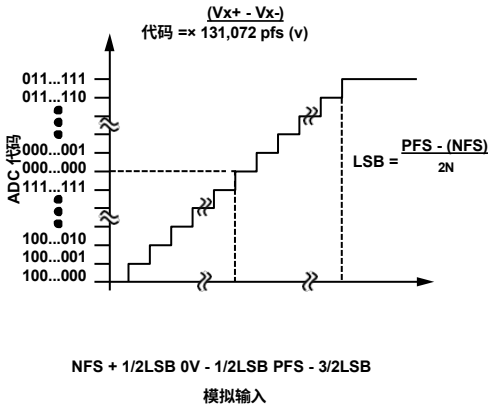


图81.AD7606C-18 理想传输特性，双极模拟输入范围（二进制输出编码）

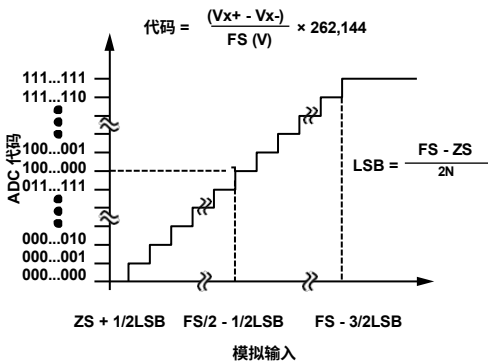


图82.AD7606C-18 理想传输特性，单极性模拟输入范围（直二进制输出编码）

表 11.双极输入电压范围

范围	PFS (V)	中档 (V)	NFS (V)	LSB (μV)
差分，双极				
±20 V	+20	0	-20	152.58
±12.5 V	+12.5	0	-12.5	95.36
±10 V	+10	0	-10	76.3
±5 V	+5	0	-5	38.1
单端，双极				
±12.5 V	+12.5	0	-12.5	95.36
±10 V	+10	0	-10	76.3
±6.25 V	+6.25	0	-6.25	47.7
±5 V	+5	0	-5	38.1
±2.5 V	+2.5	0	-2.5	19

表 12.单极性输入电压范围

范围	FS (V)	中档 (V)	ZS (V)	LSB (μV)
单端，单极				
0 V 至 12.5 V	12.5	6.25	0	47.7
0 V 至 10 V	10	5	0	38.1
0 V 至 5 V	5	2.5	0	19

参考资料

AD7606C-18 包含一个片上 2.5 V 带隙基准。REFIN/REFOUT 引脚允许进行以下任一操作：

- 如果 REF SELECT 引脚绑定为逻辑高电平，则可访问内部 2.5 V 基准电压
- 如果将 REF SELECT 引脚绑定到逻辑低电平，则应用 2.5 V 外部参考电压

表 13.参考配置

REF SELECT 引脚	所选参考资料
逻辑高电平	启用内部基准
逻辑低电平	禁用内部基准，必须在 REFIN/REFOUT 引脚上施加外部 2.5 V 基准电压

如图 83 所示，AD7606C-18 包含一个基准缓冲器，配置用于将基准电压增益至约 4.4 V。4.4 V 缓冲基准是 SAR ADC 使用的基准，如图 83 所示。复位后，AD7606C-18 以 REF SELECT 引脚选择的基准模式工作。REFCAPA 和 REFCAPB 引脚必须从外部短接在一起，REFGND 引脚必须接上一个 10 μ F 的陶瓷电容器，以确保基准缓冲器处于闭环工作状态。REFIN/REFOUT 引脚上需要一个 0.1 μ F 的陶瓷电容器。

当 AD7606C-18 配置为外部基准模式时，REFIN/REFOUT 引脚为高输入阻抗引脚。

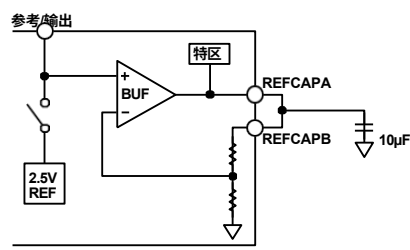


图83.参考电路

使用多个AD7606C-18 设备

对于使用多个 AD7606C-18 器件的应用，建议使用外部基准模式部分和内部基准模式部分中的配置，具体取决于应用要求。

外部参考模式

一个外部基准可以驱动所有 AD7606C-18 器件的

REFIN/REFOUT 引脚（见图 84）。在这种配置下，AD7606C-18 的每个 REFIN/REFOUT 引脚至少要使用 100 nF 的去耦电容进行去耦。

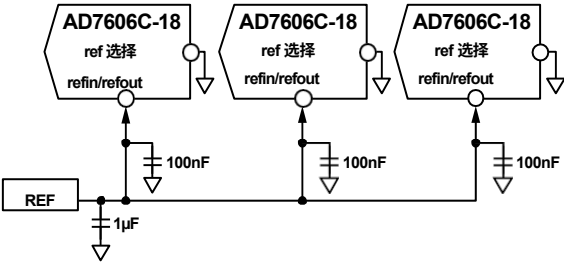


图84.单个外部基准驱动多个AD7606C-18
REFIN/REFOUT 引脚

内部参考模式

一个配置为内部基准模式的 AD7606C-18 器件可以驱动其余配置为外部基准模式的 AD7606C-18 器件（见图 85）。将 AD7606C-18 的 REFIN/REFOUT 引脚去耦。

AD7606C-18 配置为内部基准模式时，使用 10 µF 陶瓷去耦电容器。配置为外部基准模式的其他 AD7606C-18 器件必须在其 REFIN/REFOUT 引脚上使用至少 100 nF 的去耦电容器。

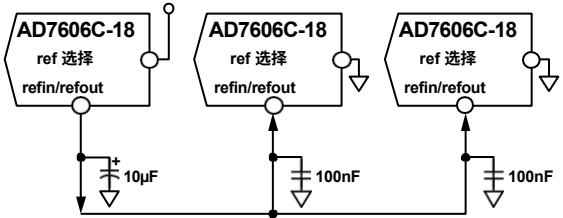


图85.内部基准驱动多个AD7606C-18 REFIN/REFOUT 引脚

运行模式

AD7606C-18 可通过控制 OS_x 引脚在硬件或软件模式下运行，如表 14 所述。

在硬件模式下，AD7606C- 18 的配置取决于 RANGE、OS_x 或 STBY 引脚上的逻辑电平。AD7606C- 18 向后兼容

[AD7606](#)、[AD7606B](#)、[AD7608](#) 和 [AD7609](#)。

在软件模式下，当所有三个 OS_x 引脚都连接到逻辑高电平时，AD7606C-18 由通过串行或并行接口访问的相应寄存器进行配置。其他功能如表 15 所述。在硬件和软件模式下，可通过 REFSELECT 和 PAR/SER SEL 引脚选择基准和数据接口。

表 14.过采样引脚解码

OS2	OS1	OS0	AD7606C-18
0	0	0	无超采样
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	进入软件模式

表 15.功能矩阵

参数	硬件模式	软件模式
模拟输入范围 ¹	$\pm 10\text{ V}$ 或 $\pm 5\text{ V}$ ²	单端双极: $\pm 12.5\text{ V}$ 、 $\pm 10\text{ V}$ 、 $\pm 6.25\text{ V}$ 、 $\pm 5\text{ V}$ 和 $\pm 2.5\text{ V}$ ³ 单端, 单极: 0 V 至 12.5 V , 0 V 至 10 V , 0 V 至 5 V ³ 差分, 双极: $\pm 20\text{ V}$ 、 $\pm 12.5\text{ V}$ 、 $\pm 10\text{ V}$ 和 $\pm 5\text{ V}$ ³
系统增益、相位和偏移校准 OSR	无法访问 从无超量采样到 $\text{OSR} = 64$	可用 ³ 从无过采样到 $\text{OSR} = 256$
模拟输入开路检测	无法访问	可用 ³
串行数据输出线	2	可选择1、2、4 或 8
诊断	无法访问	可用
断电模式	待机和关机	待机、关机和自动待机

¹有关模拟输入范围的选择, 请参见表 10。

²所有输入通道配置相同的输入范围。

³按每个通道计算

重置功能

AD7606C-18 有两种复位模式: 完全复位或部分复位。所选复位模式取决于复位高电平脉冲的长度。部分复位要求 RESET 引脚在两个高电平之间保持高电平。

55 ns 和 2 μs 。RESET 引脚释放 50 ns 后 ($t_{\text{DEVICE_SETUP}}$, 部分复位), 器件功能完全恢复, 可以启动转换。完全复位要求 RESET 引脚保持高电平至少 3.2 μs 。RESET 引脚释放 274 μs ($t_{\text{DEVICE_SETUP}}$, 完全复位) 后, 器件完全重新配置, 可以启动转换。

部分重置可重新初始化以下模块:

- 数字滤波器
- SPI 和并行, 复位至 ADC 模式
- SAR ADC
- CRC 逻辑

部分复位后, 状态寄存器上的 RESET_DETECT 位将被置位 (地址 0x01, 位 7)。部分复位完成后, 当前转换结果将被丢弃。部分复位不会影响在软件模式下编程的寄存器值, 也不会影响在硬件和软件模式下存储用户配置的锁存器。

完全复位后, 器件返回默认上电状态, 状态寄存器上的 RESET_DETECT 位断言 (地址 0x01, 位 7), 当前转换结果被丢弃。AD7606C-18 完全复位后, 除上述功能外, 还

配置了以下功能:

- 硬件模式或软件模式
- 接口类型, 串行或并行

断电模式

在硬件模式下，AD7606C-18 有两种掉电模式：待机模式和关机模式。STBY 引脚控制 AD7606C-18 处于正常模式还是两种掉电模式之一，如表 16 所示。如果 STBY 引脚为低电平，则通过 RANGE 引脚的状态选择掉电模式。

表 16.掉电模式选择，硬件模式

电源模式	STBY 引脚	范围引脚
正常	1	X ¹
备用	0	1
关闭	0	0

¹X = 无所谓。

在软件模式下，掉电模式通过内存映射中的 CONFIG 寄存器（地址 0x02，位[1:0]）上的 OPERATION_MODE 位来选择。软件模式下还有一种额外的掉电模式，称为自动待机模式。

表 17.通过 CONFIG 寄存器（地址 0x02）选择掉电模式、软件模式

运行模式	地址 0x02，位 1	地址 0x02，位 0
正常	0	0
备用	0	1
Autostandby	1	0
关闭	1	1

当 AD7606C-18 进入关机模式时，所有电路都会断电，电流消耗降至最大电流为 4.5 μ A。上电时间约为 10 ms。当 AD7606C-18 从关机模式上电时，必须在规定的上电时间过后对 AD7606C-18 进行完全复位。

将 AD7606C-18 置于待机模式时，所有 PGA 和所有 SAR ADC 都会进入低功耗模式，从而将总体电流消耗降至最大 6.5 mA。退出待机模式后无需复位。

将 AD7606C-18 置于仅在软件模式下可用的自动待机模式时，器件会在 BUSY 信号下降沿自动进入待机模式。在 CONVST 信号上升沿时，AD7606C-18 自动退出待机模式。因此，CONVST 信号低脉冲时间长于 t_{WAKE_UP} （待机模式）= 1 μs （见图 86）。

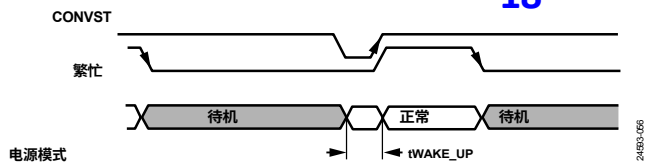


图86.自动待机模式操作

18
数字滤波器

AD7606C-18 包含一个可选的数字平均滤波器，可在吞吐率较低、需要较高 SNR 或动态范围的应用中启用。

在硬件模式下，数字滤波器的过采样率由过采样引脚 OS_x 控制，如表 14 所示。OS_x 引脚在 "忙 "信号下降沿或完全复位时锁存。

在软件模式下，如果所有 OS_x 引脚都绑定为逻辑高电平，则可通过过采样寄存器（地址 0x08）选择过采样率。在软件模式下，还提供另外两种过采样率（128 和 256 过采样）。

在超采样模式下，ADC 在 CONVST 信号的上升沿对每个通道进行第一次采样。转换第一个采样后，后续采样由内部生成的采样信号采集，如图 87 所示。或者，也可以按照外部过采样时钟部分的描述，从外部应用该采样信号。

例如，如果配置了 8 的过采样，则会采集 8 个采样并求取平均值，然后在输出端提供结果。CONVST 信号上升沿触发第一个采样，其余七个采样通过内部生成的采样信号（OS_CLOCK）进行。因此，开启多采样平均功能可提高信噪比性能，但会降低最大吞吐率。开启超采样功能后，BUSY 信号高电平时间（*t*_{CONV}）会延长，如表 3 所示。

表 18 和表 19 显示了 ±10 V 单端范围、±20 V 差分范围和 0 V 至 10 V 单端范围的 SNR 与带宽和吞吐量之间的权衡。

图 87 显示，当开启超采样时，转换时间（*t*_{CONV}）会延长。必须降低吞吐率（1/*t*_{CYCLE}），以适应更长的转换时间，并允许进行读取操作。为了在开启超采样时实现最快的吞吐率，可在忙信号高电平时间内执行读取操作，详见 "转换期间的读取 "部分。

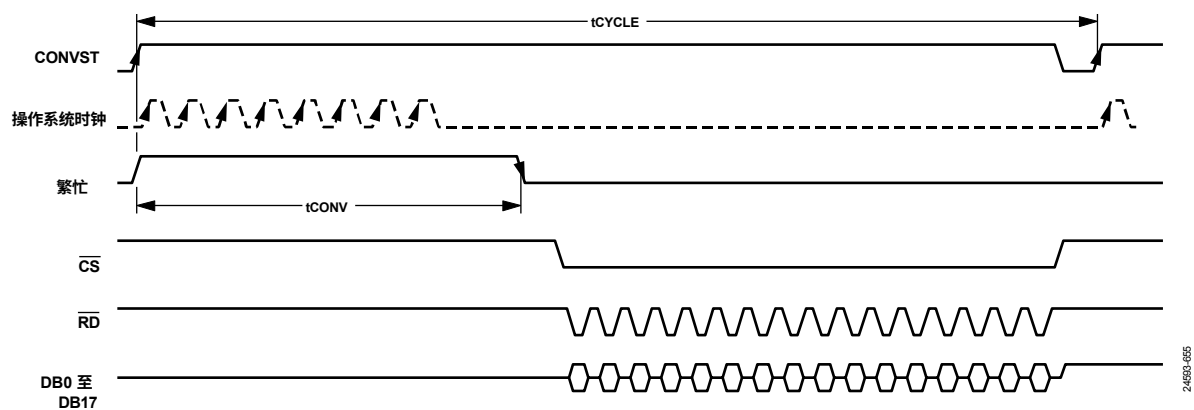


图87.AD7606C-18 过采样8 示例，转换后读取，并行接口，OS_CLOCK 为内部生成的采样信号

表 18.过采样性能，低带宽模式

过采样率	输入频率（赫兹）	±10 V 单端范围		±20 V 差分范围		0 V 至 10 V 单端范围		最大吞吐率（kSPS）
		信噪比（分贝）	-3分贝带宽（千赫）	信噪比（分贝）	-3分贝带宽（千赫）	信噪比（分贝）	-3分贝带宽（千赫）	
无超采样	1000	92.5	25	93	25	90	25	1000

数据表

AD7606C-

18

2	1000	94.5	24.6	95	24.4	91.5	24.6	500
4	1000	96.5	24	97.5	23.7	92.3	24	250
8	1000	98	22.3	99.5	22.2	93.3	22.3	125
16	1000	100	17.8	101	17.6	94.3	17.8	62.5
32	160	101.5	11.6	103	11.5	96	11.6	31.25
64	160	103.3	6.5	104	6.4	97.5	6.4	15.6
128	50	104.5	3.3	104.4	3.4	99	3.3	7.8
256	50	105	1.7	105	1.7	100	1.7	3.9

表 19.过采样性能，高带宽模式

过采样率	输入频率（赫兹）	±10 V 单端范围		±20 V 差分范围		0 V 至 10 V 单端范围		最大吞吐量（kSPS）
		信噪比（分贝）	-3分贝带宽（千赫）	信噪比（分贝）	-3分贝带宽（千赫）	信噪比（分贝）	-3分贝带宽（千赫）	
无超采样	1000	87	220	89	220	82	220	1000
2	1000	89	154	91.5	154	84.5	155	500
4	1000	92	97.5	94.5	97.5	87	97.5	250
8	1000	95	53	97	53	89.5	53.5	125
16	1000	97.5	27.5	99.5	27.5	91.5	27.5	62.5
32	160	99.8	13.8	101.5	13.7	94	13.8	31.25
64	160	102	7	103	7	95.5	7	15.6
128	50	104	3.5	104.5	3.5	97	3.5	7.8
256	50	104.5	1.7	105.2	1.7	97.7	1.7	3.9

超采样

如图 87 所示，内部时钟触发采样平均，然后 ADC 保持空闲，直到 CONVST 信号的下一个上升沿。在软件模式下，可通过过采样寄存器（地址 0x08）改变内部时钟（OS_CLOCK）频率，从而最大限度地缩短空闲时间，并使采样间隔相等，如图 88 所示。因此，实际过采样时钟频率取决于 OS_PAD 位配置，如下式所示：

$$\text{OS_CLOCK(kHz)} = \frac{1}{1000 \times (1 + \frac{\text{os_pad}}{16})}$$

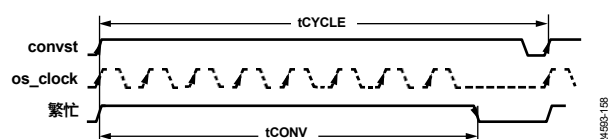


图88.过采样8 示例，启用过采样填充

外部超采样时钟

在软件模式下，当启用过采样模式时，可选择通过 CONVST 引脚应用外部时钟。提供低抖动外部时钟有助于提高大超采样率的信噪比性能。通过应用外部时钟，输入可按固定的时间间隔进行采样，这对抗锯齿性能是最佳的。

要启用外部超采样时钟，必须设置 CONFIG 寄存器中的第 5 位（地址 0x02，第 5 位）。然后，吞吐量费率为

$$\text{吞吐量} = \frac{1}{i\text{CYCLE} \times \text{OSR}}$$

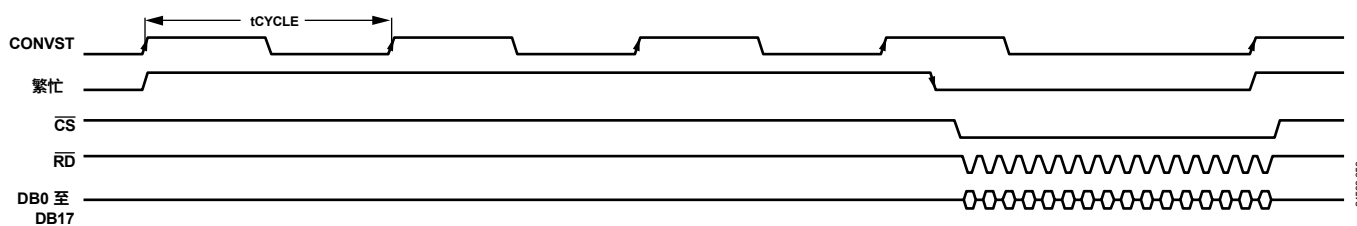


图90.CONVST 引脚上应用的外部过采样时钟 (OSR=4) ，并行接口

如图 90 所示，采样信号通过 CONVST 引脚从外部提供，每经过一个 OSR 时钟数后，平均输出一个信号。此功能可通过并行接口或串行接口实现。

同时对多个AD7606C-18 器件进行采样

一般来说，多个 SAR ADC 的同步是通过使用一个共同的 CONVST 信号来实现的。不过，在启用过采样时，默认情况下会使用内部时钟触发后续采样。这些内部时钟之间的任何偏差都可能妨碍设备与设备之间的同步。由于所有采样的 CONVST 信号都由外部管理，因此可以通过使用外部过采样将这种偏差降至最低。

部分复位 ($t_{\text{RESET}} < 2 \mu\text{s}$) 会中断过采样过程并清空数据寄存器。因此，如果不同的 AD7606C-18 器件因任何原因未同步，则发出部分复位可使器件重新同步，如图 89 所示。

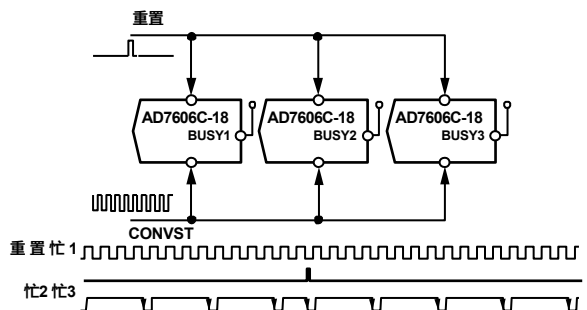


图89.启用外部过采样时钟时同步多个AD7606C-18 器件

18
系统校准功能

通过写入内存映射中的相应寄存器，可在软件模式下使用以下系统校准功能：

- 相位校准
- 增益校准
- 偏置校准
- 模拟输入开路检测

系统相位校准

如图 92 所示，在使用外部滤波器时，分立元件或所用传感器的任何不匹配都会导致通道之间的相位失配。这种相位失配可在软件模式下通过延迟单个通道的采样瞬时来按通道进行补偿。

任何特定通道的采样瞬时都可以延迟至 CONVST 信号的上升沿，分辨率为 1 μ s，最高可达 255 μ s。

相应的 CHx_PHASE 寄存器（地址 0x19 至地址 0x20）。

例如，如果 CH4_PHASE 寄存器（地址 0x1C）写入十进制 10，则通道 4 在 CONVST 信号上升沿后 10 μ s 有效采样，

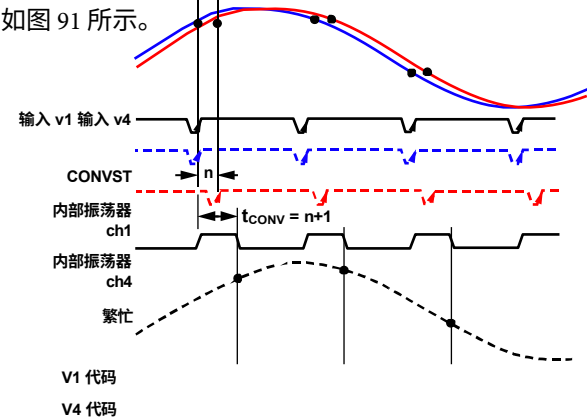


图91.系统相位校准功能

请注意，延迟任何通道都会延长 BUSY 信号的高电平时间，而 t_{CONV} 则会延长至 $t_{CONV} = n + 1 \mu$ s，n 为延迟最长通道的 CHx_PHASE 寄存器内容。在前述示例中，如果只对 CH4_PHASE 寄存器进行编程，则 t_{CONV} 为 11 μ s。因此，在以较高吞吐率运行时，必须考虑这种情况。

请注意，系统增益校准仅适用于双极模拟输入范围，包括单端和差分。系统增益校准不适用于单极单端范围。

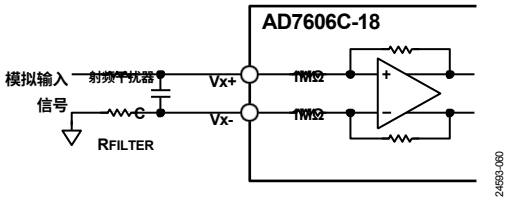


图92.系统增益误差

例如，如果在通道 5 的模拟输入端串联一个 27 k Ω 的电阻，该电阻会对系统产生约 -2% 的正满量程误差（ ± 10 V 量程），如图 93 所示。在软件模式下，向 CH5_GAIN 寄存器（地址 0x0D）写入 27 个十进制数即可消除这一误差，这样无论串联电阻的 R_{FILTER} 值如何，误差都能保持在 FSR 的 0.05% 以内，如图 94 所示

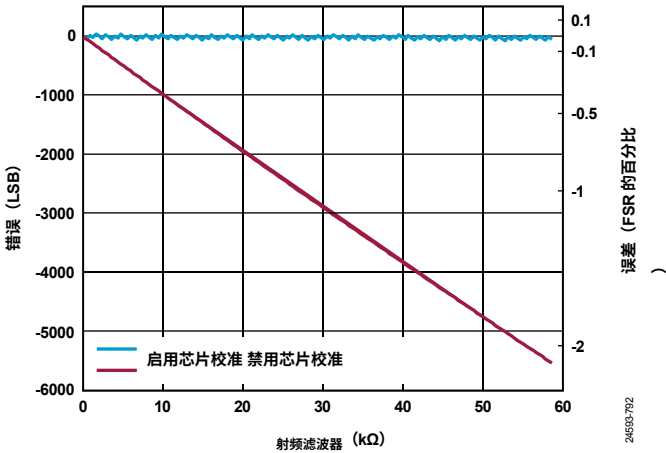
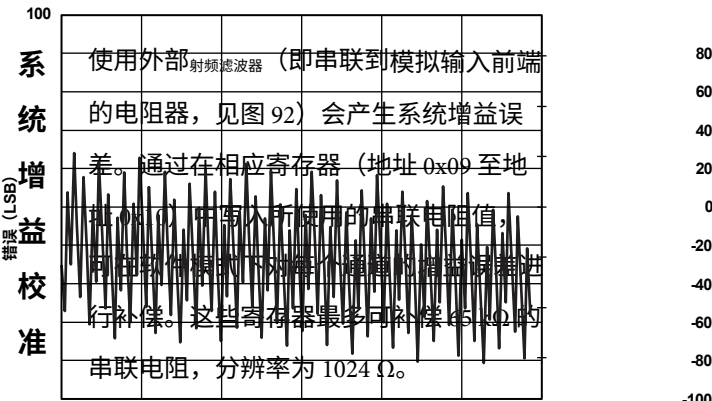


图93.系统增益校准，有校准和无校准、 ± 10 V 单端范围



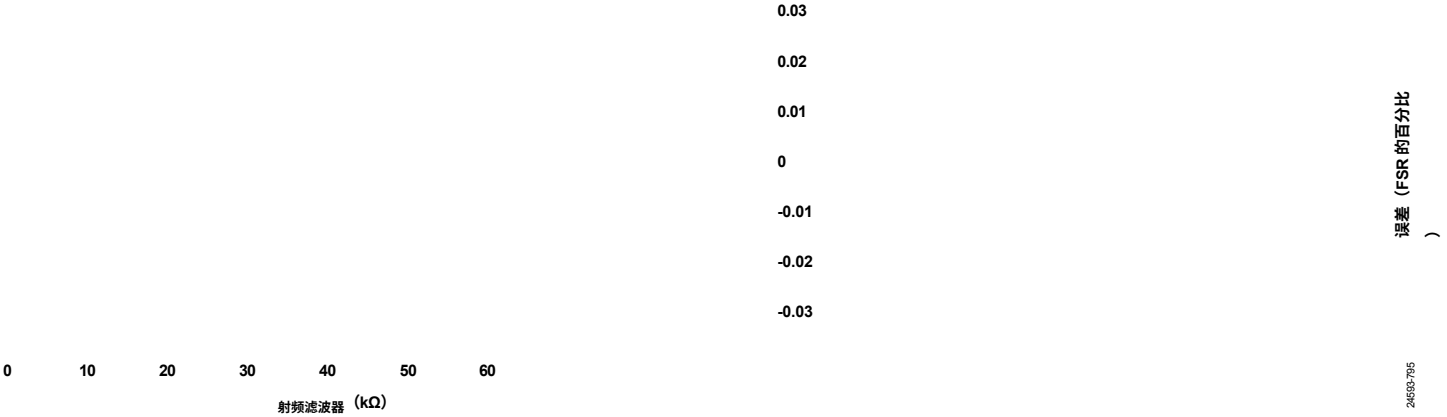


图94.启用增益校准时的系统误差

系统偏移校准

传感器上的潜在偏移，或因放置在特定通道上的射频滤波器对不匹配（如模拟前端部分所述）而导致的任何偏移，均可在软件模式下按通道进行补偿。CH_x_OFFSET 寄存器（地址 0x11 至地址 0x18）可自动对 ADC 代码添加或减去多达 512 LSB，分辨率为 4 LSB，如表 20 所示。

例如，如果连接到通道 3 的信号有 9 mV 的偏移，而模拟输入范围设置为 ±10 V 范围（其中 LSB 大小 = 76.3 μV）以补偿该偏移，则应编程

将 -30 LSB 写入相应寄存器（即 9 mV/76.3 μV/4）。将 128 decimal - 30 decimal = 0x80 - 0x1E = 0x62 写入 CH₃_OFFSET 寄存器（地址 0x13）可消除该偏移。

表 20.CH_x_OFFSET 寄存器位解码

CH _x _OFFSET 寄存器代码	偏移校准 (LSB)
0x00	-512
0x45	-236
0x80 (默认值)	0
模拟输入开路检测	+12
0xFF	+508

AD7606C-18 在软件模式下具有模拟输入开路检测功能。要使用该功能，必须如图 95 所示放置一个 RPD。如果模拟输入断开，例如图 95 中的开关打开，只要 $R_S < R_{PD}$ ，源阻抗就会从负载电阻 (R_S) 变为 R_{PD} 。建议使用 $R_{PD} = 20\text{ k}\Omega$ ，这样 AD7606C-18 就能通过内部切换 PGA 共模电压来检测源阻抗的变化。模拟输入开路检测可在手动或自动模式下进行。

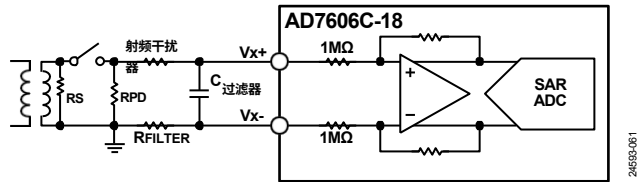


图 95. 带 RPD 的模拟前端

请注意，模拟输入开路检测仅适用于双极模拟输入范围，包括单端和差分。模拟输入开路检测不适用于单极单端范围。

手动模式

将 0x01 写入 OPEN_DETECT_QUEUE 寄存器（地址 0x2C）可启用手动模式。在手动模式下，每个 PGA 共模电压由 OPEN_DETECT_ENABLE 寄存器（地址 0x23）上相应的 CH_x_OPEN_DETECT_EN 位控制。将该位设置为高电平会使 PGA 共模电压升高。如果模拟输入端出现开路，ADC 输出将与 R_{PD} 成比例变化，如图 96 所示。如果没有开路，PGA 共模电压的任何变化都不会影响 ADC 输出。

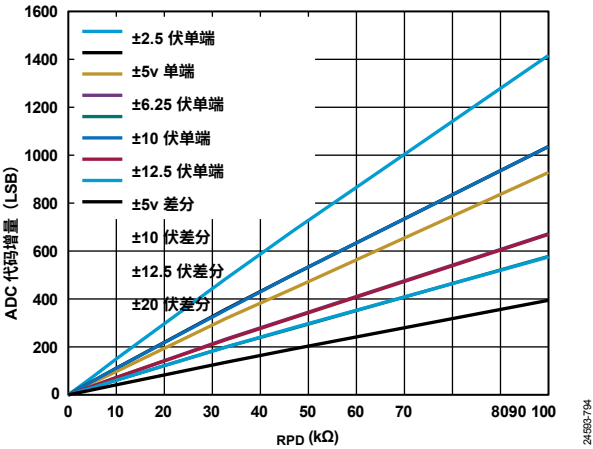


图 96. 开路代码错误增量，取决于 RPD

自动模式

如表 21 所示，向 OPEN_DETECT_QUEUE 寄存器（地址 0x2C）写入任何大于 0x01 的值，即可启用自动模式。如果 AD7606C-18 检测到 ADC 报告了一定数量（在 OPEN_DETECT_QUEUE 寄存器中指定）的连续不变转换，则会在内部自动执行模拟输入开路检测算法。如图 97 所示，模拟输入开路检测算法会自动改变 PGA 共模电压，检查 ADC 输出，然后返回初始共模电压。如果任何通道的 ADC 代码随 PGA 共模变化而变化，这意味着存在以下情况

当模拟输入端未连接输入信号时，OPEN_DETECTED 寄存器（地址 0x24）中的相应标志将被置位。每个通道都可通过 OPEN_DETECT_ENABLE 寄存器（地址 0x23）单独启用或禁用。

如果不使用超采样，建议为 AD7606C-18 设定的最小转换次数为

$$\text{打开_检测队列} = 10 \times f_{\text{SAMPLE}} \left(R_{\text{PD}} + 2 \times R_{\text{FILTER}} \right) \times (C_{\text{FILTER}} + 10 \text{ pF})$$

不过，当启用超采样模式时，建议使用的最小转换次数为

$$\text{打开_检测队列} = 1 + \left(f_{\text{SAMPLE}} \times 2 \left(R_{\text{PD}} + 2 \times R_{\text{FILTER}} \right) \times (C_{\text{FILTER}} + 10 \text{ pF}) \times \text{OSR} \right)$$

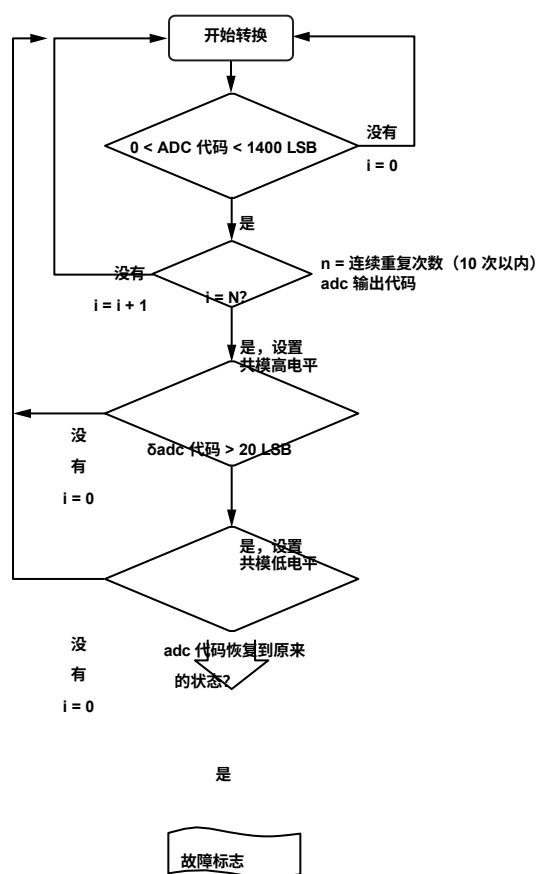


图97.自动模拟输入开路检测流程图

表 21.模拟输入开路检测模式选择和寄存器功能

打开检测队列 (地址 0x2C)		
---------------------	--	--

	打开检测模式	OPEN_DETECT_ENABLE（地址 0x23）
0x00（默认值） 0x01	残疾。 手册	不适用。 按 通道设置共模电压的高或低。
0x02 ¹ 至 0xFF	自动。OPEN_DETECT_QUEUE 是断言任何 CHx_OPENED 标志之前的连续转换次数。	按通道启用或禁用模拟输入开路自动检测。

¹ 建议写入 OPEN_DETECT_QUEUE 的值大于 5。

数字接口

AD7606C-18 提供两种接口选项：并行接口和高速串行接口。通过 PAR/SER SEL 引脚选择所需的接口模式。

表 22. 接口模式选择

PAR/SER SEL 设置	界面模式
0	并行接口
1	串行接口

接口模式的操作将在硬件模式部分和软件模式部分进行讨论。

硬件模式

在硬件模式下，只有 ADC 模式可用。ADC 数据可通过带有标准 \overline{CS} 和 \overline{RD} 信号的并行数据总线或带有标准 \overline{CS} 、SCLK 和两个 \overline{DOUTx} 信号的串行接口从 AD7606C-18 读取。

表 23. 每种运行模式的数据接口引脚功能

引脚助记符	引脚编号	并行接口			串行接口		
		硬件模式	软件模式		硬件模式	软件模式	
			ADC 模式	寄存器模式		ADC 模式	寄存器模式
DB2 到 DB4	16至18岁	DB2 到 DB4		注册数据	不适用 ¹		不适用
DB5/DOUTE	19	DB5		注册数据	不适用	\overline{DOUTE}^2	未使用
DB6/DOUTF	20	DB6		注册数据	不适用	\overline{DOUTF}^2	未使用
DB7/DOUTG	21	DB7		注册数据	不适用	\overline{DOUTG}^2	未使用
DB8/DOUTH	22	DB8		注册数据	不适用	斗 ²	未使用
DB9/DOUTA	24	DB9		寄存器数据 (MSB)	DOUTA	DOUTA	DOUTA
DB10/DOUTB	25	DB10		ADD0	DOUTB	\overline{DOUTB}^3	未使用
DB11/DOUTC	27	DB11		ADD1	不适用	\overline{DOUTC}^4	未使用
DB12/DOUTD	28	DB12		ADD2	不适用	\overline{DOUTD}^4	未使用
DB13/SDI	29	DB13		ADD3	不适用	未使用	SDI
DB14	30	DB14		ADD4	不适用		不适用
DB15	31	DB15		ADD5	不适用		不适用
DB16/DB0	32	DB16/D ^{B05}		ADD6	不适用		不适用
DB17/DB1	33	DB17/DB15		$\overline{R/W}$	不适用		不适用

¹ N/A 表示不适用。将所有不适用引脚与 AGND 连接。

² 仅在 CONFIG 寄存器选择 8 \overline{DOUTx} 模式时使用，否则不连接。

³ 仅在 CONFIG 寄存器选择 2 \overline{DOUTx} 、4 \overline{DOUTx} 或 8 \overline{DOUTx} 模式时使用，否则不连接。

有关 ADC 模式运行方式的更多详情，请参阅读取转换结果（并行 ADC 模式）部分和读取转换结果（串行 ADC 模式）部分。

软件模式

在软件模式下，ADC 模式和寄存器模式都可用，软件模式只有在三个 \overline{OSx} 引脚都绑定为高电平时才有效。

ADC 数据可从 AD7606C-18 读取，寄存器也可通过并行数据总线（带标准 \overline{CS} 、RD 和 WR 信号）或串行接口（带标准 \overline{CS} 、SCLK、SDI 和 \overline{DOUTA} 线路）从 AD7606C-18 读取或写入。

有关寄存器模式操作方式的更多详情，请参阅并行寄存器模式（写寄存器数据）部分和并行寄存器模式（读寄存器数据）部分。

引脚功能因所选接口（并行或串行）和操作模式（硬件或软件）而异，如表 23 所示。

18 ⁴仅在 CONFIG 寄存器选择 4 DOUTx 或 8 DOUTx 模式时使用，否则不连接。
⁵引脚功能取决于 ADC 读取操作过程中是第一个还是第二个读取帧，见图 100。

并行接口

要通过并行接口读取 ADC 数据或读写寄存器内容，请将 PAR/SER SEL 引脚置于低电平。

\overline{CS} 输入信号的上升沿使总线处于三态， \overline{CS} 输入信号的下降沿使总线脱离高阻抗状态。 \overline{CS} 是启用数据线的控制信号，也是允许多个 AD7606C-18 器件共享同一并行数据总线的功能。

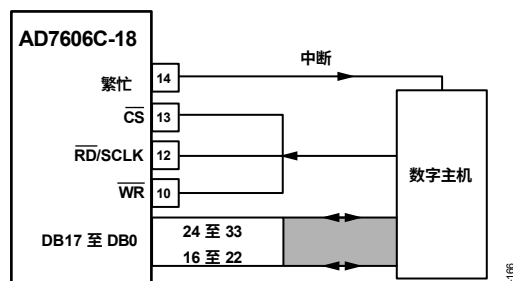


图98. AD7606C-18 接口示意图- 一个 AD7606C-18 使用 \overline{CS} 和 \overline{RD} 短接在一起的并行总线

读取转换结果（并行 ADC 模式）

\overline{RD} 引脚的下降沿从输出转换结果寄存器中读取数据。如图 99 所示，在 \overline{RD} 引脚上施加一连串 \overline{RD} 脉冲，可将每个通道的转换结果按从 V1 到 V8 的升序时钟输出到并行总线 DB17 至 DB0 上。

并行接口由 16 条并行线路组成，分别位于引脚 16 至引脚 22 和引脚 24 至引脚 33 上。由于 ADC 数据为 18 位，因此需要以下两个并行帧：

- 第 1 帧时钟输出第 2 位至第 17 位（MSB）的 ADC 数据
- 第 2 帧从第 1 位和第 0 位（LSB）时钟输出 ADC 数据

如图 3 所示， \overline{CS} 信号可被永久置低， \overline{RD} 信号可访问转换结果。新数据的读取操作可在 \overline{BUSY} 信号变为低电平后进行（见图 2）。或者，也可以在 \overline{BUSY} 信号为低电平时读取上一个转换过程的数据。

\overline{BUSY} 引脚为高电平。

当系统中只有一个 AD7606C-18 且不共享并行总线时，可使用数字主机的一个控制信号读取数据。 \overline{CS} 和 \overline{RD} 信号可以绑在一起，如图 4 所示。在这种情况下， \overline{CS} 和 \overline{RD} 信号的下降沿会使数据总线脱离三态并输出数据时钟。

如图 4 所示，FRSTDATA 输出信号指示何时回读第一个通道 V1。 \overline{CS} 输入为高电平时，FRSTDATA 输出引脚处于三态。 \overline{CS} 的下降沿使 FRSTDATA 引脚脱离三态。与 V1 结果相对应的 \overline{RD} 信号的下降沿将 FRSTDATA 引脚置高，表明输出数据总线上有 V1 的结果。在下一个 \overline{RD} 下降沿后，FRSTDATA 引脚返回逻辑低电平。

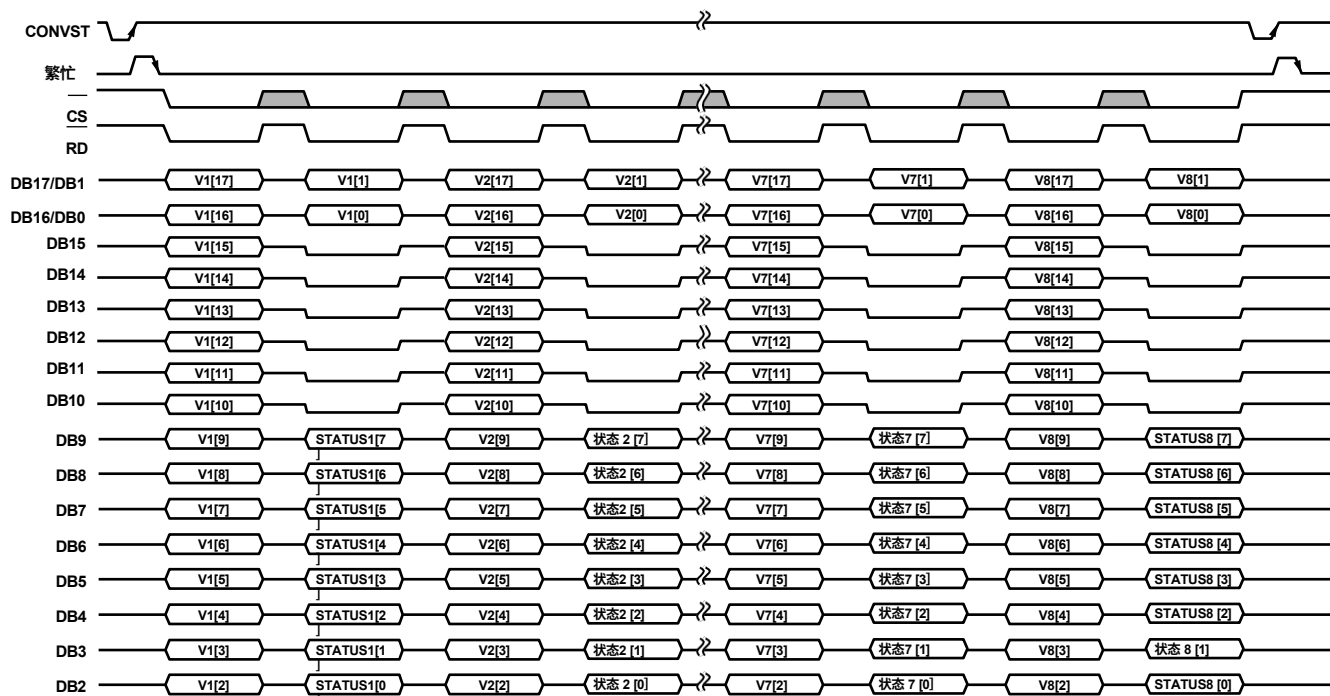


图99.并行接口，启用状态头的ADC 模式

转换过程中的读取

如图 100 所示，从 AD7606C-18 读取数据的操作可在以下三种情况下进行：

- 在 BUSY（忙）线处于低电平时进行转换后
- 在转换过程中，当 BUSY（忙）线处于高电平时
- 当 BUSY（忙）线处于低电平时开始，在进行以下转换时结束，见图 2

在转换过程中读取数据对转换器的性能影响很小，而且可

以实现更快的吞吐量。从 AD7606C-18 读取数据的时间可以是“忙”信号下降沿以外的任何时间，因为此时输出数据寄存器会更新新的转换数据。在 BUSY 信号为高电平时读取的任何数据必须在 BUSY 信号下降沿之前完成。

启用CRC的并行ADC模式

在软件模式下，当 INT_CRC_ERR_EN 位（地址 0x21，位 2）启用时，并行接口支持读取附加 CRC 的 ADC 数据。CRC

如图 101 所示，在读取所有 8 个通道转换后，时钟输出 16 位。CRC 计算包括 DBx 引脚上的所有数据：数据、状态（附加时）和零。有关 CRC 的更多详情，请参阅诊断部分。

启用状态的并行ADC模式

在软件模式下，通过设置 CONFIG 寄存器（地址 0x02，第 6 位）中的第 6 位，可启用 8 位状态头（见表 25），然后每个通道获取以下两帧数据：

- 第一帧通过 DB17 将 ADC 数据从 MSB 到第 2 位正常时钟输出到 DB2。
- 第二帧通过 DB9 至 DB2 输出通道的状态头时钟，DB9 为状态头的 MSB，DB2 为 LSB，DB1 至 DB0 输出转换结果的两个 LSB，DB15 至 DB10 引脚输出零时钟。

该序列如图 99 所示。表 25 解释了状态头的内容并说明了每个位。

表 24.状态标头中 CH.ID 位的解码

CH.ID2	CH.ID1	CH.ID0	通道编号
0	0	0	通道 1 (V1)
0	0	1	通道 2 (V2)
0	1	0	通道 3 (V3)
0	1	1	第 4 频道 (V4)
1	0	0	第 5 频道 (V5)
1	0	1	第 6 频道 (V6)
1	1	0	第 7 频道 (V7)
1	1	1	第 8 频道 (V8)

表 25.状态接头，并行接口

	第 7 位 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	第 0 位 (LSB)
内容	复位检测	数字错误	OPEN_DETECTED	保留		CH.ID 2	CH.ID 1	CH.ID 0
含义 ¹	检测到重置	地址 0x22 上的错误标记	该通道的模拟输入开路			通道 ID（见表 24）		

¹ 有关详细信息，请参阅诊断部分。

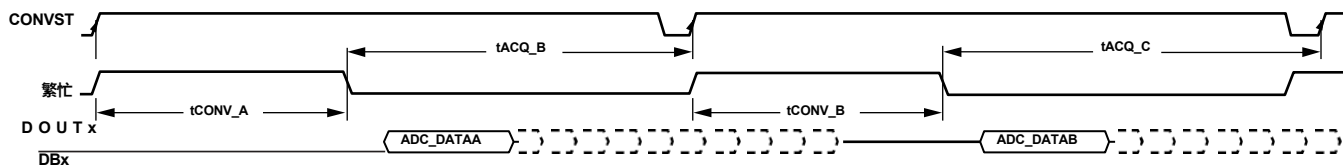
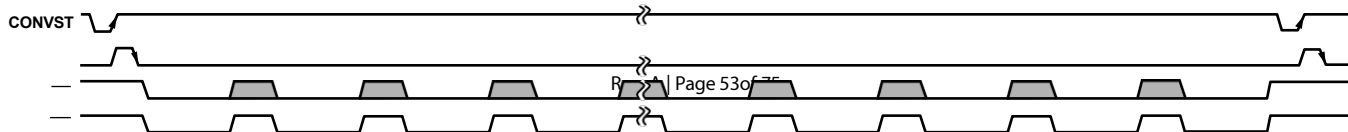


图 100.ADC 数据读取可在转换后和/或转换后期间进行



18 繁忙

CS
RD

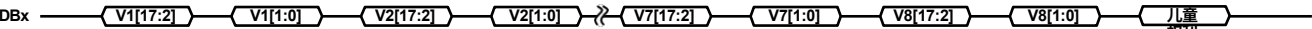


图101.并行接口，启用CRC 的ADC 模式

24-863-109

并行寄存器模式（读取寄存器数据）

在软件模式下，可通过并行接口读取表 31 中的所有寄存器。当读取寄存器内容时，CS 信号和 RD 信号均为逻辑低电平，或写入寄存器地址和/或寄存器内容时，CS 信号和 WR 信号均为逻辑低电平，位[DB17:DB2]处于高阻抗状态。

寄存器读取通过两个帧进行：首先，向 AD7606C-18 发送读取命令；其次，AD7606C-18 输出寄存器内容的时钟。寄存器读取命令的格式如图 102 所示。在第一帧中，执行以下操作：

- 必须将位 DB17 设置为 1 才能选择读取命令。读取命令使 AD7606C-18 进入寄存器模式。
- 位[DB16:DB10]必须包含寄存器地址。
- 随后的八位，即位[DB9:DB2]将被忽略。

寄存器地址在 WR 信号的上升沿锁存在 AD7606C-18 上。然后，在下一帧将 RD 线路置低，即可从锁存的寄存器中读取寄存器内容，如下所示：

- 位 DB17 被 AD7606C-18 拉至 0。
- 位[DB16:DB10]提供正在读取的寄存器地址。
- 随后的八位，即位[DB9:DB2]，提供寄存器内容。

如并行寄存器模式（写寄存器数据）部分所示，要恢复到 ADC 模式，请在 一个 WR 周期内保持所有 DBx 引脚为低电平。当器件处于寄存器模式时，无法读取 ADC 数据。

并行寄存器模式（写寄存器数据）

在软件模式下，可通过并行接口写入表 31 中的所有 R/W 寄存器。要写入一系列寄存器，可通过读取内存映射上的任意寄存器来退出 ADC 模式（默认模式）。寄存器写入命令通过并行总线（位[DB17:DB2]）、CS 信号和 WR 信号以单帧方式执行。如图 102 所示，写命令的格式结构如下：

- 必须将位 DB17 设置为 0 才能选择写入命令。
- 位[DB16:DB10]包含寄存器地址。
- 随后的八位，即位[DB9:DB2]，包含要写入所选寄存器的数据。

数据在 WR 引脚的上升沿锁存到器件上。要返回 ADC 模式，请在 一个 WR 周期内将所有 DBx 引脚保持为低电平。当器件处于寄存器模式时，无法读取 ADC 数据。

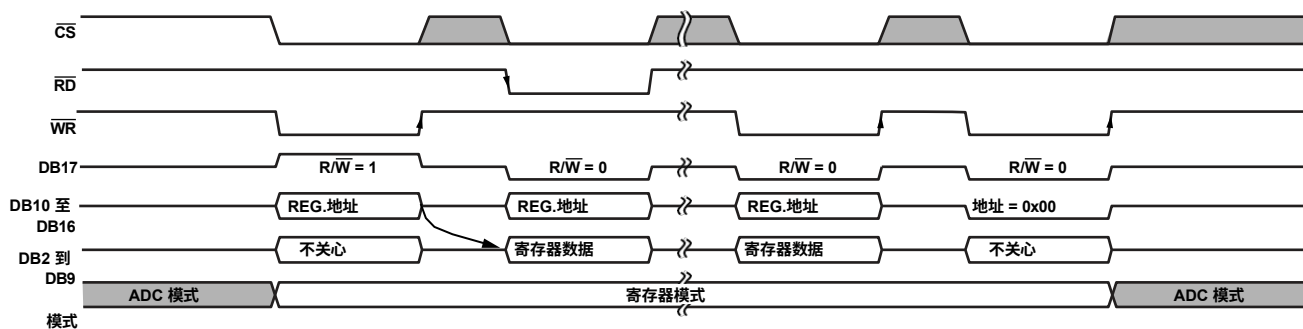


图 102. 并行接口寄存器读操作后的写操作

24-593-170

18

串行接口

要通过串行接口读取 ADC 数据或读写寄存器内容，请将 PAR/SER SEL 引脚置于高电平。

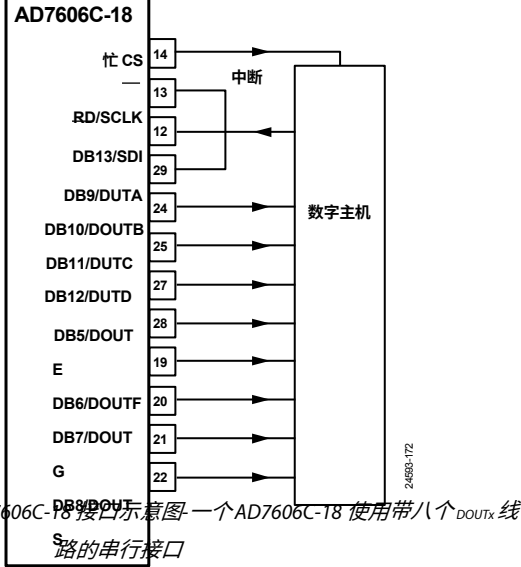


图103. AD7606C-18 接口示意图 一个 AD7606C-18 使用带八个 DOUTx 线路的串行接口

读取转换结果（串行 ADC 模式）

AD7606C-18 有八个串行数据输出引脚 DOUTA 至 DOUTH。在软件模式下，可根据 CONFIG 寄存器设置的配置，使用一条（见图 107）、两条（见图 104）、四条（见图 105）或八条（见图 106） DOUTx 线路从 AD7606C-18 读回数据。

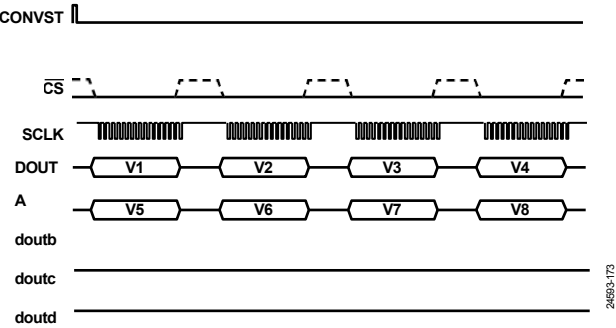


图104. 串行接口 ADC 读取，两条 DOUTx 线路

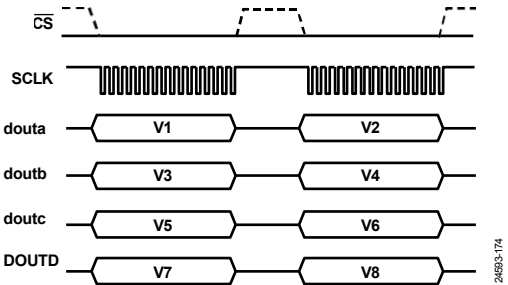


图105. 串行接口 ADC 读取，四条 DOUTx 线路

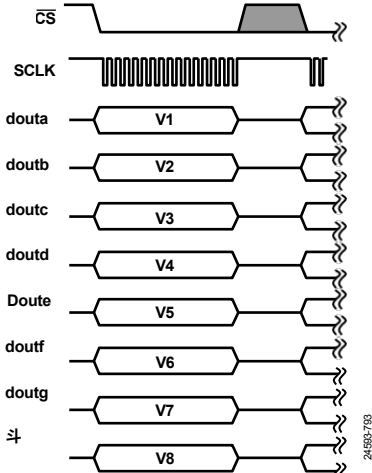
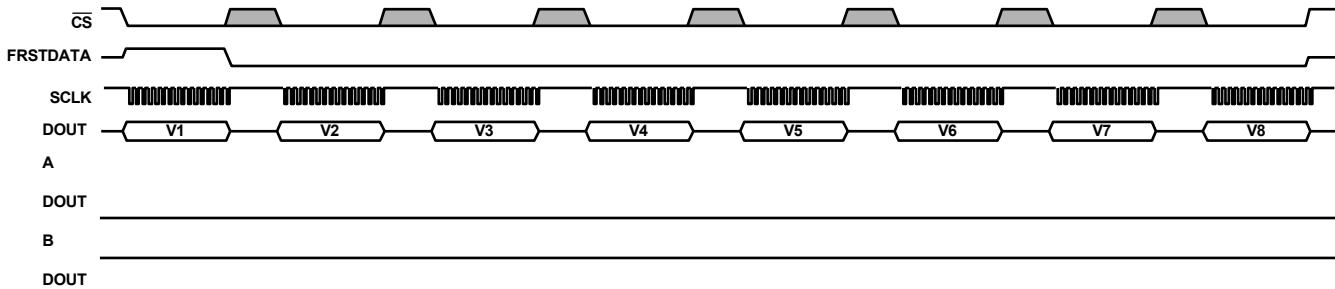


图106. 串行接口 ADC 读取，八路 DOUTx 线路

表 26. 使用 CONFIG 寄存器（地址 0x02）选择 DOUTx 格式

式 DOUTx 格式	地址 0x02，第 4 位	地址 0x02，第 3 位
1 DOUTx	0	0
2 DOUTx	0	1
4 DOUTx	1	0
8 DOUTx	1	1

在硬件模式下，只有 2 个 DOUTx 线路选项可用。不过，通过在两个 CONVST 脉冲之间提供 8 个 18 位 SPI 帧，可以从 DOUTA 读取所有通道。



C

DOUTD

图107.串行接口ADC 读取，一条DOUTx 线路

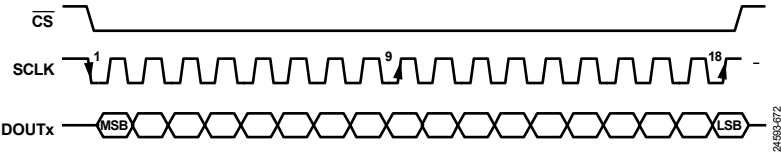


图108.串行接口数据回读（单通道）

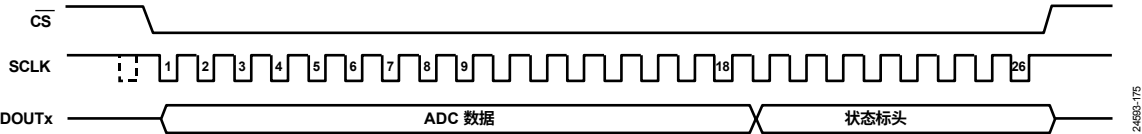


图109.串行接口，ADC 模式，状态打开

CS 下降沿使数据输出线 DOUTx 脱离三态，并时钟输出转换结果的 MSB，如图 108 所示。

在三线模式下（CS 被置低），BUSY 信号的下降沿将时钟送出 MSB，而不是 CS 送出 MSB。如图 6 所示，SCLK 信号的上升沿对串行数据输出端 DOUTx 上的所有后续数据位进行时钟输出。CS 输入可以在整个串行读取操作过程中保持低电平，也可以在每个通道读取 24 个 SCLK 周期时脉冲（见图 104）。但是，如果在通道转换结果传输期间脉冲 CS，被中断的通道将在下一帧重新传输，并完全从 MSB 开始。

也可以只使用 DOUTA 引脚输出数据时钟，如图 107 所示。AD7606C-18 要在一条 DOUTx 线路上访问所有八个转换结果，总共需要 144 个 SCLK 周期。在硬件模式下，这 144 个 SCLK 周期必须通过 CS 信号以 18 个 SCLK 周期为一组。仅使用一条 DOUTx 线路的缺点是，如果在转换后读取数据，吞吐率会降低。在串行模式下，请断开未使用的 DOUTx 线路。

图 105 显示了在软件模式下使用 AD7606C-18 上的四条 DOUTx 线路读取八个同步转换结果的情况。在这种情况下，通过 36 SCLK 传输访问 AD7606C-18 的数据，CS 要么保持低电平以定格整个 36 SCLK 周期，要么在两个 18 位帧之间脉冲。该模式仅在软件模式下可用，通过 CONFIG 寄存器（地址 0x02）进行配置。

图 6 显示了在串行模式下从 AD7606C-18 读取 CS 信号框内

的一个数据通道的时序图。SCLK 输入信号为串行读取操作提供时钟源。CS 信号为低电平时，从 AD7606C-18 读取数据。

FRSTDATA 输出信号表示第一通道 V1 正在回读。

CS 输入为高电平时，FRSTDATA 输出引脚处于三态

。在串行模式下，CS 信号的下降沿会使

FRSTDATA 引脚脱离三态，如果 BUSY 线路已经断

开，则会将 FRSTDATA 引脚置高，表明 V1 的结果

可在 DOUTA 输出数据线上获得。在第 18 个 SCLK 下降

沿之后，FRSTDATA 输出返回逻辑低电平。如果

CS 引脚永久绑定为低电平（三线模式），则当

DOUTA 上有来自 V1 的结果时，BUSY 线路的下降沿

会将 FRSTDATA 引脚置高。

如果 SDI 被绑定为低电平或高电平，AD7606C-18

将不会收到任何时钟信号。因此，设备将继续读取

转换结果。在三线模式下使用 AD7606C-18 时，请

将 SDI 保持在高电平。在 ADC 模式下，可以执行

单次写操作，如图 109 所示。如需写入一串寄存器

，请切换到寄存器模式，如串行寄存器模式（写入寄存器数据）部分所述。

转换过程中的读取

如图 100 所示，从 AD7606C-18 读取数据的操作可在以下三种情况下进行：

- 在 BUSY（忙）线处于低电平时进行转换后
- 在转换过程中，当 BUSY（忙）线处于高电平时
- 当 BUSY（忙）线处于低电平时开始，在进行以下转换时结束，见图 2

在转换过程中读取数据对转换器的性能影响很小，

而且可以实现更快的吞吐率。从 AD7606C-18 读取

数据的时间可以是“忙”信号下降沿以外的任何时间

，因为此时输出数据寄存器会更新新的转换数据。

在 BUSY 信号为高电平时读取的任何数据必须在

BUSY 信号下降沿之前完成。

启用CRC的串行ADC模式

在软件模式下，可通过写入寄存器映射启用 CRC。在这种情况下，如图 115 所示，CRC 会在最后一个通道时钟输出后追加到每个 DOUTx 线路上。有关如何计算 CRC 的更多信息，请参阅接口 CRC 部分。

启用状态的串行ADC模式

在软件模式下，使用串行接口时可打开 8 位状态标头（见表 27），以便在每次 18 位数据转换后追加状态标头，从而将每个通道的帧大小扩展到 26 位，如图 109 所示。

串行寄存器模式（读取寄存器数据）

表 31 中的所有寄存器均可通过串行接口读取。读取命令的格式如图 110 所示。它由两个 16 位帧组成。在第一个帧中，执行以下操作：

- SDI 中的第一个时钟位必须设置为 0，才能写入地址。

- SDI 中的第二个时钟位必须设置为 1，才能选择读取命令。
- SDI 时钟位[3:8]包含下一帧 DOUTA 时钟输出的寄存器地址。
- SDI 中的后续 8 个时钟位（位[9:16]）将被忽略。

如果 AD7606C-18 处于 ADC 模式，DOUTx 线路将继续为位 [9:16] 上的 ADC 数据提供时钟，然后 AD7606C-18 将切换到寄存器模式。

如果 AD7606C-18 处于寄存器模式，DOUTx 线路将回读上一寻址寄存器的内容，无论上一帧是读还是写命令。要退出寄存器模式，请在 16 个 SCLK 周期内保持 SDI 线路为低电平，如图 111 所示。

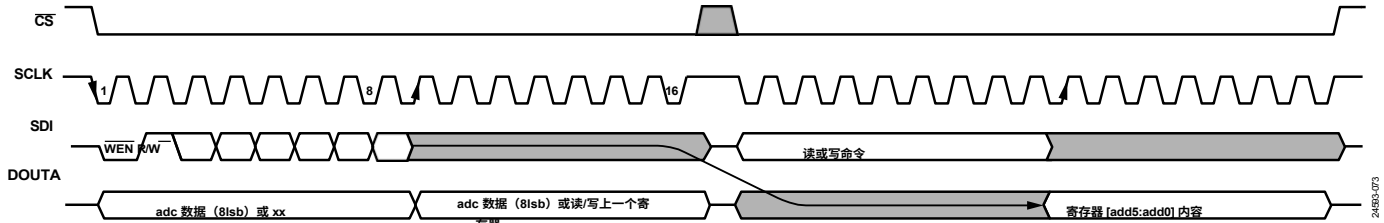


图110.串行接口读取命令，第一帧提供地址，第二帧提供寄存器内容

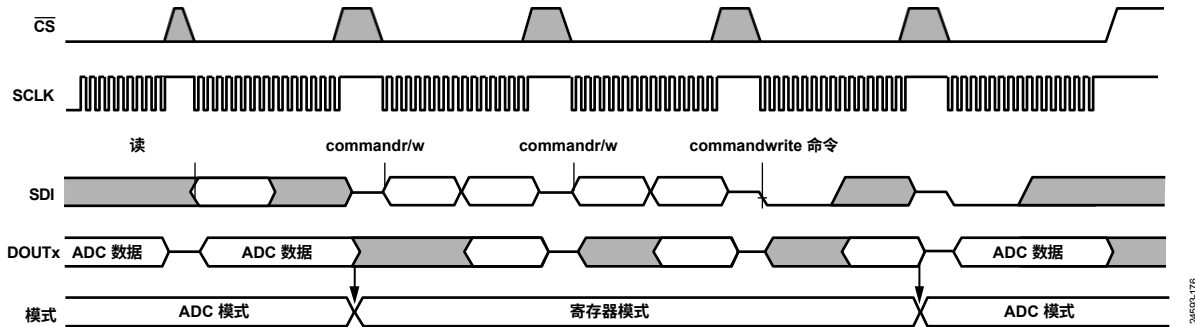


图111.AD7606C-18 寄存器模式

表 27.状态头，串行接口

	第 7 位 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	第 0 位 (LSB)
内容	复位检测	数字错误	OPEN_DETECTED	保留		CH.ID 2	CH.ID 1	CH.ID 0

含义 ¹	检测到重置	地址 0x22 上的 错误标记	该通道的模拟输 入开路		通道 ID（见表 24）
-----------------	-------	--------------------	----------------	--	--------------

¹有关详细信息，请参阅诊断部分。

18
串行寄存器模式（写寄存器数据）

在软件模式下，可通过串行接口写入表 31 中的所有读写寄存器。要写入一系列寄存器，可通过读取内存映射上的任意寄存器来退出 ADC 模式（默认模式）。寄存器写命令通过单个 16 位 SPI 访问来执行。写命令的格式如图 112 所示，结构如下：

- SDI 中的第一个时钟位必须设置为 0，才能启用写入命令。
- SDI 中的第二个时钟位（R/W 位）必须清零。
- SDI 中的 ADD5 至 ADD0 位时钟包含要写入的寄存器地址。
- SDI 中的后续八位（Bits[DIN7:DIN0]）时钟包含要写入所选寄存器的数据。数据在 SCLK 的下降沿从 SDI 中时钟输入，而数据在 SCLK 的上升沿从 DOUTA 中时钟输出。

向设备连续写入数据时，DOUTA 上显示的数据来自上一帧写入的寄存器地址，如图 112 所示。在传输过程中，DOUTB、DOUTC 和 DOUTD 引脚保持低电平。

在寄存器模式下，不会时钟输出 ADC 数据，因为 DOUTx 线路用于时钟输出寄存器内容。写入所有所需寄存器后，保持 SDI 线路低电平 16 个 SCLK 周期，AD7606C-18 将返回 ADC 模式，此时 ADC 数据再次通过 DOUTx 线路时钟输出，如图 111 所示。

在软件模式下，当 CRC 处于开启状态时，每个帧都会有 8 个额外位的时钟输入和输出。因此，需要 24 位帧。

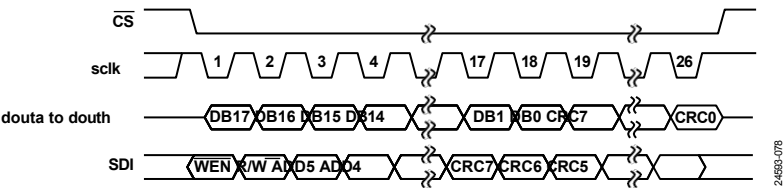


图112.AD7606C-18 串行接口，单写入命令，在同一帧内地址位ADD5 至ADD0 和寄存器内容位DIN7 至DIN0 中的 SDI 时钟，DOUTA 提供上一帧所请求的寄存器内容

带CRC的串行寄存器模式

在软件模式下，可通过断定 INT_CRC_ERR_EN 位（地址 0x21，位 2），在启用 CRC 的情况下向 AD7606C-18 写入或从 AD7606C-18 读取寄存器。

在读取寄存器时，AD7606C-18 会在 DOUTA 引脚上提供八个额外位，其中包含之前在同一帧上移出的数据的 CRC 结果。然后，控制器可通过应用以下多项式来检查接收到的数据是否正确：

$$x^8 + x^2 + x + 1$$

启用 CRC 后，SPI 帧的长度扩展到 24 位，如图 113 所示。

写入寄存器时，控制器必须将数据（寄存器地址和寄存器内容）时钟输入 AD7606C-18，然后再输入一个 8 位 CRC 字。AD7606C-18 读取寄存器地址和寄存器内容，然后计算出一个 8 位 CRC 字。

如图 114 所示，如果计算出的 CRC 字与通过 SDI 接收到的第 17 位至第 24 位之间的 CRC 字不匹配，则断言 INT_CRC_ERR 位（地址 0x22，位 2）。

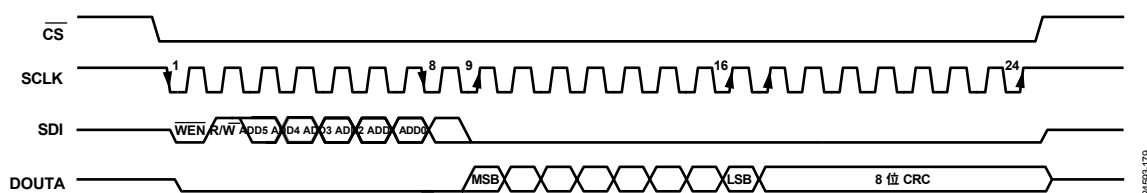


图113.启用CRC后通过SPI读取寄存器

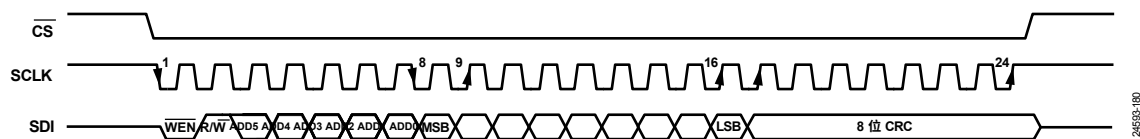


图114.启用CRC后通过SPI写寄存器

18 诊断

软件模式下的诊断功能可验证 AD7606C-18 的正确运行。

诊断监控器列表包括复位检测、过压检测、欠压检测、模拟输入开路检测和数字错误检测。

如数字接口部分所述，如果检测到错误，状态头（如果启用）上的一个标志会断言。该标志指向错误所在的寄存器，具体说明见下文。

此外，如诊断多路复用器部分所述，诊断多路复用器可以将任何通道专用于验证一系列内部节点。

复位检测

如果对 AD7606C-18 施加了部分复位或完全复位脉冲，状态寄存器（地址 0x01，位 7）上的 RESET_DETECT 位会置位。上电时，需要完全复位。该复位会断开 RESET_DETECT 位，表明上电复位 (POR) 在器件上正确初始化。

POR 监控 REGCAP 电压，如果电压降到某个阈值以下，就会完全复位。

RESET_DETECT 位可用于检测意外的器件复位、RESET 引脚上的大突变或电源上的压降。

RESET_DETECT 位只能通过读取状态寄存器来清除。

数字错误

状态寄存器和状态头都包含一个 DIGITAL_ERROR 位。当以下任何一个监控器触发时，该位断言：

- 内存映射 CRC、只读存储器 (ROM) CRC 和数字接口 CRC。
- SPI 读取或写入无效。
- BUSY 卡在高位。

如 ROM CRC、Memory Map CRC、Interface CRC Checksum、Interface Check、SPI Invalid Read and Write 和 BUSY Stuck High 章节所述，要找出是哪个监控器触发了 DIGITAL_ERROR 位，DIGITAL_DIAG_ERR 寄存器（地址 0x22）为每个监控器提供了一个专用位。

ROM CRC

ROM 存储 AD7606C-18 的出厂微调设置。上电后，在器件初始化过程中将 ROM 内容加载到寄存器中。加载后，对加载的数据计算 CRC，并验证结果是否与 ROM 中存储的 CRC 一致。

AD7606C-18 使用以下 16 位 CRC 多项式计算内存映射的 CRC 校验和值：

$$X^{16} + X^{14} + X^{13} + X^{12} + X^{10} + X^8 + X^6 + X^4 + X^3 + X + 1 \\ (0xBAAD)$$

如果计算出的 CRC 值与存储的 CRC 值不匹配，则错误检查和纠正 (ECC) 模块最多可检测出 3 个比特错误（汉明距离为 4）。否则，ROM_CRC_ERR（地址 0x22，位 0）断开。上电后，当 ROM_CRC_ERR 发生断言时，建议进行全面重置，重新加载所有出厂设置。

ROM CRC 监测功能默认为启用，但可通过清除 ROM_CRC_ERR_EN 位（地址 0x21，位 0）来禁用。

内存地图 CRC

内存映射 CRC 默认为禁用。通过写入所需寄存器在软件模式下配置 AD7606C-18 后，可通过 MM_CRC_ERR_EN 位（地址 0x21，位 1）启用内存映射 CRC。

启用后，将对整个内存映射进行 CRC 计算并存储。每 4 μ s 重新计算内存映射上的 CRC，并与存储的 CRC 值进行比较。

AD7606C-18 使用以下 16 位 CRC 多项式计算内存映射的 CRC 校验和值：

$$X^{16} + X^{14} + X^{13} + X^{12} + X^{10} + X^8 + X^6 + X^4 + X^3 + X + 1 \text{ (0xBAAD)}$$

如果计算出的 CRC 值与存储的 CRC 值不匹配，ECC 块最多可检测出 3 个位错误（汉明距离为 4）。否则，内存映射将被破坏，MM_CRC_ERR 位（地址 0x22，位 1）将被置位。每次写入内存映射时，都会重新计算 CRC 并存储新值。

如果 MM_CRC_ERR 位出现，建议写入内存映射以重新计算 CRC。如果 MM_CRC_ERR 位持续存在，建议进行完全重置，以恢复内存映射的默认内容。

接口 CRC 校验和

AD7606C-18 具有 CRC 校验和模式，可通过检测数据传输中的错误来提高接口稳健性。CRC 功能可用于 ADC 模式（串行和并行）和寄存器模式（仅串

行）。

AD7606C-18 使用以下 16 位 CRC 多项式计算 CRC 校验和值：

$$X^{16} + X^{14} + X^{13} + X^{12} + X^{10} + X^8 + X^6 + X^4 + X^3 + X + 1 \text{ (0xBAAD)}$$

为了在控制器中复制多项式除法，数据左移 16 位，生成一个以 16 个逻辑 0 结尾的数字。多项式对齐后，MSB 与数据最左边的逻辑 1 相邻。对数据应用排他性 OR (XOR) 函数，生成一个新的、更短的数字。再次对多项式进行对齐，使 MSB 与新结果最左边的逻辑 1 相邻，然后重复上述过程。

这一过程不断重复，直到原始数据被缩小到小于多项式的值，从而得到 16 位校验和。

当通过 INT_CRC_ERR_EN 位（地址 0x21，位 2）启用时，串行接口支持 CRC。CRC 是一个 16 位字，会附加到每个 DOUTx 线路的末尾。

如图 116 所示，如果使用两条 DOUTx 线路（ DOUTA 和 DOUTB ），则每个 16 位 CRC 字使用四个通道（72 位）的数据计算。如果只使用一条 DOUTx 线路，则通过 DOUTA 输出所有八个通道的时钟，然后使用八个通道（144 位）的数据计算出 16 位 CRC 字。

位 CRC 字。

数据	0	0	0	0	0	1	1	0	0	1	0	0	1	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
过程数据	0	0	0	0	0	1	1	0	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
多项式						1	0	1	1	1	0	1	0	1	0	1	1	0	1	1												
						0	1	1	1	0	0	1	1	0	1	1	0	1	1	0	1	0										
							1	0	1	1	1	0	1	0	1	0	1	1	0	1	1											
							0	1	0	1	1	1	0	0	0	1	1	1	0	1	1	0	1	0								
								1	0	1	1	1	0	1	0	1	0	1	1	0	1			0								
								0	0	0	0	0	0		1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0		
														1	0	1	1	1	0	1	0	1	0	1	0	1	1	0	1	1		
儿童权利委员会																	0	0	1	0	0	0	0	1	0	0	1	1	0	1	1	1

²X = 无所谓。

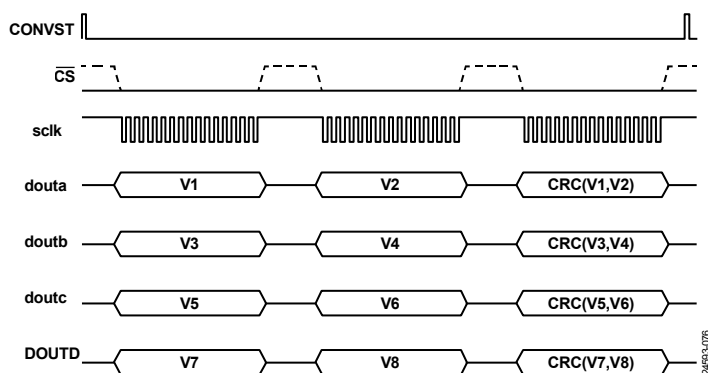


图115. 串行接口ADC 读取, CRC 开启, 四路DOUTx 线路

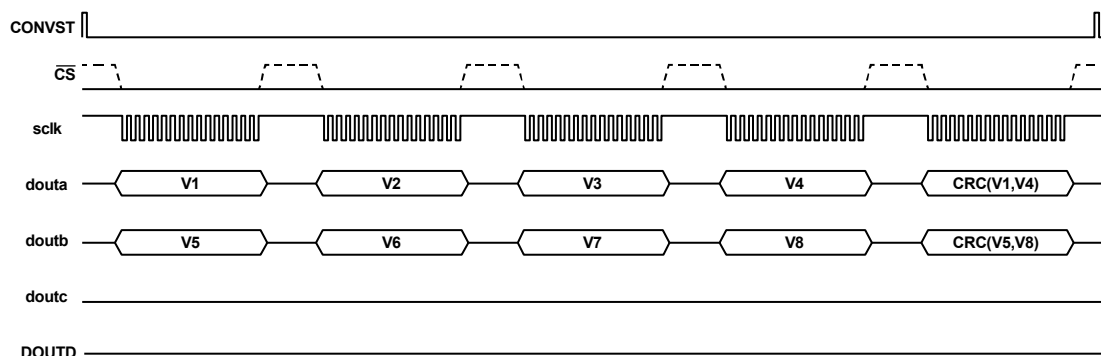


图116.串

行接口ADC 读取, CRC 开启, 两条 DOUTx 线路

18

当 AD7606C-18 处于寄存器模式且正在读取或写入寄存器时，使用的 CRC 多项式为 $x^8 + x^2 + x + 1$ (0x83)。当读取寄存器并启用 CRC 时，每个 SPI 帧长度为 26 位，CRC 8 位字的时钟从第 17 个 SCLK 周期到第 24 个 SCLK 周期输出。同样，在写寄存器时，可在 SDI 线路上附加 CRC 字，如图 117 所示。如果给出的 CRC 字与内部计算的 CRC 字不匹配，AD7606C-18 会检查并触发错误 INT_CRC_ERR（地址 0x22，位 2）。

并行接口还仅在 ADC 模式下支持 CRC，它通过 DB17 在通道 8 之后向 DB2 输出时钟，如图 101 所示。16 位 CRC 字使用 8 个通道（128 位）的数据计算。

界面检查

可通过设置 INTERFACE_CHECK_EN 位（地址 0x21，位 7）来检查数字接口的完整性。如表 29 所示，选择接口检查可将转换结果寄存器强制转换为已知值。

验证控制器是否接收到表 29 中的数据可确保 AD7606C-18 与控制器之间的接口正常运行。如果由于传输的数据已知而启用了接口 CRC，则该模式可验证控制器是否正确执行了 CRC 计算。

表 29.接口检查转换结果

通道编号	强制转换结果（十六进制）
V1	0x2ACCA
V2	0x15CC5
V3	0x2A33A
V4	0x15335
V5	0x0CAAC
V6	0x0C55C
V7	0x33AA3
V8	0x33553

SPI 读写无效

当尝试回读无效寄存器地址时，SPI_READ_ERR 位（地址 0x22，位 4）将被设置。可以通过设置 SPI_READ_ERR_EN 位（地址 0x21，位 4）来启用无效回读地址检测功能。如果触发 SPI 读取错误，可通过覆盖该位或禁用检查器来清除错误。

当尝试写入无效寄存器地址或只读寄存器时，SPI_WRITE_ERR 位（地址 0x22，位 3）将被设置。可以通过设置 SPI_WRITE_ERR_EN 位（地址 0x21，位 3）来启用无效写入地址检测功能。如果触发 SPI 写入错误，可通过覆盖该位或禁用检查器来清除错误。

忙高电平

通过设置 BUSY_STUCK_HIGH_ERR_EN 位（地址 0x21，位 5）可启用 BUSY 高电平卡死监控功能。启用该位后，转换时间（表 3 中的 t_{CONV} ）将由一个独立时钟进行内部监控。如果 t_{CONV} 超过 4 μ s，AD7606C-18 会自动发出部分复位，并断言 BUSY_STUCK_HIGH_ERR 位（地址 0x22，位 5）。要清除该错误标志，必须用 1 覆盖 BUSY_STUCK_HIGH_ERR 位。

启用过采样模式时，将监控每个内部转换的单独转换时间。

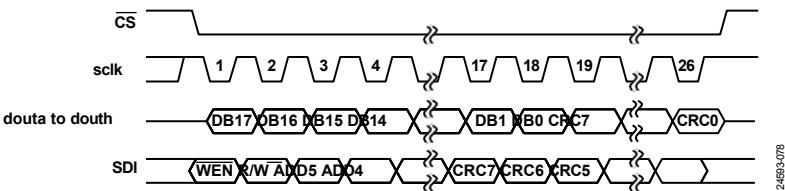


图 117.打开CRC 时的寄存器写入

诊断多路复用器

所有八个输入通道在 PGA 前端都包含一个诊断多路复用器，用于监控表 30 中所述的内部节点，以确保 AD7606C-18 的正确运行。为进行精确测量，建议使用通道 8，诊断通道的偏移和增益已在生产中进行了修整。

表 30 以通道 1 诊断多路复用寄存器的位解码为例进行了说明。选择内部节点时，输入引脚的输入电压将从 PGA 中取消选择，如图 118 所示。

在软件模式下，可通过相应寄存器（地址 0x28 至地址 0x2B）访问每个诊断多路复用器配置。要在一个通道上使用多路复用器，可通过

必须在该通道上选择 $\pm 10\text{ V}$ 量程。

表 30.通道 1 诊断多路复用寄存器位解码

地址 0x18			
位 2	位 1	位 0	通道 1 信号
0	0	0	V1
0	0	1	温度传感器
0	1	0	VREF
0	1	1	ALDO
1	0	0	DLDO
1	0	1	VDRIVE
1	1	0	AGND
1	1	1	AVCC

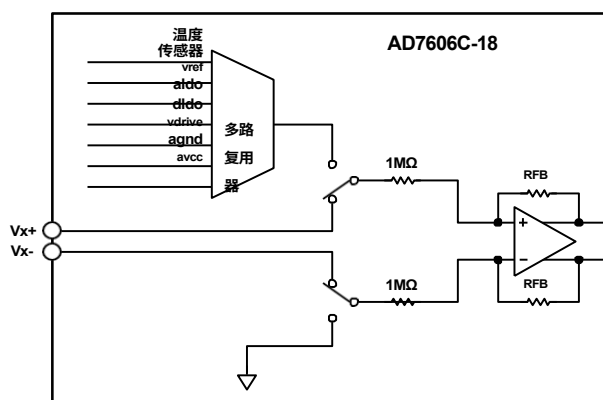


图 118. 诊断多路复用器（以通道 1 为例）（ R_{FB} = 反馈电阻器）

温度传感器

如图 118 所示，可通过诊断多路复用器选择温度传感器，并通过 ADC 进行转换。温度传感器电压经测量后与芯片温

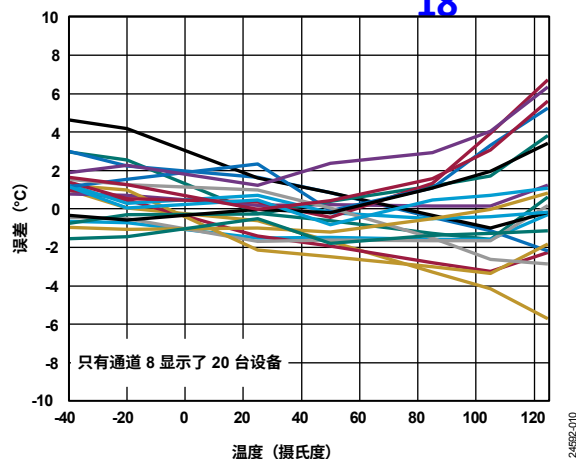


图 119. 温度传感器错误

度成正比，如下式所示：

$$\text{温度 } (^{\circ}\text{C}) = \frac{\text{ADCOUT (V)} - 0.19502 \text{ (V)}}{0.000618 \text{ 伏/摄氏度}} + 25 (^{\circ}\text{C})$$

18 参考电压

Vx-

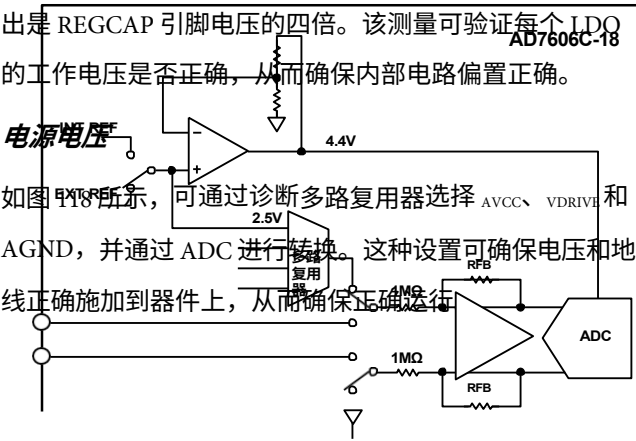
如图 120 所示，可通过诊断多路复用器选择基准电压，并通过 ADC 进行转换。内部或外部基准可根据 REF SELECT 引脚选择作为诊断多路复用器的输入。理想情况下，ADC 输出按比例跟随电压基准电平。因此，如果 ADC 输出超出预期的 2.5 V，则说明基准缓冲器或 PGA 出现故障。

图120.通过诊断多路复用器的基准电压信号路径

内部LDO

如图 118 所示，可通过诊断多路复用器选择模拟和数字 LDO（REGCAP 引脚），并使用 ADC 进行转换。ADC 输出是 REGCAP 引脚电压的四倍。该测量可验证每个 LDO 的工作电压是否正确，从而确保内部电路偏置正确。

如图 118 所示，可通过诊断多路复用器选择 AVCC、VDRIVE 和 AGND，并通过 ADC 进行转换。这种设置可确保电压和地线正确施加到器件上，从而确保正确运行。



Vx+