

## Soc\_Lab4\_1 第 11 組

### 1.Explanation of your firmware code:

這次的 firmware code 是利用 c code 完成的，一開始先將 inputbuffer 裡面的資料進行初始化，也就是都為 0。之後從 stream 裡面取出 data，再把之存入 bram 裡面，接著利用迴圈的方式將資料依序和 tap 進行相乘，並且進行總和。最後的 if 迴圈是在最後若超過 0 到 10 的範圍時。會扣掉 N，始之對應到正確的位置，之後將計算結果印出。

### 2.Interface between BRAM and wishbone:

把 valid 接到 ram 的 en，

把 wstrb 接到 ram 的 we，

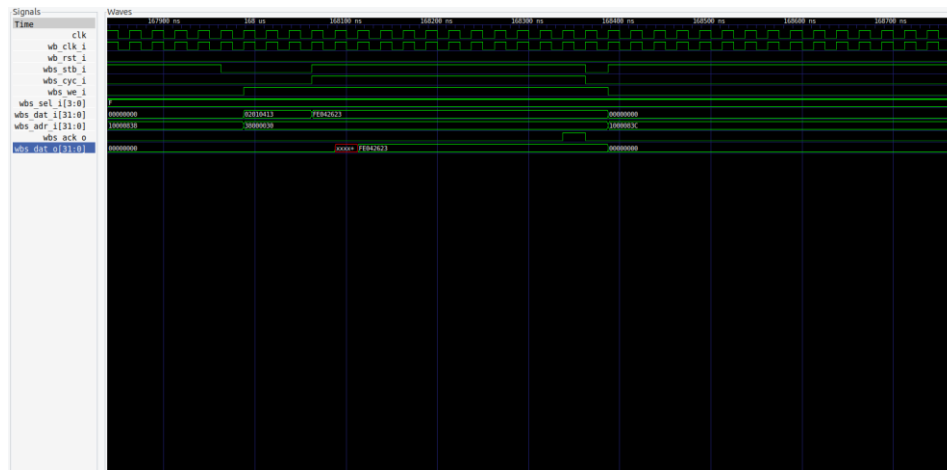
把 ram 的 do 接到我們 wishbone 的 wbs\_dat\_o，

把 wbs\_dat\_i 接到 ram 的 Di，

把 wbs\_adr\_i 接到 ram 的 addr en 要跳起來，同時 addr 要到 3800\_0000 以及 cyc 跟 stb 都要跳起來，

ram 的寫讀則是根據 wbs 的 sel 以及 we 去判斷，

我們的 ack 接到 ready ready 有個 counter 去數 10 個 delay 最後使 ack=1，波形如下圖。



### 3.Synthesis report:

```

1. Slice Logic
-----
+-----+-----+-----+-----+
----+
|      Site Type      | Used | Fixed | Prohibited | Available |
Util% |
+-----+-----+-----+-----+
----+
| Slice LUTs*         | 1    | 0    | 0          | 53200    |
<0.01 |
|   LUT as Logic      | 1    | 0    | 0          | 53200    |
<0.01 |
|   LUT as Memory     | 0    | 0    | 0          | 17400    |
0.00  |
| Slice Registers     | 0    | 0    | 0          | 106400   |
0.00  |
|   Register as Flip Flop | 0    | 0    | 0          | 106400   |
0.00  |
|   Register as Latch  | 0    | 0    | 0          | 106400   |
0.00  |
| F7 Muxes            | 0    | 0    | 0          | 26600    |
0.00  |
| F8 Muxes            | 0    | 0    | 0          | 13300    |
0.00  |
+-----+-----+-----+-----+
----+

```

```

2. Memory
-----

+-----+-----+-----+-----+-----+-----+
| Site Type | Used | Fixed | Prohibited | Available | Util% |
+-----+-----+-----+-----+-----+-----+
| Block RAM Tile | 2 | 0 | 0 | 140 | 1.43 |
|   RAMB36/FIFO* | 2 | 0 | 0 | 140 | 1.43 |
|   RAMB36E1 only | 2 |  |  |  |  |
|   RAMB18 | 0 | 0 | 0 | 280 | 0.00 |
+-----+-----+-----+-----+-----+-----+

```