

北京邮电大学

大学生创新训练项目 立项申请书

项目来源：导师科研类☐ 自主探索类☒

校企合作类☐ 滚动支持类☐

科研院所合作类☐ 校际合作类☐

项目名称：Cortex M 软核处理器与图像处理模块的 FPGA 实现

项目名称（英文）：The implement of Soft IP Core of Cortex M
and Image Processing Unit

项目依托学院：电子工程学院

项目负责人：孙浩峰

联系电话：18610787882

E-mail：sunhaofeng@bupt.edu.cn

指导教师：崔岩松

E-mail：cuiys@bupt.edu.cn

起止年月：2021 年 8 月 27 日-2022 年 6 月

填报时间： 2021 年 8 月 27 日

填写说明

- 1、 本申请书所列各项内容均须实事求是，认真填写，表达明确严谨，简明扼要。
- 2、 申请书为大 16 开本（A4），在网上下载后，根据填报项目类别可自行删减和加页，但须保持格式和内容与原件一致。
- 3、 第五部分“推荐、评价及审批意见”不用填写。

一、基本情况

项目名称	Cortex_M 软核处理器与图像处理模块的 FPGA 实现						
项目负责人	孙浩峰	学号	2019210588	所在学院	信息与通信工程学院	手机号	18610787882
		专业	通信工程	班级	2019211117	邮箱	sunhaofeng@bupt.edu.cn
指导教师	崔岩松	职称	教授	所在学院	电子工程学院	手机号	13520784433
						邮箱	cuiys@bupt.edu.cn
项目类别 (类别说明见立项指南)	<input checked="" type="checkbox"/> 智能硬件 <input type="checkbox"/> 社交媒体 <input type="checkbox"/> 数字娱乐 <input type="checkbox"/> 通信网络 <input type="checkbox"/> 医疗健康 <input type="checkbox"/> 公共服务 <input type="checkbox"/> 电子商务 <input type="checkbox"/> 教育文化 <input type="checkbox"/> 房产家居 <input type="checkbox"/> 理论研究 <input type="checkbox"/> 机器人 <input type="checkbox"/> 无人机 <input type="checkbox"/> 智能制造 <input type="checkbox"/> 智能交通 <input type="checkbox"/> 创意设计 <input type="checkbox"/> 其他_____						
检索关键词	FPGA、图像处理、微处理器						
项目成员 基本信息	姓名	学院	专业	班级	学号	电话	邮箱
	陈泽	信息与通信工程学院	通信工程	201921117	2019210589	18234019322	1834369648@qq.com
团队主要成员介绍	<p>孙浩峰，学习计算机视觉相关课程，学习 C++、python，verilog 编程，掌握 stm32，FPGA，PCB 等技术，掌握物理基础知识，具备一定实验水平，全国大学生集成电路创新创业大赛华北赛区三等奖。</p> <p>陈泽，熟悉 C++编程，有一定的 Python，java 基础知识，掌握 FPGA，PCB 等技术，掌握物理基础知识，具备一定实验水平。</p>						
指导教师承担科研课题情况							
指导教师对本项目支持情况	曾任本项目负责人集成电路创新创业大赛指导老师 计划继续担任项目大学生 FPGA 设计竞赛和集成电路创新创业大赛的指导老师						

二、立项依据

(一) 项目创意来历及项目意义

- 随着计算机视觉技术及相应算法的改进，图像处理算法在实际应用中越来越普及，但是由于传统计算机的串行处理所导致的数据输入和处理的时间的延长使得计算机丧失了实时处理的能力，这在实时图像处理中是传统处理器的一个巨大缺陷。
- 于是我们在基于 Xilinx 纯 FPGA 硬件架构上，设计了主要用于计算机视觉处理硬件加速系统原型的构建，并且包含相应的总线输入输出接口，以便后续的拓展设计。
- 在现在的芯片领域中，众多厂商已经在芯片中加入了可以用于图像处理加速、机器学习加速等的模块，如：TPU（张量处理器，Google 公司推出的加速人工智能算法的专用处理器。目前一代 TPU 面向 Inference，二代面向训练。）、NPU（神经网络处理器，是基于神经网络算法与加速的新型处理器总称，如中科院计算所/寒武纪公司出品的 diannao 系列。）、VPU（矢量处理器，Intel 收购的 Movidius 公司推出的图像处理与人工智能的专用芯片的加速计算核心。）。
- 上述这些处理加速模块都集成在价格高昂的通用处理器中，我们在低功耗，控制类芯片中很难找到用于计算加速的模块，因此在低功耗嵌入式领域中引入计算机视觉等就会遇到芯片计算资源不足的情况，因此我们计划使用 FPGA 从 RTL 级建立图像处理加速模块，并与 Cortex-M 系列芯片结合，形成完整的一个 MCU 模块。

(二) 项目研究主要内容

- 项目本软核系统基于 Xilinx 纯 FPGA 设计，基于 Arm 公司开源的 Cortex-M Design Start 内核构建自己的总线及相应外设，同时也着重于 FPGA 在计算机视觉方面的应用。
- 在项目实施过程中，我们计划使用文献研究法、实验研究法，通过查阅文献了解相关知识，然后进行实验来不断完善项目。
- 系统架构：
 1. 基于 arm 公司 designed-start 的 ARM Cortex-M 开源内核：

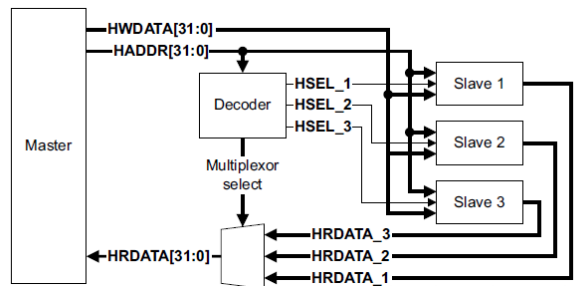
Arm DesignStart 是 Arm 的一个项目，开放了一系列 IP，包括 Cortex-M0，Cortex-M3，Cortex-A5 等，每一种 IP 也有不同的版本：Eval 版，FPGA 版，Pro 版等。Eval 版本提供处理器核的网表形式的 Verilog 代码；
 2. Vivado 软件，Verilog HDL 语言进行 FPGA 的硬件设计；
 3. ARM32 位指令集；
 4. 取指，译码，执行 三级流水线；
 5. AHB_Lite 高性能总线：

AHB-Lite 协议：

AHB-Lite 协议为 AMBA 3 家族的 AHB 协议，其简化了 AHB 的协议复杂性；面向高性能，高频率系统设计；AHB-Lite Slave 一般是内存器件（MCU），外部存储器接口和高带宽外围器件，低带宽的器件也可以连接至 AHB-Lite 上，但是一般通过桥接器连接至 APB 总线上。

AHB-Lite 协议为单 Master，多 Slave 的，因此没有仲裁器。与 AHB 2 协议特性不同的是，没有分块传输，单周期总线移交操作。

AHB-Lite 总线接口及结构：



6. 2MB+片上 RAM；

7. 1KB 片上 ROM；

8. GPIO 可定义输入输出：

在本系统中，自己添加 16+个 GPIO 通用输入输出模块，可以编程配置接口为输入输出，内部含有相应的控制寄存器，状态寄存器，可以对当前状态进行查询。

9. 组七段数码管；

10. 个通用异步收发传输器(UART)：

通用异步收发传输器(Universal Asynchronous Receiver/Transmitter, 通常称作 UART)是一种串行异步收发协议，应用十分广泛。UART 工作原理是将数据的二进制位一位一位的进行传输。

11. 个集成电路总线(I2C)：

为了减少软件部分的编写难度，我们编写硬件实现 I2C 通信。I2C 总线在物理连接上非常简单，分别由 SDA(串行数据线)和 SCL(串行时钟线)及上拉电阻组成。通信原理是通过 SCL 和 SDA 线高低电平时序的控制，来产生 I2C 总线协议所需要的信号进行数据的传递；

12. 1 个定时器：

在定时器内，提够了可以修改工作模式的寄存器，而且当定时器到达零时产生中断。定时器是 Cortex-M 处理器系统不可缺少的重要功能部件，通过它可以运行多任务；

13. 16 个外部中断：

在 Cortex-M 上增加中断机制，在 Cortex-M 处理器中集成了嵌套向量中断控制器(NVIC)。

14. 可编程 PWM 发生器：

如果使用通用输入输出接口来生成 PWM 会大量占用 CPU 的处理时间和资源，因此我们直接设计一组四个 PWM 生成器。

15. VGA 视频输出接口：

在本系统中还集成了一个 AHB VGA 控制器，该控制器与片外的 VGA 显示器进行连接。在本设计中使用了 14 个信号线，包括 12 位颜色信号线(4 位红色分量、4 位绿色分量和 4 位蓝色分量)、1 位水平同步信号和一位垂直同步信号。

16. C 语言编程库文件

17. 1 个三色图转灰度图加速器；

18. 1 个二维卷积加速器；

19. 1 个 sobel 边缘检测加速器。

以上模块全部采用 Verilog 语言的形式写出

• 研究方法：

文献研究法：

A. 概念特征：主要指围绕某个教育问题，搜集、鉴别、整理相关文献，并通过对文献的阅读

与研究，形成对教育问题及其事实的科学认识的方法。

B. 主要渠道：1) 书籍；2) 报刊；3) 档案（含文件）；4) 非文字资料（图片、音像、实物、歌曲等）；5) 网络数据库

C. 查阅核心：1) 代表著作和论文；2) 研究问题的程度和主要观点；3) 存在的不足或有待进一步研究的问题。

实验研究法：是针对某一问题，根据一定的理论或假设进行有计划的实践，从而得出一定的科学结论的方法。为了进一步阐明实验研究法的真正，我们需要搞清假设、常量和变量的概念。

（三）项目创新点与项目特色

- 在本项目中的创新部分是将部分的计算机视觉，图像处理算法从软件层面转移到硬件上，在硬件层面上对算法进行加速，如三色图转灰度，卷积运算，边缘检测算法等，将这些算法设计成相应的加速模块后，整合到一个大的加速单元中，将其称为图像处理中心。
- 并且在改 soc 设计中，集成了大量、丰富的外设，如：16+的 GPIO 通用输入输出接口模块、多个通用异步收发传输器（UART）、集成电路总线（I2C）、可编程 PWM 发生器提升芯片的可用性和实用性。

（四）系统方案和技术路线

- 在本项目中的关键技术是将计算机视觉的相关算法移植到 FPGA 上，使用硬件描述语言来对相关的算法进行加速，由于图像处理算法的特点，并行性也可以用来加速处理过程，于是我们也可以通过加入并行处理来使硬件加速模块的性能得到进一步分提高。
- 本项目的思路为，先构建基本的 Cortex-M 系列处理器，并添加相关外设，使其能够完成基本的功能，然后完善软件层面的函数库；然后开始图像处理模块的设计，完成处理器与图像处理模块的互联。
- 系统模块图与架构图：



- 功能概述：
Cortex-M0 内核：逻辑、控制与运算。
AHB-Lite 总线：外设及各个模块的互联。

GPIO 通用输入输出接口模块:输入输出模块,与外部进行通信。

通用异步收发传输器(UART):与外部进行串口通信。

集成电路总线:I2C 或 SPI 与外部进行通信。

定时器(TIM):Cortex-M0 处理器系统不可缺少的重要功能部件,通过它可以运行多任务。

外部中断:在 Cortex-M0 上增加中断机制。

可编程 PWM 发生器:生成 PWM 波形。

VGA 视频输出接口:图像的显示接口。

图像处理模块:用于图像处理加速。

C 语言库文件:用于 C 语言的编程。

- 在本项目中,我们的技术亮点是将图像处理算法用硬件实现,构成图像处理模块,并且实现一定的处理加速,并通过 Cortex-M 系列芯片对其进行控制。
- 设计采用 Vivado2018.3 软件,Keil,Linux 的 gcc 工具链

(五) 项目进度安排

- 前期安排:

学习 ARM Cortex-M0 全可编程 SoC 的原理与实现方法,掌握处理器架构,AMBA 规范等相关知识。学习 AHB_Lite 高性能总线的相关知识并掌握使用方法。了解并学习 FPGA,明白 FPGA 在本项目中的所起优势与作用。学习项目所需汇编语言、C 语言、Verilog HDL 等语言,并掌握一定的相关算法。了解 Xilinx FPGA 芯片,学习搭载该芯片的开发板及其引脚电路等。学习时间大概在三个月左右,即 2021 年 12 月份前完成主要的学习任务。
- 中期安排:

设计相关的图像处理,机器学习等算法,如三色图转灰度,卷积运算,边缘检测算法等。并设计相关的硬件加速模块,将已有算法搭载在加速模块上,即将这些算法从传统软件上解放出来,与相关硬件整合在一起。至此,图像处理中心的框架搭建完毕。该阶段用时一至两个月,即 2022 年二月底前完成。

集成相关外设,使用 GPIO 通用的输入输出接口模块、通用异步收发传输器(UART)、集成电路总线(I2C)、可编程 PWM 发生器等以提供该项目实用性。该阶段用时一至两个月,即 2022 年四月前完成。
- 后期安排:

完善已有功能,填补项目空缺。测试项目功能的完成度与性能高低。设计补充在项目实现过程中发现的额外功能等。该阶段持续于整个剩余时间。

(六) 已有基础

- 成员部分:

掌握基本的 Verilog 语言、C 语言等。了解基本的 FPGA 开发。
- 硬件部分:

项目已将 Cortex-m0 作为内核,并添加了中断源定时器模块,添加芯片上 RAM、ROM 等存储器。添加了基于 AHB-Lite 总线的外设,如 GPIO、定时器、PWM 等。
- 软件部分:

配置硬件开发环境 SDK,有 GPIO、PWM 等软件实例。

(七) 预期成果形式，达到的技术指标

软件方面设计图像处理与机器学习算法，硬件方面设计算法加速模块，之后将二者整合成图像处理中心。搭配能实现各种功能的外设，以提高芯片的实用性与多面性。显著提高计算机视觉处理速度，并实现实时处理图像的能力，填补在低功耗嵌入式领域中实现加速模块这一空缺。

三、经费概算（单位：元）

（一）项目总经费： 1399 元
（二）经费分项预算：需附《北京邮电大学大学生创新训练项目经费预算表》

四、成员分工

姓名	项目前期调研学习情况	任务分工	预期投入精力	签字
孙浩峰	FPGA 开发，cortexm 系列处理器使用	完善片上 Cortex-M 处理器，设计图像处理模块	每周六小时	
陈泽	FPGA 开发，cortexm 系列处理器使用	完善片上 Cortex-M 处理器，设计图像处理模块	每周六小时	

注：包括项目负责人

五、推荐、评价及审批意见

<p>指导教师意见与承诺：</p> <div style="text-align: right; margin-top: 50px;"> 导师签字：_____ 年 月 日 </div>
<p>学院推荐意见：</p> <div style="text-align: right; margin-top: 50px;"> 负责人签字：_____ 学院公章 年 月 日 </div>
<p>专家组评价意见：</p> <div style="text-align: right; margin-top: 50px;"> 组长签字：_____ 年 月 日 </div>

学校审批意见：

负责人签字：

盖章 年 月 日

附表:

北京邮电大学 大学生创新训练项目经费预算表

项目所在学院:

日期:

支出项目类别	支出项目说明	支出金额（元）	测算依据
1、业务费	打印费、复印费、装订费、书费、资料费等费用	0	
2、仪器设备购置费	购置或试制专用仪器设备,对现有仪器设备进行升级改造等费用	799	赛灵思 a35t 开发板,摄像头
3、材料费	芯片、模块、元器件、电路板等低值易耗品费用	500	线材等
4、外协费	支付给外单位的检验、测试、化验、维修、租赁和加工制作等费用	0	
5、差旅费	开展科学实验（试验）、科学考察、项目调研、学术交流等所发生的外埠差旅费	0	
6、会议费	学术研讨、咨询、培训等费用	0	
7、专项业务费	版面费、专利申请及其他知识产权事务等费用	0	
合计（元）	1399		

项目指导教师签字:

项目负责人签字:

项目组其他成员签字: