

Übungsblatt 9

Rechnerarchitektur im SoSe 2020

Zu den Modulen L

Besprechung: Besprechung der Übungsaufgaben in den Übungsgruppen vom 29. Juni – 3. Juli 2020

Aufgabe H19: Addiernetze in arithmetisch-logischen Einheiten

(11 Pkt.)

- a. Nehmen Sie einen Carry-Look-Ahead-Addierer mit einer Größe der Bit-Gruppen von $g = 3$ an. Leiten Sie den logischen Ausdruck her, mit dem der ausgehende Übertrag U_{out} bereits vor Abarbeitung des Addiernetzes bestimmt werden kann. Bezeichnen Sie dabei die beiden eingehenden Binärzahlen als $x_2x_1x_0$ und $y_2y_1y_0$ und den eingehenden Übertrag als U_{in} .
- b. Zeichnen Sie das Schaltnetz für einen Carry-Look-Ahead-Addierer für eine Größe von Bit-Gruppen von $g = 3$. Vorkommende Volladdierer können dabei durch ihr entsprechendes Schaltsymbol dargestellt werden. Hierbei können Sie annehmen, dass AND-Gatter und OR-Gatter zur Verfügung stehen, die mehr als zwei Eingaben gleichzeitig verarbeiten können. Achten Sie darauf, die Verbindung von zwei Leitungen explizit zu kennzeichnen.

- c. Gehen Sie nun von der Addition zweier Dualzahlen der Länge 6-Bit aus. Berechnen Sie die Ausführungsdauer der Addition für Carry-Look-Ahead-Addierer mit einer Größe der Bit-Gruppen von $g = 3$, d.h. es werden zwei Carry-Look-Ahead-Addierer aus den vorhergehenden Aufgabenteilen hintereinander geschaltet. Berechnen Sie zudem die Ausführungsdauer für ein angenommenes Ripple-Carry-Addiernetz, das zwei 6-stellige Dualzahlen addieren kann. Nehmen Sie hierbei an, dass ein Volladdierer eine Verzögerung von 70 psec, ein AND-Gatter und OR-Gatter jeweils eine Verzögerung von 10 psec verursachen. AND-Gatter und OR-Gatter mit mehr als zwei Eingängen sollen ebenfalls mit einer Verzögerung von 10 psec veranschlagt werden.

Aufgabe H20: Schaltung für Successor-Funktion

(8 Pkt.)

In dieser Aufgabe sollen Sie das Schaltnetz für eine Binärschaltung entwerfen, welche die Successor-Funktion für 2-Bit-Zahlen realisiert.

Sei $i \in \{0, \dots, 3\}$ eine Dezimalzahl und $d(i)$ die zweistellige Dualdarstellung von i . Die Successor-Funktion soll die Funktion

$$f_{\text{succ}}(d(i)) = d(i + 1) \bmod 4 \quad \text{mit} \quad f_{\text{succ}} : B^2 \rightarrow B^2$$

realisieren.

Neben zwei Dateneingänge x_0 und x_1 sowie zwei Datenausgänge y_0 und y_1 soll die Schaltung einen Steuereingang s besitzen. Nur wenn gilt $s = 1$ soll die Schaltung den Wert von $f_{\text{succ}}(d(i))$ als Ergebnis an den Datenausgängen liefern. Für $s = 0$ soll die Schaltung die Dateneingänge unverändert an die Datenausgängen weiterleiten.

- Stellen Sie zunächst die Funktionstafel für die gewünschte Schaltung auf.
- Leiten Sie von der Funktionstafel die beiden Schaltfunktionen f_{y_0} und f_{y_1} für die Datenausgänge y_0 und y_1 ab. Minimieren Sie beide Funktion so weit wie möglich.
- Oft ist es billiger eine Schaltung aus komplexeren schon existierenden Bausteinen zusammen zu setzen, anstatt sie von Grund auf neu zu konstruieren.

Gehen Sie davon aus, dass Ihnen aus Kostengründen nur Halbaddierer zur Verfügung stehen und konstruieren Sie die Schaltung mittels Halbaddierer.