

Tutoriumsblatt 10

Rechnerarchitektur im SoSe 2020

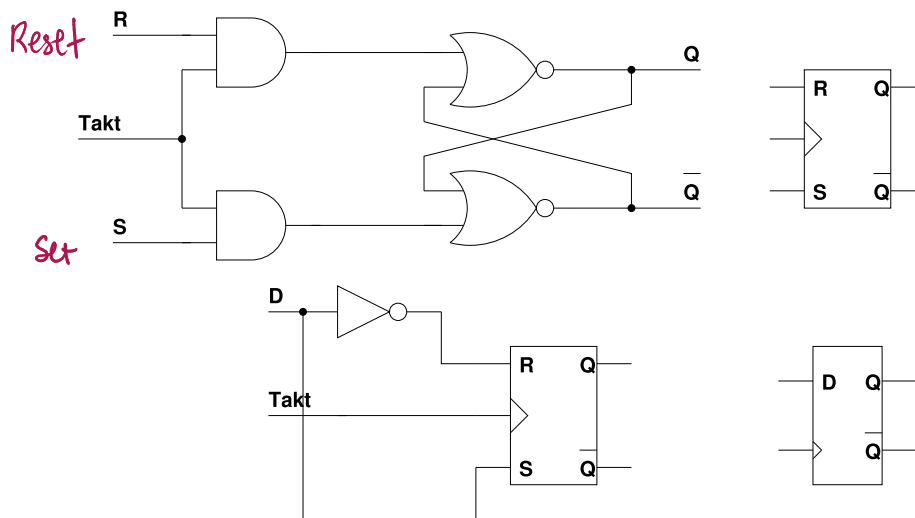
Zu den Modulen M

Tutorium: Die Aufgaben werden in Tutorien-Videos vorgestellt, die am 25. Juni 2020 (17 Uhr) veröffentlicht werden.

Aufgabe T29: Arbeitsweise von Latches

(– Pkt.)

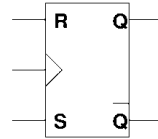
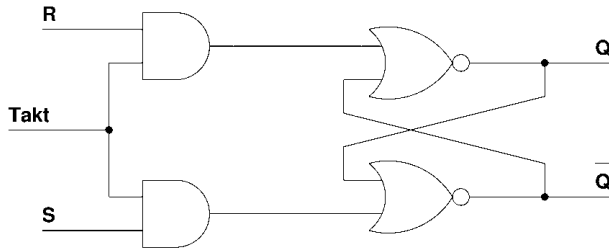
Betrachten Sie die folgenden Schaltbilder eines RS- und eines D-Latches:



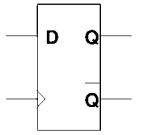
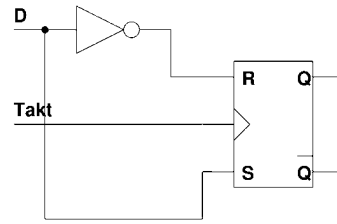
- a. Machen Sie sich die Funktionsweise der Latches klar, indem Sie die Zustandstabellen aufstellen. Jede Tabelle soll folgendermaßen aufgebaut sein:
- Jede Spalte entspricht einem Ein- bzw. Ausgang. Ein RS-Latch zum Beispiel verfügt über die drei Eingänge S, R und C (Clock/Takt), sowie über die Ausgänge Q und \bar{Q} .
 - Jede Zeile entspricht einem bestimmten Zustand des Latches, abhängig von den Signalen an den Eingängen.
 - Mögliche Zustände sind: Set, Reset, Speichern und Kippen. Geben Sie hinter jeder Tabellenzeile an, welcher Zustand vorliegt. (Hinweis: Nicht alle Zustände kommen bei jedem Latch vor.)
 - Kennzeichnen Sie unzulässige Zustände als solche.
 - Verwenden Sie *Don't-Care-Argumente*, falls es keinen Unterschied für die Belegung der Ausgänge macht, ob an einem Eingang eine 0 oder 1 anliegt. Verwenden Sie zur Kennzeichnung solcher Belegungen in der Tabelle ein D.
 - Verwenden Sie die Notation Q^* , um den alten Wert von Q zu symbolisieren, falls dieser in diesem Zustand nicht explizit (0 oder 1) bekannt ist.
- b. Welchen Vorteil besitzt das D-Latch gegenüber dem RS-Latch?
- c. Welches Problem ergibt sich aber beim D-Latch im Hinblick auf das Speichern über mehrere Takte hinweg? Verdeutlichen Sie das Problem durch ein Impulsdiagramm, das die Verläufe der Signale D, C (Clock/Takt) und Q darstellt. Setzen Sie alle drei Signale anfangs auf 0, zeichnen Sie dann zunächst den Verlauf für das Taktsignal und führen Sie anschließend eine Set-Operation durch.

(a)

R-S-Latch



D-Latch



S	R	C	Q	Q̄	Kommentar
0	0	1	Q*	Q̄*	Speichern
0	1	1	0	1	Reset
1	0	1	1	0	Set
1	1	1	-	-	Unzulässig
D	D	0	Q*	Q̄*	Speichern

D	C	Q	Q̄	Kommentar
1	1	1	0	Set
0	1	0	1	Reset
D	0	Q*	Q̄*	Speichern

Race condition
(see which NOR
activates first)

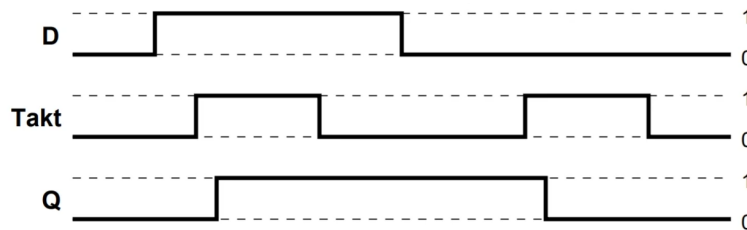
D-Latch \Rightarrow we don't allow the UNzulässige Zustand

(b)

Das D-Latch hat keinen unzulässigen Zustand.

(c)

- Das Speichern über mehrere Takte hinweg ist nicht möglich, wie folgendes Impulsdiagramm verdeutlicht



D must be high all the time to save the bit

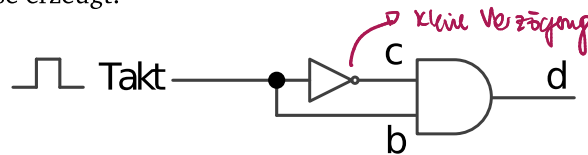
Flip-Flop: Flankengesteuert (edge-triggered)
Latch: Pegelgesteuert (level-triggered)

Aufgabe T30: Flip-Flops

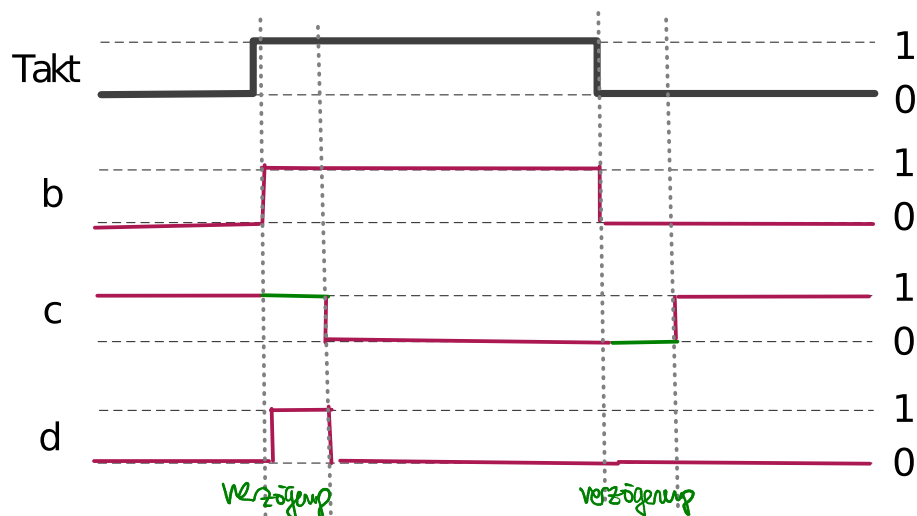
(– Pkt.)

Bearbeiten Sie die folgenden Teilaufgaben zum Thema Flip-Flops:

- a. Gegeben sei folgendes Schaltnetz, welches einen Impulsgenerator realisiert, der aus Taktflanken kurze Impulse erzeugt:



Ergänzen Sie folgende Vorlage zu einem Impulsdiagramm für die Ausschnitte b, c, d basierend auf dem eingezeichnetem Takt. Gehen Sie davon aus, dass das AND-Gatter keine Verzögerung verursacht und das NOT-Gatter eine nicht vernachlässigbare Verzögerung verursacht, deren Auswirkungen im Impulsdiagramm deutlich werden müssen:



- b. Gegeben sei das nachfolgende Impulsdiagramm eines D-Flip-Flops mit dem Taktgeber aus der vorherigen Teilaufgabe a. Vervollständigen Sie das folgende Impulsdiagramm für die Ausgänge Q und \bar{Q} unter der Annahme, dass der Baustein ohne Zeitverzögerung schaltet:

