

# **数字逻辑实验报告（1**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 聂鸿勇**

**学 号： U201714785**

**班 级： CS1707**

**指 导 教 师： 胡迎松**

**计算机科学与技术学院**

**2019 年 5月 5日**



**数字逻辑实验报告**

**系列二进制加法器设计实验报告**

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

采用传统电路的设计方法，设计5种二进制加法器，并利用工具软件 logisim的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真和调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计如下电路，并使用logisim软件进行虚拟仿真。除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件。

具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和C，为本位和和向高位的进位。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用先行进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。

输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co分别为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件，并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”元件，并验证它的正确性，以便后续实验使用。封装后的逻辑符号参见图1-1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图1-1先行进位的四位二进制并行加法器

5、实验方案设计

**（1）一位二进制半加器**

（1）函数表达式:

S = A ⊕ B

C = A & B

（2）真值表

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | S | C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

（3）电路图

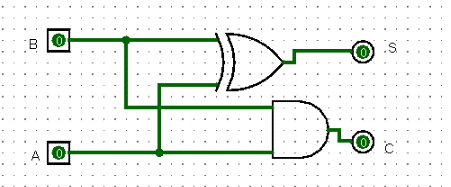


图1-2 一位二进制半加器

**（2）一位二进制全加器**

（1）函数表达式

S = A ⊕ B ⊕ C0

C = AB + BC + AC

（2）真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | S | Co |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

（3）电路图

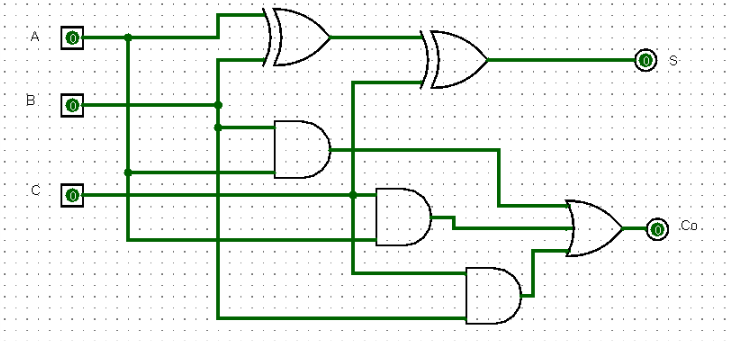


图1-3 一位二进制全加器

**（3）串行进位的四位二进制并行加法器**

（1）函数表达式:

S0 = A0 ⊕ B0 ⊕ Cin, C0 = A0B0 + B0Cin + A0Cin

S1 = A1 ⊕ B1 ⊕ C0, C1 = A1B1 + B1C0 + A1C0

S2 = A2 ⊕ B2 ⊕ C1, C2 = A2B2 + B2C1 + A2C1

S3 = A3 ⊕ B3 ⊕ C2, C3 = A3B3 + B3C2 + A3C2

（2）电路图

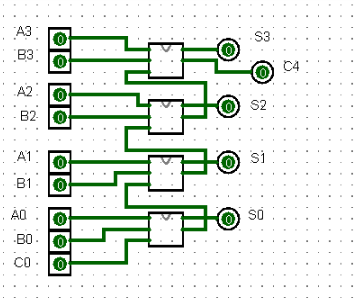


图1-4串行进位的四位二进制并行加法器

**（4）先行进位的四位二进制并行加法器**

（1）函数表达式或逻辑描述:

设Gi= AiBi, Pi = !AiBi + Ai!Bi

C0 = Cin

C1=G0 + P1·C0

C2=G1 + P2·C1 = G2 + P2·G1 + P2·P1·C0

C3=G2 + P3·C2 = G2 + P3·G2 + P3·P2·G1 + P3·P2·P1·C0

C4=G3 + P4·C3 = G3 + P4·G2 + P4·P3·G1 + P4·P3·P2·G0 + P4·P3·P2·P1·C0

S0 = C0 ⊕ P1

S1 = C1 ⊕ P2

S2 = C2 ⊕ P3

S3 = C3 ⊕ P4

（2）电路图

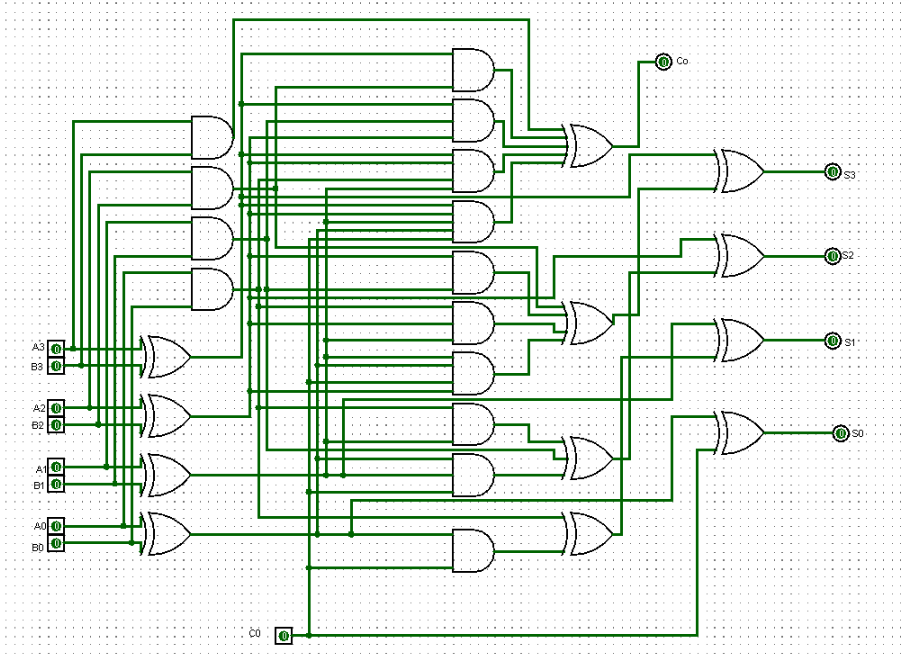


图1-5先行进位的四位二进制并行加法器

**（5）封装“先行进位的四位二进制并行加法器电路”**

按图1-1所示要求，封装“先行进位的四位二进制并行加法器电路”，并验证设计的正确性。

（1）电路图

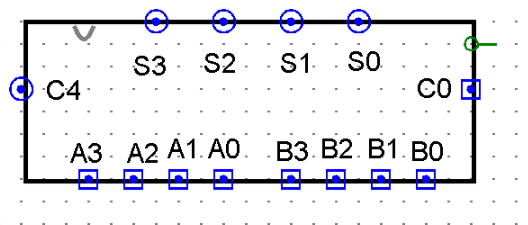


图1-6“私有”的先行进位的四位二进制并行加法器元件

（2）测试电路图

1、输入A=0B、B=1011B,Co=0B，理论输出C4=0B、S=1011B，实际输出如图1-7所示，与理论结果一致。

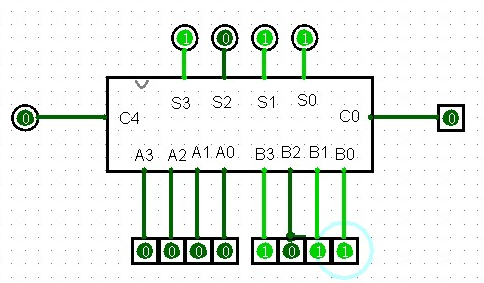


图1-7测试电路一

2、输入A=1111B、B=1111B,Co=1B，理论输出C4=1B、S=1111B，实际输出如图1-8所示，，与理论结果一致。

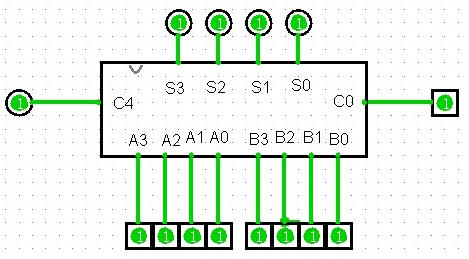


图1-8测试电路二

3、输入A=1100B、B=0011B,Co=1B，理论输出C4=1B、S=0000B，实际输出如图1-9所示，，与理论结果一致。

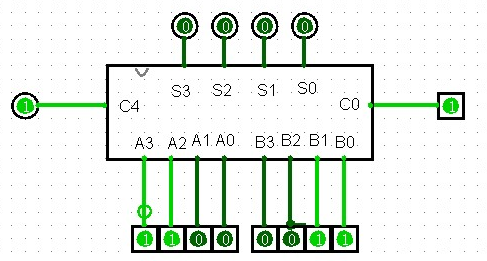


图1-9测试电路三

4、输入A=0100B、B=1001B,Co=1B，理论输出C4=0B、S=1110B，实际输出如图1-10所示，，与理论结果一致。

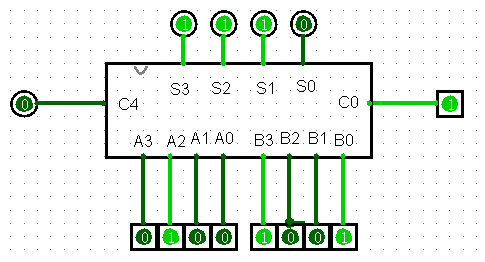


图1-10测试电路四



**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示（七段显示数码管）该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库。

具体要求如下。

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并**进行封装**，逻辑符号参见图2-1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、四个计数器状态输出值**QD QC QB QA**。

（友情提示：四个计数状态输出端QDQCQBQA可以用来记录当前实验室人数。）

**QD QC QB QA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

图2-1 四位二进制可逆计数器

**（2）二进制转8421BCD码电路**

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

**（3）显示电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，使得满足如下要求。

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求，为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

5、实验方案设计

**（1）四位二进制可逆计数器**

经分析采用异步时序逻辑电路，根据题意列出四位二进制可逆计数器的二进制状态表如表2-1所示.

表2-1四位二进制可逆计数器的二进制状态表

|  |  |  |
| --- | --- | --- |
| 现态  Q3Q2Q1Q0 | 次态Q3n+1Q2n+1Q1n+1Q0n+1 | |
| CPU | CPD |
| 0000 | 0001 | 1111 |
| 0001 | 0010 | 0000 |
| 0010 | 0011 | 0001 |
| 0011 | 0100 | 0010 |
| 0100 | 0101 | 0011 |
| 0101 | 0110 | 0100 |
| 0110 | 0111 | 0101 |
| 0111 | 1000 | 0110 |
| 1000 | 1001 | 0111 |
| 1001 | 1010 | 1000 |
| 1010 | 1011 | 1001 |
| 1011 | 1100 | 1010 |
| 1100 | 1101 | 1011 |
| 1101 | 1110 | 1100 |
| 1110 | 1111 | 1101 |
| 1111 | 0000 | 1110 |

根据表2-1所示状态表，采用D触发器，可确定在输入脉冲作用下的状态转移关系和激励函数真值表，如表2-2所示。

表2-2 状态转移关系及激励函数真值表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | 现态 | 次态 | 状态跳变 | | | | 激励函数 | | | | | | | |
| CPDCPU | Q3Q2Q1Q0 | Q3n+1Q2n+1Q1n+1Q0n+1 | Q3 | Q2 | Q1 | Q0 | C3 | D3 | C2 | D2 | C1 | D1 | C0 | D0 |
| 01 | 0000 | 0001 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0001 | 0010 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 0010 | 0011 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0011 | 0100 |  |  |  |  |  | d |  | 1 |  | 0 |  | 0 |
| 0100 | 0101 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0101 | 0110 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 0110 | 0111 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 0111 | 1000 |  |  |  |  |  | 1 |  | 0 |  | 0 |  | 0 |
| 1000 | 1001 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1001 | 1010 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 1010 | 1011 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1011 | 1100 |  |  |  |  |  | d |  | 1 |  | 0 |  | 0 |
| 1100 | 1101 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1101 | 1110 |  |  |  |  |  | d |  | d |  | 1 |  | 0 |
| 1110 | 1111 |  |  |  |  |  | d |  | d |  | d |  | 1 |
| 1111 | 0000 |  |  |  |  |  | 0 |  | 0 |  | 0 |  | 0 |
| 10 | 0000 | 1111 |  |  |  |  |  | 1 |  | 1 |  | 1 |  | 1 |
| 0001 | 0000 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 0010 | 0001 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 0011 | 0010 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 0100 | 0011 |  |  |  |  |  | d |  | 0 |  | 1 |  | 1 |
| 0101 | 0100 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 0110 | 0101 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 0111 | 0110 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1000 | 0111 |  |  |  |  |  | 0 |  | 1 |  | 1 |  | 1 |
| 1001 | 1000 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1010 | 1001 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 1011 | 1010 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1100 | 1011 |  |  |  |  |  | d |  | 0 |  | 1 |  | 1 |
| 1101 | 1100 |  |  |  |  |  | d |  | d |  | d |  | 0 |
| 1110 | 1101 |  |  |  |  |  | d |  | d |  | 0 |  | 1 |
| 1111 | 1110 |  |  |  |  |  | d |  | d |  | d |  | 0 |

利用卡诺图化简得到

、、、

在加计数时，CPU有脉冲，通过观察表6-2可以看出C3所要求的触发信号可由Q2Q1Q0提供，C2所要求的触发信可由Q1Q0提供，C1所要求的触发信号可由Q0提供，C0所要求的触发信号可由CPU提供.

在减计数时，CPD有脉冲，通过观察表6-2可以看出C3所要求的触发信号可由提供，C2所要求的触发信号可由提供，C1所要求的触发信号可由提供，C0所要求的触发信号可由CPU提供.

综合加计数和减计数，可知

使用Logism做出电路图如图2-3所示：

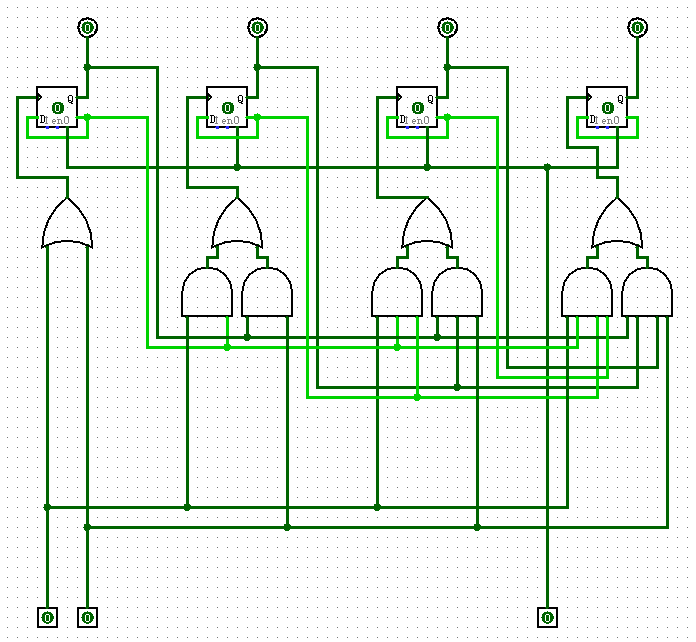


图2-3四位二进制可逆计数器



图2-4四位二进制可逆计数器封装

**（2）二进制转8421BCD码电路**

由题意可列出四位二进制数和8421码的对应关系，如表2-3所示

表2-3 四位二进制数与8421码对应表

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 十进制数 | 输入(4位二进制数) | | | | 输出(8421码) | | | | | 修正控制 |
| N | A3 | A2 | A1 | A0 | C4 | S8 | S4 | S2 | S1 | Z |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 10 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 13 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 15 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 |

利用卡诺图化简得到修正控制

修正方式为S3S2S1S0+0ZZ0。

据此可以画出四位二进制数转8421码的电路图如图2-5和图2-6所示：

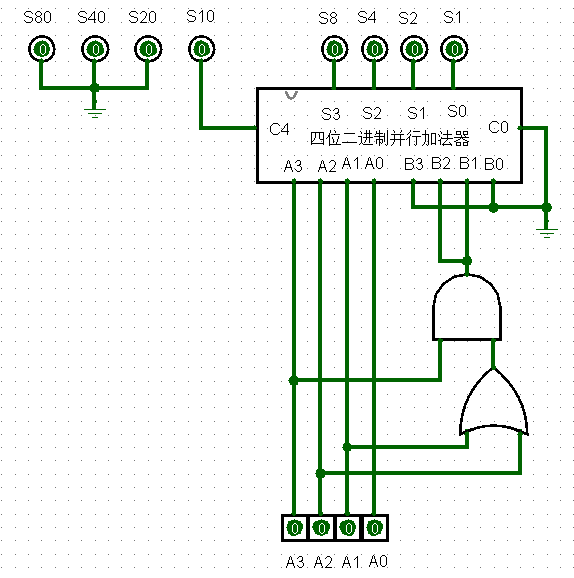


图2-5 四位二进制数转8421码电路图

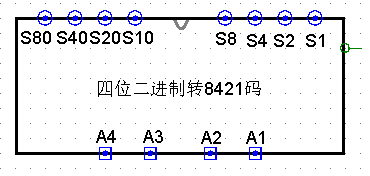


图2-6四位二进制数转8421码封装图

**（3）显示电路**

**（A）7段译码器译码电路**

7段译码器的真值表如表2-4所示:

表2-4 7段译码器真值表

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | 输出 | | | | | | |
| A3 | A2 | A1 | A0 | a | b | c | d | e | f | g |

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

利用卡诺图化简得：

a= 210+32A1+3A2A0+A31A0

b= 32+10+21+3A1A0

c= 3A2+21+2A0

d= A21A0+20+2A1A0+ A2A10

e= A10+20

f= 10+A21+A321+A20

g= A21+ A32+2A1+A10

该电路图封装如下图2-7所示：

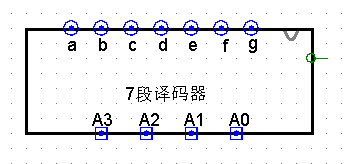


图2-7 7段译码器封装图

根据公式可以画出电路图如图2-8所示：

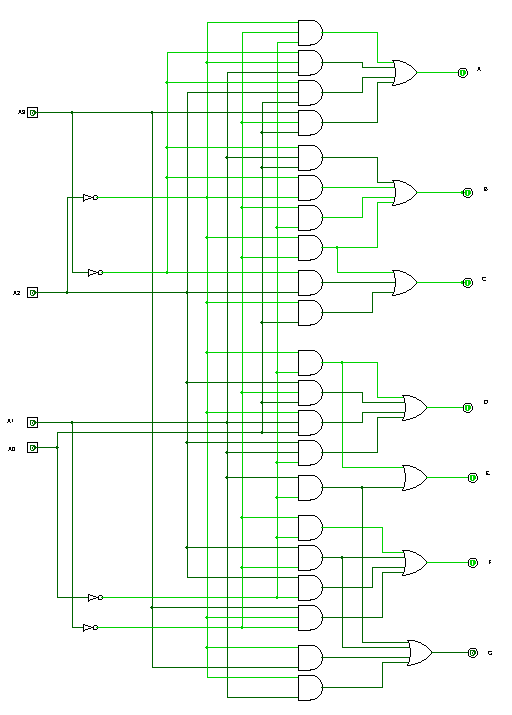


图2-8 7段译码器

**（B）7段数码显示管显示电路**

将四位二进制数转8421码的十位输出和个位输出分别连接到两个7段译码器上，然后将7段译码器连接到数码显示管得到显示实验室人数的电路，电路的输入是二进制数表示的实验室人数，如图2-9所示。

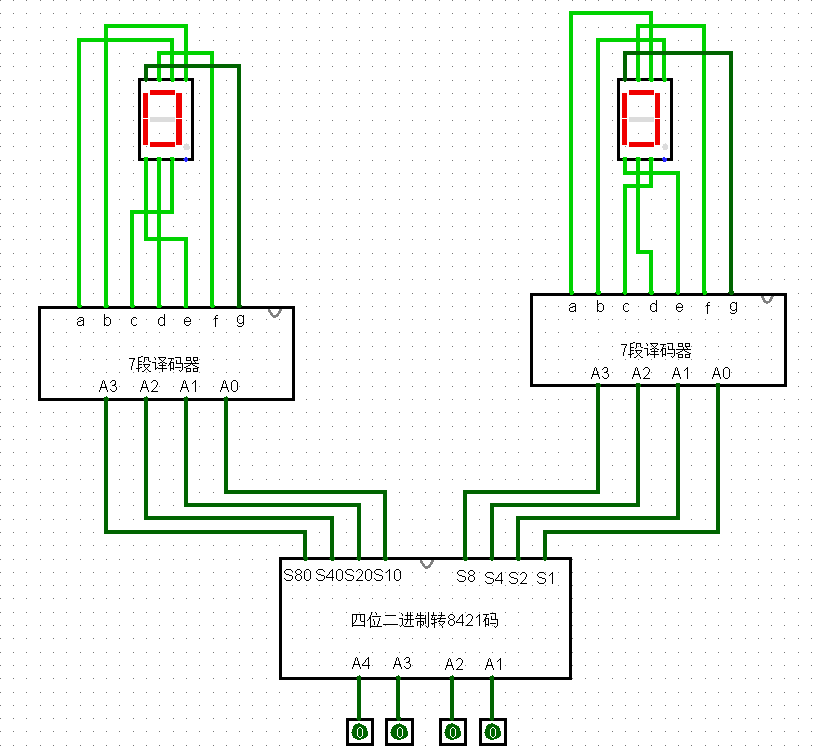


图2-9 7段数码显示管显示电路

**（4）报警电路**

电路设计要求要采用本次实验1中由4位二进制可逆计数器所封装的“私有”元件和相应元器件。

当实验室中满员时，四位二进制可逆计数器的四个输出都为高电位，此时再次输入一个CPu脉冲，计数器将不会继续累加，并且报警器会亮起；当实验室中没人时，四个输出都为低电位，计数器不会进行减操作，由以上叙述可知：设报警状态为M。

M = （Qd·Qc·Qb·Qa）·U

CPu = ·U

CPd = （Qd+Qc+Qb+Qa）·D

由公式可得报警电路如图2-10所示，报警电路封装如图2-11所示。

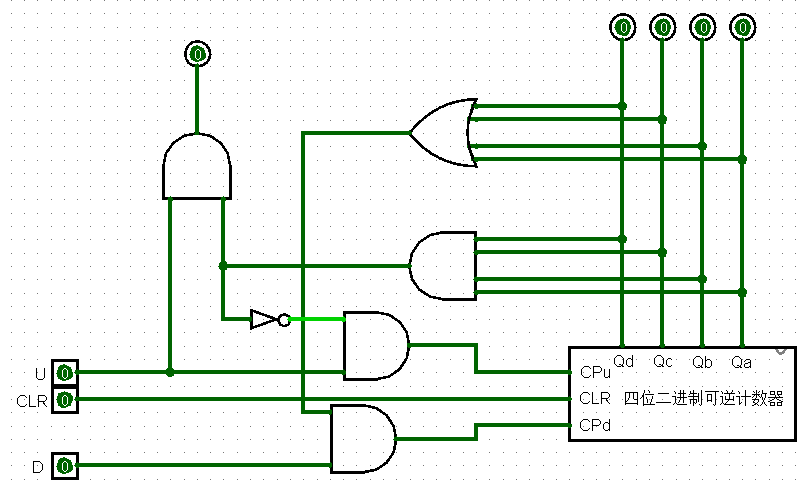


图2-10 报警电路

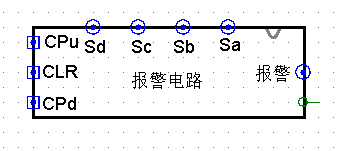


图2-11 报警电路封装

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并封装。“实验室门禁系统”电路如图2-12所示，该系统封装如图2-13所示。

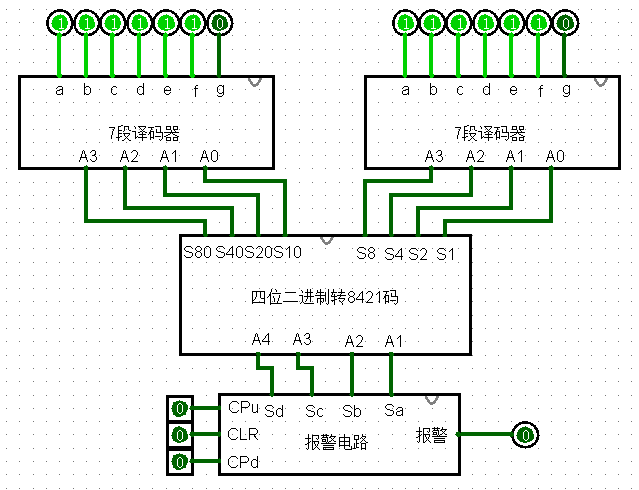


图2-12 小型实验室门禁系统电路

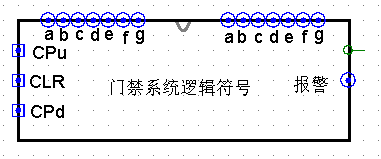


图2-13 小型实验室门禁系统封装电路

6、实验结果记录

**（1）“四位二进制可逆计数器”“私有”元件的测试电路**

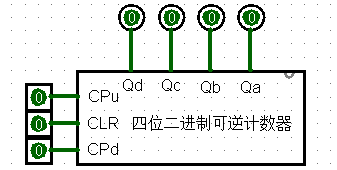
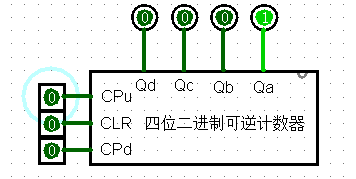
 

图2-14一个四位二进制可逆计数器 图2-15 来一个CPU脉冲

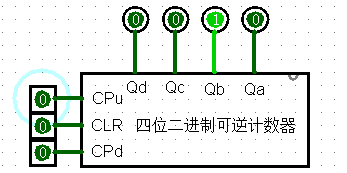
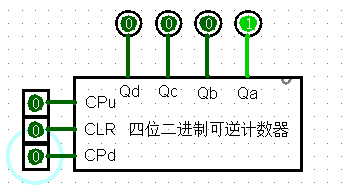
 

图2-16 来一个CPU脉冲 图2-17 来一个CPd脉冲

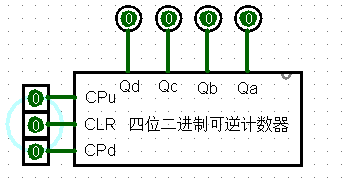


图2-18 来一个CLR脉冲

**（2）“实验室内人数转换成8421BCD码”“私有”元件的测试电路**

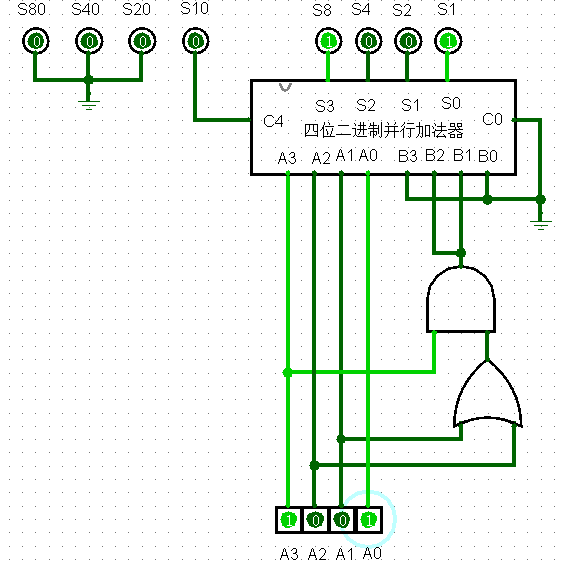


图2-19 输入四位二进制1001，输出结果为00001001.

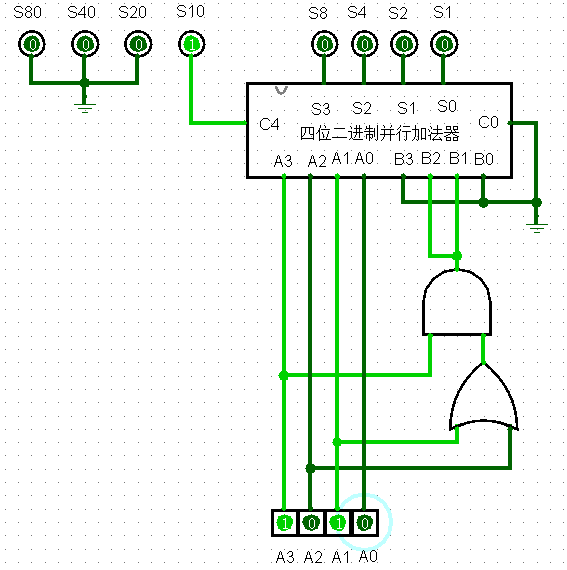


图2-20 输入四位二进制1010，输出结果为00010000

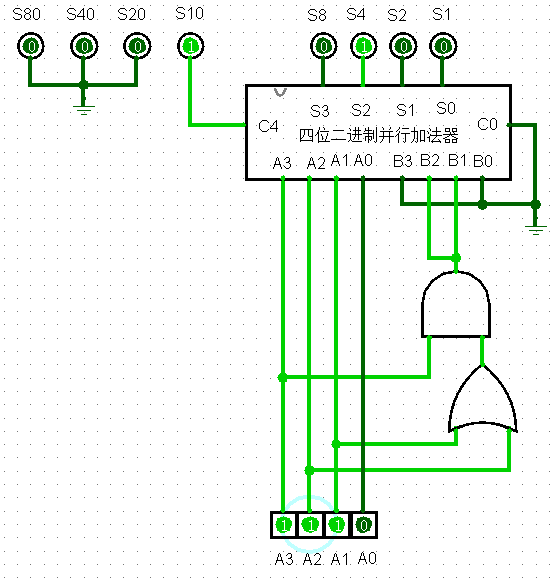


图2-21 输入四位二进制1110，输出结果为00010100

**（3）采用“7段数码显示管”显示人数“私有”元件测试电路**

图2-22为7段数码显示管初始状态。图2-23为7段数码显示管显示11人的状态图。

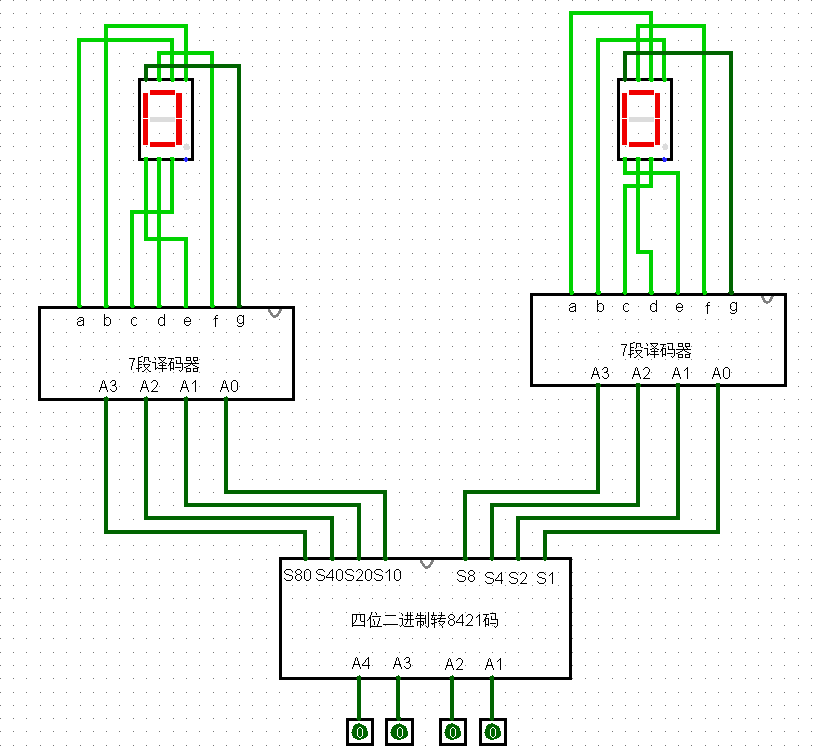
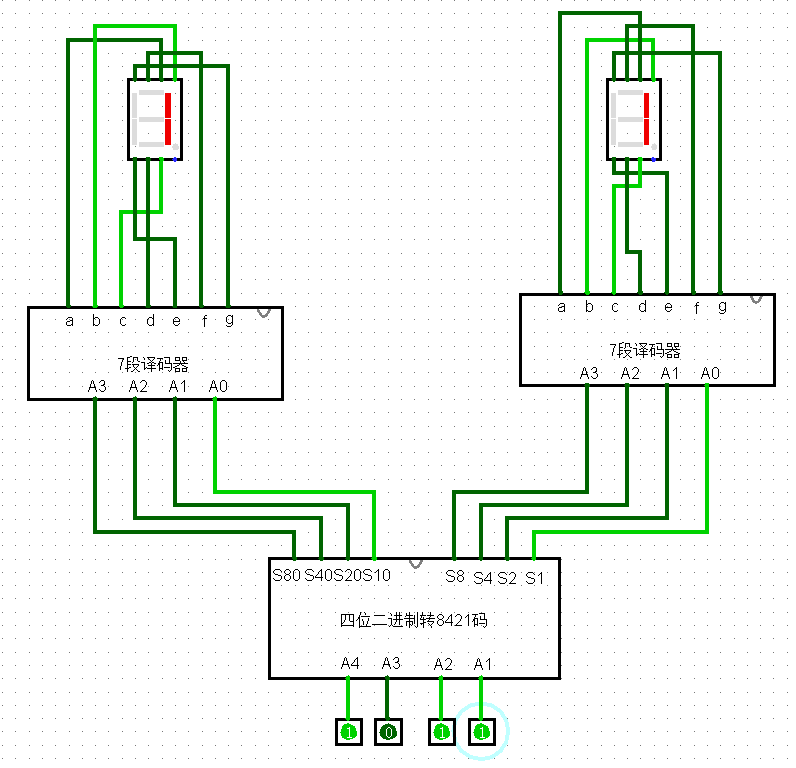
 

图2-22初始人数显示电路图2-23显示11人数显示电路

**（4）“系统报警提示满员”“私有”元件的测试电路**

图2-24为报警器处于满员的状态图。

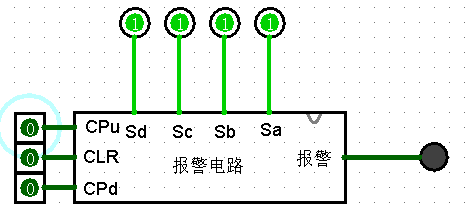


图2-24为报警器处于满员电路图

图2-25为处于满员状态继续输入CPu脉冲触发报警的状态图。

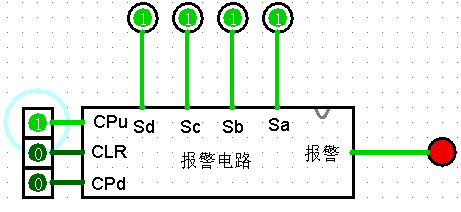


图2-25为报警器处于报警状态电路图

图2-26为处于无人状态继续输入CPd脉冲不触发报警的状态图。

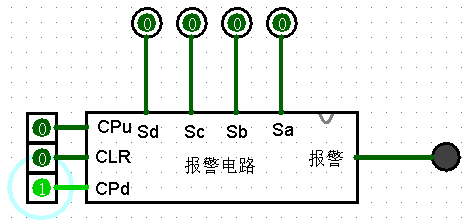


图2-26为报警器处于无人状态不警报电路图

**（5）“小型实验室门禁系统”“私有”元件的测试电路**

图2-27为“小型实验室门禁系统”输入十二个CPu脉冲的状态图。

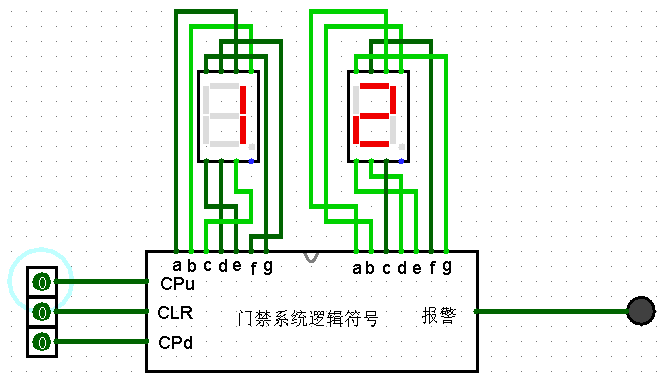


图2-27输入十二个CPu脉冲

图2-28为“小型实验室门禁系统”继续输入五个CPd脉冲的状态图。

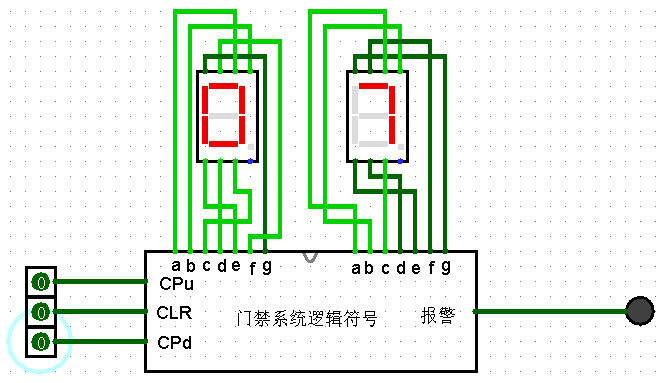


图2-28输入五个CPd脉冲

7、实验后的思考

**（1）这两次实验的难点你认为在哪些方面？**

第一次使用logisim，对于各种器件的使用还不太规范，在使用器件的时候还需要对器件的属性进行更改，由于第一次没有经验，导致许多地方都不是很规范，在检查之后，对大部分不规范的地方进行修改。然后就是有些电路的设计有点复杂或者电路图线路太过复杂在连线的时候要十分小心。

**（2）你是如何解决的？**

通过与同学讨论，参考课本获得解决问题的大致思路，然后做出真值表，最后分析变量间的关系来求出表达式，利用logism作图并调试实现设计。在不断的修改与尝试下，完成本次实验。

**（3）意见和建议**

实验的难度应该慢慢加大，而不要突然增大或突然减小。