

# **数字逻辑实验报告（3**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验3** | | |
| **多功能电子钟系统设计** | **成绩** |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 聂鸿勇**

**学 号： U201714785**

**班 级： CS1707**

**指 导 教 师： 胡迎松**

**计算机科学与技术学院**

**2019年 5月31日**



**数字逻辑实验报告**

多功能电子钟系统设计实验报告

## 多功能电子钟系统设计

1、实验名称

多功能电子钟系统设计。

2、实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分”计时校准,分钟值校准时不影响小时值；

（5）闹钟,到设定时间提醒10秒。

**使用logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下。**

（采用logisim软件提供的“时钟频率”为0.25hz的信号源。）

**（1）具有校准计数值的六十进制计数器电路**

采用实验1所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并封装，该计数器封装图如图3-1所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图3-1 调整计数值的60进制计数器数电实验四

具体要求：

1. 封装后的电路输入为：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间,递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj**=0，通过输入脉冲**CP**计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码。

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并封装，该计数器封装图如图3-2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU  Qcc**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图3-2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入为：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj**=0，通过输入脉冲**CPU**计数器累加计数，每当累计满12或24（根据计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当**Set**=0，12小时计时，每当累计满12产生一个进位输出信号；

当Set=1时，24小时计时，每当累计满24产生一个进位输出信号；

1. 计数器的输出为两位8421码。

**（3）显示“上午”、“下午”的电路**

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示参考图3-3所示。封装图如图3-4所示，测试店里如图3-5所示。

** **

图3-3 led点阵显示器

图3-4 led点阵封装图 图3-5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5led（4列⨯5行）显示器；
3. **AM/FM=0**，显示“上”； **AM/FM=1**，显示“下”；
4. **TT=0**时，24小时计时；**TT=1**时，12小时计时；
5. 24小时计时时，显示屏全灭；12小时计时时，根据具体时间显示“上”或“下”；
6. 封装时LED显示屏不封装在内。

**（4）电子钟整点报时电路**

设计一个10秒的整点报时电路，并封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用发光二极管的闪烁来表示），报时10秒结束。

**（5）秒计时脉冲产生电路**

按要求以logisim软件的0.25hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号参见图3-6所示，它成为秒计数器的计数脉冲信号。

**0.25hz 秒计时脉冲产生电路 1hz**

图3-6 秒计时脉冲产生电路

**（6）闹钟（选做）**

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分，在测试电路中要用16进制数字显示器显示；
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示。

**（7）多功能数字钟电路**

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图3-7所示。测试图如图3-8所示。

1. 输入信号有“Set”、“CPU、CPD”、“Adj0、Adj1”、“Clr”、“0.25hz信号”；输出信号为“小时”、“分”、“秒”对应的6位8421码、“闹钟”和“整点”输出信号以及控制“上下午”显示的信号；
2. “Set”为“时计数器”输入信号，当Set=1时，计数器为二十四进制计数器，Set=0为低电平时为十二进制计数器；
3. “CPU、CPD”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “Adj0”为计数器计数值进行校准的输入控制信号，Adj0=0，表示不调整时钟；Adj0=1，表示调整时钟；
5. “Adj1”为计数器计数值进行校准的选择输入控制信号，Adj1=0，表示调整小时；Adj1=1，表示调整分钟；
6. “Clr”为计数器的清除信号；
7. “0.25hz信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为六个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，“Alarm”为输入的时间设定提醒值（闹钟值）；



图3-7电子钟的“输入、输出检查要求”

图3-8电子钟的测试电路

5、实验方案设计

**（1）具有校准计数值的六十进制计数器电路**

设计思路：

首先采用模十计数器计数，当低位为9，即(1001)2且接收到cpu信号时，产生高位的cpu信号；当前bcd码为59时，再接收到cpu信号则清零，并产生QCC进位脉冲；当高位不为零，低位为零且接收到cpd信号时，产生高位的cpd脉冲信号；当高位低位均为0且接收到cpd信号时传递清零信号。

Adj为使能端，当adj为1时才能接收cpd信号。

使用logisim绘制电路图如图3-9所示。

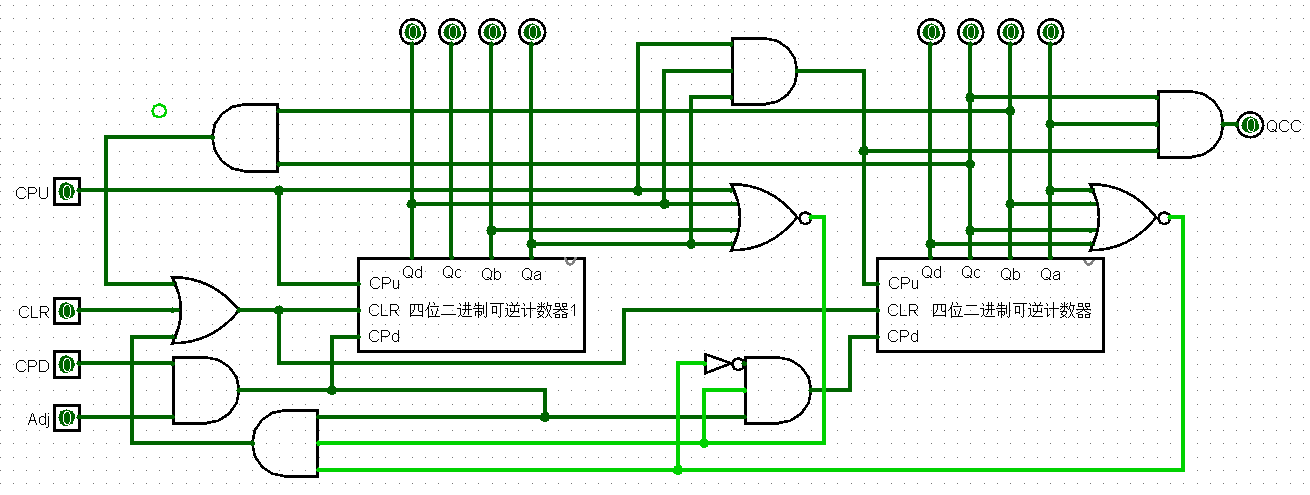


图3-9校准计数值的六十进制计数器电路

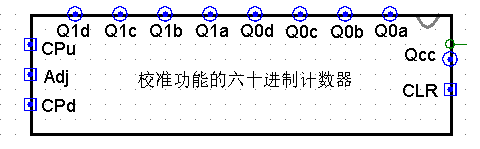


图3-10校准计数值的六十进制计数器电路封装

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

设计思路：

在60进制计数器的结构上加以改造，建立一个新的24进制计数器，当SET为1时按照24进制计数器的BCD码直接显示，当set为0时，判断当前bcd码转化成十进制后的值是否大于11且小于20或者大于21，符合条件则将输出减bcd码12，则将该数值减去12，当bcd码为20时，转化输出为8；当bcd码为21，转化输出为9；每当24进制数值为12或24时产生一个进位脉冲。(根据日常习惯，0点为上午12点，12点为下午12点)。

十二进制计数器或二十四进制的计数器电路图如图3-11所示。

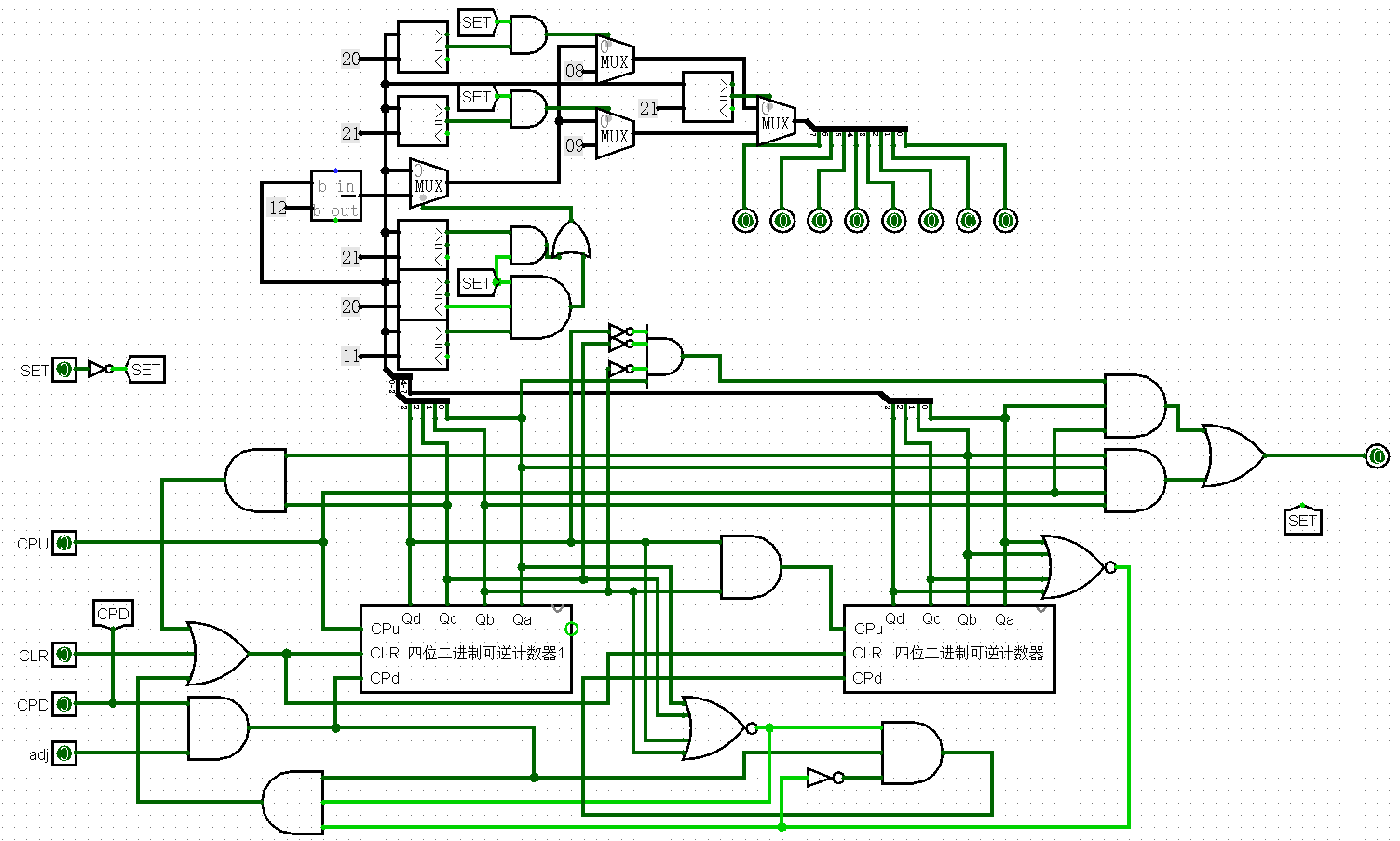


图3-11十二进制计数器或二十四进制的计数器电路

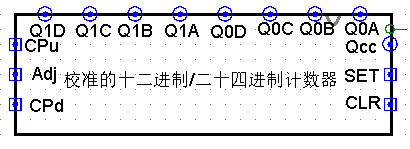


图3-12十二进制计数器或二十四进制的计数器电路封装

**（3）显示“上午”、“下午”的电路**

设计思路： LED点阵显示上下午LED，当显示上午时，输出应为‘00001 11111 00101 00001’;显示下午时，应输出‘10000 11111 10100 10000’。使用数据选择器来控制输出，使用使能端来控制LED点阵是否显示输出。

显示“上午”、“下午”的电路如图3-13所示

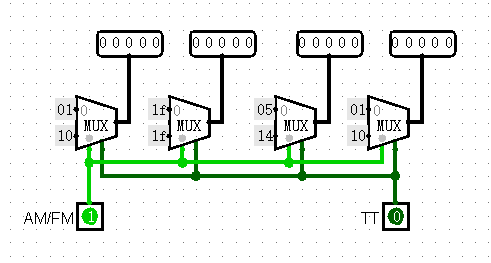


图3-13显示“上午”、“下午”的电路

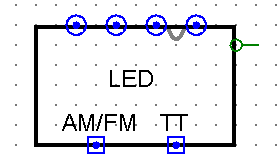


图3-14显示“上午”、“下午”的电路封装

**（4）整点报时电路**

设计思路：

利用一个计数器来计数10次，同时用时钟CP来同步，即10次为10秒，每秒亮1次。

使用logisim绘制电路图如图3-15所示。

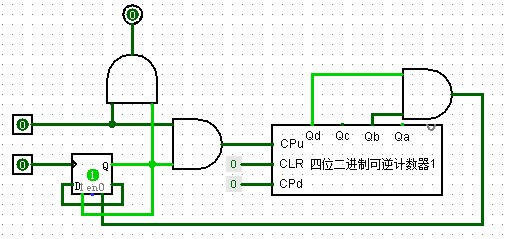


图3-15显示整点报时电路



图3-16显示整点报时电路封装

**（5）秒计时脉冲产生电路**

设计思路：利用三个D触发器，这三个触发器初始状态为000，输入每沿下降沿变化一次，状态依次变化为000->100->010->110->001->101->011->111->000，可见最后一个触发器的变化周期为输入变化周期的8倍。可将8HZ脉冲转化为1HZ脉冲。

使用logisim绘制电路图如图3-17所示。

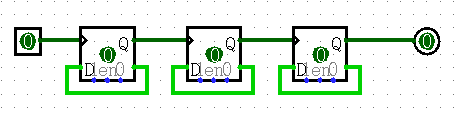


图3-17秒计时脉冲产生电路

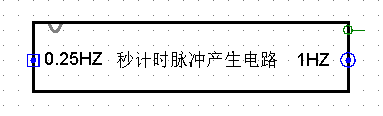


图3-18秒计时脉冲产生电路

**（6）电子钟设定时间的提醒电路（闹钟）（选做）**

**（7）多功能电子钟电路**

设计思路：

首先，通过秒脉冲产生电路用来产生秒时钟信号，该信号与秒计数器CPu（即可逆六十进制计数器）连接，秒计数器的进位信号与分计数器的CPu（即可逆六十进制计数器）连接，分计数器的进位信号与时计数器的CPu（12或24进制可逆计数器）相连。再考虑上午或下午的设置，如果设定了上午或下午，则时计数器切换为12进制，当上午12点时，产生进位，将该进位信号作为激励连接LED显示变换，同时清零。当从24进制转换到12进制时上下午的显示也会变化。

对于校准功能，用时校准时，输入脉冲，直接对时计数器进行调节，用分校准时，输入脉冲，直接对分计数器进行调节，在将下午时间调节到上午时需要同时变换上下午的显示，即在12进制的12时输入CPu脉冲，会产生一个脉冲给调节上下午显示的D触发器。

报时功能处理为：当分计数器输出为59和秒计数器输出为49时，产生一个脉冲信号，使LED灯开始闪烁，闪烁10秒。时、分、秒结合在一起，处理好各部分之间的关系，最后封装即可实现多功能电子钟电路。

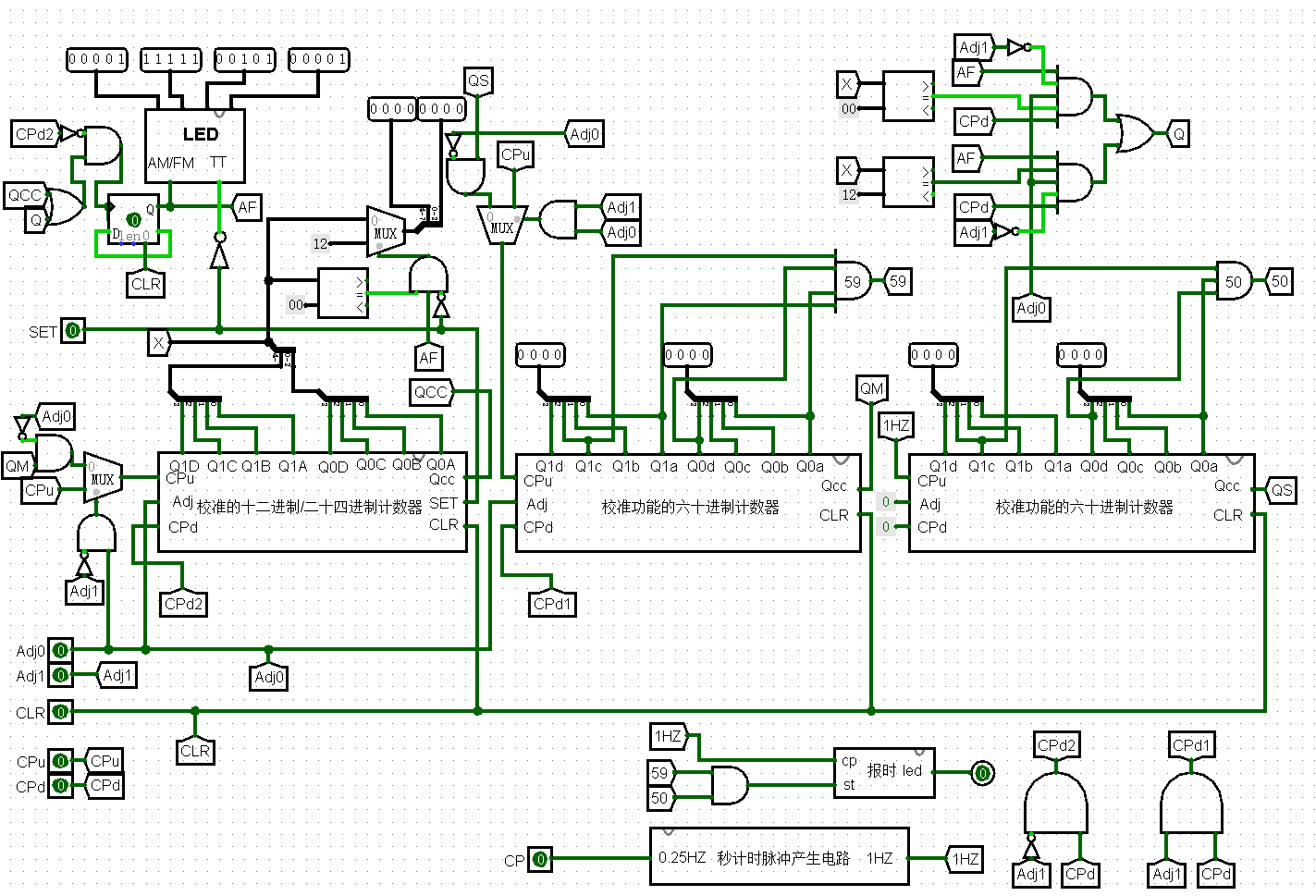


图3-19多功能电子钟电路

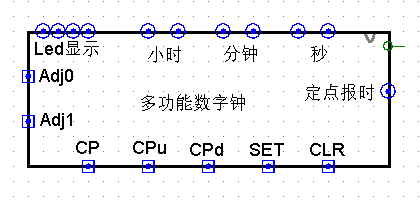


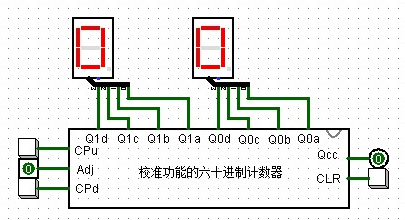
图3-20多功能电子钟电路封装

6、实验结果记录

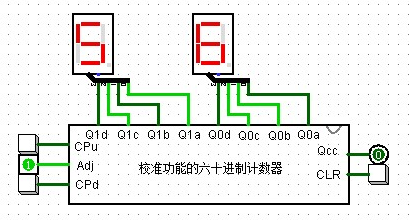
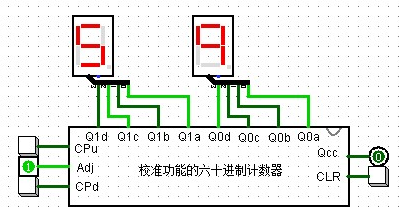
**（1）“具有校准计数值的六十进制可逆计数器”“私有”元件的测试电路**

**要求：封装后外接16进制数字显示器。**

**如图3-21封装后外接16进制数字显示器**

****

**图3-21封装后外接16进制数字显示器**

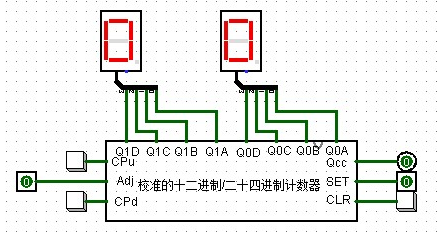


**图3-22输入59个CPu脉冲 图3-23再输入3个CPd脉冲**

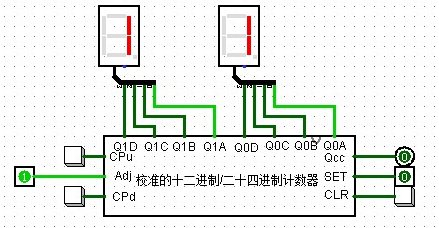
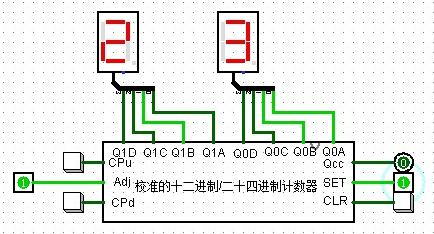
**（2）“具有校准计数值的十二进制计数器或二十四进制的计数器” “私有”元件的测试电路**

**要求：封装后外接16进制数字显示器。**

**如图3-24封装后外接16进制数字显示器**

****

**如图3-24封装后外接16进制数字显示器**

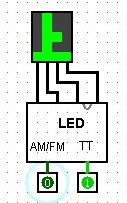
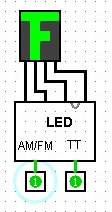
 ****

**如图3-25输入21个CPu脉冲 如图3-26切换为24小时模式**

**（3）显示“上午”、“下午”“私有”元件的测试电路**

**要求：封装后外接4\*5Led显示器。**

**如图3-27\3-28封装后外接4\*5Led显示器**

** **

**图3-27显示上午 图3-28显示下午**

**（4）电子钟整点报时“私有”元件的测试电路**

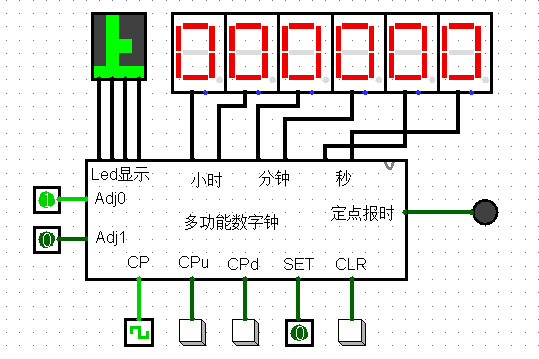


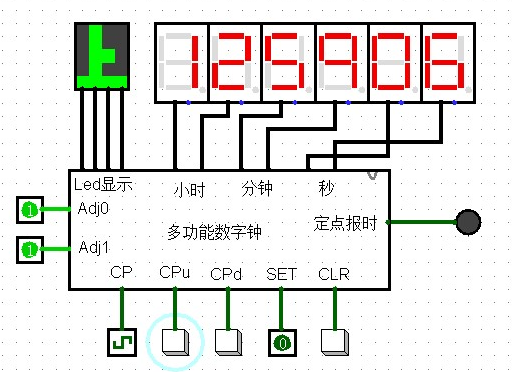
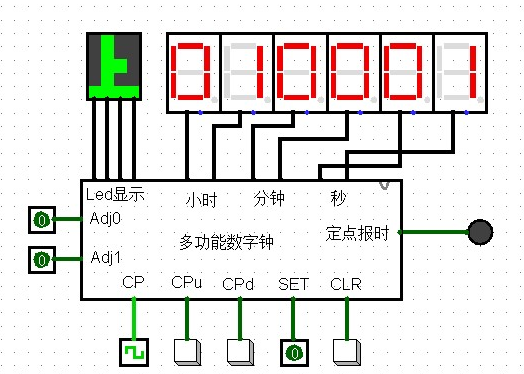
**图3-29整点报时测试图 图3-30报时**

**（5）电子钟设定时间提醒（闹钟）“私有”元件的测试电路**

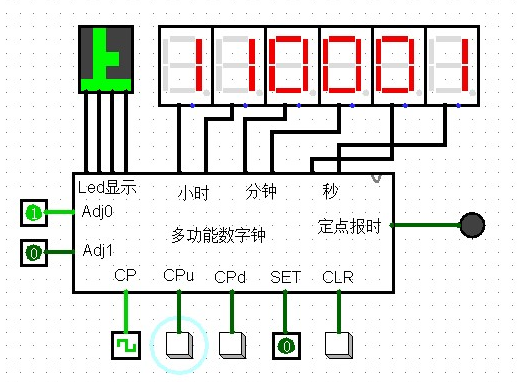
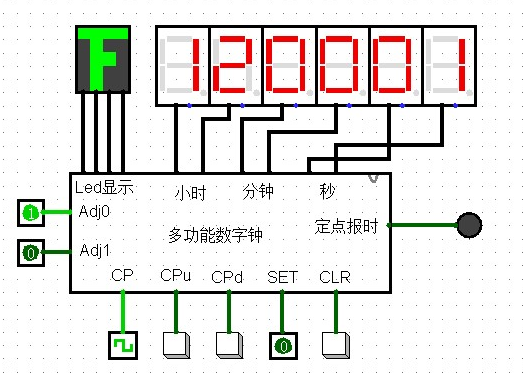
**（6）按多功能数字钟电路系统输入、输出信号要求，多功能数字钟电路的测试电路**

**如图3-31多功能数字钟电路封装测试电路**

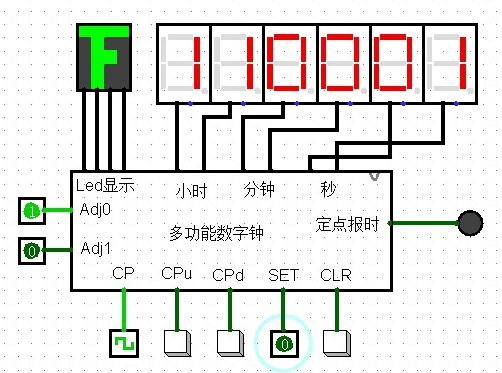
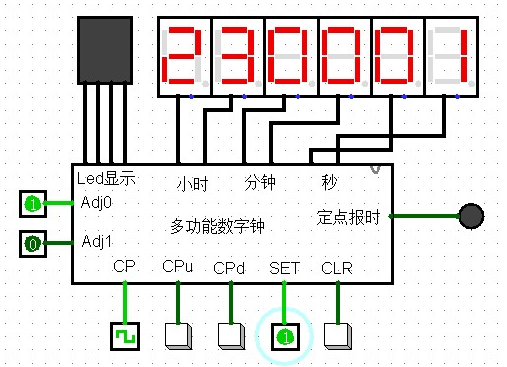


**图3-31多功能数字钟电路封装测试电路**

**图3-32调整时间至上午12点59分 3-33开启脉冲信号进位**

**** ****

**图3-34调整时间至上午11点 图3-35在输入一个CPu脉冲进位下午12点**

** **

**图3-36调整时间至下午11点 图3-37切换到24小时模式**

7、实验后的思考

**（1）实验的难点在哪些方面？**

1、在设计完具有校准计数值的六十进制计数器电路后，在其基础上改写具有校准计数值的十二进制计数器或二十四进制的计数器电路。

2、将各部分相连接时,所实现的部分功能与预期有偏差。例如，在下午12点时输入一个Cpu脉冲，时间和上下午显示要发生改变。

**（2）你是如何解决的？**

**解决一：**考虑到十二进制与二十四进制在显示时间中可以切换，且可以通过加减运算调整时间，而若单单编写一个12进制计数器则在进位后置零,无法减回去，所以实际上12进制与24进制需要使用同一个数据，而选择十二进制的时候要对数据的输出进行相应的变换，24进制中每12次脉冲输出一次进位脉冲。

**解决二**：切换时间时上下午要考虑到，因为具有校准计数值的十二进制计数器或二十四进制的计数器电路只有进位脉冲，所以要单独在多功能时钟中加上限制，当在下午12点遇到CPd脉冲时，输出一个切换上下午的脉冲，改变上下午显示。