**电 子 科 技 大 学**

UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA

**学士学位论文**

**BACHELOR THESIS**



**论文题目**

**学 院**

**专 业**

**学 号**

**作者姓名**

**指导教师**

摘 要

为

……

**关键词：**时

ABSTRACT

With

……

**Keywords:** tim

目 录

[第一章 绪 论 1](#_Toc466640616)

[1.1 课题来源及意义 1](#_Toc466640617)

[1.2研究现状及发展态势 1](#_Toc466640618)

[1.3 本课题研究内容 1](#_Toc466640619)

[1.4 论文特色 1](#_Toc466640620)

[第二章 整体仿真与介绍 2](#_Toc466640621)

[2.1 系统整体框架 2](#_Toc466640622)

[2.2系统整体模拟仿真 2](#_Toc466640623)

[2.3硬件开发平台选择与介绍 3](#_Toc466640626)

[第三章 频谱分析设计与实现 4](#_Toc466640628)

[3.1信号下变频架构对比与选择 4](#_Toc466640629)

[3.2数据预处理 4](#_Toc466640630)

[3.3数字下变频原理 5](#_Toc466640633)

[3.4 数字下变频具体实现 5](#_Toc466640634)

[第四章 抽取滤波 4](#_Toc466640628)

[4.1频率分辨率简介 4](#_Toc466640630)

[4.2 FIR滤波器计方法对比于选择 4](#_Toc466640630)

[4.3数字下变频原理 5](#_Toc466640633)

[4.4抽取滤波器结构 5](#_Toc466640634)

[4.5具体实现 5](#_Toc466640634)

[第五章 幅频特性计算设计与实现 6](#_Toc466640635)

[致 谢 7](#_Toc466640638)

[参考文献 8](#_Toc466640639)

第一章绪论

**1.1课题来源及意义**

本课题研究内容源于雷达信号模拟及分析平台，其整体结构如下图1-1所示。

图1-1

雷达信号模拟模块

信号频谱分析模块

雷达信号处理模块

各类波形发生模块

控制与图像显示模块

输出

本文研究的是该平台的信号频谱分析模块。

不断发展的通信技术、无线电技术、雷达以及导航技术，使得信号带宽、复杂程度、基带频率不断增加。如：近几年，第5代的通信技术逐步市场化，它的调制带宽到达3GHz。这对频谱分析仪的体积、功耗、工作频率范围、RBW（频率分辨率）、灵敏度等性能指标提出了更高的要求，提升测量仪器的各项性能指标成为重要的方向。然而，电子信息的高速发展，需要测量技术为之提供支撑。然而，我国在这方面与某些国家相比，相关技术在这方面的研究依有较大的差距。一些国家为了遏制我国电子信息行业的发展，对我国禁售高性能的仪器和芯片。因此，独立自主设计和生产高性能测试仪器对我国的国防事业与民用生活都有着至关重要的意义。

**1.2研究现状及发展态势**

频谱分析技术由雷达，通信领域的需要而发张起来，并逐步独立去出来，应用范围也越来越广泛。最初的频谱分析仪工作频率宽度非常低，小于100MHz，并且只可以大致展示出频谱的趋势。受益于微处理器的普及与应用，以及本振合成技术的发展，频谱分析仪的频谱分析范围达到18GHz，如今，随着飞速发展的集成电路和计算机技术，数字技术的应用代替了以往仪器中模拟电路实现的部分，这是频谱分析最深刻巨大的变化之一，频谱分析仪也向着更为智能化和自动化的方向发展。目前，由美国是德科技推出和生产的型号为N9041B信号分析仪的频谱分析仪范围为2Hz至110GHz，这是目前最先进的频谱分析仪之一。我国频谱分析仪起步较晚，国内可以设计和生产较先进的频谱生产厂家主要有电科思仪、普源精电、鼎阳科技等，由电科思仪生产的4037系列频谱分析仪的频谱分析仪范围为30Hz至26.5GHz。

**1.3课题研究内容**

本论文的研究内容是基于全数字中频架构，以ALINX的AX725B开发板和AN108模数转换模块为硬件平台，采用全数字中频架构，对采集的信号进行频谱分析。具体的研究内容包括，完成对采集信号的数字下变频，产生I/Q两路信号、使用等波纹窗函数FIR抽取滤波器和CIC（Cascade Integrator Comb）抽取滤波器，实现频率分辨率可变更模块的设计、对信号进行离散傅里叶变换，从而得到信号的频谱、使用串口通信协议，将频谱信息传输到上位机并以图形方式显示出来，以及实现上位机对开发板的控制、以及上位机的设计与开发。具体指标：adc采样率为25MSPS、频谱分辨率可变，且需要达到10Hz以下、开发板与上位机之间的数据传输速度须达到80kbit/s、每次进行离散傅里叶变换的点数达到2000以上。

**1.4论文特色**

本论文的研究所设计采样率虽然不高，但非常全面，扩展性好，只需要通过更换更高采样速率的模块和修改滤波器的参数，即可分析更宽的频率范围通过在低频段。在本频谱分析系统前增加模拟信号前端通道，可以进一步提高本系统的工作频率范围。硬件只包含了AD模块和FPGA开发板，复杂度低，之后可以通过设计专用的电路，使其体积更小。本论文的研究也可为之后更高采样速率的频谱分析积累技术经验。

第二章 整体仿真与介绍

**2.1 系统整体架构**

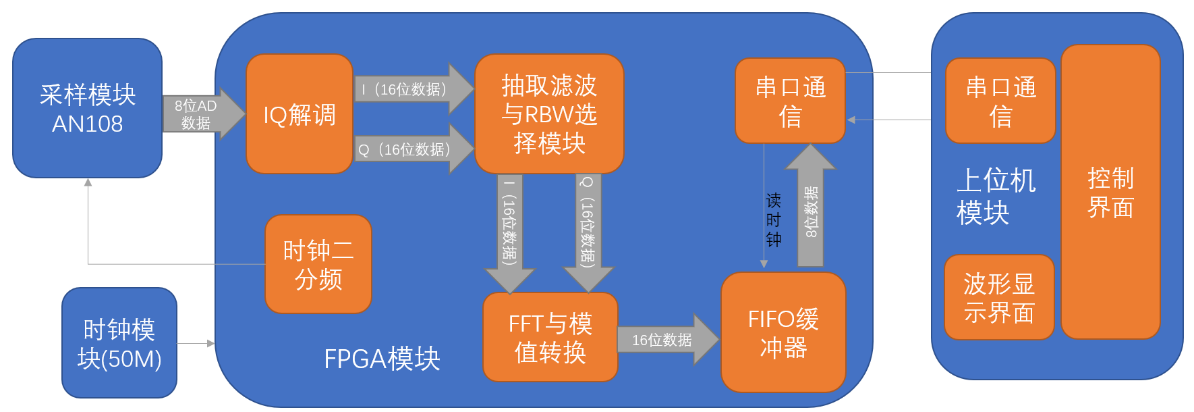
 本节主要对系统整体架构与硬件开发平台进行介绍，以便于读者对后续具体的设计与实现过程更好的理解。本系统主要由采样模块、FPGA开发平台以及上位机器模块组成。如图（2-1）所示。采用verilog语言作为设计语言。

图2-1 频谱分析系统整体架构示意图

逻辑设计是在FPGA开发平台中完成，其中主要包括IQ解调模块、抽取滤波器、FFT与模值计算模块、时钟系统、以及串口通信模块。

上位机模块主要分为波形显示界面和控制。波形显示使用开源软件—serialplot，但由于该软件缺乏指令下发功能，以及本系统控制指令格式的特殊格式，故单独开发了指令下发软件。二者结合使用，可以很好的满足需求。

**2.2** **系统整体模拟仿真**

在进行具体的设计与实现之前，对本文所研究的频谱分析系统的整体架构进行了简单的仿真，这有助于对系统全局的掌握，进一步明确所需要研究的内容，有利于后续设计方案的选择于制定。

本文所采用的仿真软件为MATLAB，其版本为目前最新的2022b。仿真结构图如图2-2所示。

离散信号序列产生

离散-jsin信号

离散cos实信号

乘法器

抽取滤波器

抽取滤波器

加法器

乘法器

离散傅里叶变换

图 2-2 仿真结构示意图

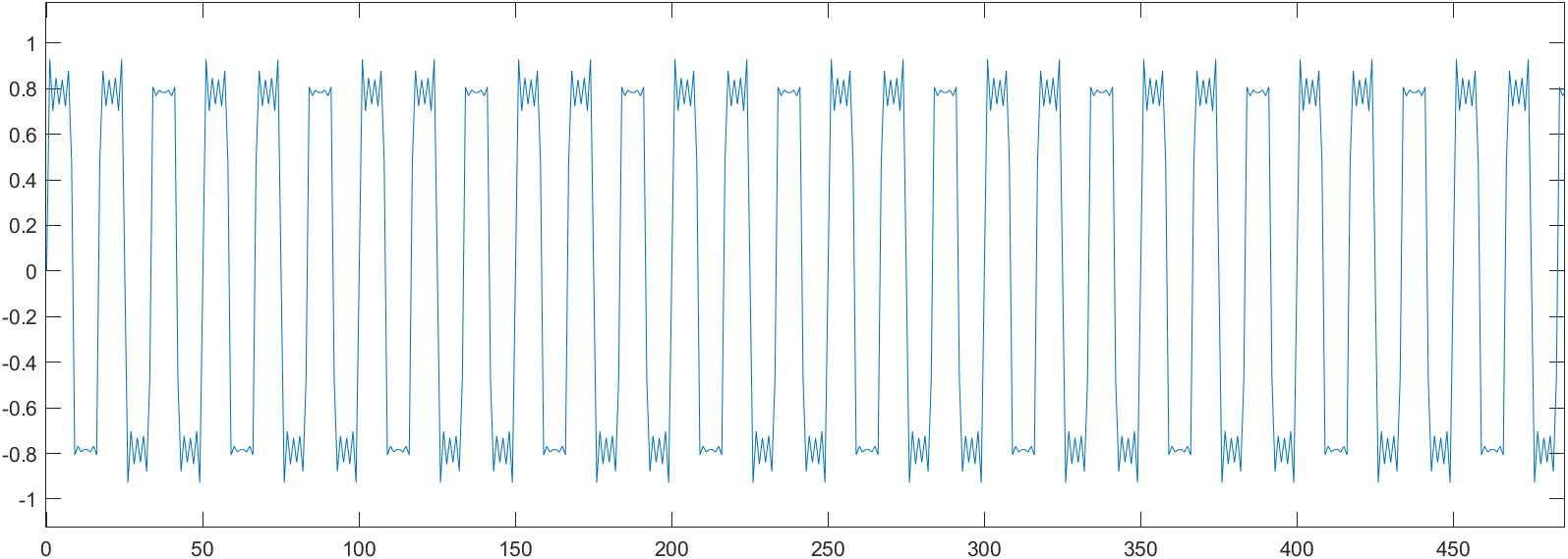
首先，以用25Msps的采样率，对信号采样，生成离散信号序列，如图2-2-a（离散信号序列时域特性）、2-2-b所示（离散信号序列频域特性）。之后分别与频率为6.25M、初始相位为0的离散实数cos信号和离散虚数-sin信号分别相乘，然后，将信号序列通过低通滤波器防止混叠。之后再进行2倍抽取后，两路信号相加，进行离散傅里叶变换。

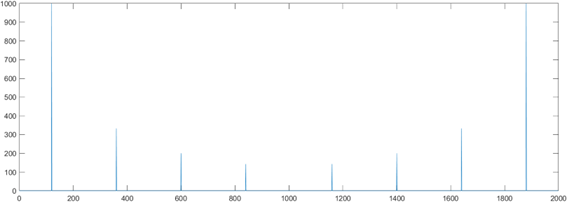
图2-3-a 信号时域幅度 

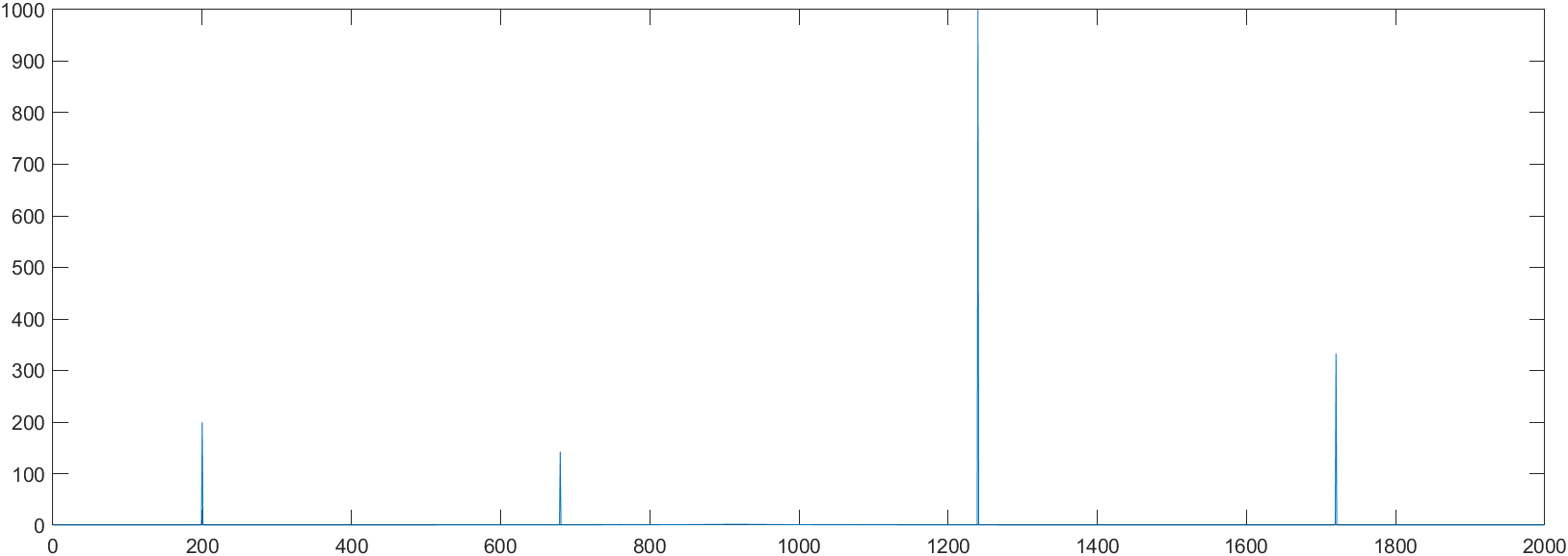
图2-3-b 信号时域幅度

图2-3-c 信号最终频域幅度

图2-2-c表示信号经过数字下变频和抽取滤波后幅频特性图，横坐标0~1000表示信号6.25M~12.5M之间的幅频特性，横坐标1000~2000表示信号0M~6.25M之间的幅频特性。与图2-2-b相比，其消除了镜像频率，而总的点数不变，频率分辨率提高了一倍。

**2.3硬件开发平台选择与介绍**

本系统的数字信号处理与电信号采集分别由FPGA和ADC完成。由于本论研究的主要类容是软件逻辑设计，不涉及硬件的电路设计与实现，为加快研究进度和减小不必要的时间浪费，采用FPGA开发板和AD模块来搭建硬件开发平台。

为实现研究指标的频率分析范围和采样精度，同时为了减少硬件资源的浪费。最终选择了ALINX公司的型号为AN108的AD/DA模块（如图2-4-a、2-4-b所示）。该型号模块输入电压范围为-5V~+5V，使用的是ADI公司推出的型号为AD9208的ADC芯片，该ADC输入为单通道，垂直分辨率带宽为8位，采样率最高可达32M。该AD/DA模块的性能是完全满足需求的。



图 2-4-a ADC模块背面图



图 2-4-b ADC模块正面图

由于本论文研究的频谱分析系统采用的是全数字中频架构，直接对信号进行采样并传输到FPGA中，所有的逻辑设计均在其中完成，因 此本论文的设计的FPGA中各项资源有较高的需求。由于需要在FPGA中进行数字滤波和离散傅里叶变换，因此，在各项资源中，对DSP48E1数字信号处理资源的需求尤为突出。通过在VIVADO软件中简略实现数字抽取滤波器和数字离散傅里叶变换，发现需要300个左右的DSP48E1数字信号处理资源。

目前，市面上出售FPGA开发板的两大主要的厂商是正点原子和芯驿电子（ALINX）。此外，还有一些小厂商，但开发板的质量得不到保障。通过对比各开发板的FPGA芯片资源数量、是否有串口、电平标准、传输速度、与AD/DA模块的连接是否需要选择其他转接电路等情况，最终选择了芯驿电子推出的型号为AX7325B开发板（如图2-5所示）。该开发板FPGA芯片时钟源，由200Mhz的差分晶振提供。拥有一路Uart转USB接口，这非常便于和电脑通信。AD/DA模块可以直接与开发板所引出的IO端口相连无需额外的转接电路。



图 2-5 FPGA开发板实物图

该开发板是的FPGA芯片型号为XC7K325T，其DSP Slices有820个、逻辑单元高达32万个、可配置逻辑块有个。此外，还有非常丰富的存储资源。更为具体的资源数量见图2-6。它是完全满足我们的设计需求的。

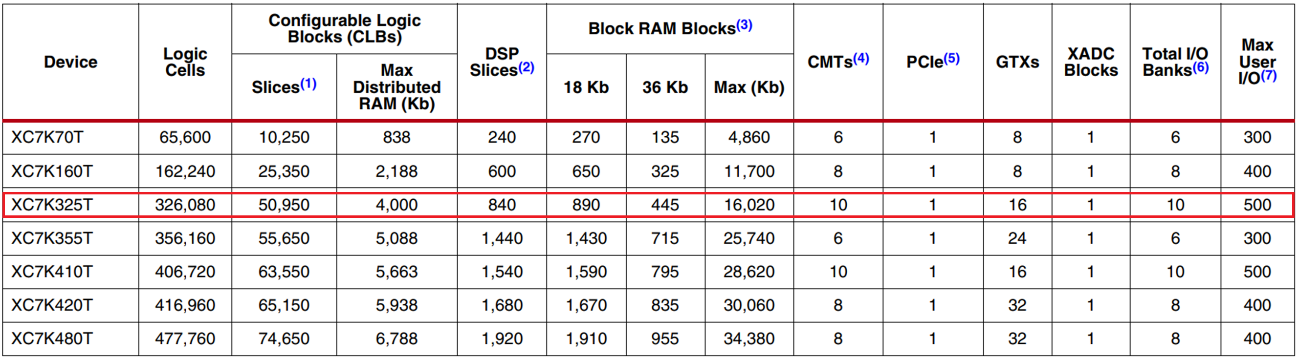


图 2-6 XC7K325T芯片资源表

第三章 数字下变频

**3.1信号下变频架构对比与选择**

超外差式架构和零中频架构是频谱分析仪前端信号通道最常见的两种架构。在具体设计和生产过程中，针对一些特定的需求，会在这二者的基础上演变出来特殊的架构，如镜像抑制收发机。下面会阐述这两种架构，对比二者的优缺点，结合本系统的指标需求，选择合适的架构。

传统的频谱分析仪架构一般是采用超外差式架构。图3-1是该架构的简图。首先，信号通过输入接口进入前端通道，带通滤波器对进入的信号进行筛选，排除带外干扰。接着，经过滤波的信号进入电路，这可以很好的改善该架构电路的噪声系数以及输出信号的信噪比，从而提升灵敏度。经幅度调理电路的信号，与本振信号进行混频实现频谱的搬移。在实际设计生产过程中，受限于滤波器的性能的限制，为实现较小的分辨率带宽，往往需要进行多级的混频和滤波。由于多级中频电路的存在，导致齐电路复杂、体积大、功耗更高、集成度低、成本高、频谱利用率低。同时，经过多年的发展，该架构的相关技术已经非常成熟了，已经很难再有较大的突破。由于该架构中大量模拟电路存在，这与电子技术领域数字化的趋势也是不符的。在许多领域该架构已经无法满足需求。

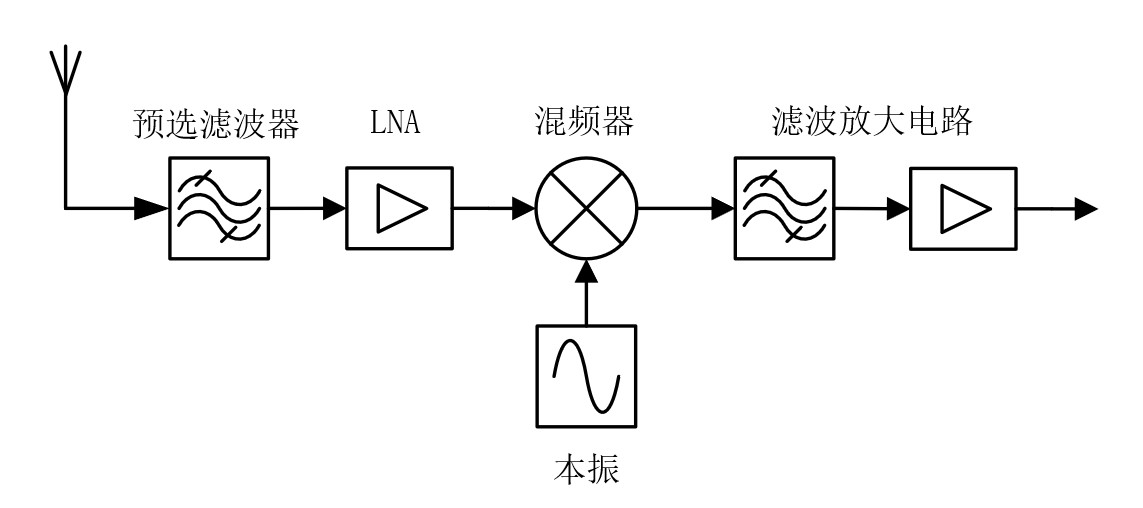


图3-1 外差式架构

由超外差式架构演变而来的零中频架构（如图3-2所示），也可称为直接变频接收机，该架构只需进行一次混频，去掉了用于信道选择的高性能的中频或基带滤波器，只需在混频后用低通滤波器即可。数字化程度跟高、电路结构更简单、集成度跟高、成本与功耗更低、频谱利用率也提升了一倍、无镜像频率问题存在。在合理的实现方式下，与超外差式架构相比，零中频架构PCB尺寸可减小50%，将来的设计有可能通过额外的集成，使尺寸再减少一倍，同时，可节省33%的物料，成本降低2/3。但该架构有本振泄露、IQ不平衡、偶次谐波失真与直流偏置等问题存在。部分问题可以数字信号处理端通过特定的算法进行抑制，但这会占用额外的硬件资源。以上两中架构的频谱分析仪均存在诸多不足之处。

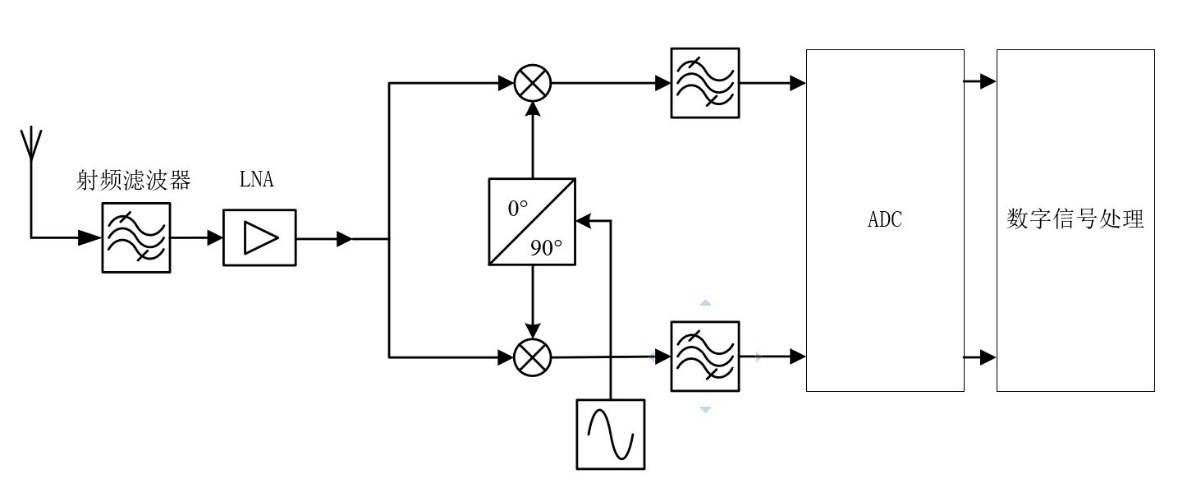


图 3-2 零中频架构

本频谱分析将采用全数字零中频架构。该架构是对零中频架构的进一步数字化。区别在于该架构先进行模数转换，再进行数字IQ解调。这可以避免零中频架构中IQ不平衡等诸多问题，并且极大的提高了系统的灵活性和通用性。但其测量频率范围受限于ADC（Analog-to-digital converter）模块的采样率，但本文研究所涉及的频率在25M及以内，并不高。目前，市面上可以的达到25Msps采样率的ADC芯片非常多。并且该架构均可在数字处理模块中完成，无需设计额外的硬件电路，可以极大的加快研究和设计速度。该架构是最适合于本频谱分析系统。

由于全数零中频的IQ解调、滤波、抽取等均在FPGA中完成，因此，它对FPGA的性能要求也更高。但模数转换器采样率的快速提升以及现场可编程门阵列（Field Programmable Gate Array，FPGA）集成度的不断提高，这为频谱分析的数字化的实现提供了有力的支撑。ADI（亚德诺半导体）推出的型号为HMCAD5831的模式转换芯片采样率已经可以达到26GSPS。此外，还可以一些其他技术进一步提高采样率，如：使用多片ADC芯片交替采样，因此，在绝大多数应用场景中，都可以通过选择合适的ad信号结合一些特殊的采样方式，达到所需的采样率。信号通路的更早阶段对输入信号进行数字化，它将极大地改善了其测量速度、精度以及利用高性能 DSP 技术测量复杂信号的能力。全数字零中频将会是未来的主流架构之一。

**3.2信号预处理**

AD/DA模块中，模数转换电路硬件结构如下图3-3所示。AD 电路由高速 AD 芯片、信号输入接口（BayonetNeill-Concelman，尼尔-康塞曼卡接口）、衰减电路、组成。

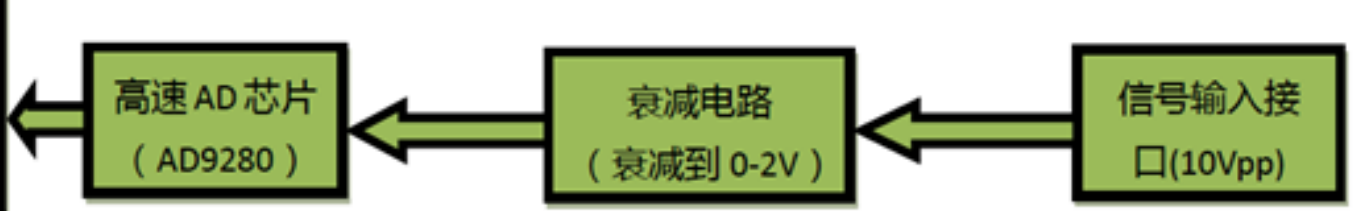


图3-3 模数转换电路硬件结构示意图

AD芯片是亚德诺半导体公司(Analog Devices, Inc 简称ADI)推出的AD9280芯片，其位宽为8位，最高采样率为32Msps。在该模块中，AD9280芯片电压的输入范围被设置为0V~2V。 信号进入 AD 芯片之前，需要经过由一片 AD8056 芯片构建了衰减电路，其输入电压范围是-5V~+5V。经衰减之后，输入范围满足 AD 芯片的输入范围 （0V~2V）。该衰减电路的转换公式如下(式2-1)：

当输入信号电压为5伏时，输出的信号电压为2伏； 当输入信号电压为-5伏时，输出的信号电压为2伏。最后ADC芯片对0~2V的信号进行数字化。

该款 ADC 芯片的采样数据输出格式可以选为二进制源码，数字化的8位宽的数据为无符号型整数(0~255)。然而FPGA中的数据运算（如：数字滤波，傅里叶变换等）均是由有符号型整数，数据格式为补码。对此，本论文研究过三种处理方式：

方式一：在数据最高位前增加一位，且恒为0。将其作为位宽为9位的有符号数（补码）进行运算，以防止信号失真。由于初始位宽的增加，系统之后各级模块的资源消耗均会增加。同时，信号也因此引入了直流分量，这会影响最终结果的准确性。

方式二：将8位宽的数据减去128，作补码格式的有符号型整数运算。但再VIVADO软件implementation时会有关键性警告。目前，具体警告原因不明。个人猜测，可能是用于存储IO端口数据的寄存器不适合进行数学运算。

方式三：对最高位进行取反运算，便可将0~255的无符号型整数转换成-128~127的符号型整数，并且可以去除直流分量。

以上三种方式中最好的是第三种，也是最终被采用的。

**3.3数字下变频原理**

本系统的设计是将ADC芯片的采样率固定为25Msps，因为ADC芯片的采样率是等于FPGA开发板提供时钟频率，时钟一般是不可以改变的。而由于需要达到10Hz的频率分辨率，根据频率分辨率，如式2-2所式。为频率分辨率，为采样率，N为一次离散傅里叶变换的点数。

如果想要一次离散傅里叶变换实现，那么需要一次性采集和处理250万个点，这是难以实现的。因此，必须进行数字下变频和进行降采样处理，每次分析20KHz带宽的频谱，不断累积，最终实现整个目标频谱范围的分析。数字下变频的实现方式有许多种，本系统采用正交解调器来实现数字下变频。正交解调也可被称作正交基带变换，其作用是将信号变成基带信号以便于分析。输入信号与正交的两路本振信号分别进行混频并滤波后得到的两路信号，分别称为I路信号和Q路信号，这两路信号相位相差90°，频率和幅度相同。

根据傅里叶变换可知，绝大多数信号可以用正弦与余弦信号叠加表示，故可以假设经过预处理的信号如式2-3所示。表示经过预处理的信号，为经过预处理的信号中对应频率余弦信号的幅度，为经过预处理的信号中对应频率正弦信号的幅度，表示角频率。

经过与正交信号的混频后得到以下两路信号，如式2-4所示。表示正交信号的角频率。

最终进行傅里叶变换的信号为复信号如式2-5所示，I为实部，Q为虚部。

正弦函数和余弦函数的傅式变换分别为。式2-7和2-8中的表示单位冲击信号。

时域的乘法转换到频域变为卷积，故结合式2-9可以得到经过混频后的信号频谱。表示经过预处理信号的频域

这样便实现了信号的下变频。由于实信号具有共轭对称的频谱，从信息的角度来看，其负频谱部分是冗余的，因此为了在信号处理时，去掉频域的负半平面，只保留正频谱部分的信号，其频谱不存在共轭对称性，这可以减少运算资源的浪费和提高运算速度正交解调其实际是将输入信号当作双边带来处理，与单边带信号性比，在后续的傅里叶变换中，可以消除镜像频率，并通过抽取滤波器，可以将信号的频率分辨率减小一倍。

**3.4数字下变频具体实现**

数字下变频原理框图中的数字正交混频，在FPGA开发板中，通过调用乘法器IP核（Intellectual Property core）来实现，其接口如图3-4所示。CLK为时钟输入接口。A和B为8位宽的需要混频信号输入接口。P为混频后的信号输出接口，数据位宽为16位。由于16位数据的运算量相较于FPGA芯片XC7K325K而言，还是可以接受的，故在此不进行数据截取操作。在工程实践中，该乘法器的时钟一般采用与ADC采样率相同的频率和时钟源与，如有特殊的情况，实在无法采用相同的时钟频率，最好选取的时钟频率是ADC采样率的整数倍。本系统中乘法器采用的频率为25M，于ADC的时钟同源。

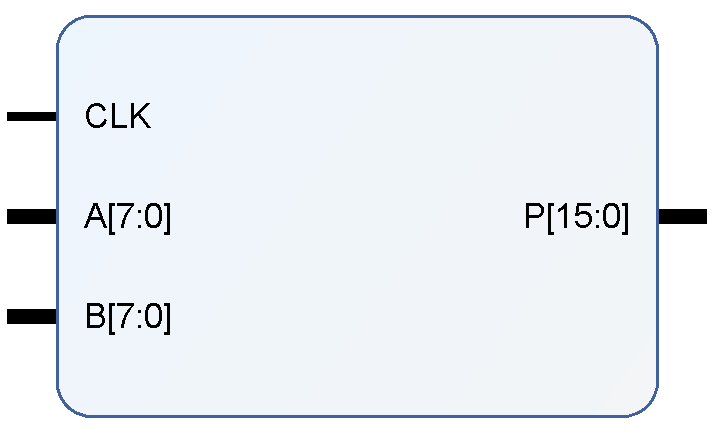


图 3-4 乘法器IP核接口示意图

两路正交的正弦信号与余弦信号采用直接数字频率合成（Direct Digital Synthesis，DDS）技术生成。相较于模拟方法，直接数字频率合成的方法不仅能实现多种波形的捷变，而且还可以实现幅相补偿以提高波形的质量。由于DDS的开环结构特点，使得频率切换时间极短，频率切换时间实际上就是频率控制字的传输时间，即一个时钟周期的时间。此外，DDS技术还具有相位变化连续、易集成、易于调整、相位噪声低、漂移小、输出波形灵活、频率分辨率高等优点。DDS技术可以保证其产生信号频率稳定度、频率准确度与基准频率一样，而且还可以在大频率范围内实现精细的频率调节。该技术被广泛应用于各种需要产生信号得工程中。其原理框如图3-5所示。

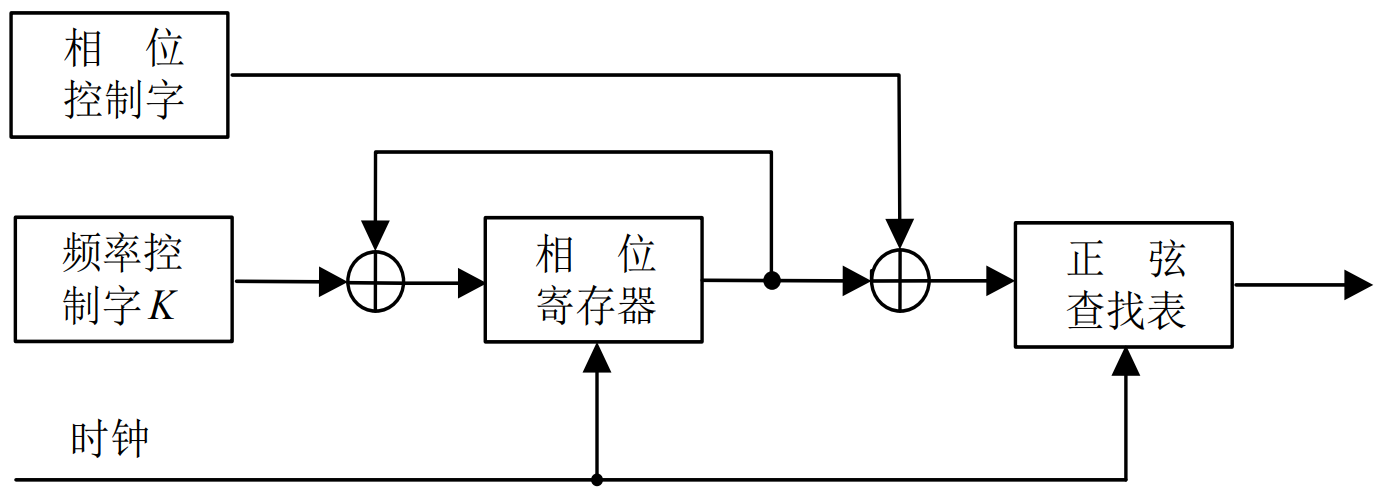


图 3-5 DDS原理图

参考时钟频率一般为固定值；频率控制字K是用于设置信号的输出频率；相位控制字是用于设置信号的初始相位。相位累加器是由N位加法器与N位寄存器构成，它根据频率控制字k的大小，在每一个时钟信号周期内，进行一次额定步进的相位值累加，并将此值与相位控制字相加，然后，将结果输入到查找表中，其值实际是查找表的地址，查找表根据该地址输出相应的相位值。当累加器中大于 时，相位累加器相当于做一次模余运算。简单而言，DDS技术就是将一段正弦波数字化后，存储到存储器中，在时钟源的驱动下，按照一定的顺序和间隔将存储器中数据输出，如此便得到了离散的正弦或余弦信号。如果需要获得模拟波形，可以将在离散的正弦或余弦信号输入到DAC模块中即可。

DDS技术生成波形时，遵循奈奎斯特采样定理，其原理与ADC采样定理类似，但过程与其相反。根据DDS技术的基本原理，可以计算出其所产生波形的频率的最小步进（如式2-10），以及计算出其所产生波形的频率（如式2-11）。

该公式中K表示频率控制字，其取值饭在0到之间整数；表示DDS的时钟频率；N表示相位累加器的宽度。由式2-10可知， 在为固定值的条件下，相位累加器N越大，固定频率可以被分的越小，频率步进也越小，所产生的信号频率的相对误差越小。因为N本质上是正弦查找表的地址，每当N增大一位，正弦查找表就得扩大一倍，所消耗的存储器资源就得增加一倍，因此，N的取值并不可以太大。在实际中，N的取值需要结合具体的指标、所产生信号频率以及硬件资源的因素合理取值，尽量使的整数倍靠经或等于所需信号频率。

由于本频谱分析系统的采样频率和所需分析的信号频率范围并不高，而且所使用的型号为XC7K325T的FPGA芯片拥有非常丰富逻辑资源和存储资源，因此可以在VIVADO软件中通过调用赛灵思官方所提供的IP核来实现正交信号的产生。该IP核的接口如图3-6所示，采用的是AXI4-stream总线协议，适用于高速数据流传输。该协议是由ARM所定义的接口协议，被纳入了高级微控制器总线架构 AMBA的协议中。

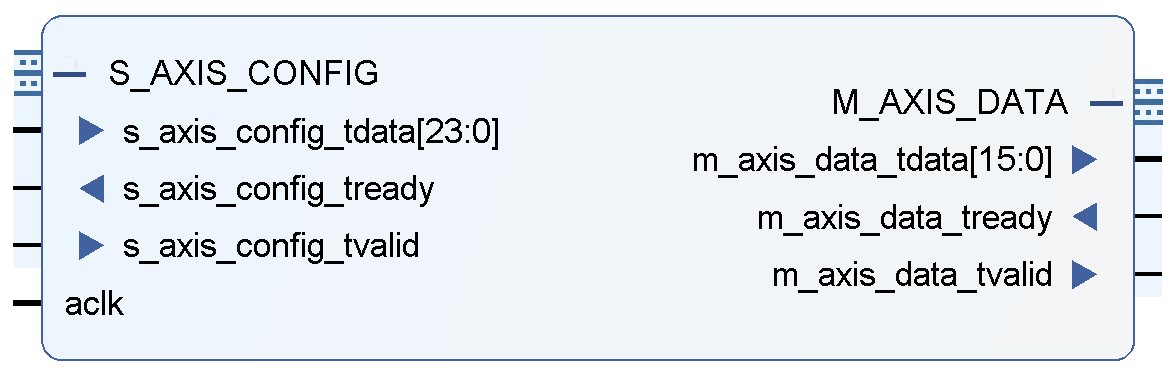


图 3-6 直接频率合成IP核接口示意图

该接口中是S\_AXIS\_CONFIG用于配置该DDS的IP核。其包括24位的配置参数输入端口（s\_axis\_config\_tdata），用来控制其产生的正弦信号的频率，实际上就是频率控制字。本频谱分析系统的频率控制字设置的是17位的位宽，但AXI4-stream会将非8整数倍位数的数据接口扩展到其最近的8倍位数的位宽，因此该接口变成了24位位宽，其中，0位到16位是频率控制字，17位到23位是无效位，可以全部设为0。 一位的s\_axis\_config\_tready输出端口，用于表示是否已经可以对该IP核进行配置了。 以及一位的s\_axis\_config\_tvalid输入端口，当配置数据有效时，输入高电平即可完成配置，在本频谱分析系统中，该端口输入恒为1。M\_AXIS\_DATA用于数据的输出。其中，m\_axis\_data\_tdata为16位的数据输出端口，0位到7位输出为正弦信号，8位到15位输出为余弦信号，他们的初始相位均为0度，相差为/2。m\_axis\_data\_tready输入端口恒定输入高电平，表示可以一直输出数据。m\_axis\_data\_tvalid输出端口表示其输出的数据是否有效。

DDS技术产生的两路正交信号，通过乘法器分别与输入信号混频，产生IQ两路信号，最终实现数字下变频和IQ变换。本节的数字下变频逻辑电路是一直处于工作状态。

第四章 抽取滤波

由于25M的采样率相较于10Hz的频率分辨率指标较大，无法通过直接离散傅里叶变换实现，因此需要使用抽取滤波器进行降采样。本章将从抽取滤波器的原理、本系统的具体设计与实现、以及实现过程中所遇到的问题等方面进行介绍。

**4.1频率分辨率简介**

在介绍具体的抽取滤波之前，本节将先简略讲解频谱分析中RBW（频率分辨率）指标的概念，以便于后续的介绍。频率分辨率带宽表征的是频谱分析中将两个幅度相等、频率相近的两个正弦信号分辨出来的能力。如图4-1所示 在该幅频特性图中，曲线一表示频率为的正弦信号的幅频特性曲线，曲线2表示频率为的正弦信号的幅频特性曲线。由于这两个正弦信号频率非常接近，因此，在幅频特性图中，两信号会叠加在一起，形成曲线三。当曲线三的两个峰值间的最小值与峰值的比值为0.707时，与之间的频谱宽度就是频谱分析仪的频率分辨率带宽。

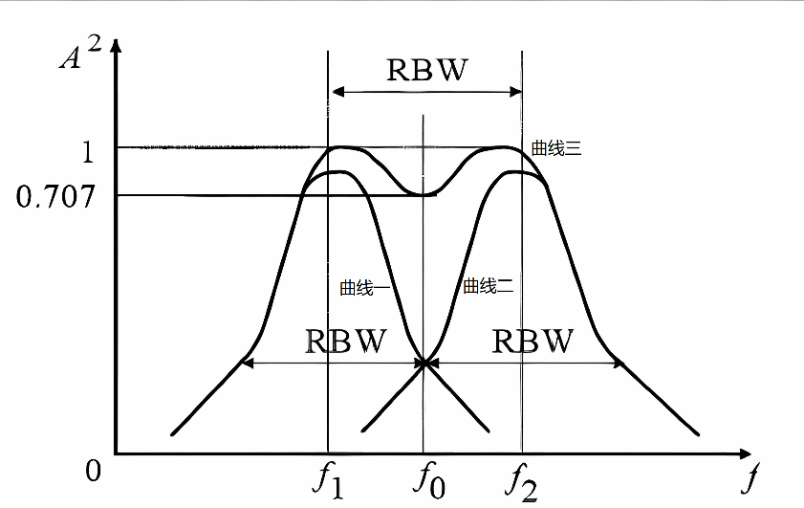


图 4-1 RBW 示意图

频率分辨率带宽主要跟ADC采样率、离散傅里叶变换点数以及抽取倍数有关。抽取是指在保证信号不失真的前提下，减低数据率以及减少数据冗余。抽取倍数时指抽取前后采样率的比值，也可称为抽取因子。频率分辨率带宽计算公式如下（式4-1）。

其中，表示采样频率，N表示离散傅立叶变换使用的点数，D表示系统的抽取倍数。本频谱分析系统通过固定离散傅立叶变换的采样点数N，逐级增加抽取倍数D来达到指标要求。

抽取的目的主要是降低采样频率，实现减小频率分辨率带宽的目的。然而，根据奈奎斯特采样定律，抽取会导致频谱变宽，如果不进行滤波，可能会导致频谱混叠。如图4-2-a所示，为原始信号频域序列，是经过抽取倍数为2的抽取的频域信号。图（a）表示原始信号经过2倍抽取后，信号的最高频率分量小于实际采样率的两倍，满足奈奎斯特采样定律，故没有发生频谱混叠。图4-2-b表示原始信号经过2倍抽取后，信号的最高频率分量大于实际采样率的两倍，不满足奈奎斯特采样定律，发生了频谱混叠。

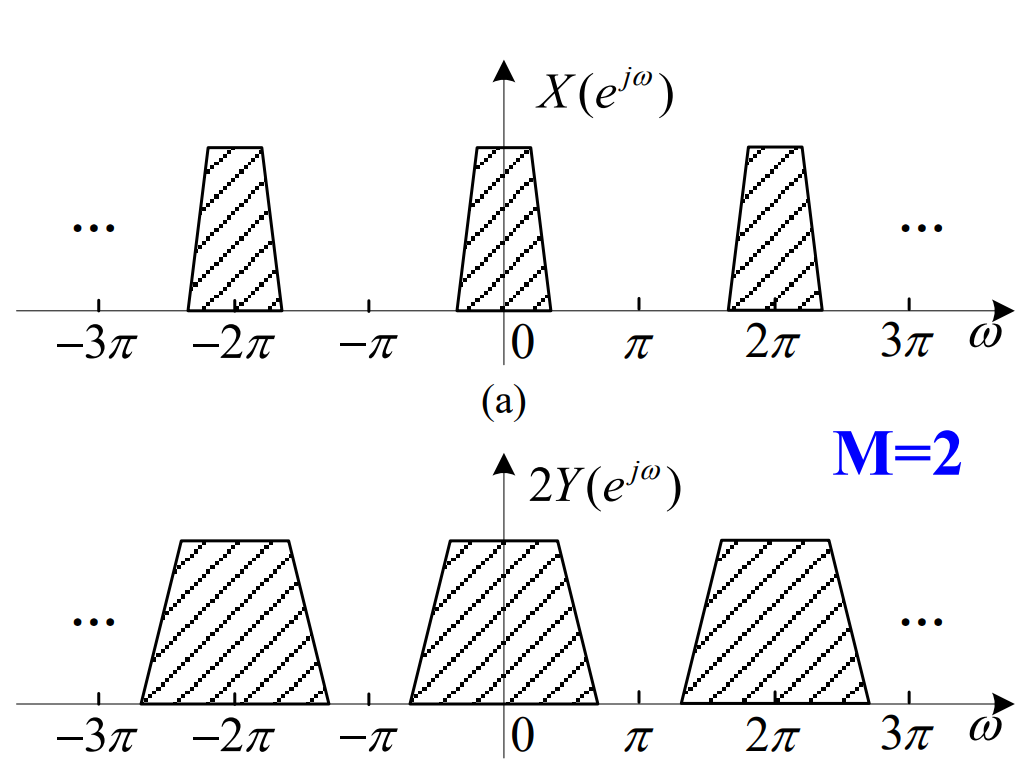
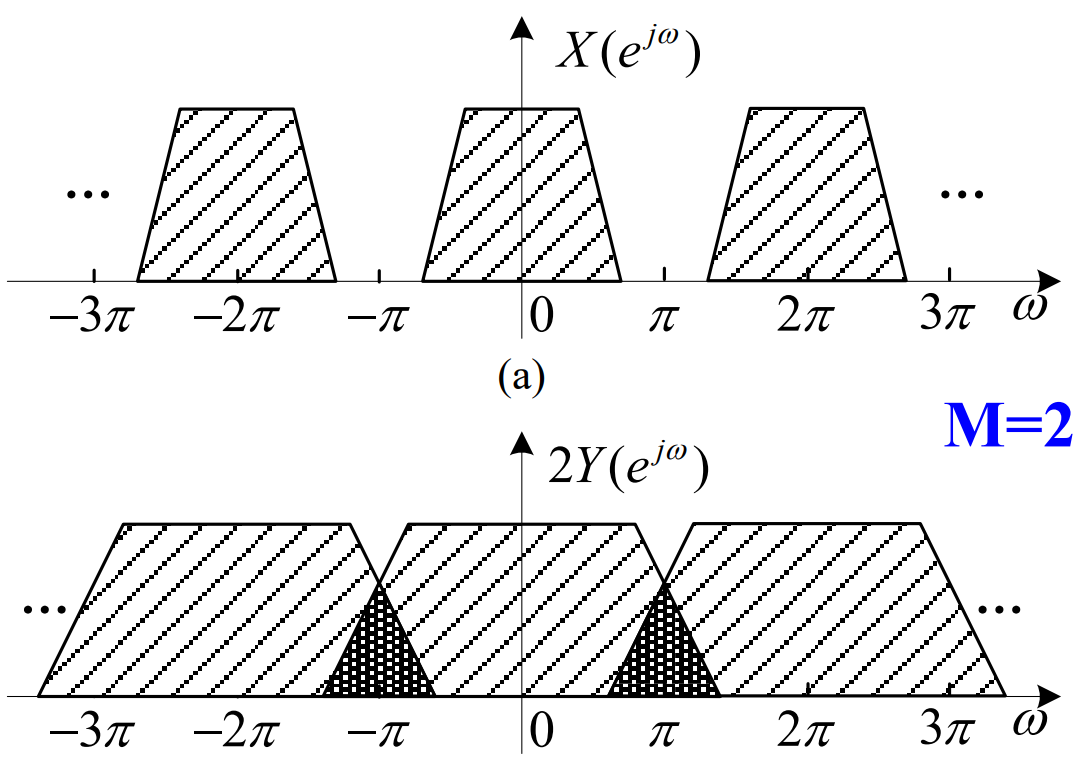
 

图4-2-a 频谱未混叠 图4-2-b 频谱混叠

因此在频谱分析仪器的设计中，为了避免频谱混叠导致的信号失真，对信号进行降采样之前，需要对信号进行带限处理，一般是采用低通滤波滤器。图4-3是结构简图。

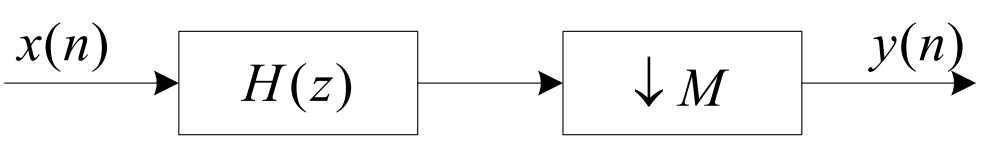


图 4-3 滤波抽取结构简图

为原始信号序列，表示数字低通滤波器，表示抽取倍数，表示经过抽取和滤波后信号。其中，数字低通滤波器的截止频率需要根据抽取倍数和所需分析的频率带宽进行确定。

**4.2 FIR滤波器设****计方法对比于选择**

完成数字下变频之后，就需要根据所需频率分辨率指标，进行抽取滤波器的设计。

数字滤波器主要分为有限长单位冲激响应滤波器（Finite Impulse Response FIR）和无限长单位冲激响应滤波器（Infinite Impulse Response IIR）。他们主要的区别在于其系统函数的不同，FIR滤波器的单位冲激响应是的多项式形式，而IIR滤波器的单位冲激响应则是的有理分式。正因其它们系统函数组成形式上的差异，导致他们在设计方法、性能和应用场景的方面存在巨大差异。FIR滤波器是非递归型滤波器，因此可以实现任意频幅特性的严格线性相位，但在实现相同的滤波效果时，与IIR滤波器相比需要消耗更多的资源。FIR滤波器是递归型滤波器，相位非线性，相位特性不易控制，并且随截止频率的改变而改变，如果对相位的要求严格是，可以通过相位均衡网络来矫正，但在实现相同的滤波效果时，消耗更少的硬件资源。随着需求越来越复杂，如今在其基础上演化出许多其他新式的滤波器。由于频谱分析仪对于信号的相位有分析的要求，故本系统的设计采用FIR滤波器来实现信号的带限处理。

目前，FIR滤波器的设计主要分为两大类，一类是基于尽量逼近理想滤波器特性的方法，另一类是最优设计法。本频谱分析系统主要采用第一类方法。第一类方法主要包括窗函数设计法、频率采样法和等波纹最佳逼近法。

本系统所采用的数字滤波器的设计方法主要是从等波纹最佳逼近法和函数设计法中选择一种来实现。通过模拟仿真测试和比较各设计方法，并结合本系统的具体设计需求，从而选择一种合适的设计方式。下文将介绍具体的选择和设计过程。

**4.2.1 窗函数设计法**

窗函数设计法中较为常见的窗有矩形窗、三角窗、汉明窗、汉宁窗、布莱克曼（Blackman）窗和布莱克曼海瑞斯（Blackman-harris）窗。在相同的阶数下，其频率响应幅频特性图如4-4所示。

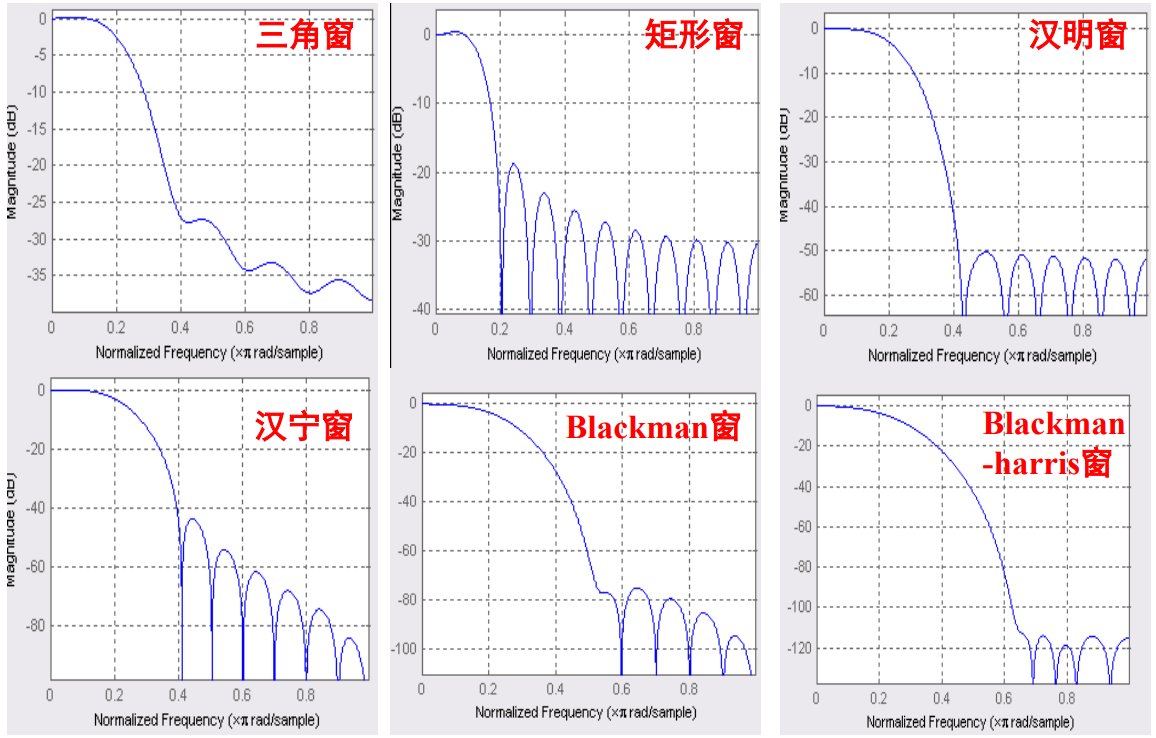


图 4-4 窗函数设计法幅频特性图

上述窗函数的具体参数如下表4-1所示。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 窗函数 | 主瓣宽度 | 旁瓣峰值 | 阻带最小衰减 | 通带边沿衰减 |
| 三角窗 | /N | -25dB | -25dB | -0.503 dB |
| 矩形窗 | /N | -13dB | -21dB | -0.815 dB |
| 汉明窗 | /N | -40dB | -53dB | -0.021 dB |
| 汉宁窗 | /N | -31dB | -44dB | -0.055 dB |
| 布莱克曼窗 | /N | -13dB | -74dB | -0.00173 dB |
| 布莱克曼海瑞斯窗 | /N | -13dB | -116dB | -0.0012 dB |

表 4-1 窗函数设计法性能参数

结合各窗函数频率响应幅频特性图与其具体参数表格，对比可以看出，矩形窗的主瓣宽度最窄，但他的最大旁瓣峰值也最大。汉宁窗和汉明窗的主瓣较宽，大它们的衰减速度较快，并且旁瓣峰值较小，特别是汉明窗，其旁瓣峰值更低。布莱克曼海瑞窗和布莱克曼窗斯窗的主瓣最宽，但是边瓣很小，衰减速度相较其它几种窗函数较慢。选择滤波器设计方法时，往往希望它更接近理想滤波器。本频谱分析系统中，希望能力尽量集中于主瓣，通带平坦，过渡带宽尽量窄，衰减速度尽量快。

**4.2.2等波纹最佳逼近法**

等波纹最佳逼近法，本质上是一种优化算法。相较于基于窗函数设计法的FIR滤波器设计方法以，等波纹最佳逼近法可以更好的控制通带频率和阻带截止频率。该方法使得设计误差达到最小值，总体上更加接近理想低通滤波器。用该方法设计的FIR数字滤波器，它幅频特性曲线在阻带和通带上具有等纹波特性，并且可以控制波纹的幅度。等波纹最佳逼近法设计思想可以用以下数学公式简单表示出来，如式4-2所示。

式中，为希望得到的幅频特性函数，设计数字滤波器时，其必须符合线性相位约束条件。表示加权误差函数。为实际设计的数字滤波器幅频特性函数。表示幅度误差加权函数，其一般用于控制阻带和通带的逼近精度。在确定数字滤波器阶数、通带频率和截至频率等相关的指标的条件下，求出幅度误差加权函数，然后，可以采用一些特殊得算法，如：Parks-McClellan算法，在尽量使| |小得条件下，求解出数值滤波器得单位冲击响应函数。该过程就是误差最小化问题得求解。使用该方法设计出来的FIR数字滤波器，一般被成为等波纹滤波器。

**4.2.3 滤波器设计工具简介**

滤波的设计工具采用一般是采用MATLAB工具箱中的fdatool工具，其界面如图4-5所示

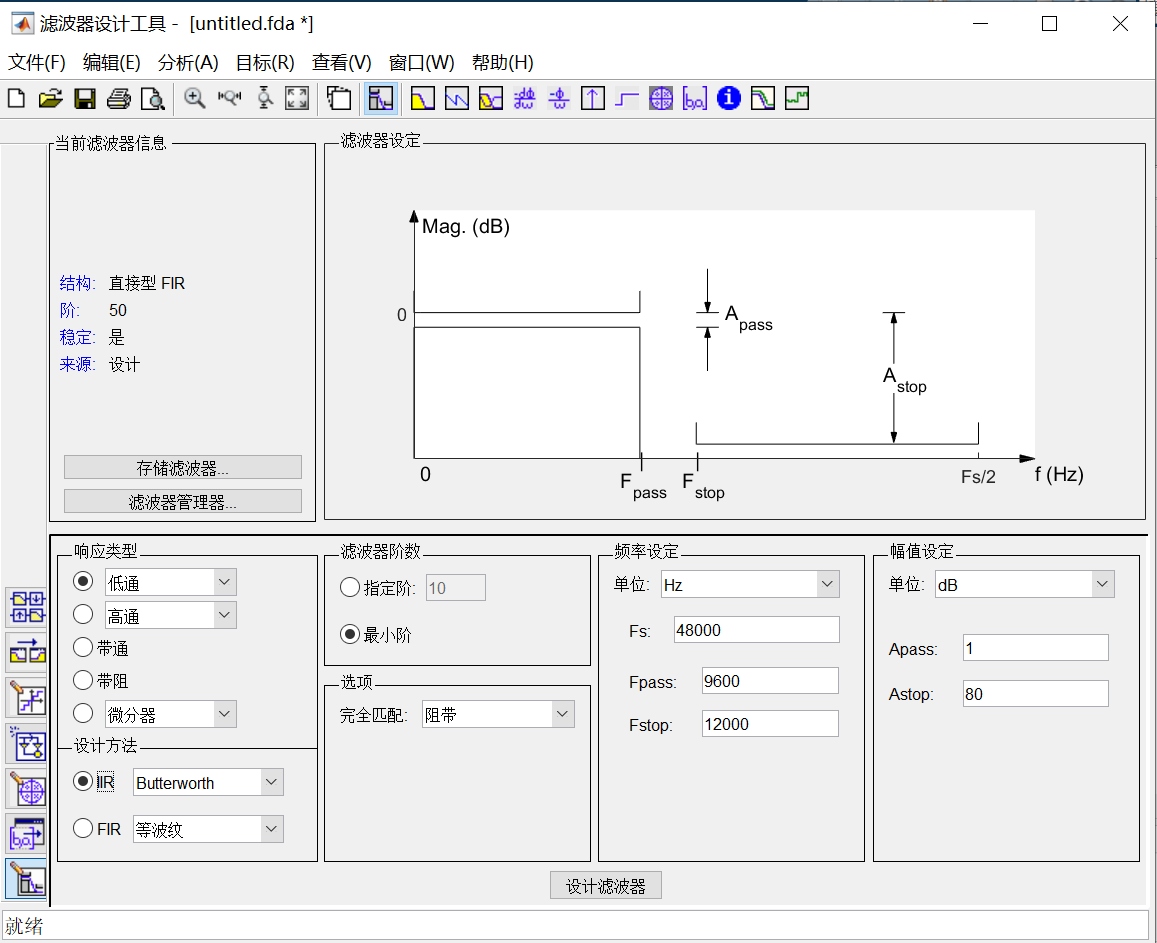


图 4-5 fdatool界面

在matlab的命令行界面输入“fdatool”命令，即可打开该工具。首先需要选择数字滤波器的响应类型，如：低通、高通、带通等带阻等。本频谱分析系统采用的均为数字低通滤波器。然后，需要选择滤波器的种类，FIR（有限冲击响应）数字滤波器或IIR（无限冲激响应）数字滤波器，并选择具体的设计方法。本系统使用的是FIR数字滤波器，设计方法主要采用窗函数和等波纹法。接下来需要选择滤波器的阶数，可以使用指定阶数或最小阶数，其选择会影响后续频率的设定。频率设定处选择数字滤波器的采样率、通带频率和截止频率。设定好相应的参数后，点击下方的“设计滤波器”即可生产该滤波器的各阶系数参数。但此时参数还是经过归一化后的浮点型，但在FPGA中计算浮点数是非常消耗资源非常麻烦的，因此需要对其进行参数量化处理。在本系统中是将参数转换成定点数。量化一般都会引入量化误差。量化位数越大，其量化误差越小。但量化位数越多，FPGA所消耗的资源也越多。因此，在设计中需要综合考虑。在FPGA的开发设计中，各种数据位数往往倾向于选择8的倍数。经过综合考虑，本频谱分析系统中选择的是16位的定点数量化。量化后，以.coe格式导出。在FPGA中使用该格式文件，即可生成对应的滤波器。

**4.2.4测试对比**

上文对数字滤波器设计中窗函数和等波纹逼近法进行了简要的介绍。接下将采用这两种方法设计具体的滤波器，通过对比这两种设计方式的实际效果，最终确定本频谱分析系统采用哪种设计方法。窗函数设计法中布莱克曼海瑞斯窗和汉明窗两种方法，相较于其他几种窗函数更适用于本频谱分析系统。因此，在对比测试中，窗函数法只选择该两种方法。数字滤波器的采样率为25。截至频率为6.25M，且在6.25M处的衰减为6dB（在线性刻度中为通带增益的一般）。数字滤波器的阶数全部固定为209阶，这意味在具体实现过程中，它们所消耗的资源是相同的。图4-6-a为布莱克曼海瑞斯窗函数的幅频响应特性曲线、图4-6-b为汉明窗函数的幅频响应特性曲线、图4-6-c为等波纹逼近法的幅频响应特性曲线。

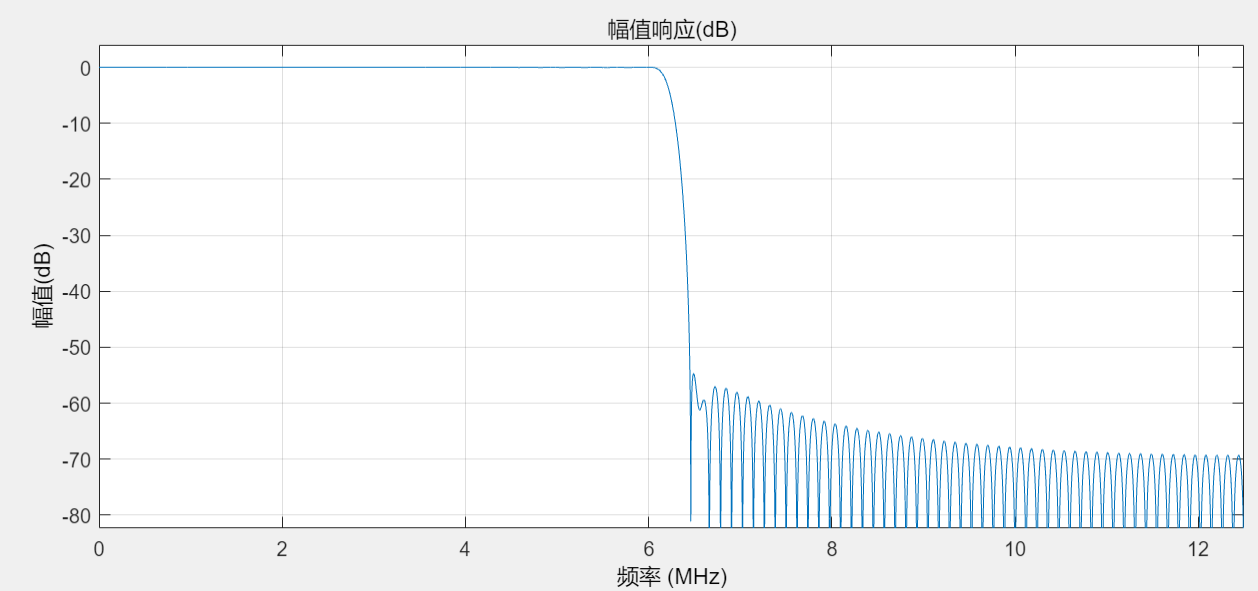


图 4-6-a

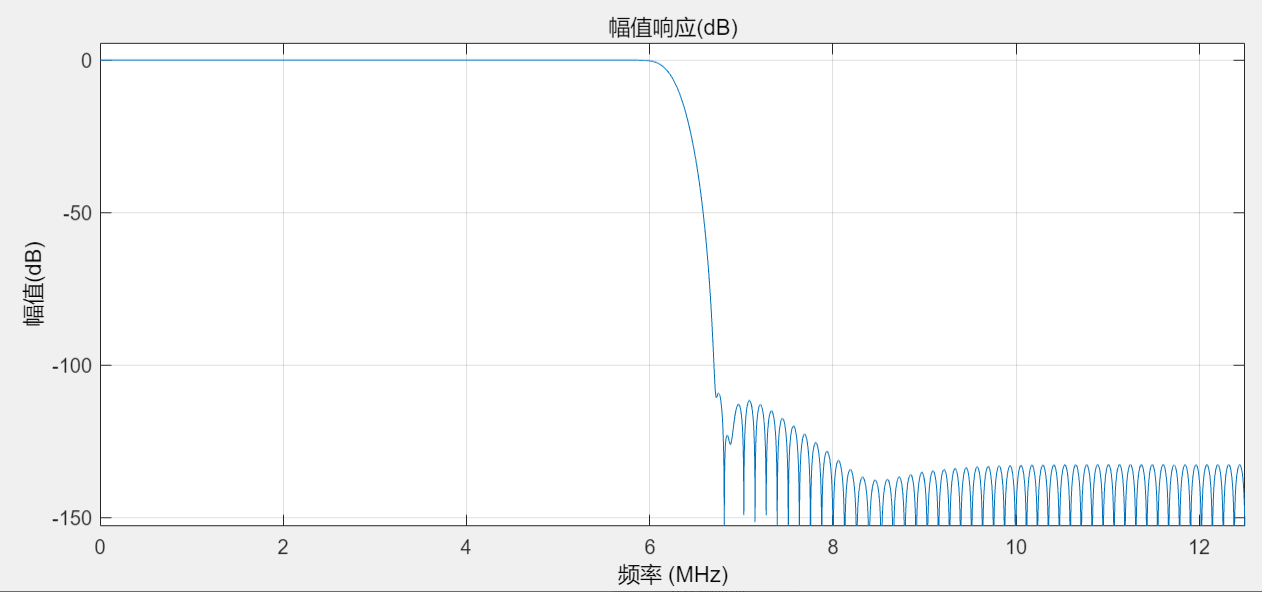


图 4-6-b

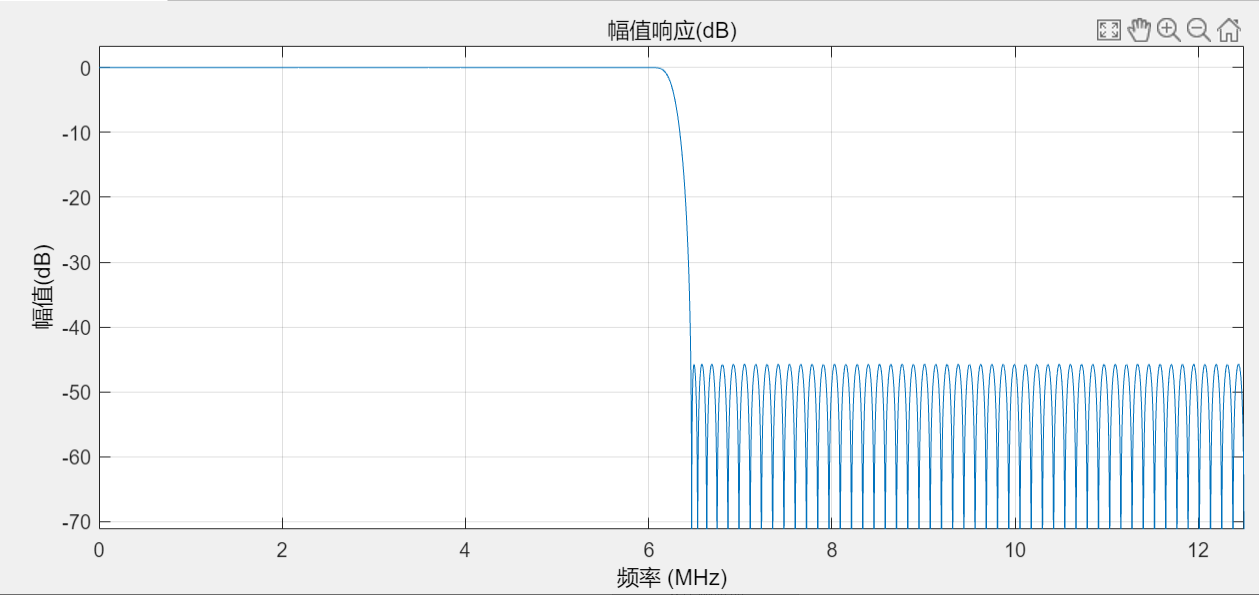


图 4-6-c

滤波器具体性能参数如表4-2所示

|  |  |  |  |
| --- | --- | --- | --- |
| 设计方法 | -6dB衰减到-45dB的带宽 | 通带纹波 | 滤波器阶数 |
| 汉明窗函数 | 0.19MHz | 0.021dB | 209阶 |
| 布莱克曼海瑞斯窗函数 | 0.31MHz | 0.0012 dB | 209阶 |
| 等波纹逼近法 | 0.21MHz | 0.0012 dB | 209阶 |

表 4-2 三种不同数字滤波器设计方法性能参数表

由于本系统抽取滤波和离散傅里叶变换等数字信号处理，数据宽度均为16位（-32765~32764），因此，当衰减达到-45dB以下时，可以认为完全消除了高频信号，该指标继续提升对本系统性能提升没有太多作用。以上三种设计方法中，阻带衰减达均到-45dB及以下了，阻带最大衰减不再加入对比指标中。

结合上文的幅值响应图和表4-2，在消耗相同资源（阶数相同）的条件下，在-6dB衰减到-45dB的速度中布莱克曼海瑞斯窗函数是最慢的，等波纹逼近法与汉明窗函数法相差不大，但等波纹逼近法的通带纹波显著小于汉明窗函数法，总体而言，等波纹逼近法性能更为优越。因此，本频谱分析最终采用等波纹逼近法设计抽取滤波器。在测试不同的滤波器设计方法过程中，发现相较于窗函数法，等波纹逼近法可以设置的参数更多（包括滤波器阶数、通带频率、阻带频率、通带纹波和阻带纹波），在消耗相同资源和指标条件，等波纹逼近法可以通过设置合理的参数，充分利用资源，避免将资源浪费在非必要指标的提升上。这便是等波纹逼近法最大的优势所在。

**4.3 CIC滤波器**

在本频谱分析系统中，每次进行离散傅里叶变换的点数为固定的2048个点，为了达到10Hz的分辨率，在全数中频架构中，每一次进行变换前的采样率不可以超过20.48KSPS。然而，ADC模块的采样率为25MSPS。在这过程中需要进行1220倍的抽取。如果直接采用一个等波纹滤波器来实现，则需要在25MSPS的采样率的条件下，将滤波器的截至设为10.24KHz，需要的阶数高到上万阶。在目前的FPGA集成度水平下，这明显是不可能实现的。因此，为了实现高倍数的滤波抽取，需要采用一种特殊的滤波器——级联积分梳状滤波器（CIC, Cascaded Integrator Comb）。

CIC滤波器是由延迟单元和加法器单元构成。在FPGA中，加法和延时是非常容易实现的。相较于其他的FIR滤波器，其结构最大的特点是不含有乘法器。而在FPGA中，乘法运算需要消耗较多的资源。因此，CIC滤波器的成本非常低，得以被广泛应用。其主要应用于最高一级的采样部分，达到抗混叠滤波的效果，例如：模数转换器的抗混叠滤波。此外，还经常用于降采样和升采样。

在数学形式上，单级CIC滤波器可以分成积分器和梳状器。积分器是一个IIR滤波器，而积分器是一个FIR滤波器。

积分器状态方程如下：

经过z变换后，系统函数如下：

梳状器的结构状态方程如式4-5所示，其中M表示延迟因子，取值一般为2或1。

经过z变换后，系统函数如下。其中D表示经过积分器的信号后，被抽取的倍数。

单级CIC滤波器的系统响应函数如下4-7所示，其结构如右图所示。

将代入式4-7中，可得到的频率响应，经化简，如下式4-8所示

分析上式可知，在（0~π）区间中，单级CIC数字滤波器的频率响应的主瓣在区间（0~2π/DM）。其他区间为旁瓣区间。主瓣的幅值为。第一旁瓣幅值为：

由于使用CIC滤波器进行抽取时，抽取倍数往往较大，即M值较大。3/2DM趋近于0。根据极限等价公式，。因此第一旁瓣的幅值为 。转换为对数形式为：

由此可见，单级的CIC数字滤波器的旁瓣幅值还是较大的，阻带抑制效果较差，无法达到设计需求。因此，需要将多个单级CIC数字滤波器级连在一起，加强旁瓣的抑制效果，同时也可以减小过度带宽。假设将N级单级CIC数字滤波器级联在一起，其频率响应如式4-10所示。其结构框图如图（）所示。

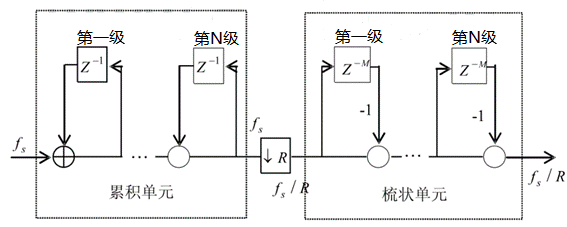


图 4-7 N级CIC数字滤波器结构

使用与上述相同的计算方式，可求出N级CIC数字滤波器旁瓣幅值为：

从以上结果可以看出，级数越多，旁瓣抑制效果越好。然而，随着级数的增加，通带的衰减速度也会变更快，消耗的资源也会增加。因此CIC数字滤波器的级数，需要根据具体指标和实际情况，选取合适的值。

**4.4两种架构对比**

在设计和实现本频谱分析系统过程中，尝试过两种抽取滤波器架构。

架构一（如图4-8所示）：在该架构中，经过数字下变频的IQ两路信号，经过5个滤波器和5次抽取后，采样率降为20KHz。其中，滤波器一的采样率为25Msps，截止频率为6.25M，抽取倍数为2倍；滤波器二的采样率为12.5Msps，截止频率为1.25M，抽取倍数为5倍；滤波器三的采样率为2.5Msps，截止频率为0.25M，抽取倍数为5倍；滤波器四的采样率为500Ksps，截止频率为50K，抽取倍数为5倍；滤波器五的采样率为100Ksps，截止频率为10KHz，抽取倍数为5倍。

等波纹滤波器一

等波纹滤波器二

等波纹滤波器三

等波纹滤波器四

等波纹滤波器五

多路选择器

图 4-8 第一种抽取滤波架构

由于该架构使用的滤波器全是等波纹数字滤波器，其设均接近于理想滤波器，因此，可以将各级抽取滤波器的信号通过多路选择器，进行离散傅立叶变换，实现5种频率分辨率带宽的选择。与架构二相比，虽然频率分辨率带宽的选择范围交大，但由于所使用的抽取滤波器均为等波纹数字滤波器，因此，消耗的资源也更多。具体资源消耗如下：

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 数字滤波器 | DSP slice 数量 | BRAM数量 | 滤波器阶数 | 输出信号的采样率 | 2048点FFT后分辨率 | 工作频率 |
| 等波纹滤波器一 | 74个 | 0个 | 288阶 | 12.5Msps | 约6.1KHz | 25M |
| 等波纹滤波器二 | 12个 | 0个 | 317阶 | 2.5Msps | 约1.2KHz | 25M |
| 等波纹滤波器三 | 3个 | 2个 | 297阶 | 500Ksps | 约244Hz | 25M |
| 等波纹滤波器四 | 1个 | 1个 | 275阶 | 100Ksps | 约49Hz | 25M |
| 等波纹滤波器五 | 1个 | 1个 | 259阶 | 20Ksps | 约9.8Hz | 25M |

表 4-3 第一种抽取滤波架构资源消耗表

由于经过数字下变频，产生了IQ两路信号，以此总的DSP slice数量需要在上表总和的基础上翻一倍，即182个。而本频谱分析系统所使用的FPGA所拥有的DSP slice资源数量为840个，相交于该架构所需的资源，还是非常充裕的。

然而，在具体实现过程中却遇到了严重的问题。首先，在编写好相应的程序后，利用VIVADO软件自带仿真工具进行implementation仿真，得到的结果与预期相符合，在以上5种不同的频率分辨率下，各环节的信号输出均正常。然而，将程序编译好并烧入开发板中后，最终输出的信号幅频特性中，有非常多的噪声，并且出现了镜像频率。经过一段时间的检测后，使用排除法，最终发现问题是出在这一系列的抽取滤波器中。本频谱分析系统是扫描式的，数字下变频中的数控振荡器所输出正交信号频率是按照一定的间隔从小到大变化的，然而，这无五个等滤波器只可以分别在其一些频率范围内正常工作，在此外的频率中，滤波器输出的信号以一定的频率在159、127、64、32、1等值之间跳动。由于个人经验的不足和相关知识的匮乏，一直未能找出导致该现象的具体原因。因此，最终只能采用第二种架构。

架构二（如图4-9所示）：该架构是非常经典的，也是被应用较广泛的架构之一。其采用CIC数字滤波器进行大倍数的抽取，实现较大倍数的降采样，减少数据冗余，之后再使用通带平坦、过度带宽窄、阻带衰减大的数字滤波器进行滤波，从而实现带外抑制。本频谱分析系统所采用的抽取滤波由两个等波纹数字滤波器和一个CIC滤波器构成。其中，滤波器一为等波纹数字滤波器，采样率为25Msps，截止频率为6.25MHz，抽取倍数为2倍；滤波器二为CIC数字滤波器，采样率为12.5Msps，截止频率为50KHZ，抽取倍数为125倍；滤波器三为等波纹数字滤波器，采样率为100Ksps，截止频率为10KHz，抽取倍数为5倍。各滤波器的具体参数如下表所示

与第一种结构相比，结构二使用的数字滤波器数更少，CIC滤波器消耗的资源更少，结构更简单，但该结构的劣势在于，其会使频率分辨率带宽的选择范围变小，只可以选择10Hz或者6.1KHz。

等波纹滤波器一

CIC滤波器

等波纹滤波器二

多路选择器

图 4-9 第二种抽取滤波器结构示意图

架构二所消耗的资源如下表4-4所示

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 数字滤波器 | DSP slice 数量 | BRAM数量 | 滤波器阶/级数 | 输出信号的采样率 | 2048点FFT后分辨率 | 工作频率 |
| 等波纹滤波器一 | 124个 | 0个 | 489阶 | 12.5Msps | 约6.1KHz | 25M |
| CIC滤波器 | 5个 | 0个 | 5级 | 2.5Msps | CIC滤波器后不直接进行FFT | 25M |
| 等波纹滤波器二 | 1个 | 2个 | 587阶 | 20Ksps | 约9.8Hz | 25M |

表 4-4 架构二 资源消耗表

**4.5 具体设计与实现**

本小结将主要介绍等波纹数字滤波器和CIC数字滤波器的实现。赛灵思官方的VIVADO软件中，提供了这两种滤波器的IP核，且都可以免费使用。因此实现这两种滤波器还是较为简便的。

4.5.1等波纹数字滤波器实现。

对于等波纹数字滤波器实现，首先需要根据确定好的参数，在MATLAB的工具箱中的fdatool计算出滤波器各阶的系数，之后对计算出来的各阶系数量化成定点数，本系统是采用16位的定点量化，最后将各阶参数以IP核可识别的文件格式（.coe格式）导出。最终设计出来的两等波纹数字滤波器的幅频响应特性曲线如下图4-10-a、4-10-b所示。

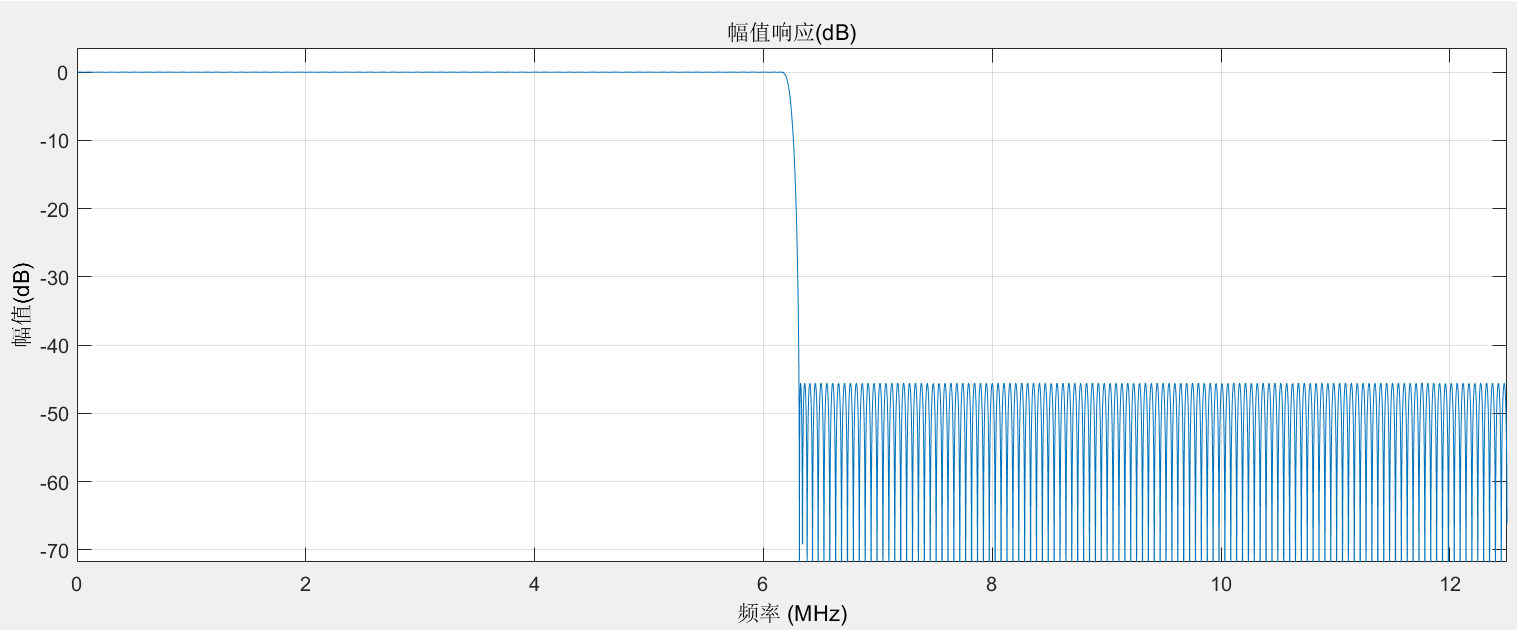


图 4-10-a 等波纹滤波器一的幅频特性图

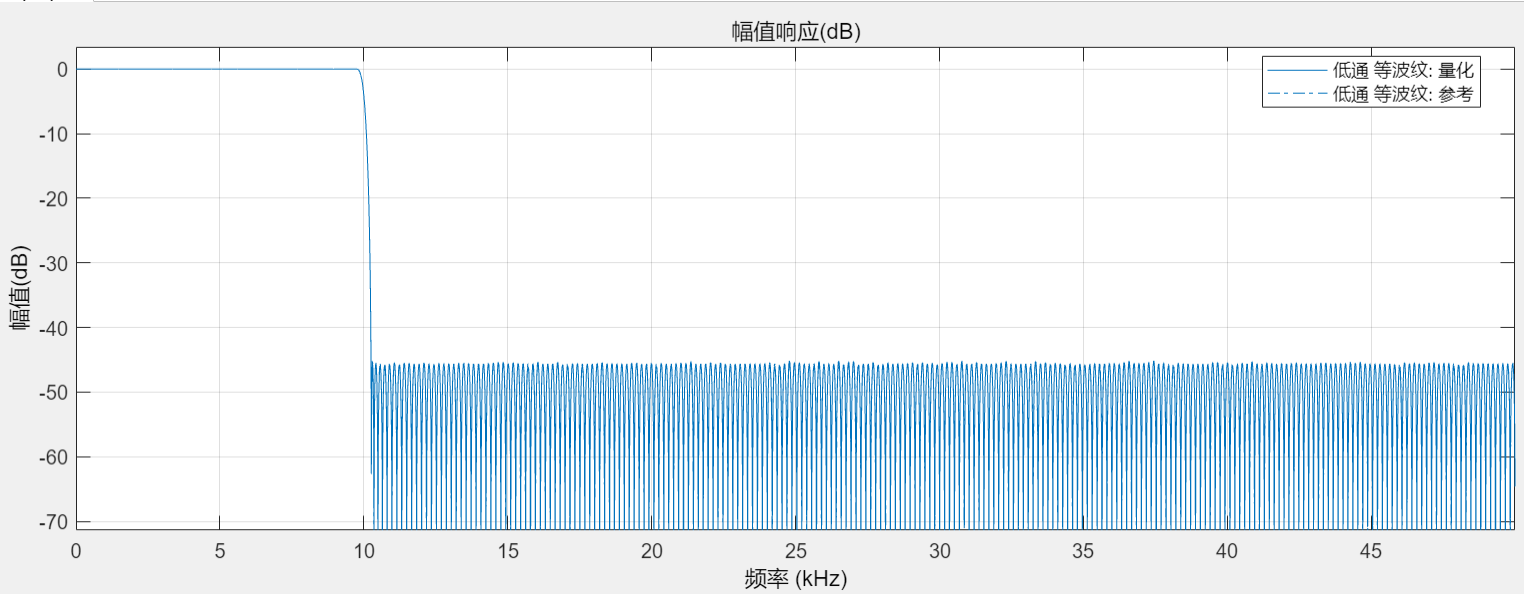


图 4-10-b 等波纹滤波器二都幅频特性图

等波纹数字滤波器一为489阶，等波纹数字滤波器二为587阶，它们的通带纹波均为0.01dB，阻带衰减均为-45dB。

在完成各阶参数的计算后，便可以调用和配置IP核了。本频谱分析系统所使用的IP核为FIR Compiler，版本为7.2，其接口协议为AXI4-steram。该版本的FIR Compiler是一款用于产生高速的滤波器的模块，它可配置非常灵活，可以实现许多不同类型的数字滤波。其内核时钟是完全同步的，均使用单个时钟。并且具有高度参数化，允许设计人员控制滤波器类型、数据和系数宽度、滤波器抽头数量、通道数量等。支持多速率操作。该内核通过赛灵思 Vivado IP 目录提供，并与赛灵思设计流程无缝集成。

FIR Compiler核的可配置参数有几十个，但大多数参数可以保持默认即可。滤波器系数（Filter coefficient）可以采用手动输入或导入文件，本系统通过导入文件设置；滤波器特性（Filter Specification）中，滤波器类型（Filter Type）选择抽取类型，两滤波器的抽取因子（Decimation Rate value）分别为2和5；硬件过采样特性（Hardware oversample Specification）中选择格式为频率特性（Frequency Specification），时钟频率（Clock Frequency）均为25M；系数选项（Coefficient Option）中系数类型（Coefficient Type）为符号型（Signed），系数位宽（Coefficient Width）为16，系数结构（Symmetric）为对称型；数据路径选项（Data Path Option）中，输入数据类型（Input Data Type）为符号型，输入数据宽度（Input Data Width）为16位，输出舍入模式（Output Rounding Mode）为全精度（Full Precision）。其他参数保持默认。最终两等波纹滤波器的IP Symbol如下图4-11-a所示。

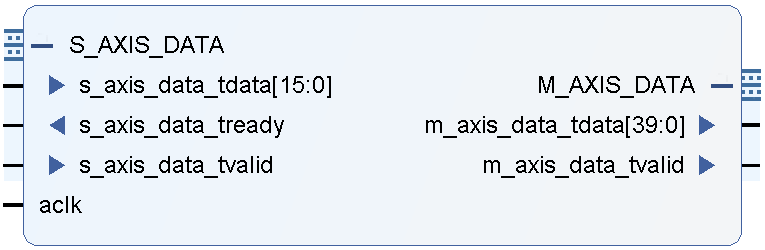


图 4-11-a Fir滤波器接口示意图

其中等波纹滤波器一输出信号位宽为40位，0到33位为有效位。等波纹滤波器二输出信号位宽为40位，0到33位为有效位

**4.5.2 CIC数字滤波器实现。**

与等波纹滤波器的实现相比，CIC滤波由积分器和延迟器构成，没有乘法器，不需要计算各阶系数。可以直接调用IP核，通过配置IP核参数达到需要的指标。本系统实现CIC数字滤波器所调用的IP核为CIC Compiler，版本为4.0，其数据输出输入接口也是AXI4-steram。该型号CIC滤波器IP核适用于Xilinx各型号FPGA。

与等波纹滤波器相比，由于CIC数字滤波器的结构较简单，因此，其IP核所需要配置的参数也较少。滤波器特性参数（Filter Specification）中滤波器类型（Filter Type）选择抽取（Decimation）、级联数（Number of Stages）选择5级、差分延迟（Differential Delay）选择1；采样率改变特性（Sample Rate Change Specification）中固定或初始率（Fixed or Initial Rate）为125；硬件过采样特性中速率特性（Hardware oversample Specification）选择频率特性（Frequency Specification）、输入采样率（Input Sample）为12.5M、时钟频率设置为25M；数据精度（Numerical Precision）中的输入数据的位宽为16；量化（Quantization）选择全精度（Full Precision）。其他参数保持默认。最终产生的IP Symbol图如下图4-11-b所示。

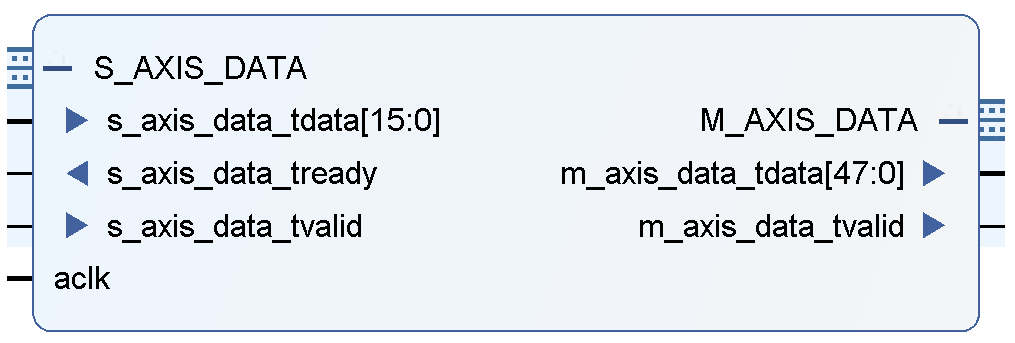


图 4-11-b CIC滤波器接口示意图

其输出信号的位宽为47位，0到43位为有效位。

**4.5.3数据截断**

由于上述的数字滤波器系数均是通过量化所产生的位宽位16位定点数，因此经过滤波器后，其输出信号位宽会增加。如果不进行数据截断，将会需要大量的DSP Slice资源，性能提升也非常有限，且本系统所使用的FPGA的资源也是不够的。

目前，对于数据截取没有明确的计算公式。但可以结合输入信号的满量程幅度、ADC模块的增益、DDC数据位数、滤波器阶数等参数，大致估算最高有效位所在的范围。实际数据的有效位，一般接近于VIVADO软件中给出的理论数值。如果对数据精度要求不高，可直接采用VIVADO所给出的数值。

设计本频谱分系统时，所有滤波器输入数据的位宽均是16位，因此需要截取最高的16位有效数据。通过输入一个满量程的正弦信号，将经过滤波器的离散数据序列输出到上位机中，调节所截取位的最高位，在保证信号波形不失真的条件下，使所截取的最高尽量高。上述三个滤波器的最终截取位数如下表4-5所示

|  |  |  |  |
| --- | --- | --- | --- |
| 数字滤波器 | 输出信号接口位宽 | 理论有效位 | 实际截取位数 |
| 等波纹滤波器一 | 40位 | 0~33位 | 17~32位 |
| CIC滤波器 | 48位 | 0~43位 | 26~41位 |
| 等波纹滤波器二 | 40位 | 0~33位 | 16~31位 |

表 4-5 滤波器截取位数表

第五章 幅频特性计算设计与实现

在完成对离散信号序列的数字下变频和抽出滤波后，就可以进行本频谱分析系统的最后一项数字信号处理，即将信号从时域转换到频域，以及计算幅频特性。本章将从具体的设计与实现、原理、以及所遇到的一些问题等方面进行介绍。

5.1 离散傅里叶变换

计算信号的频率特性，最常用的方式为傅里叶变换。而傅里叶变换有四种形式，如下表（）所示。

由于进入FPGA中数据是离散化的，因此FS、FT这两种变换方式是不可取的。虽然DTFT是需要离散的时域信号，但其频域却是连续的，而连续信号的存储和计算，在FPGA中都难以实现。DFT变换的时域和频域均为离散，是最适用用于FPGA中的变换方式。离散傅里叶变换的正变换计算公式如下：

式中X(k)表示离散信号频域序列、x(n)表示离散信号时域序列、DFS[ ]表示离散傅里叶级数正变换、N表示一次离散傅里叶变换的点数。

自然界中实际信号的频域和时域均是连续，然而为了便于计算和存储，本系统对信号进行了离散化。因此，在具体实现之前，需要理清频域离散序列与连续序列之间的关系。假设对信号进行离散化时的采样率为，则时域序列两点之间的抽样间隔为，一次采集点数为N，频域一个周期进行N点离散化后为

用表示连续频域，则

因此

对于上式（）可以这样理解，表示频域的一个周期，则表示频域相邻两点之间的抽取间隔，而第则对应模拟频域的。由N点时域序列进行DFT所得到的离散频域序列的抽取间隔为1/NT或，NT表示时域抽取的总时间长度，因此可以称表示频率分率，这与第四章中所提到的频率分辨率是一样的。从中可以看出，总的抽取时间越长，就越小，频率分辨率就越高。

对于离散傅里叶变换，XILINX也提供了相应的IP核。目前，VIVADO一共有两种IP核可以实现离散傅里叶变换，一种是直接进行DFT，另一种是采用快速傅里叶变换算法实现。这两种IP核的区别如下表（）所示。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| IP核类型 | N点变换乘法次数 | N点变换加法次数 | N点变换内存开销 | 实时性 | 抗溢出性或动态范围 |
| 直接DFT |  | N(N-1) | M个存储单元 | 可实时计算 | 设计合理就不会产生溢出 |
| FFT | (N/2)log2N | Nlog2N | M个存储单元 | 采集完规定点数才可计算，非实时。 | 点数越多输入信号的动态范围越小.。 |

（未完成）

第六章 数据传输与展示

由于本频谱分析系统所使用的硬件开发平台中不包含有显示器，无法将信号处理结果展示出来。同时，为了提高减小本系统的控制难度。因此，需要一个合适的上位机来下发数据设置参数，并将FPGA处理好的数据展示出来。也为了便于开发，本系统使用常用的笔记本电脑作为上位机。数据传输传输速率的指标并不高，只需要10KByte/s，该速率大多数的传输协议均可达到。本系统使用的AX7325B开发板中拥有的数据传输接口如下表所示：  
  
从上表中可以看出，串口转USB接口是最适合用于本系统的数据传输，

…

……

（未完成）

致 谢

本论文的工作是在我的导师XX老师悉心指导下完成的，……

……

s

参考文献

1. W.
2. 盛新庆.
3. 吕

外文资料译文

基于多载

二．基于

我们考虑一个端到端的…

……