

大连理工大学本科毕业论文

基于噪声整形技术的模数转换器的设计

**Design of Analog-to Digital Converter Based on Noise Shaping
Technology**

学 院（系）： 物理学院

专 业： 电子科学与技术

学 生 姓 名： 孙铁铭

学 号： 201521124

指 导 教 师： 常玉春

评 阅 教 师： 申人升

完 成 日 期： 2019.6.3

大连理工大学

Dalian University of Technology

原创性声明

本人郑重声明：本人所呈交的毕业设计（论文），是在指导老师的指导下独立进行研究所取得的成果。毕业设计（论文）中凡引用他人已经发表或未发表的成果、数据、观点等，均已明确注明出处。除文中已经注明引用的内容外，不包含任何其他个人或集体已经发表或撰写过的科研成果。对本文的研究成果做出重要贡献的个人和集体，均已在文中以明确方式标明。

本声明的法律责任由本人承担。

作者签名：

日 期：

关于使用授权的声明

本人在指导老师指导下所完成的毕业设计（论文）及相关的资料（包括图纸、试验记录、原始数据、实物照片、图片、录音带、设计手稿等），知识产权归属大连理工大学。本人完全了解大连理工大学有关保存、使用毕业设计（论文）的规定，本人授权大连理工大学可以将本毕业设计（论文）的全部或部分内容编入有关数据库进行检索，可以采用任何复制手段保存和汇编本毕业设计（论文）。如果发表相关成果，一定征得指导教师同意，且第一署名单位为大连理工大学。本人离校后使用毕业毕业设计（论文）或与该论文直接相关的学术论文或成果时，第一署名单位仍然为大连理工大学。

论文作者签名：

日 期：

指导老师签名：

日 期：

摘 要

模数转换器(ADC)是连接模拟世界和数字世界所必需的接口电路。随着集成电路工艺的发展,人们对于精度和品质因数的要求越来越高,单一算法的模数转换器越来越无法满足实际工作的需求。针对这种情况,混合结构 ADC 成为学术界的热点话题。

分析各种 ADC 的优缺点后,本文尝试将 $\Sigma-\Delta$ ADC 的噪声整形技术应用到逐次逼近型(SAR)ADC 中。 $\Sigma-\Delta$ 相比较于 SAR 的特点是,它采用了过采样技术和噪声整形技术,采样率明显高于奈奎斯特采样的 SAR,它精度高,但功耗高、速度较慢。因此,利用低采样率、低功耗、速度较快的 SAR 逻辑,在损失一部分带宽的前提下,提升了 ADC 的分辨率。接下来本文对加入 SAR 结构的低阶、高阶环路滤波器噪声整形效果进行理论分析。同时,本文还统计了 SAR ADC 各模块非理想因素对分辨率的影响,也考虑到噪声整形回路本身引入的电容热噪声。

最后,基于 Simulink 模块设计了一款 12bit,噪声整形 SAR ADC 模型,通过内部的电路级 DAC 引入噪声。对该模型仿真发现,在 20MS/s、过采样率为 4 的前提下,理想一阶、二阶噪声整形较原 ADC,ENOB 提升 1.1 位,0.77 位。对本文设计的非理想二阶噪声整形,在 30MS/s、过采样率为 8、加入采样-保持电路电容噪声、噪声整形函数电容噪声的前提下,ENOB 较原 ADC 提升了 1.73 位。

关键词: 逐次逼近型模数转换器; 噪声整形技术; $\Sigma-\Delta$ 模数转换器; 模型搭建

Design of Analog-to Digital Converter Based on Noise Shaping Technology

Abstract

Analog-to-Digital Converter (ADC) is vital to connect the analog world to the digital world. With the rapid development of IC technology, higher resolution & lower energy is required for ADCs, thus ADCs with single algorithm cannot meet all needs of high-FoM required areas, especially for biological and IoT applications. In response to this situation, hybrid ADC has become a hot topic in academia.

After analyzing the pros and cons of various ADCs, this paper attempts to apply the noise shaping technique of $\Sigma\text{-}\Delta$ ADC to successive approximation (SAR) ADC. Compared with SAR, $\Sigma\text{-}\Delta$ is characterized by oversampling and noise shaping, the sampling rate of which is significantly higher than Nyquist sampling's ADCs, resulting in higher resolution but more energy consumption and lower speed. Therefore, using SAR will lead to the resolution improvement of ADC, with the cost of losing bandwidth. Next, this paper theoretically analyzes the noise shaping effects of low & high-order loop filters added to the SAR structure. Meanwhile, this paper counts the influence of the non-ideal factors of traditional SAR ADC on the resolution, and also considers the capacitive thermal noise introduced by the noise shaping circuit itself.

Finally, a 12-bit noise-shaping SAR ADC model was designed, using Simulink. An internal circuit-level DAC is used to introduce non-ideal factors of SAR ADC. Simulation shows that under the sampling rate of 20MS/s and oversampling rate of 4, the ideal first-order and second-order noise shaping is 1.1 bits and 0.77 bits higher than the original ADC. For the non-ideal 2nd-order noise shaping diagram designed in this paper, ENOB is improved by 1.73 bits compared with the original ADC under the sampling rate of 30MS/s, oversampling rate of 8, adding sample-and-hold circuit & noise shaping circuit capacitance noise.

Key Words: SAR ADC; Noise Shaping Technology; Sigma-Delta ADC; Simulink

目 录

摘 要	I
Abstract	II
1 文献综述	1
1.1 研究背景与意义	1
1.1.1 ADC、DAC 简介	1
1.1.2 ADC 的应用和分类	1
1.2 噪声整形 SAR ADC 研究现状及发展趋势	2
1.2.1 SAR ADC 研究现状	2
1.2.2 SAR 和其它结构混合的探究	3
1.3 本文的研究内容	4
1.4 论文组织架构	5
2 模数转换器研究概述	6
2.1 ADC 基本原理	6
2.2 ADC 主要指标	6
2.2.1 静态特性参数	7
2.2.2 ADC 的量化噪声	9
2.2.3 动态特性参数	10
2.2.4 ADC 相互制衡的三个要素	11
2.3 ADC 分类	11
2.3.1 Flash ADC	11
2.3.2 Pipeline ADC	12
2.3.3 SAR ADC	13
2.3.4 Sigma-Delta ADC	16
2.4 ADC 频谱分析	20
2.5 本章小结	20
3 用于 SAR ADC 的噪声整形技术	21
3.1 SAR 噪声整形混合架构	21
3.1.1 噪声整形和过采样对 Sigma-Delta ADC 的综合影响	21
3.1.2 SAR 对噪声整形的兼容性	22
3.1.3 简单噪声整形模型	25
3.2 一阶噪声整形	26

3.2.1	信号流程分析	26
3.2.2	环路滤波器选择	27
3.2.3	延时单元的优化	30
3.2.4	无源积分器结构的优化	31
3.3	高阶噪声整形	32
3.3.1	二阶噪声整形	32
3.3.2	三阶噪声整形	33
3.4	噪声与延迟分析	33
3.4.1	电容热噪声	33
3.4.2	比较器噪声	34
3.4.3	DAC	36
3.4.4	采样开关噪声	36
3.5	本章小结	37
4	基于 Simulink 的噪声整形 SAR ADC 行为级仿真	38
4.1	仿真工具简介	38
4.1.1	MATLAB & Simulink	38
4.1.2	Stateflow	38
4.1.3	其他工具箱	38
4.2	20MS/s, 12bit 噪声整形 SAR ADC 模型	38
4.2.1	外部时钟	39
4.2.2	采样-保持	40
4.2.3	SAR 逻辑	40
4.2.4	DAC 设计	40
4.2.5	噪声整形回路	43
4.3	ADC 频谱与指标分析	44
4.4	非理想二阶噪声整形设计	46
4.4.1	信号流程图	46
4.4.2	频谱与指标设计	47
4.5	本章小结	48
结 论	49
参 考 文 献	50
修改记录	52

致 谢	53
--------------	----

1 文献综述

1.1 研究背景与意义

1.1.1 ADC、DAC 简介

模拟信号是指用连续变化的物理量来表达的信号，例如温度，电流，电压等。它在一定的时间范围内拥有无数个取值。相对的，数字信号指在取值上离散、不连续的信号。在电信科学中，数字信号比模拟信号具有更好的抗干扰能力，在存储和处理上也更加方便。由于系统实际对象绝大多数都是模拟量，要使计算机和数字仪表能够识别、处理这些信号，我们必须要把模拟信号转换成数字信号；同理，经计算机、系统处理输出的数字量也需要转换成相应的模拟信号才能被执行机构接收。于是人们设计出了能在模拟信号和数字信号之间起到接口作用的电路：数模转换器（DAC，Digital to Analog Converter），模数转换器（ADC，Analog to Digital Converter）。在微电子领域中，模数转换器具有极大的研究意义，一方面，市场追求信噪比和功耗相对更优化的模数转换器，用在消费级电子产品，物联网（IoT），生物可携带设备等上，另一方面，当前制作工艺的进步使得 ADC 在低功耗设计上有了更多的可能性^[1]。

ADC 是典型的数模混合电路。从二十世纪九十年代以来，深亚微米级 CMOS 技术发展迅速，超大规模集成电路的发展给对 ADC 的设计提出了较高的要求。晶体管的工作速度从功耗的方面来看，如果仍保持原有的转换速率，ADC 的功耗会随转换速率，采样速率的增加而升高，使得芯片经常超出正常温度，会导致芯片的可靠性问题。从性能的方面来看，随着集成电路工艺的进步，阈值电压下降的幅度要比供电电压下降的幅度小很多，因此栅极电压输出级的有效摆幅和驱动能力大幅降低了。对于模拟电路而言，这样会导致在输出级堆积的晶体管减少了，从而牺牲了一定的增益，对于 ADC 的模拟电路部分有一定的影响^[2]。

1.1.2 ADC 的应用和分类

在全世界范围内生产模数转换器的厂商有 TI，ADI，Maxim，Linear Tech，National Semiconductor，Fairchild Semiconductor 等。以 TI 为例，到 2015 年 4 月为止，该厂商生产了 826 款 ADC 产品^[3]。

关于 ADC 的分类分为采样类型和结构两种方法。按照采样类型，ADC 可以分为奈奎斯特型 ADC（Nyquist ADC）和过采样型 ADC（oversampling ADC）。按照设计结构，ADC 可分成闪速型（Flash），流水线型（Pipeline），逐次逼近型（SAR，successive

approximation) 和 $\Sigma-\Delta$ 型 (sigma-delta)。 $\Sigma-\Delta$ 型是过采样型的 ADC, 其余都是奈奎斯特型 ADC^[4]。

不同结构的 ADC 在性能上拥有各自不同的优势, 一般而言, $\Sigma-\Delta$ ADC 的精度较高, 但带宽, 转换速度相对于其他 ADC 而言比较小。SAR ADC 应用最广泛, 但精度相对较低, 串行转换、二分法逼近的结构也限制了它的最大速度。Pipeline ADC 精度与 SAR 类似, 但其要求的采样率更高, 适用于视频处理等场合, 而且功耗大, 一般需要芯片外的校准修正电路^[5]。

在近二十年的发展历程中, ADC 的电路和架构出现了相互交杂的倾向, 通过调研 1997-2019 ISSCC 和 VLSI 会议论文可以发现, ADC 架构热点分为 SAR-Pipeline 交杂, SAR-Sigma Delta 交杂等^[6]。Pipeline 和 Sigma-Delta 型一直处于重要的研究地位, 而逐次逼近逻辑和其他种类 ADC 从 2012 起受到了重点研究。

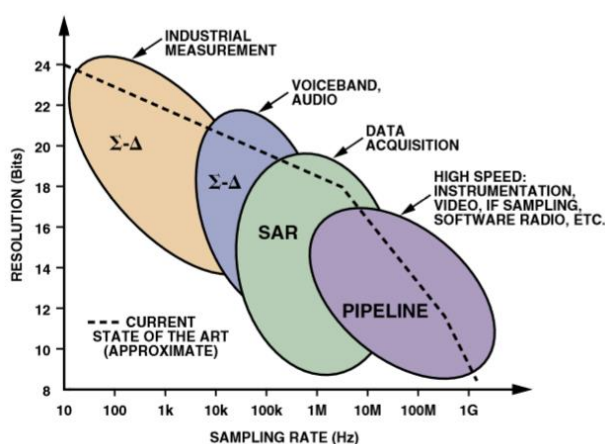


图 1.1 各种 ADC 在采样速率和精度坐标系的分布

1.2 噪声整形 SAR ADC 研究现状及发展趋势

本文致力于实现噪声整形的 SAR ADC, 用到了 SAR 和 $\Sigma-\Delta$ 混合的逻辑, 因此在此简单介绍二者近年来的研究现状和成果。

1.2.1 SAR ADC 研究现状

SAR ADC 又称作逐次逼近型模数转换器, 其主要原理是用内部的电容型 DAC 生成电压与输入的电压作比较, 通过内部的数字逻辑进行数据和比较结构的存储, 进而生成与输入电压相近的内部电压, 根据这个电压产生对应的二进制数码。由于数字电路工艺的迅猛发展, SAR ADC 的转换速率得到了很大的提升, 从 10Mhz 级别到达了 100Mhz

数量级，功率也可以降低到 mW 级别。关于传统 SAR ADC 的研究，分为提升精度的研究，和同步异步时序的研究三个方向。

在提升精度的方向，Franz Kuttner 等人提出了冗余技术（Redundancy），在 2002 年提出了非二进制电容阵列的方法^[7]，提升了 10bit，20MS/s 的 SAR ADC。针对经典 SAR ADC 二进制电容不匹配现象进行改进。此外，另一种针对这种电容不匹配的方法是分段式电容，上海交通大学的李哲在 2012 年提出了在 DAC 内部，高位和低位使用桥式电容的方式，设计了 10bit，160MS/s 的噪声整形 SAR ADC^[8]。但是两种方法拥有一个共同的缺陷，是需要使用非整数的电容。这样的非标准件电容变相增加了 ADC 的设计成本。

此外，由于 SAR ADC 采样速率和精度要求的不断提升，学者们将本用于 Pipeline ADC 的芯片外数字校准技术用在了噪声整形 SAR ADC 上。H. Garvik 在 2017 年了这一方法，他将离散的数字码提取出来，利用外部的滤波器去除高频噪声和谐波失真的信号^[9]。同时也证实了外部算法在笔记本上运转时间为 0.7s，在实际生产工作中，在要求高速度，高精度的场合下，该算法的效率还需要提升。

在同步异步时序方面，传统 SAR ADC 是同步时序的，也就是所有原件都在外部时钟的“指导”下统一行动。S. W. Chen 于 2006 年首次在加州大学伯克利分校提出了异步时序的 SAR ADC 结构，将 DAC 和比较器放在两个时序中，这样极大的节约了比较器漫长的等待时间。使得转换时间减少很多^[10]。2018 年中国科学技术大学的杨佳琪使用双比较器结构设计的噪声整形 SAR ADC，实现了异步时序 SAR ADC 的设计，也是针对不同步骤用时的不同，而提出的优化方案^[11]。

1.2.2 SAR 和其它结构混合的探究

在 SAR 和其他结构交杂的方面，本文主要就噪声整形进行了探究。传统的 SAR 逻辑是将输入信号与 DAC 产生的信号相减，通过过零比较器，每循环一次，产生一位数字码，如图 1.2（a）所示。但是由于电容充放电时间不定、电压与电容不匹配等因素，产生量化噪声和非量化噪声。学者们从 Sigma-Delta 调制器中对量化噪声整形得到灵感，设计了噪声整形 SAR ADC。原理如图 1.2（b），输入与输出做差，生成残差电压 $V_{res}(z)$ ，经过一定的滤波器将残差电压所包含的噪声消除。

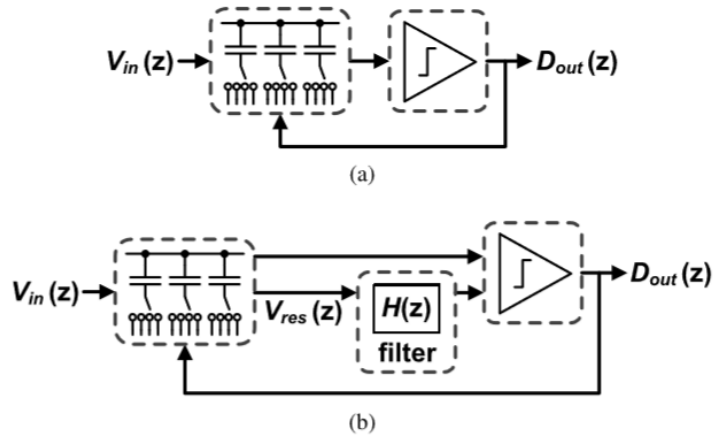


图 1.2 (a) SAR ADC 结构 (b) 噪声整形 SAR ADC 结构

噪声整形 SAR ADC 的研究始于 2012 年，来自密歇根大学安娜堡分校 J. Fredenburg 设计了一种 90MS/s, 62dB SNDR 的一阶噪声整形 SAR ADC^[12]。利用 FIR/IIR 级联滤波器对残差电压进行滤波。电路层面，他利用跨导放大器（OTA）实现滤波。然而 OTA 需要较高的功率，也需要外界提供较高的工作电压，并不是非常适用于 CMOS 集成电路设计。第二种方案是：2017 年来自中国台湾的 Chun-Cheng Liu 提出了用动态放大器来实现与 Fredenburg 相同的滤波器^[13]。虽然避免了 OTA 的高功率，但动态放大器受外界因素（如压力，温度，电压）的影响大，在目前的工艺下不是非常适合投入工业生产。而第三种设计方案提出使用电容和开关来实现被动噪声整形，代表范例是德州大学奥斯丁分校的 Wenjuan Guo 于 2016 年提出的 12bit 一阶噪声整形。电容开关结构设计简单，且没有动态工作区，但是目前的噪声整形效果有限^[14]。

1.3 本文的研究内容

本文研究了 SAR ADC 和 $\Sigma-\Delta$ 调制器的结合，初步设计了一种噪声整形 SAR ADC。噪声整形 SAR ADC 集结了 SAR 和 $\Sigma-\Delta$ 的优势，同时避免了两者的缺陷。与 SAR ADC 相比，噪声整形结构得到了较高的精度，与 $\Sigma-\Delta$ 比较，噪声整形 SAR ADC 使用了更精度的量化器，进而降低了过采样率，这样带宽相对大，外部时钟的频率更低。

经过对 SAR ADC 特别是噪声整形 SAR ADC 的文献调研，本文最终决定利用跨导放大器结构实现二阶噪声整形结构。分析这种结构的噪声传递函数图，和信号图表，本文将利用 Matlab 中的 Simulink 组块，搭建二阶噪声整形 SAR ADC 行为级仿真。并加入包括电容噪声，各级输入噪声，DAC 不匹配噪声等非理想因素进行分析。

噪声整形参数：本文设计一款 12bit，采样率 20MS/s 的二阶噪声整形 SAR ADC。

1.4 论文组织架构

本文将根据研究内容分为 4 章，具体内容如下：

第一章：文献综述，对本文的结构进行介绍，对本文的文献调研进行概括、总结，确定全文的研究内容和创新点。

第二章：本文在国内外的研究背景下，对当前主流的 ADC 结构做介绍。由于本文主要利用了 SAR ADC 和 $\Sigma-\Delta$ 的逻辑部分，因此对这两种 ADC 做主要介绍。同时介绍 ADC 的主要指标，和频谱测量的主要方法。

第三章：介绍噪声整形 SAR ADC 工作原理及数学模型。对 SAR 和 SDM 结构进行分析，说明如何改进原有的结构，放到噪声整形 SAR ADC 中。说明一阶、二阶、三阶噪声整形的数学原理，加入非理想噪声模型。

第四章：首先对 12bit SAR ADC 进行建模，介绍模型参数，模型的组成部分。接着将模型改进为三阶噪声整形 SAR ADC，分析各种噪声对模型的影响。

2 模数转换器研究概述

2.1 ADC 基本原理

模数转换器是将模拟信号（拥有连续时间和连续值）转换为数字信号（在离散时间的量化值）的器件或者模块。模拟信号，如电压、温度、压力、速度等经过传感器转换为一定范围的模拟电压，此时的模拟电压会通过 ADC 转换成用高低电平代表的二进制数字编码，这样的二进制编码可以被计算机系统读取。所以模数转换器是各个系统不可或缺的一部分。

图 2.1 给出了 ADC 一般都具备的结构框图。从模拟量到数字量可以视作四个功能模块，即抗混叠滤波器，采样保持，量化器，编码器。由于模拟输入信号经常会受到系统内部、系统外部的高频噪声干扰，一般来说实际的 ADC 需要加入抗混叠滤波，在不过分影响精度的前提下，将这些噪声初步过滤掉。接着是采样和保持环节。由于奈奎斯特定律的影响，采样的频率至少应该在模拟信号带宽和抗混叠滤波器带宽的二倍以上，这样才不会丢失信号的频率信息。采样保持电路的目的是将信号离散化，离散的信号可以在整个处理周期内都保持不变。量化器是 ADC 的核心部分，不同的 ADC 使用不同电路来实现对离散信号的分配。例如，一个 N bit 的 ADC，如果采用二进制编码，则会将参考电压范围内分成 2^N 个区间。量化器确定采样得到的电压处于哪个区间，并经过编码器（一般是数字电路部分）完成二进制编码并输出^[15]。

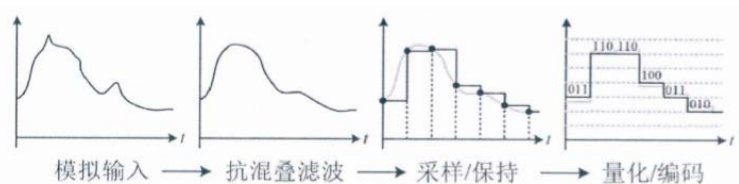


图 2.1 ADC 结构框图

2.2 ADC 主要指标

ADC 的性能参数分类两种：静态参数和动态参数。所谓静态参数表现出 ADC 的固有特性，反映了输入特性曲线和输出特性，是与时间无关的性能指标，动态指标表示了 ADC 性能随输入信号频率变化而变化的程度。通常来说，对于高精度的 ADC 而言，需要有较好的静态性能，而处在通信系统中的 ADC 对于动态指标稳定性要求较高。静态参数主要包含：分辨率（resolution）、差分非线性（Differential Non-Linearity, DNL）、

积分非线性（Integral Non-Linearity, INL）、偏移误差（Offset Error）、增益误差（Gain Error）等。其中差分非线性和积分非线性可以表征 ADC 的线性度。动态参数包含了信噪比（Signal-to-Noise Ratio, SNR）、体现 ADC 性能的参数的信号与噪声加谐波失真比（Signal to Noise and Distortion Ratio, SNDR）、体现系统线性度的无杂散动态范围（Spurious Free Dynamic Range, SFDR）、总谐波功率与信号功率比（Total Harmonic Distortion, THD）、体现 ADC 实际精度的有效位数（ENOB）、用于衡量 ADC 功耗的优质因数（Figure of Merit, FoM）^[16]。

2.2.1 静态特性参数

（1）分辨率

分辨率又称作分辨精度，描绘了 ADC 的最小分辨模拟电压的能力。例如一个 N 位的 ADC，将参考电压的范围分成满量程的 $1/2^N$ ，分辨率的定义是 ADC 输入满量程除以子区间数。若 ADC 的输入是非差分的，满量程为 V_{ref} ，则 N 位 ADC 可以分辨的最小电压 LSB（Least Significant Bit）为

$$LSB = \frac{V_{ref}}{2^N} \quad (2.1)$$

若 ADC 的输入是全差分电压，量程是 $-V_{ref} \sim V_{ref}$ ，则

$$LSB = \frac{2V_{ref}}{2^N} \quad (2.2)$$

（2）DNL/INL

理想的模数转换器输入输出电压特性曲线都是均匀的阶梯状，如果分辨率无限大，ADC 的输入输出特性曲线应该是一条直线。在理想的情况下横坐标的相邻数码值的输入电压差值正好是 1LSB。根据定义可知，DNL 为 ADC 某一数码中实际台阶电压和理想台阶电压的差值，即

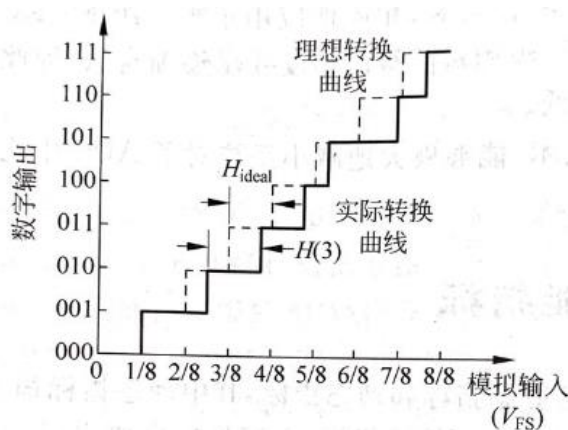
$$DNL(i) = \frac{H(i) - H_{ideal}(i)}{H_{ideal}(i)} = \frac{H(i)}{H_{ideal}(i)} - 1, 0 < i < 2^N \quad (2.3)$$

其中 $H(i)$ 代表实际第 i-1 个数字码到第 i 个数字码所对应的输入电压步长， $H_{ideal}(i)$ 代表理论上第 i-1 个数字码到第 i 个数字码所对应的输入电压步长。如果 ADC 中所有 DNL 的绝对值都小于 1LSB，则数字输出绝不会出现丢码的现象。

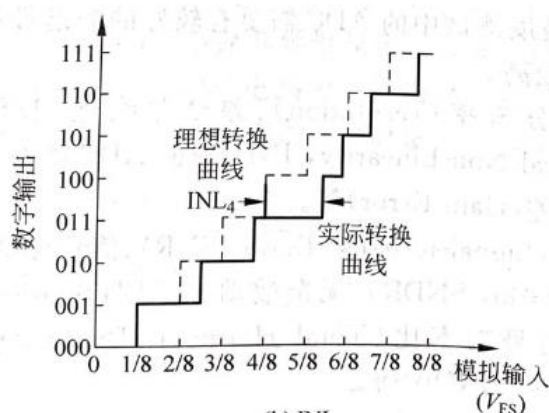
INL 是累计积分非线性，顾名思义代表了 ADC 实际输出电压实际传输特性曲线和理想传输特性曲线的最大差值，定义为：

$$INL(i) = \sum_{j=1}^i DNL(j), 0 < i < 2^N \quad (2.4)$$

其中 $DNL(i)$ 的大小可以是正也可以是负， INL 代表所有累计积分非线性最大值。具体二者的区别如图 2.2(a) (b)所示。



(a) DNL 误差



(b) INL 误差

图 2.2 3 位 ADC 非线性误差

(3) 偏移误差/增益误差

偏移误差是来源于制作工艺的误差，比如电容重放电实际时间比预期要长，或是电容组合发生了失配。在 ADC 的输入输出曲线上体现为第一个转换开始时，实际输入信号与理论值所出现的差值。有时会被称为零输出偏移（Zero Scale Offset）。图 2.3 中体现了这一误差。

增益误差描述了 ADC 实际输入输出特性曲线和理想曲线的斜率偏差。定义是在最低位 ADC 与理想值对齐以后，最大输出的编码体现了实际输入电压和理想值的差。有时会被称为是满量程误差（Full Scale Error）。图 2.4 体现了增益误差。

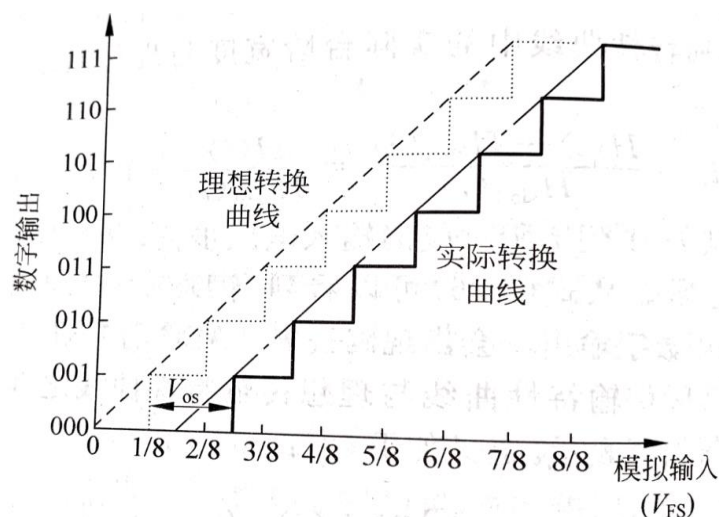


图 2.3 偏移误差

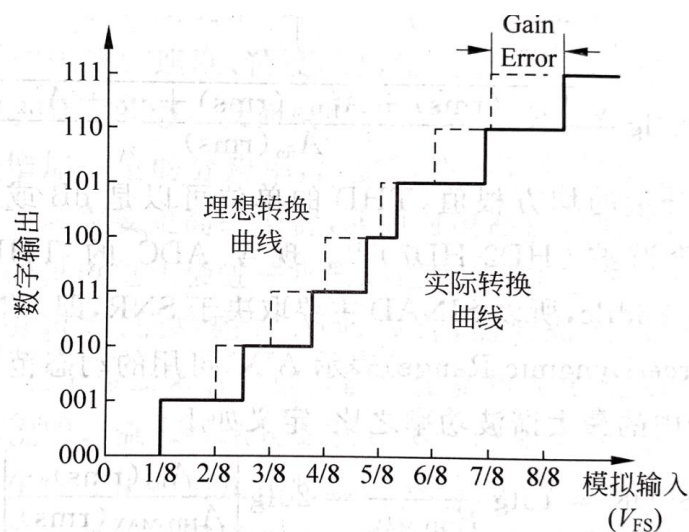


图 2.4 增益误差

2.2.2 ADC 的量化噪声

由于 ADC 无法做到无限的精度，当比较器输入两端的电压差小于 ADC 能够分辨的最小模拟信号，量化噪声的定义为有限位的 ADC 理想输出电压和 ADC 的输入电压之差。它是一个峰峰值最大位 1LSB 的锯齿波。对于 ADC 而言，量化噪声在确定分辨率的情

况下是不可避免的。也可以看出 ADC 的不确定度只能降低到 0.5LSB 量级。量化噪声只能够通过提升分辨率来降低。与量化噪声相对应的是非量化噪声。非量化噪声是由器件因素、外界影响因素带来的，包含热噪声，谐波噪声等，它们是噪声整形技术要处理的重点。

2.2.3 动态特性参数

(1) 信噪比

信噪比 (SNR) 指的是信号功率和总噪声功率的比值，定义为

$$SNR = 10 \lg(P_{\text{signal}} / P_{\text{noise}}) \quad (2.5)$$

理想的 ADC 仅仅包含量化噪声。以输入幅值 $[-A_{\text{ref}}, +A_{\text{ref}}]$ 的正弦波为例，

$$A_{\text{in}}(\text{rms}) = \frac{A_{\text{ref}}}{\sqrt{2}}, \text{ 有}$$

$$\begin{aligned} SNR &= \frac{\text{rms}(\text{input})}{\text{rms}(\text{quantization_error})} = 20 \lg \frac{A_{\text{ref}} / \sqrt{2}}{2A_{\text{ref}} / (2^N \times \sqrt{12})} \\ &= (6.02N + 1.76) \text{dB} \end{aligned} \quad (2.6)$$

因此理想的 SNR 如上所示，N 代表了 ADC 的位数。

(2) SNDR/SFDR/THD

如果考虑其他噪声（热噪声、谐波失真）产生的影响，即信号谐波失真，噪声中一般会包含 N 个谐波，SNR 可以写作 SNDR:

$$SNDR = \frac{\text{rms}(\text{input})}{\text{rms}(\text{noise} + \text{HD})} = 20 \lg \frac{A_{\text{signal}}(\text{rms})}{A_{\text{noise} + \text{HD}}(\text{rms})} \quad (2.7)$$

前面所提到的非线性因素都会引入谐波失真，理论上谐波有无穷多个，但一般情况下仅研究 10~20 个。如果 ADC 采用差分输入电路，大部分的偶次谐波都会被很好的消除，谐波失真主要由奇数次的谐波引起。

THD 的定义是所有谐波功率与信号功率之比，同样的，定义可以理解为所有谐波分量的均方根与信号幅值之比。经过调研可以得到，ADC 的 THD 性能都很好，例如 MAX1206 的 THD 为 -88dBc，因此 SNDR 可以约等于 SNR。

SFDR 是用来表示 ADC 可用的动态范围，即输出信号基波功率与奈奎斯特采样频带内的最大谐波功率之比：

$$SFDR = 10 \lg \frac{P_{\text{fin}}}{P_{\text{HD_max}}} = 20 \lg \left| \frac{A_{\text{fin}}(\text{rms})}{A_{\text{HD_max}}(\text{rms})} \right| \quad (2.8)$$

其中 $A_{HD_max}(rms)$ 是最大谐波的均方根值，也就是说 SFDR 是几波信号幅度和最大谐波峰值的比值。

(3) ENOB

ENOB 有效位数表现了 ADC 的实际精度，由于噪声和谐波的影响，ADC 的有效位数一般小于分辨率给出的位数。而有效位数的算法为：

$$ENOB = \frac{SNDR - 1.06}{6.02} \quad (2.9)$$

其中 SNDR 的单位为 dB。

2.2.4 ADC 相互制衡的三个要素

在 ADC 的设计中，功耗，带宽和精度是每一个设计者都要均衡考虑的三个要素。这三个要素存在互相取舍，互相制衡的关系。在不同的环境下人们选择突出 ADC 的某一种特点，尽量使另外的特点达到相对较好的程度。研究者一般使用品质因数（FoM）来均衡，在同等性能下，不同 ADC 对能量效率使用的能力：

$$FoM = \frac{P}{2^{ENOB} \times f_{smp_rate}} \quad (2.10)$$

其中 ADC 的总功耗为 P，采样频率为 f_{smp_rate} ，FoM 的单位定义为 $J/conv$ 。FoM 越低，代表 ADC 的功耗设计越出色。

2.3 ADC 分类

在实际工程应用中，为了满足不同类型的要求，如高功耗、低功率、高/低采样速度、高/低精度，市面上产生了四种主流的 ADC，分别是闪速型（Flash）ADC，流水线型（Pipeline）ADC，逐次逼近型（SAR, successive approximation）ADC 和 Sigma-Delta ADC。下文将对这四种 ADC 进行分析和比较。重点介绍本设计利用到的两种结构：SAR 和 Sigma-Delta。

2.3.1 Flash ADC

快闪型 ADC 的架构比较简单，它用比较大的电路结构实现了较低精度，但转换速度非常快。由于是全并行操作和单步转换，它的转换速率是所有 ADC 中最快的，延时是最小的。以一个 3 bit ADC 为例，它需要一共使用 7 个比较器。这些比较器一起输出高位或低位电压，传递给编码电路，形成二进制的输出。原理图如图 2.5 所示。

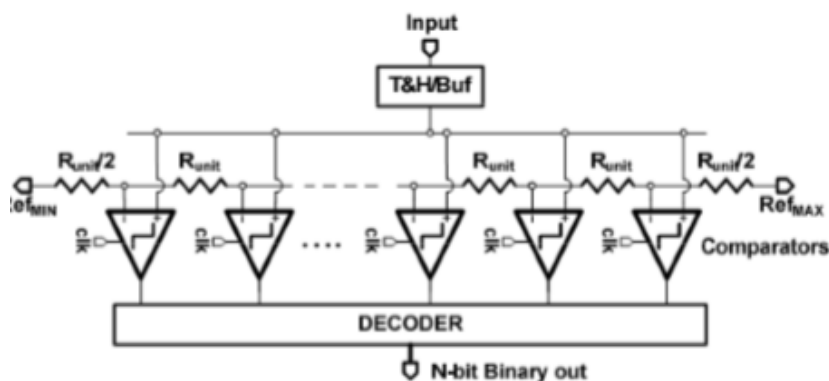


图 2.5 Flash ADC 原理图

Flash ADC 可以实现 3~8 位, 从约 1MS/s 到约 10GS/s 采样速率的性能, 这在所有 ADC 中采样速率是最高的。一般使用于雷达系统的射频采样和数模转换, Flash ADC 的发展也受限于高位 ADC 制造的高成本, 分辨率过低的缺点, 其对于比较器的使用是非常庞大的。

2.3.2 Pipeline ADC

流水线 ADC 与 Flash ADC 比较类似,甚至某种程度来说也是 Flash ADC 的一部分。它是使用多组低位 (N/n 位) 的 Flash ADC 进行 n 次比较。从时序和原理来看,类似于工厂的流水线原理。模拟电压输入经过采样保持电路进入多个级联的电路模块,每个模块都会由一个 Flash ADC 和乘法 DAC 构成,工作方式:模拟输入信号通过模块内的 Flash ADC 形成一个 (N/n) 位的数字码,这个数字码经过 DAC 形成模拟信号,模拟信号与本模块内输入的模拟信号相减得到差值,经过残差放大器放大一倍,输出至下一个模块。经过模块以后残差越来越精确,每一级数字码输出至编码器中,得到 N 位的编码值。如图 2.6 所示。

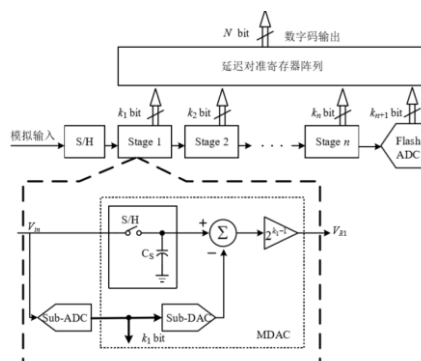


图 2.6 Pipeline ADC 原理图

由原理可以看到，Pipeline ADC 最大的特点是对同一采样进行串行转换，对不同采样进行并行操作。此外，这种 ADC 与 Flash 相比实现了较高精度，相对高速的结构，目前是 12bit, 100MS/s 量级 ADC 的首选，一般用在宽带通信基站、雷达等系统中。Pipeline 面临的挑战也很多，它是唯一一种非常依赖放大器的 ADC，而跨导放大器（OTA）由于需要工作电压，对于能耗的消耗不小。同时，Pipeline 的数字电路部分要做到延迟校准和数字校正，设计难度相对于其它 ADC 而言较大。

2.3.3 SAR ADC

(1) SAR 原理

逐次逼近型是中到高分辨率 ADC 中经常使用的结构。SAR ADC 的采样速率可以达到约 1kS/s - 500MS/s，分辨率一般在 8-18 位。SAR 结构性能好，功耗低，且可以用于小尺寸的结构下，适用场合广。SAR ADC 采用了二进制搜索算法，将模拟电压和 SAR ADC 内部数模转换器产生的电压进行 N 次比较，从而实现 N 位的分辨率，需要用 N 次 D/A 和 N 次比较来实现 1 次 N 位 A/D 转换。SAR ADC 的架构如图 2.7 所示。

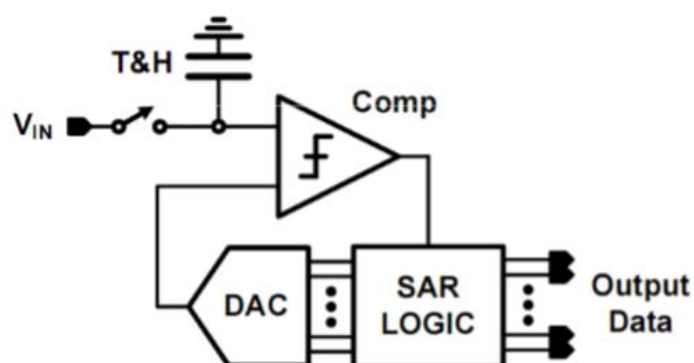


图 2.7 SAR ADC 架构原理

SAR ADC 的架构中主要包括采样保持电路、DAC、比较器、SAR 逻辑电路、时钟保持电路。刚开始 SAR 逻辑电路中 N 位寄存器被设定为中间值，即 DAC 的输出电压 V_{DAC} 为 0，其中模拟信号的输入范围设定为 $-V_{ref} \sim V_{ref}$ ，比较器负责将 V_{DAC} 和 V_{in} 进行比较，如果 $V_{in} > V_{DAC}$ ，则比较器输出高电平，记录这次的输出位是 1，并控制 DAC 输出电压为 $V_{ref}/2$ 。反之，比较器输出低电平，代表这一位是 0，控制 DAC 输出电压为 $-V_{ref}/2$ 。

如此反复 N 次，直到 $LSB = 2V_{ref}/2^N$ 为止。图 2.8 介绍了 2 位 SAR ADC 的二进制搜索原理。

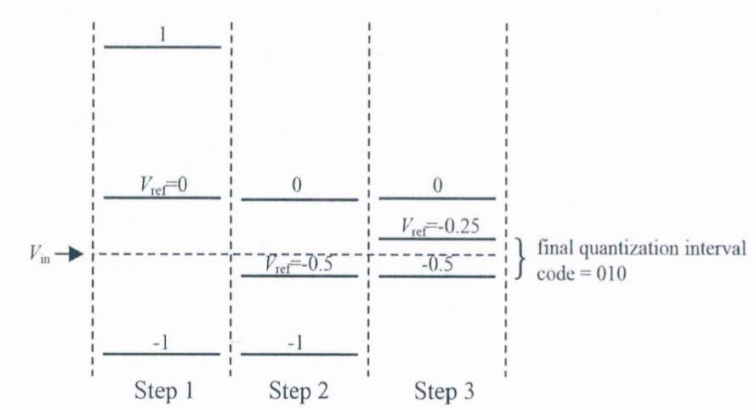


图 2.8 SAR ADC 的二进制搜索原理

(2) DAC 拓扑结构

SAR ADC 的精度主要由 DAC 来决定。为了保证二进制分配和低功耗的需求，电容型 DAC 一般嵌入在 SAR ADC 的结构内。图 2.9 是电荷再分配型 DAC 的电路图等效电路。

电容序列由二进制权重的电容并联构成，最小的电容设为 C_u ，其他的电容依次为 $2C_u$ ， $4C_u$ ，... 对于 N 位的 DAC 而言，采用单边结构，总电容是 $2^N C_u$ ，如果 DAC 使用差分结构，则总电阻是 $2^{N+1} C_u$ ，每一边所有电容的上极板全部连在一起，作为模拟输出端，并且连接在采样开关。采样开关由频率为 Nf_s 或以上的时钟所控制，使其实现跟踪保持、数码输出功能。DAC 由电荷再分配模式体现。首先在采样状态，A 点接地，电容组的下极板接输入电压 V_{in} ，接着将 A 点电压与地断开连接，电容组的下极板全部接地。由于电容电荷并未流失，A 点电压在保持阶段为 $-V_{in}$ 。最后如图 2.9 (d) 所示，实现电荷的再分配。

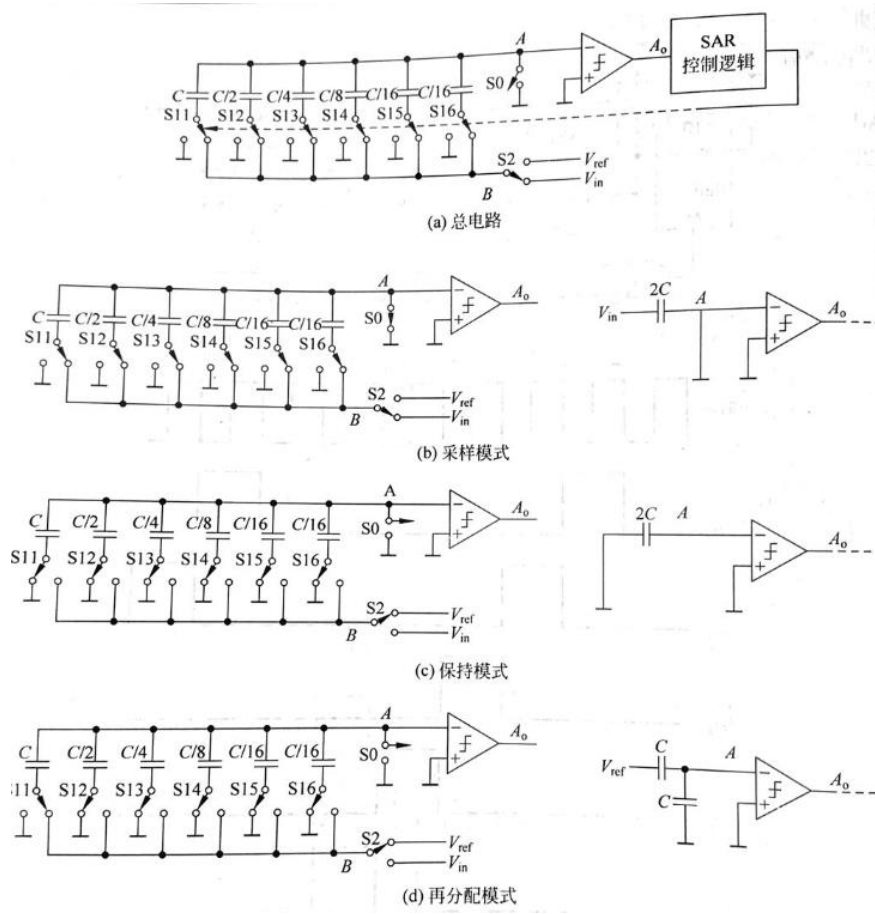


图 2.9 SAR ADC 内电荷再分配 DAC 电路图

再分配行为分析: 首先将开关 S_{11} 拨到 B 端, 与 V_{ref} 相连。此时第一个电容为 $2^{N-1}C_u$, 剩下电容实现并联接地, 其电容和也为 $2^{N-1}C_u$ 。即

$$-V_{in} \times 2^N C_u = (V_A^1 - V_{ref}) \times 2^{N-1} C_u + V_A^1 \times 2^{N-1} C_u \quad (2.11)$$

可得, $V_A^1 = -V_{in} + V_{ref}/2$, 请注意, 本节内 V_A^1, V_A^2, \dots 不代表数值的方, 而是第 N 次的 A 点电压值。

A 端的电压通过比较器, 可以得到

$$\begin{aligned} A_0 &= 1, V_{in} > V_{ref}/2 \\ A_0 &= 0, V_{in} < V_{ref}/2 \end{aligned} \quad (2.12)$$

式中 A_0 就是模数转换最高位 (MSB) 的输出。接下来分两种情况确定次高位 (MSB-1) 的输出。

当上一位的 $A_0=1$ 时, S11 接地, 将 S12 从接地端接到 B 端, 可得 $V_A^1 = -V_{in} + 3V_{ref}/4$ 。连接 AB 点的电容为 $2^{N-2}C_u$, 连接 A 和地的电容为 $2^N C_u - 2^{N-2}C_u = 3 \times 2^{N-2}C_u$, 则

$$V_A^1 \times 2^N C_u = (V_A^{2,1} - V_{ref}) \times 2^{N-2}C_u + V_A^{2,1} \times 3 \times 2^{N-1}C_u \quad (2.13)$$

此时第二位 A_0 :

$$\begin{aligned} A_0 &= 1, V_{in} > 3V_{ref}/4 \\ A_0 &= 0, V_{in} < 3V_{ref}/4 \end{aligned} \quad (2.14)$$

当上一位 $A_0=0$ 时, S12 接地, S11, S13~S16 与 B 点相连, 连接 AB 点的电容为 $3 \times 2^{N-2}C_u$, 连接 A 和地的电容为 $2^{N-2}C_u$, 则

$$\begin{aligned} V_A^1 \times 2^N C_u &= (V_A^{2,2} - V_{ref}) \times 3 \times 2^{N-2}C_u + V_A^{2,2} \times 2^{N-1}C_u \\ A_0 &= 1, V_{in} > V_{ref}/4 \\ A_0 &= 0, V_{in} < V_{ref}/4 \end{aligned} \quad (2.15)$$

依次类推, 可以计算出 N 位的开关控制信号, 进而完成 N 位模数转换。

2.3.4 Sigma-Delta ADC

Sigma-Delta 模数转换器由两部分组成, 分别是 Sigma-Delta 调制器和数字滤波器。输入信号经过 Sigma-Delta 调制器对模拟输入, 反馈一个一位或者多位的比特流, 比特流中 1 的密度对应着模拟输入信号的大小值。通过下面的数字滤波器, 我们将这个比特流进行滤波, 从而获得非常高的分辨率。Sigma-Delta 电路分为连续时间 Sigma-Delta 电路和离散时间电路两种。如图 2.10 (a) 所示, 离散时间电路 (Discrete Time Circuit) 是将输入信号先通过抗混叠滤波电路引入系统, 通过比奈奎斯特频率大得多的采样频率 (一般是整数倍), 将连续时间信号转换为离散时间信号。在系统内部进行离散时间信号处理。系统内部使用电容开关组来完成环内滤波。相对应的, 连续时间电路直接将连续时间信号引入系统, 通过电阻、电容组成的 RC 滤波电路, Gm-C 滤波电路实现滤波, 如图 2.10 (b) 所示。

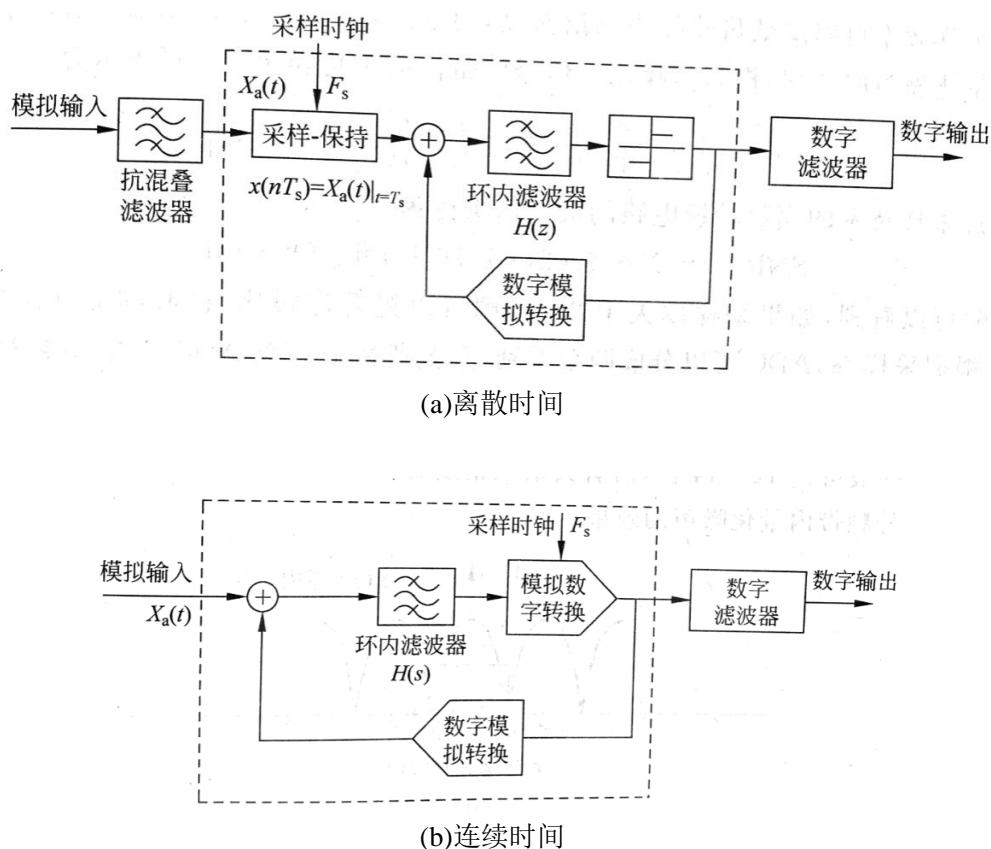


图 2.10 两种 Sigma-Delta ADC 原理

对于 Sigma-Delta ADC 而言，过采样技术和噪声整形技术是它的特色。相当于用更高的采样速率对精度进行折衷。一般来说精度可以达到 12~24 bit。下面将就这两个技术进行介绍。

(1) 过采样技术

在先前介绍的奈奎斯特采样定律中我们得知，采样频率至少应该在输入信号带宽二倍以上。而在模数转换时，采样频率与二倍信号频带的比叫做过采样比（Oversampling Ratio, OSR）

$$OSR = \frac{f_s}{2f_{BW}} \quad (2.17)$$

式中 f_s 为采样频率， f_{BW} 为信号带宽。

模数转换中存在量化误差，量化误差的功率为

$$\sigma_e^2 = \int_{-\infty}^{\infty} e^2 p f_e de = \frac{q^2}{12} \quad (2.18)$$

其中 q 为量化步长。进入量化器的信号为采样信号，量化误差功率仅在 $[kf_s - f_s/2, kf_s + f_s/2]$ 频带范围内出现。量化误差的功率谱密度为

$$S_e(f) = \frac{q^2}{12} \frac{1}{f_s} \quad (2.19)$$

因此信号频带的量化噪声功率为

$$e_{q,rms}^2 = \int_{-f_{BW}}^{f_{BW}} \frac{q^2}{12} \frac{1}{f_s} df = \frac{q^2}{12} \frac{1}{OSR} \quad (2.20)$$

从图 2.11 谱密度噪声图可以看出，奈奎斯特采样和过采样技术对量化噪声的削减效果。两种采样技术对于噪声的总功率没有影响，但过采样技术减小了收在带宽内的噪声功率，进而降低了带内的噪声功率。

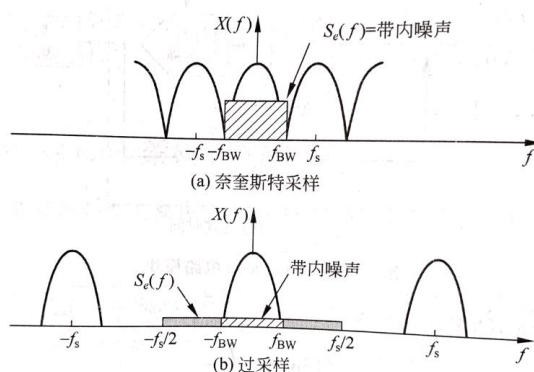


图 2.11 量化噪声的谱密度

(2) 噪声整形技术

过采样技术将噪声分到更宽的频带内，进而降低了带内的噪声基底。但仅通过过采样而得到信噪比是不经济的。例如，如果要增加 5 位 ENOB，OSR 就要达到 1024。噪声整形技术能够将信号频带的噪声推出去，使得过采样技术变得更加高效。噪声整形技术为一阶和高阶不同种类，为了使得输入的有效信号和各种噪声具有不同的传递函数，电路内部要加入反馈回路，由此我们可以得出一阶 Sigma-Delta ADC 的 Z 域线性模型。如图 2.12 所示。

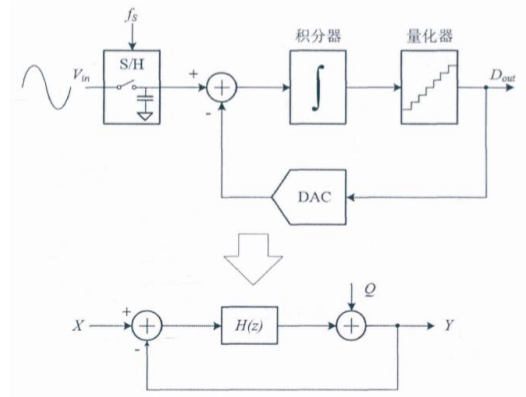


图 2.12 一阶 SDM 的 Z 变换线性模型

该系统的 Z 域传递函数为

$$Y(z) = STF(z)X(z) + NTF(z)Q(z) \quad (2.21)$$

在式中， $X(z)$ 为输入信号， $Y(z)$ 为输出信号， $STF(z)$ 为信号传递函数（Signal Transfer Function）， $NTF(z)$ 为噪声传递函数（Noise Transfer Function）， $Q(z)$ 为量化噪声。由于图中

$$(X(z) - Y(z)) \times H(z) + Q(z) = Y(z) \quad (2.22)$$

我们得到：

$$NTF(z) = \frac{1}{1+H(z)}, STF(z) = \frac{H(z)}{1+H(z)} \quad (2.23)$$

想要让 NTF 达到一阶噪声整形效果，取 $H(z) = \frac{z^{-1}}{1-z^{-1}}$ ，则

$$NTF(z) = 1-z^{-1}, STF(z) = z^{-1} \quad (2.24)$$

取 $z = e^{i\theta}, \theta = 2\pi \frac{f}{f_s}$ 带入到 NTF 的功率为

$$|NTF(e^{i\theta})|^2 = |1 - e^{-i\theta}|^2 = 2 - 2\cos(\theta) \quad (2.25)$$

NTF 的功率图如图 2.13 所示。可以轻易看出 NTF 的量化噪声被推到高频段，信号频带的量化噪声相应降低了。

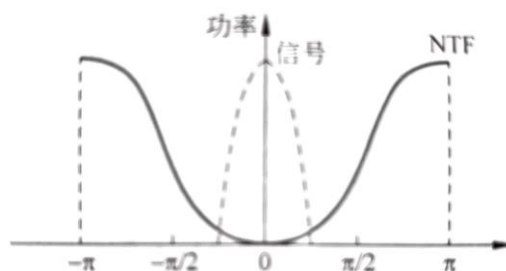


图 2.13 NTF 功率特性图

2.4 ADC 频谱分析

仿真测试时，我们要对信号进行频谱分析，直观上来看信号是属于时域的，将其转换成频域，才可以更加容易的测试各种指标。对于 $2N$ 个点，FFT 上 Bin 的总数为 $2N-1+1$ ，相邻点的距离为 $f_s/2N$ 。输入信号频率和采样点的乘积应当是采样率的整数倍。

$$fin = \frac{f_s}{2^N} \times bin \quad (2.26)$$

输入信号频率应该在 FFT 的一个 Bin 内，否则需要添加窗函数。常见窗函数如图 2.14 所示。由于没有理想的滤波器，加窗意味着信号的丢失。

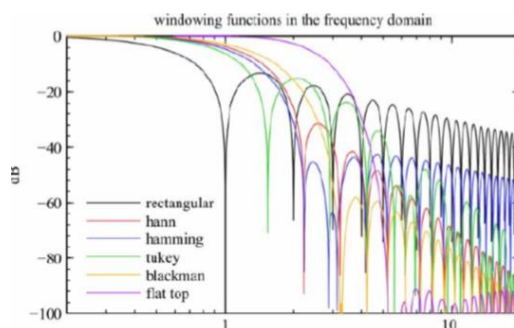


图 2.14 FFT 窗函数一览

2.5 本章小结

首先本章对于 ADC 的基本指标进行了分析，包括静态参数，动态参数和 ADC 相互冲突的三个方面。接着本章介绍了四种主流的 ADC 架构，以及它们的结构，优缺点，同时详细分析了 SAR ADC 和 Sigma-Delta ADC 两种架构的原理。着重分析了 SAR ADC 中电荷重分配型 DAC 的比较环节，以及 Sigma-Delta 离散时间电路的过采样分析和一阶噪声整形原理。

3 用于 SAR ADC 的噪声整形技术

3.1 SAR 噪声整形混合架构

逐次比较逻辑模数转换器受限于比较器和 DAC 的噪声影响，当 ENOB 大于十位以上时，面积和功耗都会极具增大，进而失去 SAR ADC 广泛而廉价的优势。在 SAR ADC 功率变高因此近年来，国内外学者把研究方向放在了 ADC 的混合架构上。Sigma-Delta 调制器具有的过采样和噪声整形两大特点都被移植到 SAR ADC 上，进而获得更高的精度。简单而言，在分辨率高的情况下，DAC 的输出电压相对于输入电压来说相差越小，二者的差会受到电路内各种噪声的影响，进而使得比较器的判断出现失误。每一次时钟周期内，比较器控制一位二进制码的输出，假设对于 N 位的 ADC，第 M 位出现判断错误，之后的 (N-M+1) 位数都会出现失误。因此，对于高分辨 SAR 逻辑，噪声整形和过采样可以以牺牲输入带宽的代价降低噪声，在一些对能耗要求苛刻、分辨率要求较高、输入带宽不是很大的场合而言是有意义的。

3.1.1 噪声整形和过采样对 Sigma-Delta ADC 的综合影响

上一章简单介绍了对于 Sigma-Delta ADC 的噪声整形和过采样技术，将噪声整形(即环路滤波器)和过采样技术结合起来时，可以得到环路滤波器的阶数与噪声整形的效果成正比。具体 SNR 的公式可写为：

$$SNR = (6.02n + 1.76)OSR - (8n - 4) + 20\lg(2^N - 1) \quad (3.1)$$

其中过采样率为 OSR，量化器位数为 N。

图 3.1 表示了 n 阶理想低通环路滤波器 (n=1~8)，量化器位数为 1 时的 OSR 和最大 SNR 之间的关系。

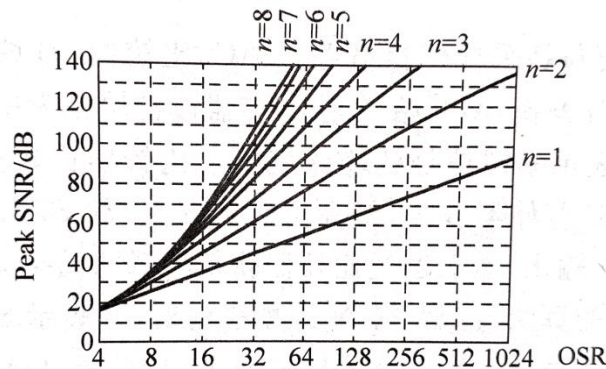


图 3.1 Sigma-Delta ADC 过采样率与 SNR 峰值的关系

所以要想提升 Sigma-Delta 模数转换电路的整体分辨率，首先要通过 SNR 的要求，确定 Sigma-Delta 的设计规格、过采样率、回路滤波器的阶数、量化器位数。需要有印象的是，根据公式，每提升过采样一倍，模数转换器的信噪比提升 3dB，ENOB 提升 0.5 位；提升环路滤波器的阶数，需要注意反馈系统的系统稳定性，阶数越高，系统稳定性相应越低；提升量化器的分辨率，虽然可以提升 ENOB，但是也会导致系统线性度下降。

3.1.2 SAR 对噪声整形的兼容性

(1) 残差电压的生成

在 Sigma-Delta 调制器噪声整形环节中，经过采样保持环节的离散信号输入到回路中，环路滤波器的输入信号是输入电压和经过一阶或 N 阶量化器后的输出电压之差。对比 SAR ADC 的结构我们可以发现，SAR ADC 内部本身就存在一个用于比较电压的 DAC。经过第一次比较后，DAC 初始输出电压为最高位（MSB）占整个 DAC 输出电压的比值。例如，若 MSB=1，DAC 本身为三位的，则输出电压为

$$\frac{1 \times 2^2 + 0 \times 2^1 + 0}{8} \times V_{ref} = 0.5V_{ref} \quad (3.2)$$

这个输出电压减去输入的模拟电压，由于二进制搜索算法，则输出信号的模最终是小于 LSB 的，这个输出信号被称作量化残差，也为残差电压 V_{res} 。

在传统的 SAR ADC 中，当新的输入电压被采样保持电路加到下一个模数转换周期时，SAR ADC 在转换结束时产生的残差电压信息被清空。同时，如同 2.3.3 中介绍的 DAC 拓扑结构模型中体现的，DAC 电容下极板通过更换连接参考电压和地，比较器的输入电压体现了未经过噪声整形的残差电压。但是 A/D 转换确定了 LSB 以后，最终的比较结果没有被返还到 DAC 阵列中。对于 N 位的 SAR ADC 而言，在 DAC 上极板的电压代表了第 N-1 位的输出与输入之差。即

$$V_{res}(N-1) \neq D_{out}(N) - V_{in}(N) \quad (3.3)$$

其中 DOUT 是比较器输出后 N 位 ADC 产生的输出电压，VIN 是采样保持电路输入到 ADC 内部的输入电压。

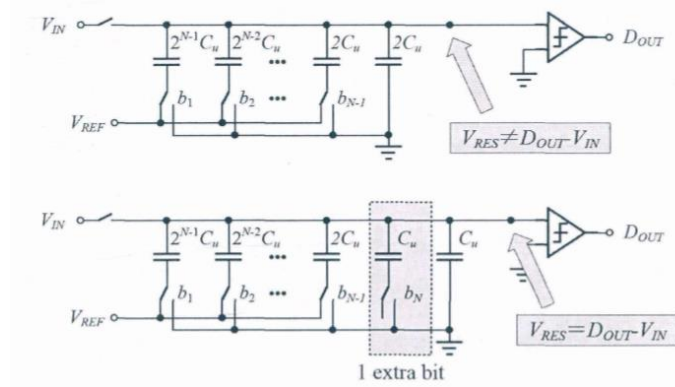


图 3.2 加入 1bit 使得残差电压得以生成

如图 3.2 给出了这个问题的解决方案，即增加一个对于电容阵列增加一个 bit，调节最终的比较器决定，在这种情况下

$$V_{res} = D_{out} - V_{in} \quad (3.4)$$

这样就实现了噪声整形所要求的输入输出信号同步作差。最终的残差电压包含了 N-1 次比较器噪声，由于模型多引入了一个 bit，最终的比较器负端要加入第 N 次比较的噪声，即

$$V_{res} = D_{out} - V_{in} + V_{comp_n} \quad (3.5)$$

(2) 比较器输入

根据图 2.12 的 Z 变换线性模型，输入信号和输出信号的差处在滤波器之前，这样的加减法运算可以通过 DAC 内部连接轻易做到。但是 SAR ADC 和 SDM 另外的不同在于，SAR 逻辑中，输入到量化器的信号必须包含系统输入信号 V_{in} ；相对应的，SDM 量化器的输入信号仅仅是误差的积分。因此我们必须将图 2.12 模型进行改进，改进方法为：在量化噪声输入的地方另外加入输入信号 V_{in} 。

因此 SAR 噪声整形的信号流程图如图 3.3 所示。

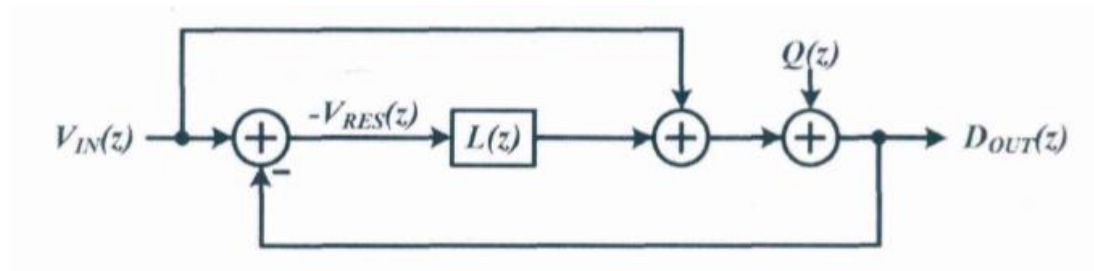


图 3.3 噪声整形 SAR 信号流程图

(3) 残差信号输入负比较端

基于以上的 SAR 噪声整形信号流程图，可以提出 SAR 噪声整形模型。将误差信号取反后输入比较器的负输入端。使得比较器的负输入端从原有的 0 变成噪声整形后的误差电压。如图 3.4 所示，当加入负输入端电压后，一个 3 位的 SAR ADC 给出了两种不同的二进制搜索路径。

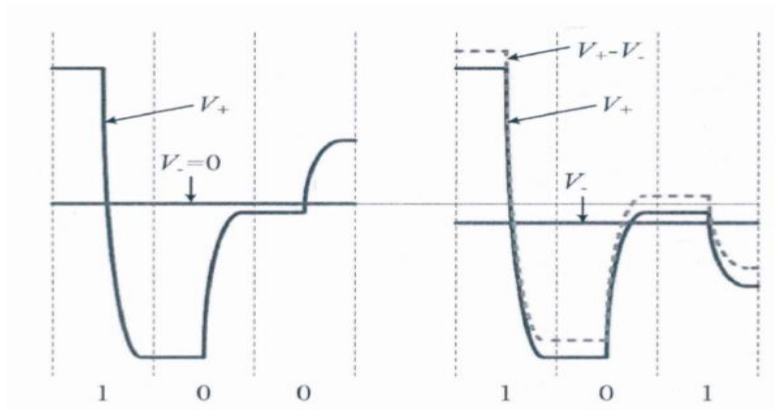


图 3.4 残差信号输入负比较端对二进制搜索的影响

(4) 普通噪声整形模型分析

分析图 3.3 的 SAR 噪声整形模型，

$$D_{out}(z) = V_{in}(z) - H(z)V_{res}(z) + Q(z) \quad (3.6)$$

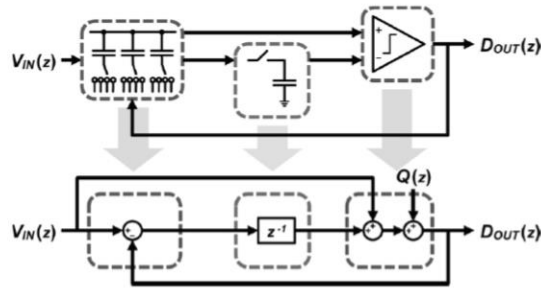
其中环路滤波器的传递函数为 $L(z)$ ，DAC 引入的量化噪声为 $Q(z)$ 。

将 $V_{res}(z) = D_{out}(z) - V_{in}(z)$ 带入可以得到，

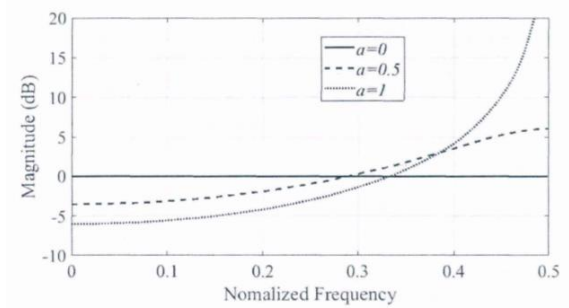
$$STF(z) = 1, \quad NTF(z) = \frac{1}{1 + H(z)} \quad (3.7)$$

与 Sigma-Delta 的噪声整形原理类似，通过合理的设计环路滤波器，可以使得 NTF 具有高通的特点，在牺牲 SAR ADC 带宽的前提下，对较低频率信号进行高精确度的模数转换。由于噪声整形模型对于信号传递函数为全通，因此接下来仅仅考虑噪声传递函数即可。

图 3.6 (a) 显示了简单噪声整形的信号流程图，以及其对应的电路模块。图 3.6 (b) 显示了 a 取不同值的 NTF 值，看得出来即使在理想情况（即 $a=1$ ）时，NTF 在输入信号频率等于 0 的位置也仅有 6dB 的衰减。因此仅仅使用延时单元作为信号的环路滤波器，对于 ENOB 的提升很有限，在最理想的条件下仅提升 1 位。但是该模型对于 SAR 噪声整形的理解提供了一定的帮助。



(a)简单噪声整形信号流程图



(b)a 取不同值对 NTF 的影响

图 3.6 简单噪声整形流程图、噪声传递图像

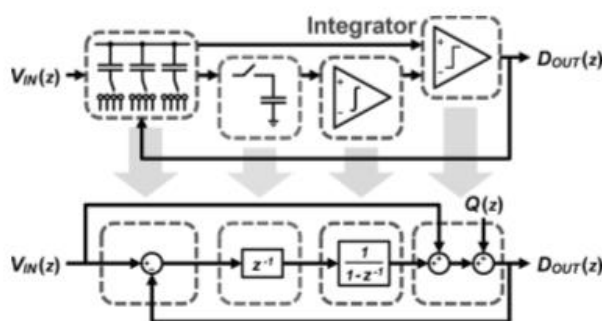
3.2 一阶噪声整形

3.2.1 信号流程分析

为了提升噪声整形的效果，仅仅一个延时单元是不够的。我们考虑将残差电压延时之后进行一阶积分运算，即可得到与 Sigma-Delta 调制器功能类似的功能。图 3.7(a)显示了改进后的信号流程图。如果使用一个理想的积分器，其传递函数为 $1/(1-z^{-1})$ ，则 NTF 为

$$H(z) = z^{-1} \cdot 1/(1-z^{-1}), NTF(z) = \frac{1}{1+H(z)} = 1-z^{-1} \quad (3.12)$$

这样的噪声整形与一阶 Sigma-Delta 调制器完全相同，图 3.7(b)显示出这个传递函数的噪声整形效果。像原来一样，STF 是全通的，NTF 在低频端有极强的噪声衰减能力，实际上，该 ADC 架构将 ADC 输入传输到量化器，其中该残差的延迟与输入相加，然后反馈送到量化器。



(a)理想一阶噪声整形的信号流程图和等效表达

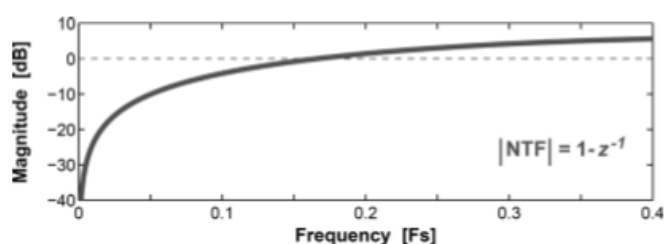


Fig. 9. Plot of noise transfer function for the improved noise shaping SAR ADC.

(b)理想一阶噪声整形的噪声传递图像

图 3.7 理想一阶噪声信号流程、噪声传递图像

3.2.2 环路滤波器选择

(1) 无源积分器

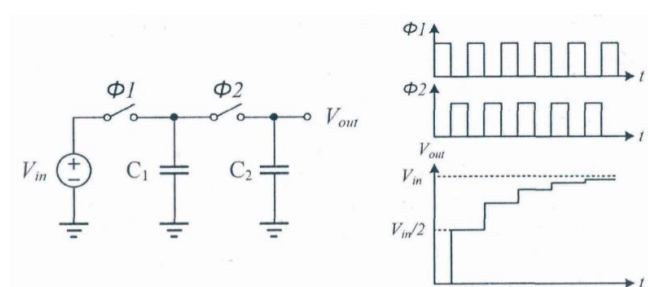


图 3.8 无源积分器的硬件实现和工作原理

无源积分器可以通过两个由两个开关电容组电路实现，如图 3.8 所示。开关 $\Phi 1$ 和 $\Phi 2$ 处于相互交叠的时钟周期。我们将 $\Phi 1$ 和 $\Phi 2$ 都导通到 1 一次视作一个周期，在第一个周期结束后，若 $C1$ 、 $C2$ 电容相同，则 $C2$ 两端的电压为 $V_{in}/2$ ，第二个周期结束后， $C2$ 两端电压变为 $3V_{in}/4$ ，依次类推。因此根据电荷分布的原理，可以得到

$$V_{C2}(k) = (1-a)V_{C2}(k-1) + aV_{res}(k-1) \quad (3.13)$$

其中 $a = C_1 / (C_1 + C_2)$ ，因此计算所得的传递函数为

$$H(z) = z^{-1} \cdot \frac{a}{1 - (1-a)z^{-1}} \quad (3.14)$$

带入得到 NTF 为

$$NTF(z) = \frac{1}{1 + H(z)} = \frac{1 - (1-a)z^{-1}}{1 + (2a-1)z^{-1}} \quad (3.15)$$

当 $a=0$ 时，环路滤波器的物理意义时取消了对残差电压的采集，NTF 为 1，对于噪声是全通的，因此没有噪声整形效果。如果 $a=1$ ， $C2$ 两端的电压与残差电压相同，系统相当于一个简单的延时单元，没有起到任何积分器的效果。当 a 的值在 $(0,1)$ 之间时，此时的噪声整形函数有一个 $z = 1-a$ 的零点和一个 $z = 1-2a$ 的极点。因此当 $a \in (0,1)$ 时， $p = 1-2a \in (-1,1)$ 。

首先由此可以看出，不管 a 怎样变化，系统函数极点都在单位圆内，响应系统是稳定的。其次该噪声传递函数可以看出，当零点在实轴上移动时，极点以二倍的速度向同方向移动。在 z 值趋近于零（即 DC 处，理论上噪声衰减最强处），幅度为 $20\lg(1/2) = -6dB$ ，可以看出仅一个无源积分器对于噪声整形效果是比较有限的。

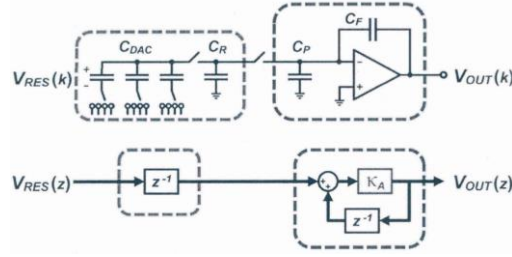
（2）有源积分器

环路滤波器内可以选择有源滤波器来解决无源滤波器噪声整形效果有限的问题。DAC 上的残差电压经过延时单元后，再通过由跨导放大器（OTA）和反馈电容（CF）所构成的有源积分器进行积分，图 3.9(a)显示了这种结构信号流程图和器件实现。图中 CP 代表了寄生电容，而且包含了电容开关和 OTA 输入的噪声分布。图中 CR 作为延时单元，引入了额外的 kT/C 噪声分布，而积分器阻止了 CR 引入的噪声。因此实际电路中必须按照 ADC 的分辨率来设计 CR 的大小，来保持这里的噪声忽略不计。对于本文采用的较高分辨率 SAR ADC，应当考虑使用较大的 CR，以这个电容的值为基础，设计整个 DAC 电容组的最小电容单元。

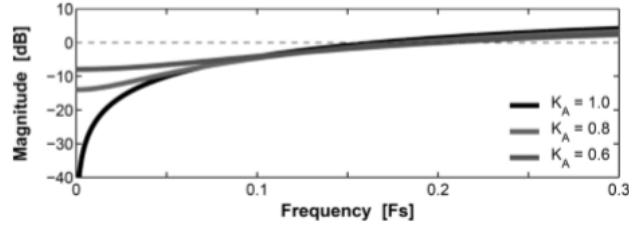
由于寄生电容 C_P 的存在，有源积分器无法达到理想值。在图 3.9(b)中，我们引用了品质因数 κ_A 来表现有源积分器的有效积分能力来进行信号流程图建模。 $\kappa_A=1$ 代表理想积分器，相对应的 κ_A 越小，品质越弱，品质因数小于 1 是因为有限放大增益和 C_R 和 C_P 充电导致的电荷衰减。因此我们可以得到噪声整形 SAR ADC 中滤波器为

$$H(z) = \frac{\kappa_A z^{-1}}{1 - \kappa_A z^{-1}} \quad (3.16)$$

$$NTF(z) = \frac{1}{1 + H(z)} = 1 - \kappa_A z^{-1} \quad (3.17)$$



(a)有源积分器的信号流程图和等效硬件



(b)三种 κ_A 所代表的噪声传递函数

图 3.9 有源积分的信号流程和噪声传递图像

图 3.9(b)绘出了三种 κ_A 所代表的噪声传递函数，我们可以看出对于品质因数很弱的情况，即 $\kappa_A=0.6$ 时，输入频率接近于 0 的信号噪声传递函数为 -8dB 左右，优于无源积分器。品质因数越高，对于分辨率、带宽的平衡就越理想，但高品质因数需要更高增益的放大器，以及电荷传递更理想的电容，意味着更高的功耗和成本。但有源积分器的缺点在于功耗较大，必须通过外加电压来实现噪声整形，对于某些场合的 SAR ADC 并不适合。

3.2.3 延时单元的优化

通过阅读文献可知，实际上的噪声整形环节加入了级联后的 FIR-IIR 环路滤波器，即一个电容开关型 FIR 替代了上文所提到的延时单元，这样做优化了带宽和分辨率之间的权衡。残差电压在图 3.10(a)中通过了 FIR-IIR 级联滤波器，生成了图中显示的 $Y(z)$ ， $Y(z)$ 接下来与输入信号相加，并传入到量化器中。FIR 滤波器是一个二级的滤波器，有着两个常数 α_1 ， α_2 。因此

$$H(z) = (\alpha_1 z^{-1} + \alpha_2 z^{-2}) \cdot \frac{\kappa_A}{1 - \kappa_A z^{-1}} \quad (3.18)$$

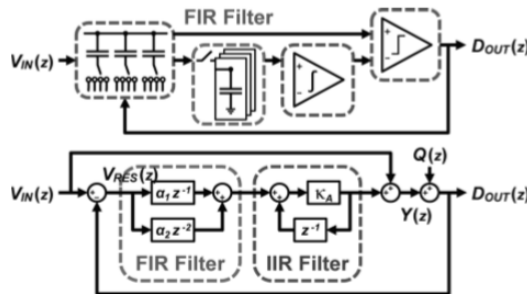
$$NTF(z) = \frac{1}{1 + H(z)} = \frac{1 - \kappa_A z^{-1}}{1 - \kappa_A (\alpha_1 - 1) z^{-1} + \kappa_A \alpha_2 z^{-2}} \quad (3.19)$$

这种情况下信号传递函数依然是全通的，文献中取 $\alpha_1=3.0$ ， $\alpha_2=1.0$ ， $\kappa_A=0.64$ 。此时噪声传递函数为

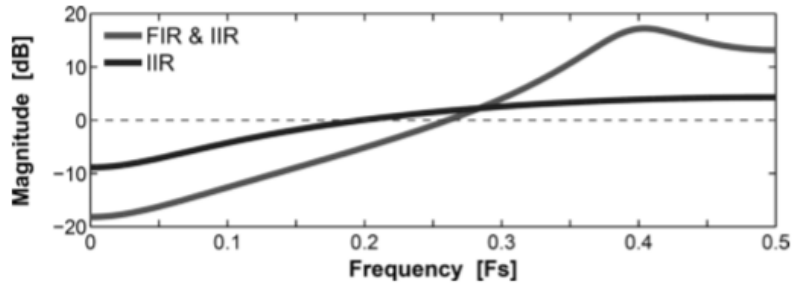
$$NTF(z) = \frac{1 - 0.64 z^{-1}}{1 - 1.28 z^{-1} + 0.64 z^{-2}} \quad (3.20)$$

可以解得，分母的两个根分别为 $j0.48 \pm 0.64$ ，两个根的模为 0.8。对于右边序列，收敛域包含了 z 域内的单位圆，因此该噪声整形方程是稳定的。

需要注意的是，虽然 FIR 滤波器的两个参数表现出一个不稳定的滤波器，但是加入积分器以后，获得的噪声整形函数是稳定的。将参数带入到噪声传递函数中，可以得到与仅含有有源滤波器相比较的优势，如图 3.10(b)所示。可以看出，在输入信号的频率约等于 0 时，这种结构对于信噪比的提升是明显的，达到约 -19dB，相应的，在高频处噪声累计更多。最高达到 18dB。



(a) FIR-IIR 级联滤波器的信号流程图和等效硬件



(b)FIR-IIR 级联滤波器噪声传递函数在低频处的优势

图 3.10 FIR-IIR 级联滤波器信号流程图、噪声传递图像

3.2.4 无源积分器结构的优化

实际应用中我们发现, 仅仅使用普通的无源积分器, 对于噪声整形的效果是有限的, 因此^[17]采用了改进的无源积分器结构, 将噪声传递函数提升至 $1-0.64z^{-1}$ 。这样在 $f/f_s < 0.1$ 处 NTF 的噪声整形效果比较理想, 在 DC 处可以达到 -9dB 的位置。该文献实现效果如图 3.11 所示。

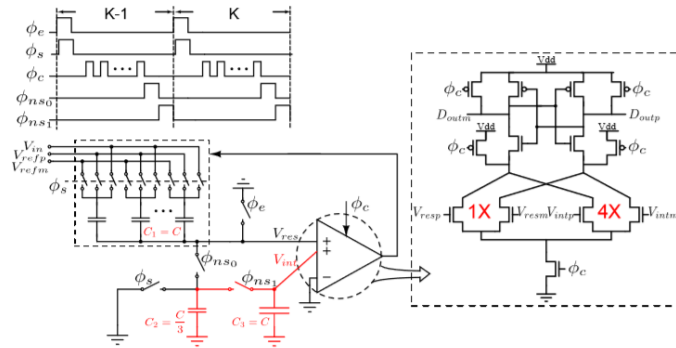


图 3.11 优化后的无缘积分器硬件结构及动态比较器的设计

在 ϕ_{ns0} 周期内, 电容 $C2 = C/3$ 对 DAC 电容 $C1$ 上的电压进行采样, 得到残差电压 V_{res} 。
 ϕ_{ns0} 中秋结束后, $C2$ 上的电压变为 $0.75V_{res}$ 。接下来的 ϕ_{ns1} 周期内, $C2$ 将电荷转存储到 $C3=C$ 内, 这样实现了环路积分器的功效。 $C3$ 电压设为 $V_{int}(z)$, 进而输入到两个正输入端, 一个负输入端的比较器内, 需要注意的是, 无源积分器限制了噪声整形原理, 仅有一小部分的 V_{res} 被整形, 看起来仍然需要一个 OTA 来提供放大, 补偿内部 V_{res} 的衰减。但是由于比较器内输入的是 1bit 的离散信息, 我们可以不使用跨导放大器, 仅仅扩大输

入的离散电压来完成信号的补偿。因此在 $V_{int}(z)$ 端输入的比较器需要加入 4 倍的静态放大，其余流程与先前一样。图 3.11 右半部分显示了动态比较器的输入输出结构。图 3.12 给出了这种噪声整形结构的信号流程图。

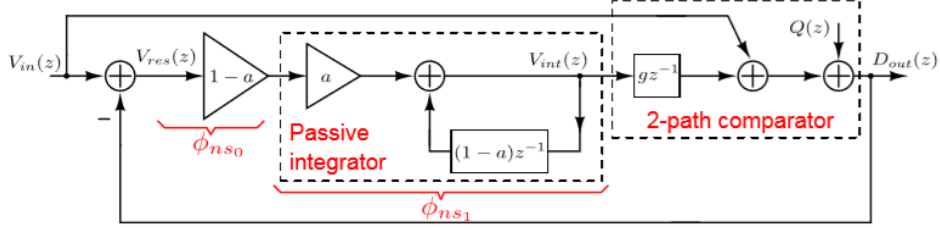


图 3.12 优化后的一阶噪声整形信号流程图

假设 $C_1 = C_3 = C$ ， $C_2 = a/(1-a)C$ ，且积分通路增益为 g 。积分器和 NTF 分别为

$$V_{ins}(z) = \frac{(1-a)a}{1-(1-a)z^{-1}} V_{res}(z) \quad (3.21)$$

$$NTF = \frac{1-(1-a)z^{-1}}{1-(1-a)(1-ga)z^{-1}} Q(z) \quad (3.22)$$

因此 NTF 的零点为 $(1-a)$ ，极点为 $(1-a)(1-ga)$ 。可以得到当 $\frac{1}{1-a} < g < \frac{2-a}{a(1-a)}$ 时方程是稳定的。我们取 $g = \frac{1}{a}$ ，则

$$NTF = 1 - (1-a)z^{-1} \quad (3.23)$$

比较器中我们取 $a=1/4$ ， $g=4$ ，因此噪声传递方程 $NTF = 1 - 0.75z^{-1}$ ，此时的 g 距离不稳定性的边界非常远，因此这种噪声整形 SAR ADC 是比较稳定的。

3.3 高阶噪声整形

3.3.1 二阶噪声整形

由于前面提到，一般化的信号传递函数和噪声传递函数为

$$STF(z) = 1, \quad NTF(z) = \frac{1}{1 + H_n(z)} \quad (3.24)$$

因此,可以根据想要做到的 n 阶噪声传递函数来设计相应的环路滤波器 $H_n(z)$ 。理想情况下二阶噪声整形目标传递函数为 $NTF = (1 - z^{-1})^2$, 相应的

$$H_2(z) = \frac{2z^{-1} - z^{-2}}{(1 - z^{-1})^2} \quad (3.25)$$

可以看出二阶噪声整形传递函数相对于一阶而言在低频率的噪声整形效果更佳理想,但是需要拥有更高的过采样率,换言之,输入信号的带宽变相地减小了。

3.3.2 三阶噪声整形

与一阶、二阶噪声整形类似,三阶噪声整形是积分器的叠加,理想三阶噪声传递函数为 $NTF = (1 - z^{-1})^3$, 这里简单给出环路滤波器的函数

$$H_3(z) = \frac{3z^{-1} - z^{-2} + z^{-3}}{(1 - z^{-1})^3} \quad (3.26)$$

3.4 噪声与延迟分析

噪声和延迟对于 SAR ADC 的影响非常巨大。事实上,噪声整形的过程就是为了对电路各个环节引入的噪声进行整形和消除。但我们同时要考虑一个新的问题,噪声整形模块本身引入的噪声不能过大,否则就失去了噪声整形的意义。

3.4.1 电容热噪声^[18]

电容对于整个 NS SAR ADC 的最大影响在于两方面,一个是噪声整形部分中延时单元和积分器都要用到的采样电容。另一方面是 DAC 中电容组所引入的电容噪声。电容噪声功率的分析是将 RC 网络放在输入端为 0 的环境内,电路中仅存在一个噪声源,如图 3.13 所示,其功率谱密度为 $V_n^2 / \Delta f = 4kTR_{on}$, 开关导通时,噪声电压经过 RC 网络低通滤波之后,叠加到了输出信号上。接着关注电路中 $V_{out}(n)$ 的功率,这是噪声源经过 RC 网络低通滤波后,对连续信号进行采样的离散结果,总功率为

$$\overline{V_{out}^2} = \int_0^\infty 4kTR_{on} \left| \frac{1}{1 + j2\pi fR_{on}C_s} \right|^2 df = \frac{kT}{C_s} \quad (3.27)$$

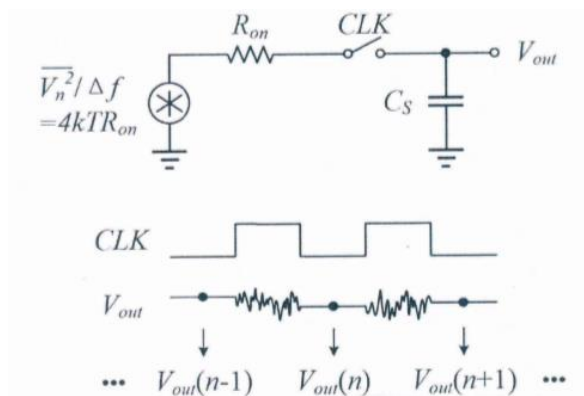


图 3.13 简化后的 RC 网络噪声频谱分析

因此，电容噪声功率为 kT/C ，可以看出，保持温度不变的情况下，通过增加采样电容的大小，可以减小噪声功率，进而提升信噪比。因此，所有的采样电容不应因追求芯片的面积而设置过小，进而脱离实际。应当注意到，噪声整形回路内的积分器、延时器，其噪声功率均来自热噪声。

3.4.2 比较器噪声

动态比较器一般具有两个输入端和一个输出端，将正负输入端的信号进行比较，并在输出端产生一位数字码，因此比较器和 DAC 是 SAR ADC 和 Sigma-Delta ADC 所不可或缺的部分。比较器在 SAR ADC 中一般采用时钟上升沿驱动。图 3.14 显示了两级动态比较器的电路。

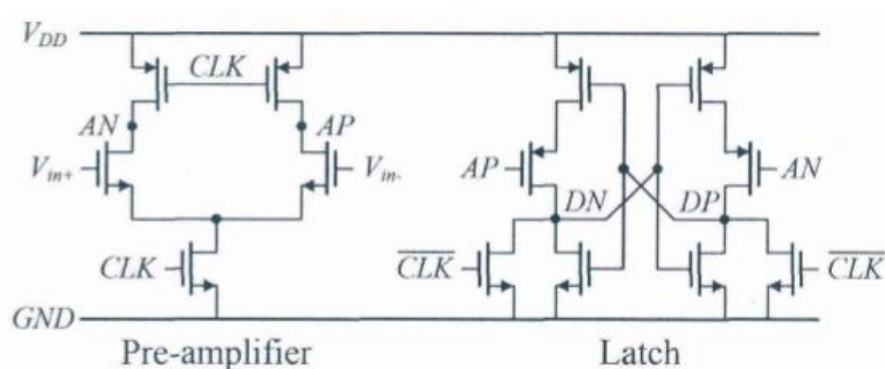


图 3.14 两级动态比较器电路

预放大级（Pre-amplifier）相当于一个差分放大器，提供一定的放大增益，此外还将 Latch 级和前端的 DAC 电路相隔，避免 Latch 的数字信号与 DAC 模拟信号互相干扰。

Latch 级时两个首尾相连的反相器，构成正反馈，将输入信号放大成为数字电路可以“读懂”的逻辑电平。

假设在输入电平 $V_{in+} > V_{in-}$ ，CLK 信号来到上升沿，预放大级 AN AP 回路导通，AN 的电流略大于 AP，因此 AN 的电压不断下降，且下降速度快于 AP。当 AN 的电压低到一定程度时，Latch 级与 AN 相关的 PMOS 管开启，开始了 Latch 的正反馈，因此输出达到数字电平可接受的电压。即 DP 为 1，DN 为 0，进而比较器将这个信息反馈到 DAC 和 SAR 逻辑电路中。CLK 转为低电平后，动态比较器的电平释放，进行复位。

比较器的噪声主要来自内部的晶体管，噪声在比较过程内影响了比较结果。对于 SAR 逻辑而言，DAC 置位越接近 LSB，比较器的输入和输出就越接近，在此时，比较器比较容易出现误判。

热噪声对于比较器的影响在于，相当于额外输入了一个模拟噪声源，可以等效成一个输入参考噪声 $\overline{V_n^2}$ ，输出噪声则表现为误码，即本该输出 0，却输出为 1，叫做比特误码率（BER, Bit Error Rate）。图 3.20 显示了动态比较器结果出现 1 或 0 的概率，分别为 P1 和 P0。考虑到输入参考噪声应符合正态分布，因此

$$P_1 = P(V_{in} + V_n > 0) = P(V_n > -V_{in}) = P(V_n < V_{in}) = \Phi\left(\frac{V_{in}}{\sqrt{\overline{V_n^2}}}\right) \quad (3.28)$$

若将动态比较器参考噪声输入端的方面来考虑的话，噪声源与 DAC 的电容噪声性质相同，因此可以合并在一起考虑，都叠加到量化噪声的基底上，为 SNDR 提供一个符合高斯分布的噪声功率。

此外，比较器非理想参数对 SAR ADC 的影响还在于比较器失调（Offset）和延时（Delay）。比较器失调指的是比较器传输特性曲线向左或向右偏移，图 3.15 表示的是含有失调电压的比较器，只有给输入端再加上一个电压 V_{os} 时，才可以调整为正常的输入输出曲线。失调电压一般与工艺有关，消除一般使用输入/输出失调存储技术来解决。延时指比较器 Latch 电极建立正反馈的时间，因此差分输入电压越接近，比较器的延时理论上就越长，进而影响 SAR ADC 的运行速度，故设计比较器时钟时，应为延时留下足够的空余时间，避免因延时切换出现无法输出的情况。

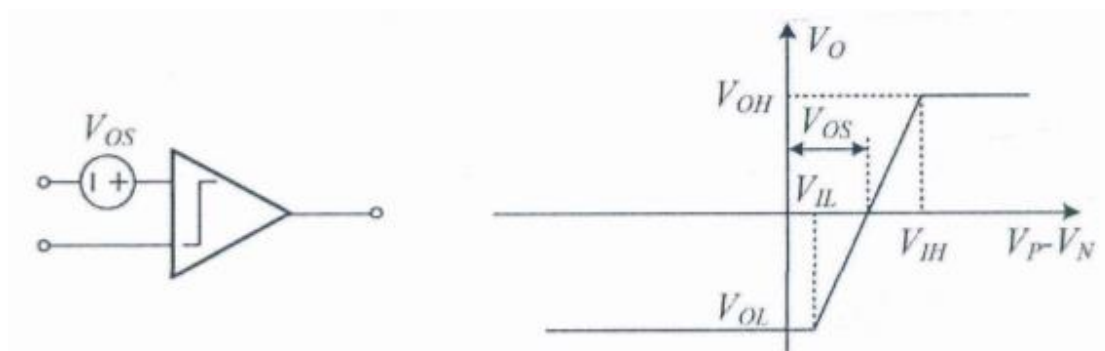


图 3.15 出现失调的比较器及输入-输出曲线

3.4.3 DAC

DAC 的噪声主要来自电容热噪声，功率同理可以得到，为 kT/C_{DAC} ，式中电容为 DAC 所有并联电容之和。此外，因为 DAC 的电容是二进制的，由于电容热噪声和工艺的影响，会出现随机或系统误差，进而影响了 DAC 的二进制树，如图 3.16 所示。二进制树出现偏差，即代表 ADC 的量化区间并不均匀，会使得 DNL 和 INL 都增大。对于稳定频率的输入信号，误差会因此出现谐波分量。对此的解决方案为：尽量使用金属-氧化物-金属电容（MOM），并将 DAC 电容组设计为一定的拓扑结构。以减小边界偏移出现的可能。

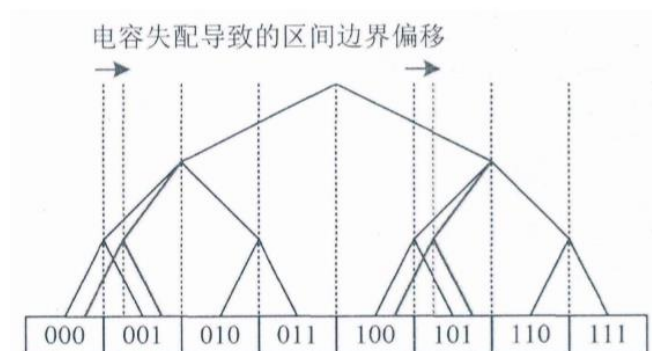


图 3.16 受电容失配影响的二进制树与正常的二进制树对比

3.4.4 采样开关噪声

最基本的采样开关为 NMOS 采样开关，由 CLK 为采样时钟，CLK 为高电平时为跟踪，低电平时为保持。实际电路中 N 设置较大，输出端噪声过程的 PSD 可以看作是白噪声谱，总功率 kT/C_s 在 $0 \sim f_s/2$ 的区间内均匀分布。

3.5 本章小结

本章系统介绍了 SAR ADC 中噪声整形原理的应用。在不改变 SAR ADC 的主要电路结构和时钟的前提下,将输入和输出信号作差,经过环路滤波器进行噪声整形。讨论了采用延时器的简单噪声整形,采用延时器、积分器的一阶噪声整形。又根据实际应用,对积分器、延时器的具体设置进行分析。通过一阶噪声整形引出高阶噪声整形,分析其回路稳定性。最后主要调研了来自 SAR ADC 各部分的噪声功率。

4 基于 Simulink 的噪声整形 SAR ADC 行为级仿真

4.1 仿真工具简介

4.1.1 MATLAB & Simulink

MATLAB 又名矩阵实验室，由 Mathwork 公司开发，是可以用于分析数据、开发算法、创建模型的科学软件。Simulink 位于 MATLAB 内，是一款可视化仿真工具，用于动态系统建模仿真的软件包，目前用于多个领域，其仿真效果优秀，在科学实验、工业开发中都有实际应用。对于对象的强非线性、多变量耦合性、时变特性以及被控对象和控制器的复杂性，在算法、容错处理以及控制逻辑多方面都有着较高和较复杂的要求的领域，Simulink 是首选^[19]。

4.1.2 Stateflow

Stateflow 是内嵌在 Simulink 中的一种工具，提供有限状态机和流程图的仿真环境，用状态转换图、真值表等，加上 C 语言或者 MATLAB 代码，完成对状态、算法的描述。Stateflow 可以在 Simulink Extra 模块库中找到^[20]。

4.1.3 其他工具箱

(1) Simulink DSP System Toolbox

数字信号处理工具箱提供模块化信号处理的工具，例如单速率和多速率滤波器、自适应滤波器和 FFT 等。与 Simulink 结合意味着频谱分析可以随着仿真实时进行^[21]。

(2) Simspace

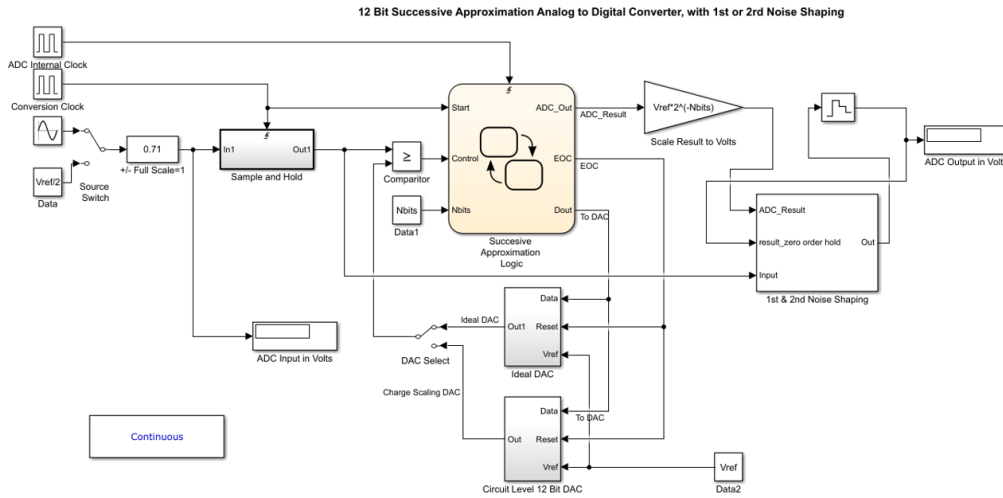
Simspace 提供了构造物理系统的数学模型，调用库内的电容、个性化电压源，可以避免复杂的数学计算转换，而考虑到现实的噪声等影响。

4.2 20MS/s, 12bit 噪声整形 SAR ADC 模型

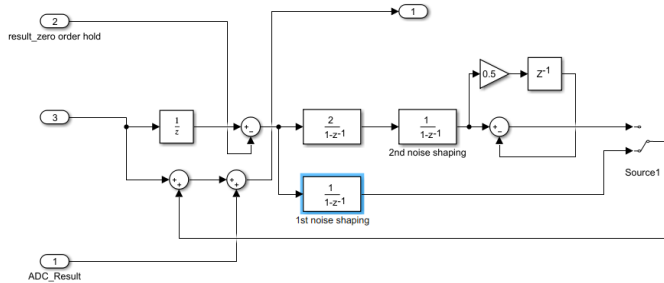
本文以 Simulink 为基础，利用现有的 12bit SAR ADC 模型^[22]，对输入输出回路进行改造，设计出如图 4.1 (a) (b) 所示的 12 bit SAR ADC with Noise Shaping 模型。由于是行为级仿真，该模型一共由外部时钟、采样-保持、SAR 逻辑、DAC、噪声整形回路、输出分析六个部分组成。通过该模型可以较好的分析噪声整形对 ADC 性能的提升。本节就除了输出频谱以外的部分进行原理介绍和分析。

此外 Simulink 模型的优点在于，在考虑 DAC 电容噪声的前提下，不必考虑实际 DAC 电容的电荷存储，易于分析噪声整形模型。而实际电路由于采用电荷重分配型 DAC，

必须要考虑如何将 DAC 内的残差电压导出、保持、延迟和积分，不像 Simulink 模型，仅仅将输入和输出连接相减，就可以获得残差电压，通过模块就可以进行残差的处理和反馈。



(a) 噪声整形 SAR ADC 行为级模型



(b) 噪声整形 SAR ADC 原理图，噪声整形部分
图 4.1 20MS/s, 12bit 噪声整形 SAR ADC 原理图

4.2.1 外部时钟

在 Simulink 内部采用两个时钟周期，一个是采样时钟（Conversion Clock），其频率 $F_s = 2 \times 10^7$ ，即采样率为 20MS/s。另一个为内部时钟（ADC Internal Clock），控制 SAR 逻辑及比较器，其频率为 $F_{ADC} = (Nbits + 2)F_s$ 。两个时钟均为上升沿时控制其他部件，Simulink 设置脉冲时间占全周期的 5%。

4.2.2 采样-保持

采样-保持电路实际应由一个 NMOS 电路控制,在 Simulink 内可以简化成一个模块。该采样-保持模块由采样时钟上升沿控制,且在模型中输出端未设计引入实际存在的白噪声。

4.2.3 SAR 逻辑

SAR 逻辑部分采用了二进制分类的算法,不便于使用 Simulink 基础单元编辑,于是我们在此使用 Stateflow 进行设计。上面图 4.1 (a) 显示了 Stateflow 模型的三个输入参数 (Start, Control, Nbits), 和三个输出参数(ADC_out, EOC, Dout)。图 4.2 为 SAR 逻辑电路所代表的代码,用 C 语言表示。

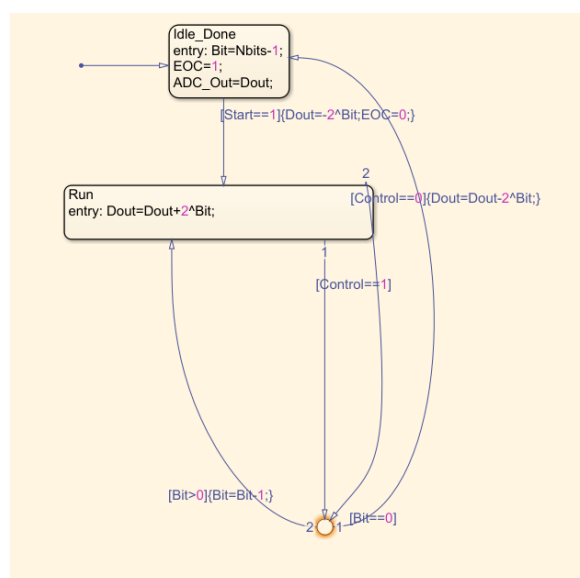


图 4.2 SAR 逻辑 Stateflow 表示

初次启动时, Stateflow 从左上角的点状态进入 Idle_Done 状态,设置 Bit、EOC、ADC_Out 初始值,接着由 Start 参数控制,清空 DAC 剩余输出电压。进入 Run 状态后,通过前端的比较器 Control 每次为 0 或者是 1,来控制 Dout 值,使 DAC 输出不同的电压,进而调节 DAC 输出,以达成逐次比较逼近的效果。

4.2.4 DAC 设计

(1) 理想 DAC 设计

理想 DAC 指未加入模拟噪声,将输入的二进制数码(模型中为相对应的十进制数码),转化为 0-1V 内的对应幅度,且该 DAC 对应的位数决定了普通 SAR ADC 的位数。

图 4.3 显示了理想 DAC 的控制电路，可以看出当输入 DAC 控制码 EOC 为 0 时，DAC 的输出也是 0。图 4.4 显示了 DAC 算法模块子系统（Cnvt to Bipolar Output）的内部逻辑。即将参考电压和十进制数码对应的小数想乘，得到了供比较器参考的输入电压。

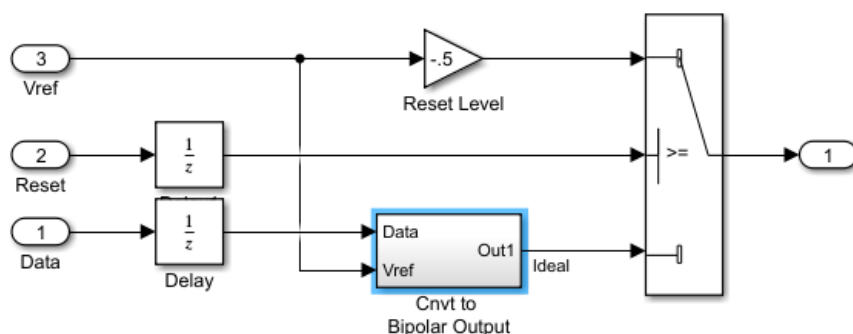


图 4.3 理想 DAC 控制电路

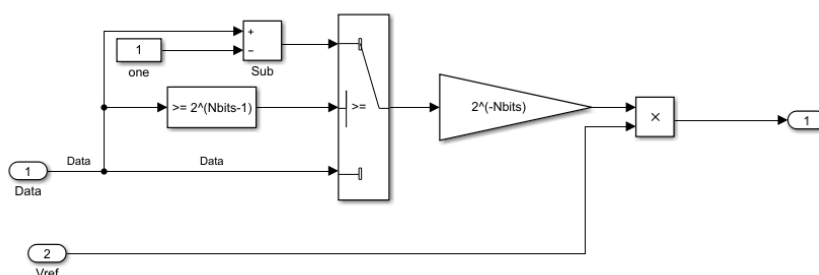


图 4.4 理想 DAC 算法实现

（2）电路级 DAC 设计

电路级 DAC 与理想 DAC 有一定的不同，这里参考加州大学伯克利分校对 12bit，4 端口输入阵列 DAC 的设计，即图 4.5。该模型最大的特点是引入了非理想的 RLC 电路，将 12 位的数字信号分为四个处理单元，电路级 DAC 的处理单元分布如图 4.6，图 4.7，图 4.8 所示。处理单元均用桥式电容（Cseries）串联，其电容大小为 $7C/8$ ，这种桥式电容架构有许多优点，包括减小的面积或部件数量，内置的采样和保持，低功耗以及相对较小的电容值范围。电压源也从恒定（一直输出）改为由时钟触发的电压源（高电平时输出），以此模拟了电容的充放电过程。比特流将 12 位的数字码分别输入到各个电容处理单元中，每个单元中，低位数的数字码串联到较小的电容中，进而输出一个小的模拟值。由此，电路级 DAC 与理想 DAC 比较，引入了桥式电容，对于 12 位的 DAC，该桥式电容设计为^[23]

$$C_{series} = \frac{\sum allLSBarrayC}{\sum allMSBarrayC} C = \frac{7}{8} C \quad (4.1)$$

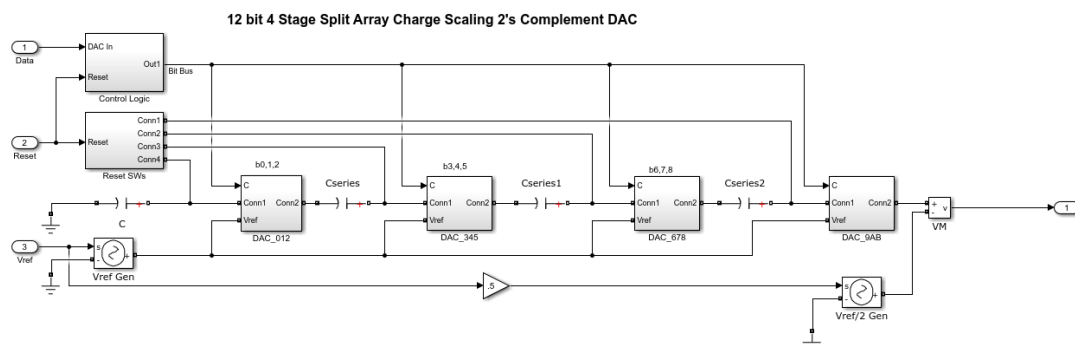


图 4.5 12bit, 4 端口输入阵列电路级 DAC 模型

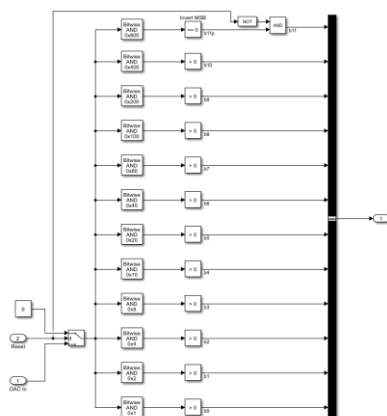


图 4.6 比特流控制部分

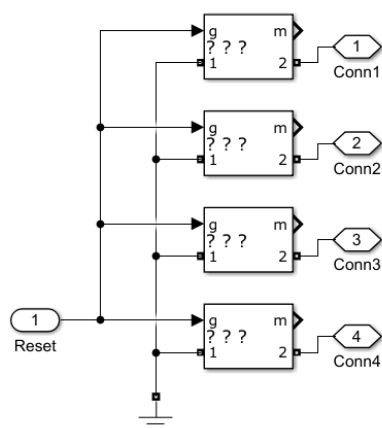


图 4.7 DAC 重置部分

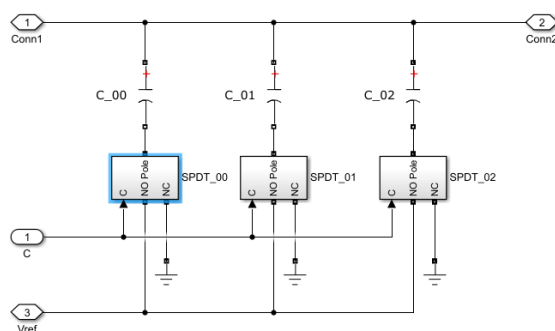


图 4.8 低三位 (b0-b2) 比特流处理部分

4.2.5 噪声整形回路

(1) 残差电压获取

本文第二章介绍了噪声整形回路的信号分析图,我们可知,想要进行噪声整形分析,最重要的是得到残差电压,即输入信号和输出信号之差。但由于 Simulink 模型输入和输出并不同步,时间差分为 DAC 延迟时间, SAR 逻辑反应时间等。因此需要将输入信号取延迟,再和输出信号作差,即得到了待处理的噪声的延迟信号的相反值,延迟时间为 $1/F_s=5\times 10^{-8}s$ 。图 4.9 (a)、(b) 分别显示了使用理想 DAC 和电路级 DAC 做反馈的普通 SAR DAC 残差电压图。12bitDAC 的 LSB 为 $4.88\times 10^{-5}V$,而二者的残差电压都超出了这个值,也从侧面验证了噪声整形是有必要的。

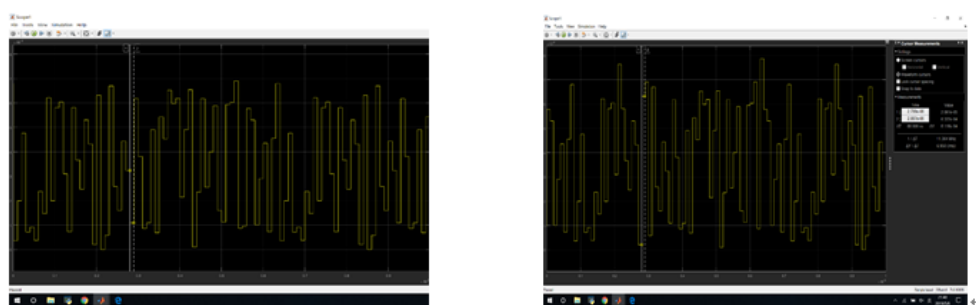


图 4.9 (a) 理想 DAC 残差电压 (b) 电路级 DAC 残差电压

(2) 噪声整形回路

本文在 Simulink 模型中加入了噪声整形,其信号处理图分别为理想一阶、二阶噪声整形。将延迟、积分的采样时间设为 $1/F_s=5\times 10^{-8}s$ 。图 4.10 显示了该噪声整形环节。

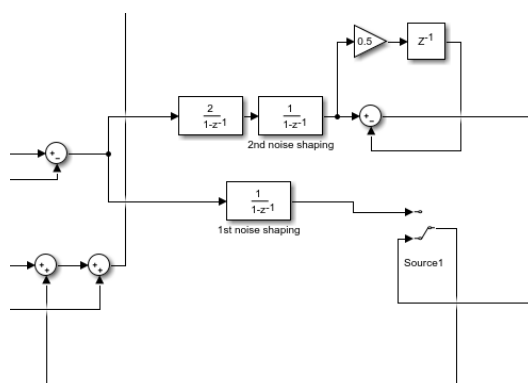


图 4.10 Simulink 噪声整形模块

4.3 ADC 频谱与指标分析

本文采用 Simulink DSP System Toolbox 中的频谱分析组件进行频谱分析。设计输入频率为 2.5MHz 的正弦波信号，经过上面提到的电路级 DAC 模块分别进行无噪声整形、一阶噪声整形、二阶噪声整形的频谱分析。过采样率为 4，采样频率 20MS/s，对输出信号采用 FFT 分析，采样点数为 14520，窗函数为 Hann，采用 Welch 算法，频谱结果如图 4.11，4.12，4.13 所示^{[24] [25] [26]}。

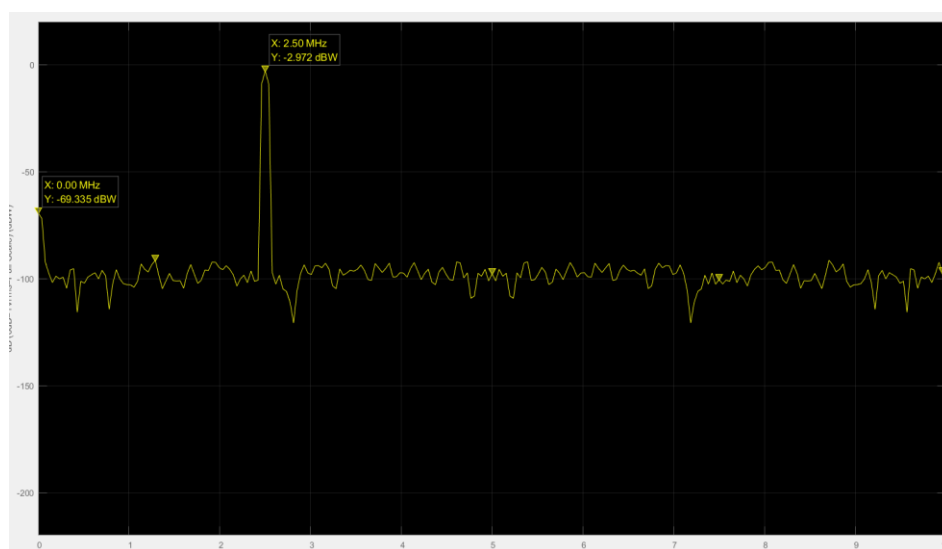


图 4.11 12bit SAR ADC 仿真

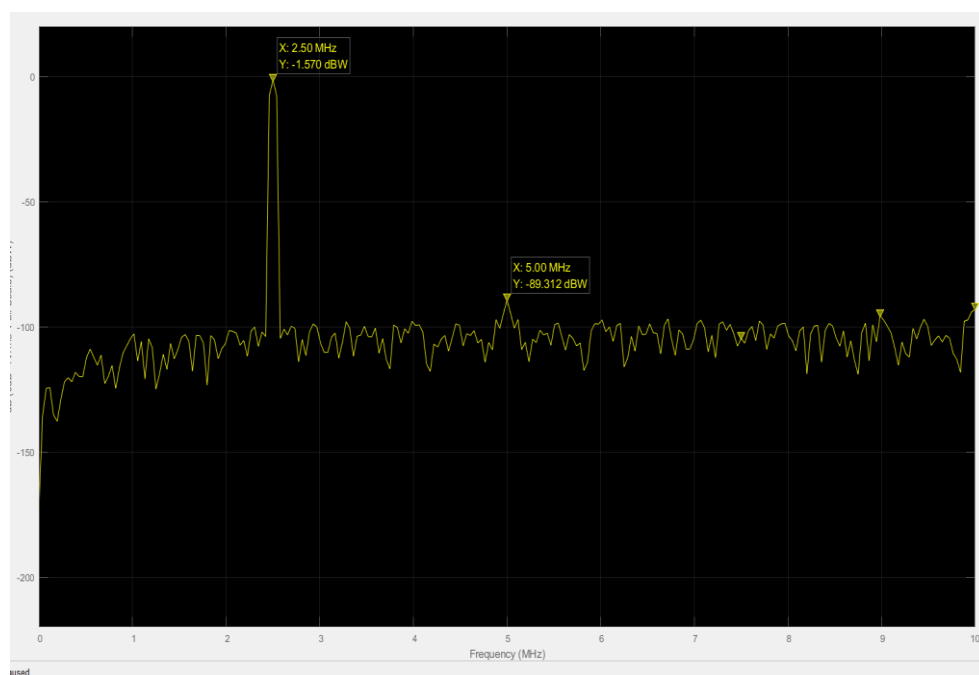


图 4.12 12bit 一阶噪声整形仿真

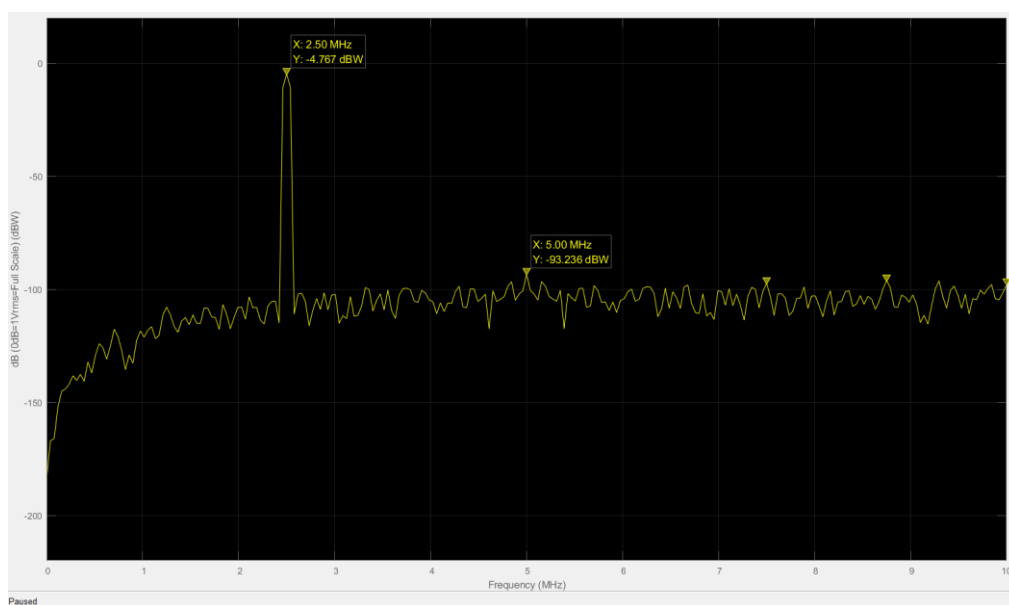


图 4.13 12bit 二阶噪声整形仿真

分析图形可以看出，二阶噪声整形相比于其它的两个波形，在低频部分如同噪声传递函数（NTF）设计一样出现下陷，在总噪声功率不变的情况下，说明噪声整形将低频推到高频得到了效果，表 4.1 列出了三种情形下的 ADC 性能差异。

表 4.1 无、一阶、二阶噪声整形 SAR ADC 性能

	无噪声整形	一阶噪声整形	二阶噪声整形
模拟信号输入电压	1V	1V	1V
THD	-90.59dB	-86.10dB	-86.06dB
SNR	71.85dB	79.22dB	76.93dB
SFDR	88.52dB	87.74dB	88.47dB
SNDR	71.80dB	78.41dB	76.43dB
ENOB	11.63	12.73	12.40

由于本文的 SAR ADC 在电路级 DAC 处引入了电容噪声（ kT/C ， T 取室温，25 摄氏度， C 为 0.1pF， k 为玻尔兹曼常数），因此无噪声整形情况下的 SAR ADC 分辨率略小于 12 位。对比得知，不论是一阶还是二阶噪声整形，有效位数相比较于无噪声整形的 SAR 都有近一位的提升，但是，频谱图出现较明显低通图像的二阶噪声整形模拟结果却低于了一阶噪声整形，这是不寻常的。经过文献调研可知，应与本文采用的噪声整形过采样率过低有关，二阶噪声整形的噪声传递函数相对来说更加陡峭，因此对较高频率的输入信号（2.5MHz）而言，噪声整形效果不够理想。二阶噪声整形的过采样率应至少达到 8-16 位。另外，虽然噪声基底被抑制了，但是谐波的影响却没有随噪声整形阶数的提升而变化。可以看出不论是一阶还是二阶噪声整形，谐波的影响都是要比非噪声整形要大的。

4.4 非理想二阶噪声整形设计

上节利用 Simulink 模型对一阶、二阶理想噪声传递函数进行了频谱分析，但实际上的噪声整形受到电路非理想因素（如有限增益比，无源积分器电容比）的影响，均需要加入非理想参数。本文设计出一种非理想二阶噪声整形流程设计图，并利用 Simulink 模型，对频谱和指标进行修改、设计。

4.4.1 信号流程图

图 4.14 显示了本文设计的非理想二阶噪声整形设计。采用级联的 FIR-IIR-IIR 模型，平衡输入带宽和噪声整形之间的关系。FIR 滤波器有两个常数 α_1 ， α_2 。IIR 受限于有限的电源增益比，两个 IIR 设为条件相同，拥有相同的寄生电容，所以品质因数均为 κ_A 。因此环路滤波器的函数为

$$H(z) = (\alpha_1 z^{-1} + \alpha_2 z^{-2}) \cdot \frac{\kappa_A^2}{(1 - \kappa_A z^{-1})^2} \quad (4.2)$$

$$NTF(z) = \frac{1}{1 + H(z)} = \frac{(1 - \kappa_A z^{-1})^2}{1 + (\alpha_1 \kappa_A^2 - 2\kappa_A)z^{-1} + \kappa_A^2(\alpha_2 + 1)z^{-2}} \quad (4.3)$$

取 $\alpha_1=0.5$, $\alpha_2=0$, $\kappa A=0.8$ 。故

$$NTF_{2nd_non_ideal}(z) = \frac{1}{1+H(z)} = \frac{(1-0.8z^{-1})^2}{1-1.28z^{-1}+0.64z^{-2}} \quad (4.4)$$

可以解得，分母的两个根分别为 $j0.48 \pm 0.64$ ，两个根的模为 0.8。对于右边序列，收敛域包含了 z 域内的单位圆，因此该噪声整形方程是稳定的。

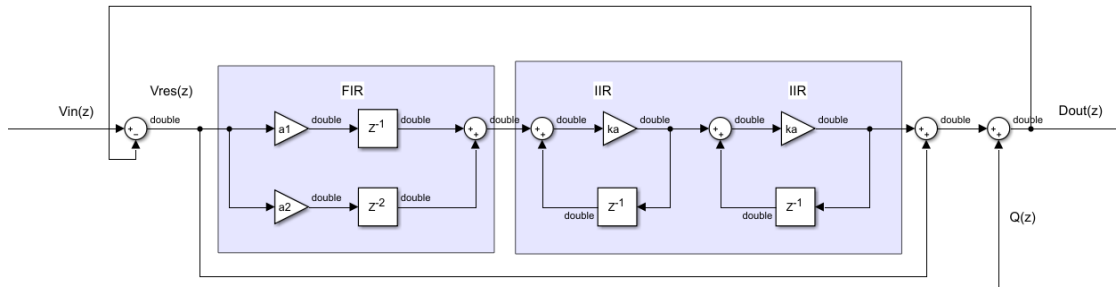


图 4.14 非理想条件二阶噪声整形回路

4.4.2 频谱与指标设计

利用本文设计的 Simulink 噪声整形 SAR ADC 进行频谱分析，采样率提升为 30MS/s，电路级 DAC 的采样电容单元为 0.07pF，额外串联电容可以看作是引入采样-保持电路电容噪声、噪声整形电路等噪声输入到电路中。过采样率为 8，输入频率为 1.27MHz。图 4.12 显示了非理想二阶的噪声整形频谱，非理想一阶噪声整形 NTF 设置为

$$NTF_{1st_non_ideal}(z) = \frac{1-0.64z^{-1}}{1-1.28z^{-1}+0.64z^{-2}} \quad (4.5)$$

表 4.15 列出了非理想二阶、非理想一阶和非噪声整形的性能对比。

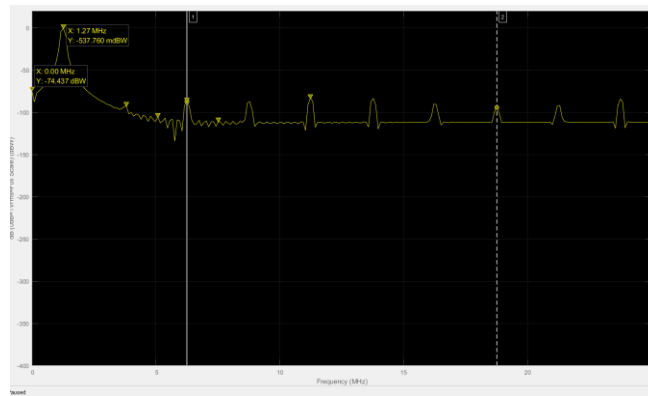


图 4.15 非理想条件二阶噪声整形频谱

表 4.2 无、一阶、二阶噪声整形 SAR ADC 性能

	无噪声整形	一阶非理想	二阶非理想
模拟信号输入电压	1V	1V	1V
THD	-79.37dB	-90.74dB	-85.54dB
SNR	65.79dB	68.71dB	76.51dB
SFDR	65.82dB	71.80dB	82.75B
SNDR	65.60dB	68.80dB	76.00dB
ENOB	10.60	11.14	12.33

由于这次仿真除了增加 DAC 电容噪声以外，还将采样-保持电路电容噪声、噪声整形函数电容噪声均加到了噪声基底，因此无噪声整形的 ADC 有效位数下降明显。一阶非理想噪声整形较无噪声整形 ADC，有效位数提升了 0.54 位，信噪比提升了 3.20dB。二阶非理想噪声整形较一阶噪声整形，有效位数提升了 1.16 位，信噪比提升了 7.20dB。

4.5 本章小结

第四章详细介绍了基于 Simulink 的噪声整形 SAR ADC 模型，分别介绍了 ADC 外部时钟、采样-保持模块、理想 DAC、电路级 DAC 和噪声整形函数。在 20MS/s、输入频率 2.5MHz 的情况下，一阶、二阶噪声整形相较于原 SAR ADC 提升约一位有效位数。此外，本章设计了 FIR-IIR-IIR 的非理想二阶噪声整形原理，在 30MS/s，输入频率 1.27MHz，且加入额外噪声的情况下，较原 SAR ADC，一阶非理想噪声整形 ENOB 提升 0.54 位，二阶非理想噪声整形 ENOB 提升 1.73 位。

结 论

本文基于 MATLAB 中的 Simulink 组块,设计了一款基于噪声整形技术的 SAR ADC 模块和电路混合模型。该 Simulink 模型可以自由调节 SAR ADC 的采样率,取值范围在 10kS/s-30MS/s,噪声整形模块可以设置为一阶或二阶,也可以设置 ADC 的理想分辨率,并且在 DAC 处可以选择引入一定的电容噪声作为非理想参数。进而达到科学工作者对于噪声整形 SAR ADC 的模拟需求。本文主要工作内容和后续工作展望如下所示。

主要工作内容:

(1) 系统化调研了模数转换器的分类,指标参数,主要分析了本文有意混合的两种 ADC 结构, Sigma-Delta ADC 和 SAR ADC,主要目的是将属于 SDM 的过采样和噪声整形应用到 SAR ADC 上。

(2) 分析了噪声整形技术的信号流程图和硬件实现方法。以简单噪声整形技术为基础,提出了理想条件下一、二、三阶噪声整形,和实际应用的有源积分器、无缘积分器的非理想因子。同时分析 ADC 各部分的热噪声、比较器失调、延迟对 ADC 性能的影响。

(3) 设计了基于 Simulink 的噪声整形 SAR ADC 模型,同时加入非理想因素对其进行分析,针对 12 位的 SAR ADC 模型,加入理想或实际的噪声传递函数,分析 ADC 性能提升。本文最后在采样率 30MS/s、包含了 DAC、采样-保持、噪声整形回路的电容热噪声条件下设计了基于有源积分器的二阶噪声整形,相较于原 SAR ADC, ENOB 提升了 1.73 位。

后续工作展望:

本文目前的主要工作是对噪声整形 SAR ADC 这个近期学术热点问题基础探究,并给出一个 Simulink 噪声整形模型,其自由设计度高,适用于科研人员进行频谱分析及模拟,但是由于毕业设计时间比较短暂,模型的集成度、可读性不高。下一步的工作期望为,将该 Simulink 模型继续完善,配合更加理想的频谱分析函数和教程,制作成库,为上传到网络。此外,未来的重点也要对 ADC 的关键电路进行探究和设计,包括采样-保持电路的优化, DAC 分段电容的结构等。计划利用 Cadence 软件,对基于有源积分器的二阶噪声整形 SAR ADC 系统电路进行仿真,以电路设计完成低功耗、高分辨率的设想。

参 考 文 献

- [1] 戚金清,王兢,王开宇,等. 数字电路与系统[M]. 北京:电子工业出版社, 2016.
- [2] 刘佳欣. 基于噪声整形的高能效模数转换器芯片关键技术研究[D]. 成都:电子科技大学, 2018.
- [3] Texas Instruments. 模数转换器概述 [EB/OL]. Texas Instruments, (2015, 4, 18) [2019, 5, 18]. <http://www.ti.com.cn/zh-cn/data-converters/adc-circuit/precision-adcs/overview.html>.
- [4] Wikipedia. Analog-to-digital converter. [EB/OL]. Wikipedia, (2018, 1, 7) [2019, 5, 27]. https://en.m.wikipedia.org/wiki/Analog-to-digital_converter.
- [5] W. Kester. Which ADC Architecture Is Right for Your Application[J]. Analog Dialogue, 2005, (39):6-9.
- [6] B. Murmann. ADC Performance Survey 1997-2018[EB/OL]. Stanford University. (2018, 4, 29) [2019, 5, 23]. <http://web.stanford.edu/murmann/adcsurvey.html>.
- [7] F. Kuttner. 1.2v 10b 20msample/s non-binary successive approximation adc in 0.13um cmos[C]. San Francisco:IEEE Solid-State Circuits, 2002.
- [8] 李哲. 基于噪声整形的逐次逼近模数转换器设计[D]. 上海:上海交通大学微电子学院, 2013.
- [9] H. Garvik, C. Wulff, T. Ytterdal. An 11.0 bit ENOB, 9.8 fJ/conv.-step Noise-Shaping SAR ADC Calibrated by Least Squares Estimation[C]. Austin:IEEE International Symposium on Circuits and Systems, 2017.
- [10] Chen M, Brodersen R. A 6-bit 600-ms/s 5.3mw asynchronous adc in 0.13-um cmos[J]. IEEE Journal of Solid-State Circuits, 2006, 41(12):2669-2680.
- [11] 杨家琪. 逐次逼近型模数转换器及其噪声整形混合结构的研究与实现[D]. 合肥:中国科学技术大学, 2018.
- [12] J. Fredenburg, M. Flynn. A 90-MS/s 11-MHz-Bandwidth 62-dB SNDR Noise-Shaping SAR ADC[J]. IEEE Journal of Solid-State Circuits, 2012, 47(12):2898-2904.
- [13] C-C Liu, M-C Huang. A 0.46mW 5MHz BW 79.7dB SNDR Noise Shaping SAR ADC with Dynamic Amplifier Based FIR-IIR Filter[J]. IEEE Solid-State Circuits, 2017, 1(28):466-468.
- [14] J. Liu, C. Hsu, X. Tang, et al. error-Feedback Mismatch Error Shaping for High Resolution Data Converters[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(4):1342-1354.
- [15] 郝乐. 基于低电压高精度 12bit SAR ADC 设计[D]. 北京:北京交通大学电子信息工程学院, 2008.
- [16] 李晓潮, 邢建力, 林海军. 混合信号模数转换器 CMOS 集成电路设计[M]. 北京:清华大学出版社, 2015.

- [17] W. Guo, H. Zhuang, N. Sun. A 13b-ENOB 173 dB FoM 2nd-order NS SAR ADC with passive integrators[C]. Kyoto: Symposium on VLSI Circuits, 2017.
- [18] 李福乐. 集成电路设计方法, SAR ADC[EB/OL]. 北京:清华大学微电子所, (2013, 2, 20) [2019, 5, 1]. <http://bbs.eetop.cn/thread-396169-1-1.html>.
- [19] Mathworks. 用于系统建模和仿真的 Simulink[EB/OL]. US: Mathworks. Inc, (2006, 1, 1) [2019, 5, 27]. <https://ww2.mathworks.cn/solutions/system-design-simulation.html>.
- [20] Mathworks. Represent Operating Modes by Using States[EB/OL]. US: Mathworks. Inc, (2014, 1, 29) [2019, 5, 18]. <https://ww2.mathworks.cn/help/stateflow/ug/working-with-states-in-charts.html>.
- [21] Mathworks. Digital Signal Processing (DSP) [EB/OL]. US: Mathworks. Inc, (2005, 1, 1) [2019, 4, 14]. https://ww2.mathworks.cn/solutions/dsp.html?s_tid=srchtitle.
- [22] Mathworks. High Speed ADC Models[EB/OL]. US: Mathworks. Inc, (2011, 4, 10) [2019, 5, 20]. <https://ww2.mathworks.cn/matlabcentral/fileexchange/35769-high-speed-adc-models>.
- [23] H. Khorramabadi. EE 247, Lecture 15[EB/OL]. Berkeley: University of California, Department of Electrical Engineering and Computer Sciences, (2014, 5, 30) [2019, 5, 15]. http://inst.eecs.berkeley.edu/~ee247/fa06/lectures/L15_f06.pdf.
- [24] S. Mitra, 孙洪, 余翔宇. 数字信号处理实验指导书[M]. 北京:电子工业出版社, 2005.
- [25] 蒋佳君. 基于两步式结构的 12bit 高速低功耗逐次逼近型 ADC 研究[D]. 成都:电子科技大学, 2016.
- [26] 董阳, 彭晓宏, 吴艳伟. 基于 MATLAB 的 Sigma-Delta ADC 中数字滤波器设计[J]. 电子设计工程, 2015, 23(10):175-178.

修改记录

第一次修改记录:

将文章类型从毕业设计改为毕业论文。

第二次修改记录:

英文摘要关键词, **修改前:** sigma-delta ADC

修改后: Sigma-Delta ADC

第 39 页图 4.1 图名, **修改前:** 图 4.1 20MS/s, 12bit 噪声整形 SAR ADC 原理图

修改后: 图 4.1 20MS/s, 12bit 噪声整形 SAR ADC 原理图, (a) 噪声整形 SAR ADC 行为级模型, (b) 噪声整形 SAR ADC 原理图, 噪声整形部分

第三次修改记录:

第 48 页 4.5, **修改前:** 二阶非理想噪声整形 ENOB 提升 1.70 位

修改后: 二阶非理想噪声整形 ENOB 提升 1.73 位

记录人(签字):

指导教师(签字):

致 谢

四年时间犹如白驹过隙，我即将迈出大学，走向人生的下一个阶段。回顾这段时光，家人对我思想价值观的教育，各位老师在学习和生活悉心指导，同学们的日常相处和互相帮助，让我体会到了家一般的温暖。有了你们的帮助，才构成了我丰富多彩的大学生活。我想对所有帮助过我的人，在我生活中出现过的人，道一声真挚的感谢。

对于毕业设计，首先我想感谢我的导师常玉春教授，半年前我在众多课题中选择了常老师的题目。当时我对毕业设计所涉及的专业知识不甚了解，在开始时常老师便悉心引导我入门，在学习上为我提供平台，督促我完成每一步工作。在我迷茫时常老师为我提供一些他的见解，为我解答疑惑。感谢常老师在万分忙碌的情况下，对我的毕设内容付诸心血。感谢马艳华副教授，对我的毕业答辩幻灯片设计提出了宝贵的意见。

同时我还要感谢教研室的吴妍岩师姐，吴妍岩师姐不仅在 ADC 方向有着深厚的知识储备，还有丰富的电路设计背景，她为我的知识盲点提供了非常必要的帮助。

接着要感谢我所有的同学们、好友们，我们不仅在大学四年一起学习、一起活动，也在毕业设计的半年内相互支持，共同分析问题。大学生活不仅学习知识，更是释放青春、收获友谊的过程。感谢我的辅导员老师纪丹红，纪老师关心我们的学习、生活，更是学生成长的见证人。

最后，我想感谢我的母校，在这里我见证了花开花落，我尽情挥洒汗水，收获挫折或进步。四年时光我走遍了校园的每一个角落，领略学校的变迁。即使毕业了也要常回家看看。