

Rechnerarchitektur – Praktische Übungen

Übung 1: Einführung und Systemaufbau

Aufgabe 1.3 – Komponenten eines PC-Systems:

Grafikkarte:	Asus Nvidia GTX550Ti (GF116-Chip in 40nm Herstellung) mit 1 GB GDDR5 VRAM
Mainboard:	Supermicro X9DRi-F Dual-Sockel (Intel C606 Chipsatz)
Prozessor:	2x Intel Xeon E5-2620 @ 2 GHz (6-Kerne mit Hyperthreading im 32nm Prozess, keine iGPU, C2-Stepping, L1 6x 32KB, L2 6x 256KB, L3 15360KB, 95 W TDP)
RAM:	32 GB Samsung DDR3-1333 ECC
HDD:	2x Seagate Barracuda je 2 TB über SATA II
SSD:	Corsair Force 120 GB über SATA III
Netzteil:	Corsair HX650W
DVD:	LG DVD-RW Brenner

Aufgabe 1.4 – ORSoC Plattform:

FPGA:	Altera Cyclone IV E (< 1,5 Watt) 22320 Logical Units 594 kb Embedded Memory 66 18x18 Multiplikatoren @ 50 MHz
Speicheradapter:	bis zu 16GB microSDHC (4 Bit Bus 33 MHz)
Schnittstellen:	2x microUSB (1x microA, 1x microB) → FTDI-Controller Ethernet (RJ-45) 10/100 UART/JTAG, Expansion Header (GPIO)
Speicher:	32 MB SDRAM 133 MHz 16 bit Bus SPI Flash 1MB 100 MHz
Spannungswandler:	Enpirion EP5382 800 mA

Übung 2: Architektur und Leistungsbewertung

Aufgabe 1.4 – Untersuchung des Wishbone-Bus:

Frage 1:

Es handelt sich um eine Harvard Architektur. Data- (DMMU) und Instruction- (IMMU) Memory werden durch die beiden separat angesprochenen Wishbone-Busse angesprochen. Die führt zu einer physischen und logischen Trennung des Daten- und Befehlsspeichers gemäß der Harvard-Architektur.

Klassifizierung der Wishbone Signale:

Datenbus:

wb_dat_i

wb_dat_o

wb_we_o (write or read tag)

Adressbus:

wb_adr_o

wb_cti_o (Tendenz eher zum Steuerbus)

Steuerbus:

wb_cyc_o

wb_err_i

wb_rst_i

wb_rty_i

wb_stb_o

wb_sel_o (The select output array [SEL_O()] indicates where valid data is expected on the [DAT_I()] signal array during READ cycles, and where it is placed on the [DAT_O()] signal array during WRITE cycles)

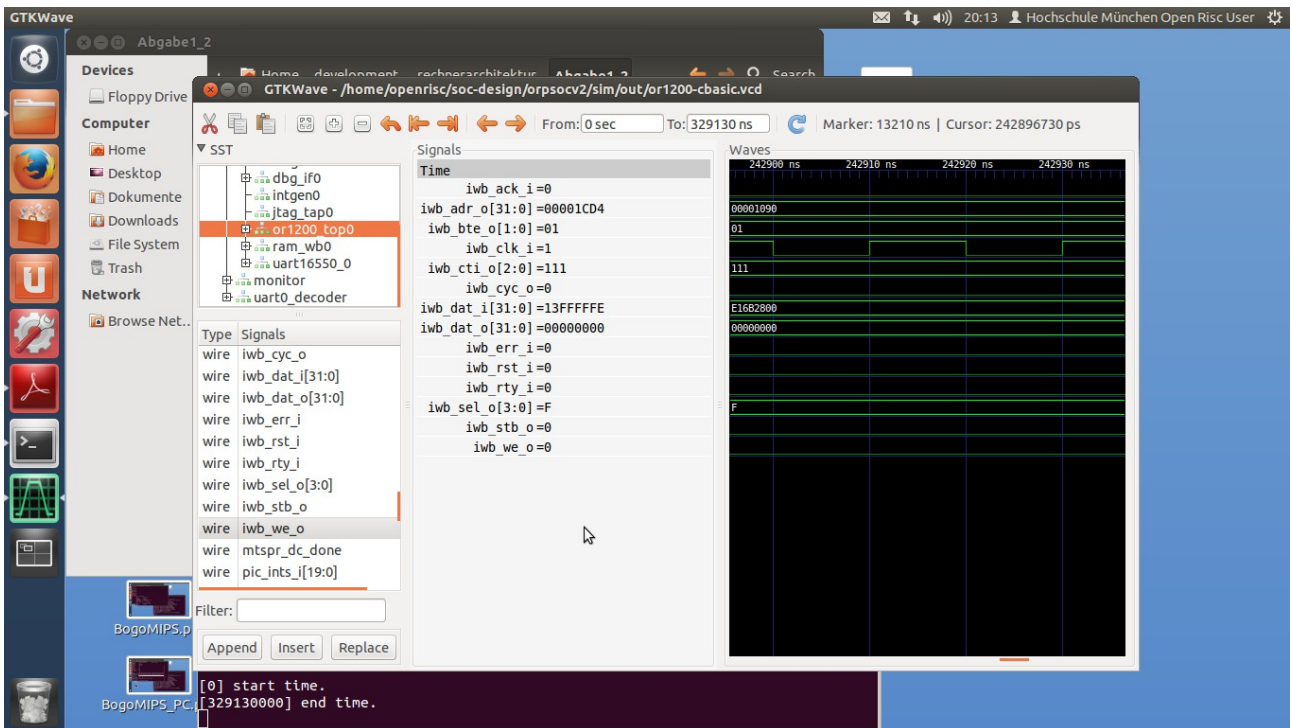
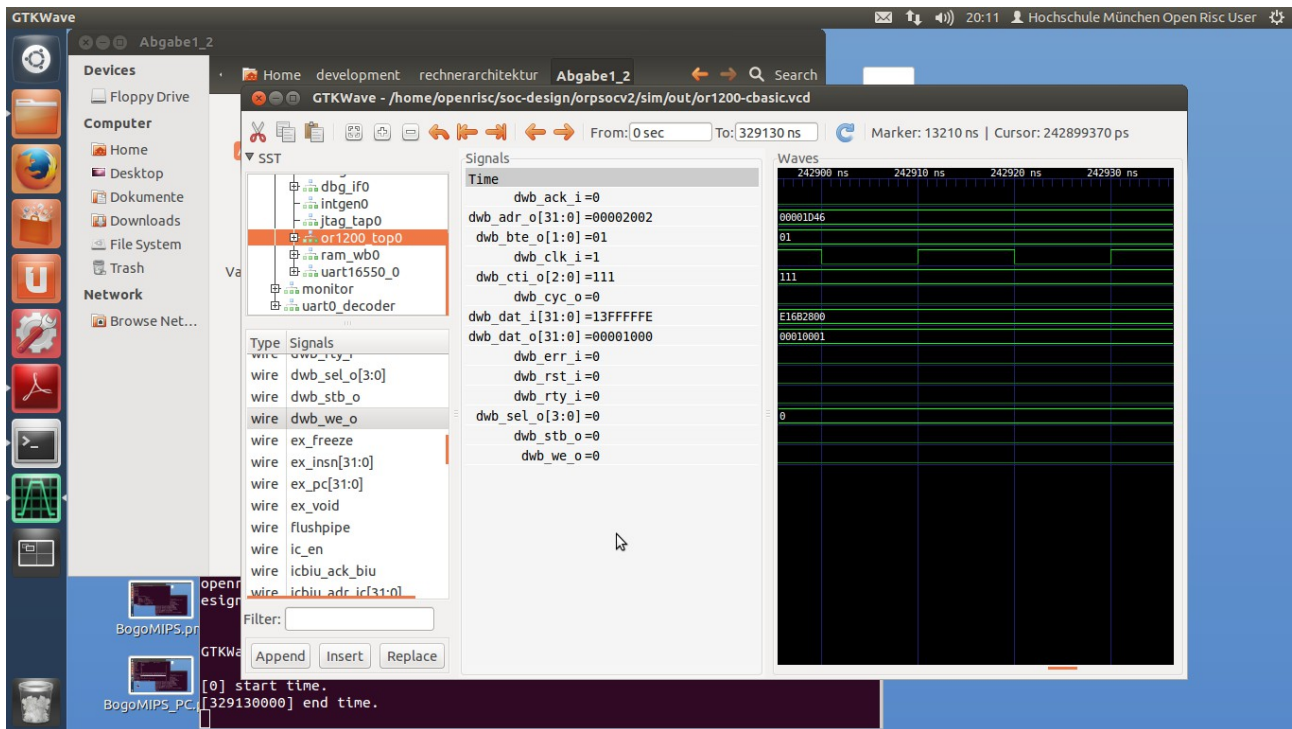
Breite von Adress- und Datenbus:

Der Adressbus ist 32 bit breit. Der Datenbus ist jeweils für input und output 32 bit breit.

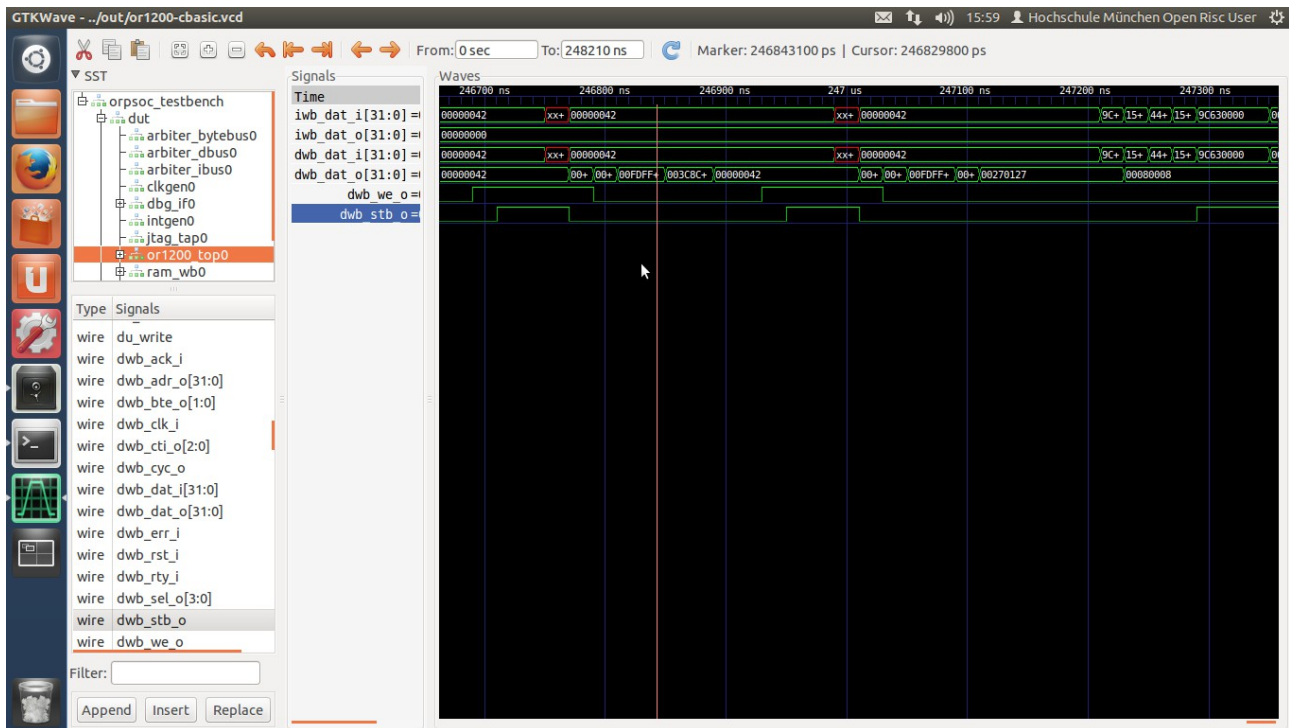
Taktfrequenz:

10 ns pro Takt: $(1/10\text{ns}) \cdot 1000 = 100 \text{ MHz}$

Screenshots Wishbone:



Screenshot C-Programm:



Übung 3: Leistungsmessung und Befehlssätze

Screenshot BogoMIPS:

