

引言

DP83848C 是美国国家半导体公司生产的一款鲁棒性好、功能全、功耗低的 10 / 100 Mbps 单路物理层(PHY)器件。它支持 MII(介质无关接口)和 RMII(精简的介质无关接口), 使设计更简单灵活; 同时, 支持 10BASE~T 和 100BASE-TX 以太网外设, 对其他标准以太网解决方案有良好的兼容性和通用性。

MII(Medium Independent InterFace)是 **IEEE802. 3u** 规定的一种介质无关接口，主要作用是连接介质访问控制层(MAC)子层与物理层(PH-Y)之间的标准以太网接口，负责 **MAC** 和 **PHY** 之间的通信。由于 **MII** 需要多达 **16** 根信号线，由此产生的 **I / O** 口需求及功耗较大，有必要对 **MII** 引脚数进行简化，因此提出了 **RMII(Reduced Medium Independent Interface**，精简的介质无关接口)，即简化了的 **MII**。

1 硬件设计

1. 1 电路设计

DP83848C 的收发线路各是一对差分线，经过变比为 1:1 的以太网变压器后与网线相连。以太网变压器的主要作用是阻抗匹配、信号整形、网络隔离，以及滤除网络和设备双方面的噪音。典型应用如图 1 所示。

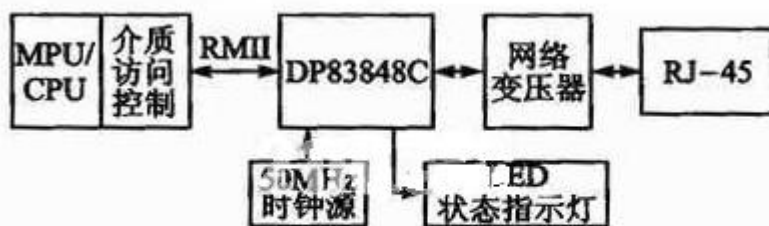


图 1 DP83848C 典型应用

图 2 是 DP83848C 与 MAC 的连接电路。其中, XI 为 50 MHz 的有源振荡器。

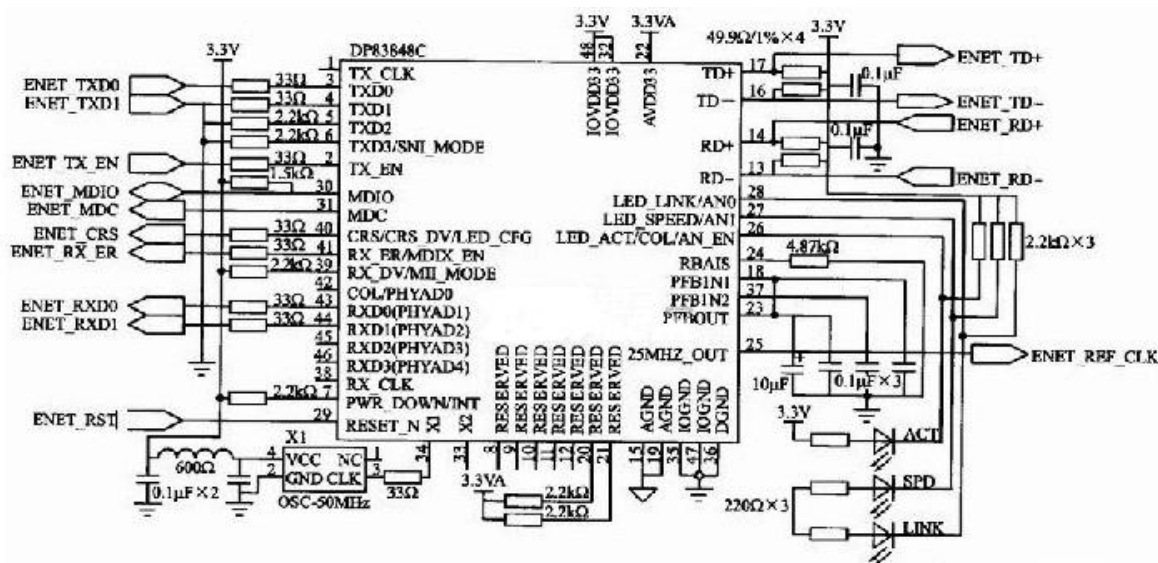


图 2 DP83848C 与 MAC 的连接电路

1. 2 PCB 布局布线

布局方面，精度为 1% 的 $49.9\ \Omega$ 电阻和 100 nF 的去耦电容应靠近 PHY 器件放置，并通过最短的路径到电源。如图 3 所示，两对差分信号(TD 和 RD)应平行走线，避免短截，且尽量保证长度匹配，这样可以避免共模噪声和 EMI 辐射。理想情况下，信号线上不应有交叉或者通孔，通孔会造成阻抗的非连续性，所以应将其数目降到最低；同时，差分线应尽可能走在一面，且不应将信号线跨越分割的平面，如图 4 所示。信号跨越一个分割的平面会造成无法预测的回路电流，极可能导致信号质量恶化并产生 EMI 问题。注意，图 3 和图 4 中，阴影部分为错误方法。

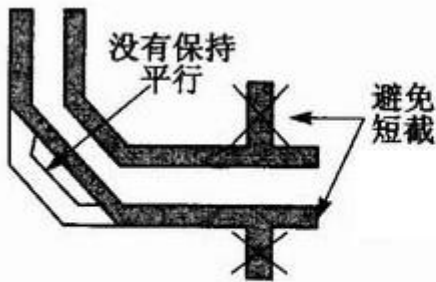


图 3 差分信号对和短截



图 4 差分信号对层间跨越

2 RMII 模式描述

RMII 模式在保持物理层器件现有特性的前提下减少了 PHY 的连接引脚。

RMII 由参考时钟 REF_CLK、发送使能 TX_EN、发送数据 TXD[1: 0]、接收数据 RXD[1: 0]、载波侦听 / 接收数据有效 CRS_DV 和接收错误 RX_ER(可选信号)组成。在此基础上，DP83848C 还增加了 RX_DV 接收数据有效信号。

2. 1 REF_CLK——参考时钟

REF_CLK 是一个连续时钟，可以为 CRS_DV、RXD[1: 0]、TX_EN、TXD[1: 0]、RX_DV 和 RX_ER 提供时序参考。REF_CLK 由 MAC 层或外部时钟源提供。REF_CLK 频率应为 $50\text{ MHz} \pm 50 \times 10^{-6}$ ，占空比介于 35% 和 65% 之间。在 RMII 模式下，数据以 50 MHz 的时钟频率一次传送 2 位。因此，RMII 模式需要一个 50 MHz 有源振荡器(而不是晶振)连接到器件的 X1 脚。

2. 2 TX_EN——发送使能

TX_EN 表示 MAC 层正在将要传输的双位数据放到 TXD[1: 0]上。TX_EN 应被前导符的首个半字节同步确认，且在所有待传双位信号载入过程中都保持确认。跟随一帧数据的末 2 位之后的首个 REF_CLK 上升沿之前，MAC 需对 TX_EN 取反。TX_EN 的变化相对于 REF_CLK 是同步的。

2. 3 TXD[1: 0]——发送数据

TXD[1: 0]的变换相对于 REF_CLK 是同步的。TX_EN 有效后，PHY 以 TXD[1: 0]作为发送端。

在 10 Mbps 模式下，由于 REF_CLK 的频率是在 10Mbps 模式中数据速率的 10 倍。因此 TXD[1: 0]上的值必须在 10 个脉冲期间保持稳定，确保 DP83848C 能够每隔 10 个周期进行采样。发送时序如图 5 所示，发送延时情况如表 I 所列。其中，PMD 为物理介质关联层 (physical media dependent)接口。

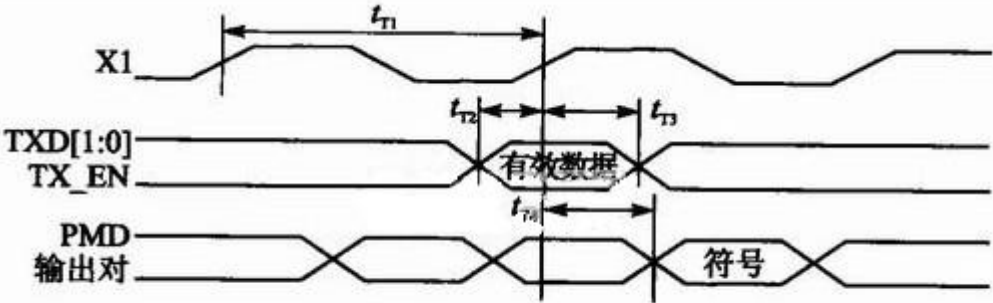


图 5 RMII 发送时序

2. 4 RXD[1: 0]——接收数据

RXD[1: 0]转换是与 REF_CLK 同步的。在 CRS_DV 有效后的每个时钟周期里，RXD[1: 0]接收 DP83848C 的两位恢复数据。在某些情况下(如数据恢复前或发生错误)，则接收到的是 RXD[1: 0]的预确定值而不是恢复数据。CRS_DV 解除确认后，RXD[1: 0]为“00”，表示进入空闲状态。CRS_DV 确认后，在产生正确的接收解码之前，DP83848C 将保证 RXD[1: 0]=“00”。

DP83848C 提供的恢复数据总是半字节或成对双位信号的形式，这对于由前导符开始的所有数据值都成立。因为 CRS_DV 是异步确认的，不能假设先于前导符的“00”数据会是双位信号形式。

100 Mbps 模式下，在 CRS_DV 确认之后的正常接收过程中，RXD[1: 0]将会保持“00”，直到接收器检测到正确的起始串分界符 (STart St-ream Delimiter, SSD)。一旦检测到 SSD，DP83848C 将会驱动前导符(“01”)，后面紧跟着起始帧分界符(Start of Frame. Delimiter, SFD)(“01”^“01”^“01”^“11”)。MAC 应该开始 SFD 之后的数据。如果检测到接收错误，在载波活动结束前，RXD[1: 0]将会替换为接收字符串“01”。而由于帧中剩余数据被替换，MAC 的奇偶校验将会拒绝错误的信息包。如果检测到错误的载波(坏的 SSD)，RXD[1: 0]将会替换为“10”，直到接收事件结束。这种情况下，RXD[1: 0]将会从“00”变为“10”，而无需标明前导符 (“01”)。

10 Mbps 模式下，CRS_DV 确认后，RXD[1: 0]将会一直保持“00”，直到 DP83848C 有恢复脉冲并能对接收数据进行解码为止。当存在有效接收数据时，RXD[1: 0]以“01”为前导符接收恢复的数据值。因为 REF_CLK 频率是 10 Mbps 模式下数据速率的 10 倍，MAC 对 RXD[1: 0]上的值每隔 10 个周期采样一次。接收时序如图 6 所示，接收延时情况如表 2 所列。

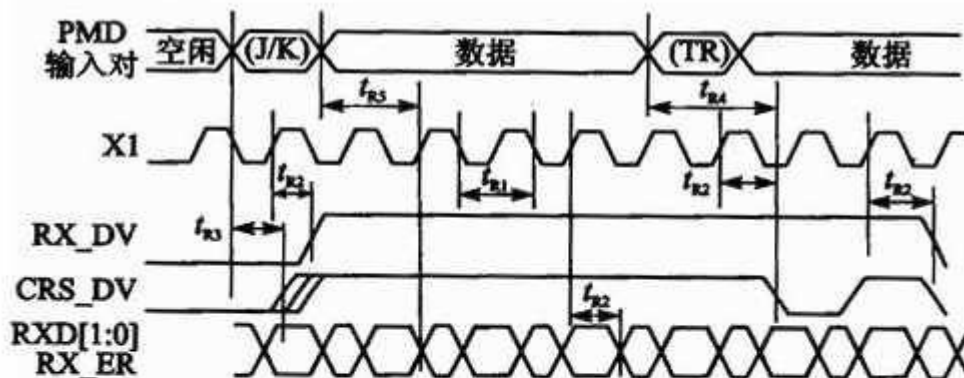


图 6 RMII 接收时序

表 2 数据接收时的延时情况

参数	描述	备注	最小值 /ns	典型值 /ns	最大值 /ns
t_{R1}	X1 时钟周期	50MHz 的参考时钟	—	20	—
t_{R2}	RXD[1:0]、CRS_DV、RX_DV 和 RX_ER 输出滞后于 X1 上升沿时的长度	—	2	—	14
t_{R3}	CRS 开延迟	从 PMD 接收对的 JK 符号到 CRS_DV 的初始确认	—	18.5	—
t_{R4}	CRS 关延迟	从 PMD 接收对的 TR 符号到 CRS_DV 的初始解除确认	—	27	—
t_{R5}	RXD[1:0]和 RX_ER 的滞后时间	从接收对上的符号开始	—	38	—

2. 5 RX_DV——接收数据有效

尽管 RMII 并不要求，DP83848C 还是提供了一个 RX_DV 信号。RX-DV 是没有结合 CRS 的接收数据有效信号(Receive Data Valid)。第一个正确的恢复数据(前导符)或伪载波检测到来时，RX_DV 被确认，在恢复数据的末两位传送之后解除确认。通过使用该信号，全双工 MAC 不必再从 CRS_DV 信号中恢复 RX_DV 信号。

2. 6 CRS_DV——载波侦听 / 接收数据有效

当接收介质处于非空闲状态时，由 PHY 来确认 CRS_DV。在载波检测中，CRS_DV 依据与工作模式相关的标准异步确认。10BASE-T 模式下，静噪通过时发生该事件。在 100BASE-TX 模式，当 10 位中检测到 2 个非相邻的零值时，发生该事件。

在 RMII 规范(1.2 版)中提到，载波丢失将导致与 REF_CLK 周期同步的 CRS_DV 解除确认，这在 RXD[1:0]半字节的首两位出现(即 CRS_DV 仅在半字节边界解除确认)。在 CRS_DV 首次解除确认后，如果 DP83848C 还有数据位要加在 RXD[1:0]上，则在 REF_CLK 周期中，DP83848C 应在每半个字节的第 2 个双位上确认 CRS_DV，并在一个半字节的第 1 个双位解除确认。这样，从半字节边界开始，到 CRS(载波侦听 / 接收信号)在 RX_DV 前结束时，CRS_DV 以 25 MHz(100 Mbps 模式)或 2.5 MHz(10 Mbps 模式)的频率翻转(假设当载波事件结束时 DP83848C 还有待传送的数据位)。

通过编程 DP83848C 能够与 RMII 规范(1.0 版)很好地兼容。在该模式下，CRS_DV 将会异步地与 CRS 进行确认，但是要等传送完最后的数据时才会解除确认，CRS_DV 在数据包的末端不会被翻转。该模式虽然不能对来自 CRS_DV 的 CRS 信号进行精确的恢复，但是却可以使 MAC 层的设计更简单。

在出错的载波活动时间中，CRS_DV 保持确认。一旦确认 CRS_DV，则可以认为在 RXD[1:0]上的数据是有效的。然而，由于 CRS_DV 的确认相对于 REF_CLK 是异步的，因而在正确解码接收信号之前，RXD[1:0]上的数据应为“00”。

2.7 RX_ER——接收错误

遵照 IEEE802.3 标准的规定，DP83848C 提供一个 RX_ER 输出端。RX_ER 可以维持一个或更多的 REFCLK 周期，来标识一个在当前 PHY 到帧的传输过程中曾出现的错误(MAC 子层不一定能检测到，但 PHY 可以检测到的编码错误或其他错误)。RX_ER 的变化相对于 REF_CLK 是同步的。

由于 DP83848C 是通过以固定数据代替原来数据的方式干扰到 RXD[1:0]，所以 MAC 不需要 RX_ER，而只需 CRC 校验(即奇偶校验)就可以检测到错误。

2.8 冲突检测

RMII 不向 MAC 提供冲突标志。对于半双工操作，MAC 必须从 CRS_DV 和 TX_EN 信号中产生它自己的冲突检测。为了实现这一点 MAC 必须从 CRS-DV 信号中恢复 CRS 信号，并与 TX_EN 进行逻辑与。注意，不能直接使用 CRS_DV，因为 CRS_DV 可能在帧的末端触发以标志 CRS 解除确认。

3 RMII 模式配置

DP83848C 的 RMII 模式配置包括硬件和软件两个方面。

3.1 硬件配置

如图 2 所示，DP83848C 的 X1(34)脚上提供 50 MHz CMOS 电平的振荡信号。在上电和复位时，强制 DP83848

C 进入 RMII 模式。方法是通过在 RX_DV / MII_MODE(39 脚)接入一个上拉电阻。

```

(MAC_BASE_ADDR + 0x100))
#define PHY_REG_RBR 0x17
    /* RMII 和 Bypass 寄存器 */
#define CR_RMII 0x00000200
    /* RMII 接口 */
#define CR_PASS_RUNT_FRM 0x00000040
    /* 滤除矮化波帧 */
.....
MAC_COMMAND = CR_RMII | CR_PASS_RUNT_FRM;

```

3. 2 软件配置

PHY 的软件初始化流程如图 7 所示。

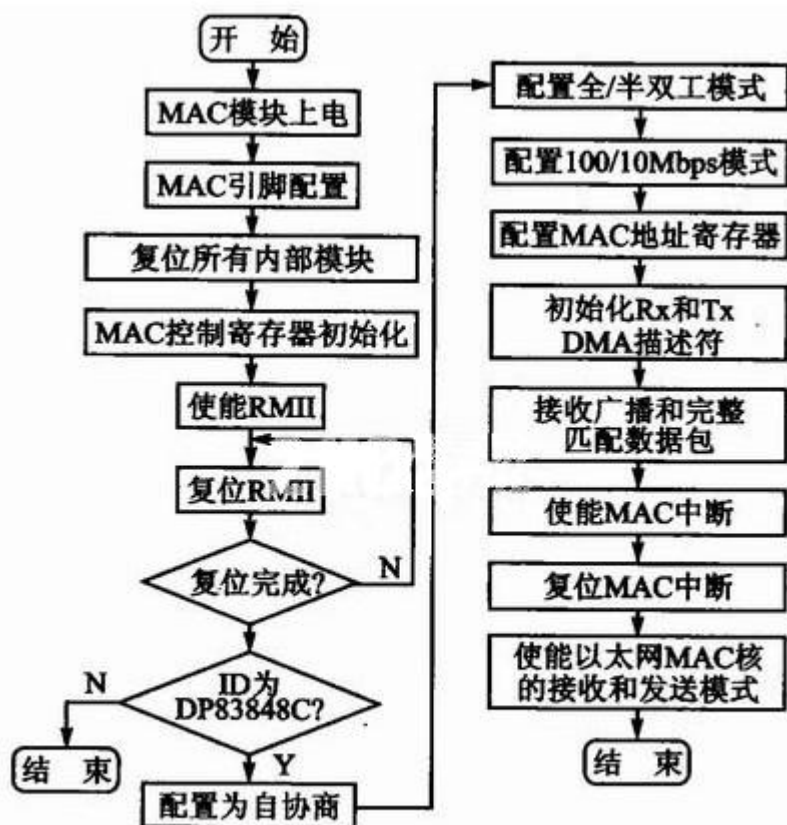


图 7 PHY 软件初始化流程

结语

DP83848C 配合 RMII 标准接口提供了一种连接方案，可以减少 MAC 至 PHY 接口所需要的引脚数目。该方案使得设计工程师在保持 IEEE802. 3 规范中所有特性的同时，降低系

统设计成本。正因为如此，**DP83848C** 能够更好地适应工业控制和工厂自动化，以及通用嵌入式系统等应用场合。