

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний аерокосмічний університет ім. М.Є. Жуковського
“Харківський авіаційний інститут”

Кафедра комп’ютерних систем, мереж і кібербезпеки

Лабораторна робота №1

**ОБЩЕЕ ЗНАКОМСТВО С ЯЗЫКОМ ОПИСАНИЯ
АППАРАТУРЫ VHDL. РАЗРАБОТКА ПРОСТЫХ
ПРОЕКТНЫХ РЕШЕНИЙ ЦИФРОВЫХ УСТРОЙСТВ
С ПОМОЩЬЮ ЯЗЫКА ОПИСАНИЯ АППАРАТУРЫ
VHDL**

XAI.503.525A.20B. 123, 1805038

Виконав студент гр. 525a
(№ групи)

Мартиненко Антон Олександрович
(П.І.Б.)

12.02.2020
(підпис, дата)

Перевірів викладач
(науковий ступінь, вчене звання, посада)

12.02.2020
(підпис, дата)

Перепелицин А.Є.
(П.І.Б.)

Цель работы – научиться создавать простые проектные решения с помощью языка описания аппаратуры VHDL в среде проектирования Quartus II Web Edition, проводить их отладку в среде ModelSim-Altera. Ознакомиться с общей структурой VHDL описания цифровых устройств. Понятие RTL-уровень представления цифровых проектов. Рассмотреть основные типы данных языка VHDL, архитектурное тело проекта и его декларативную часть.

Задание

В среде проектирования Quartus II Web Edition создать на языке VHDL описание устройства в соответствии с индивидуальным заданием. Отладить разработанное проектное решение в среде ModelSim-Altera. Создать условно-графическое изображение полученного текстового описания (BSF).

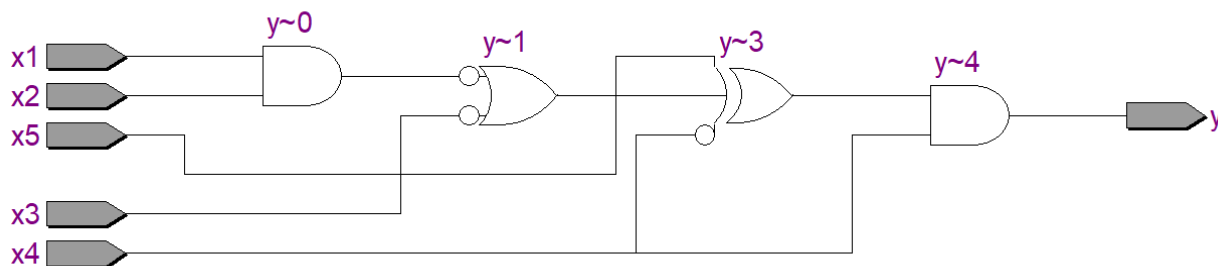
$$Y = X4 \& ((!(X1 \& X2) \vee !X3) \oplus !X4 \oplus X5)$$

Листинг VHDL кода проекта

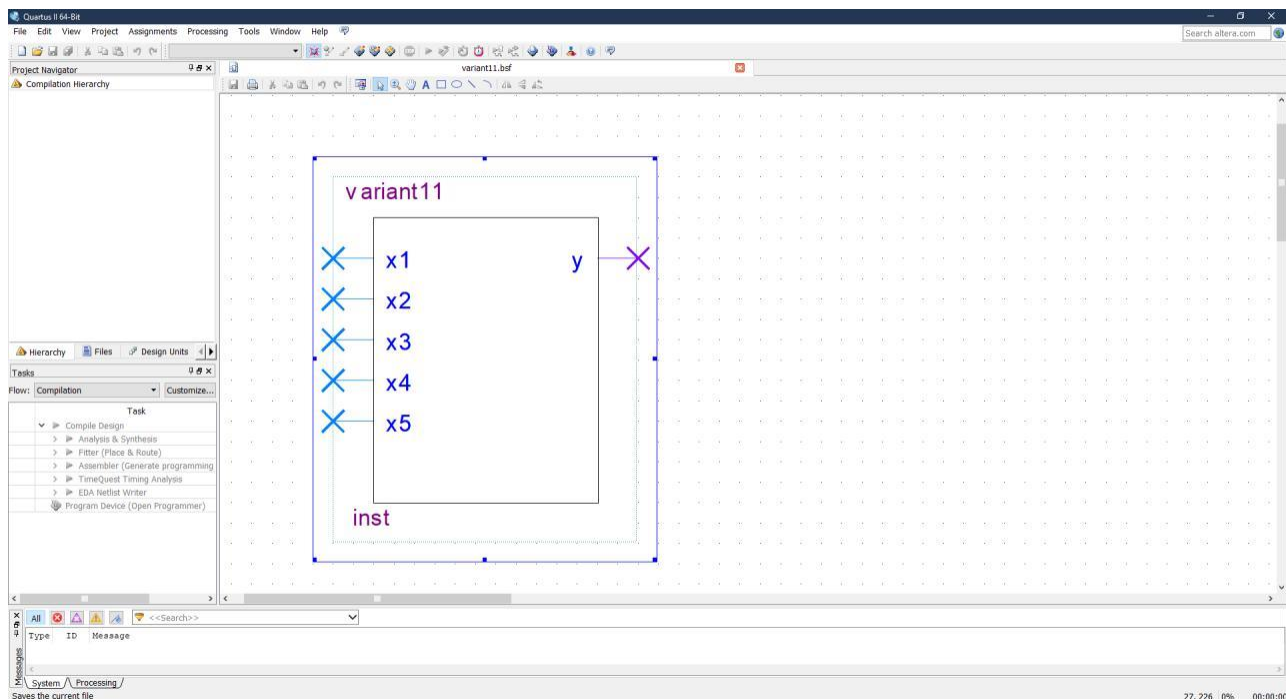
```
library ieee;
use ieee.std_logic_1164.all;
entity variant11 is
    port(
        x1, x2, x3, x4, x5      : in  std_logic;

        y      : out std_logic
    );
end entity;
architecture rtl of variant11 is
    type state_type is (s0, s1, s2, s3);
    signal state : state_type;
begin
    Y <= X4 and ((not((X1 and X2)) or not(X3)) xor not(X4) xor X5);
end rtl;
```

RTL-представление проекта



Условно-графическое обозначение элемента (BSF)



Листинг VHDL кода тестирующего модуля (TestBench)

```

library ieee;
use ieee.std_logic_1164.all;
entity variant11_tb is

end entity;

architecture rtl of variant11_tb is
  component variant11 is

    port(
      x1, x2, x3, x4, x5 : in std_logic;

      y : out std_logic
    );

  end component;

  signal x1, x2, x3, x4, x5, y : std_logic;
begin
  L1: variant11 port map(x1, x2, x3, x4, x5,y);
  process
  begin
    x1 <= '0';
    wait for 50 ps;
    x1 <= '1';
    wait for 50 ps;
  end process;
  process
  begin
    x2 <= '0';
    wait for 100 ps;
    x2 <= '1';
  end process;
end architecture;

```

```
wait for 100 ps;
end process;
```

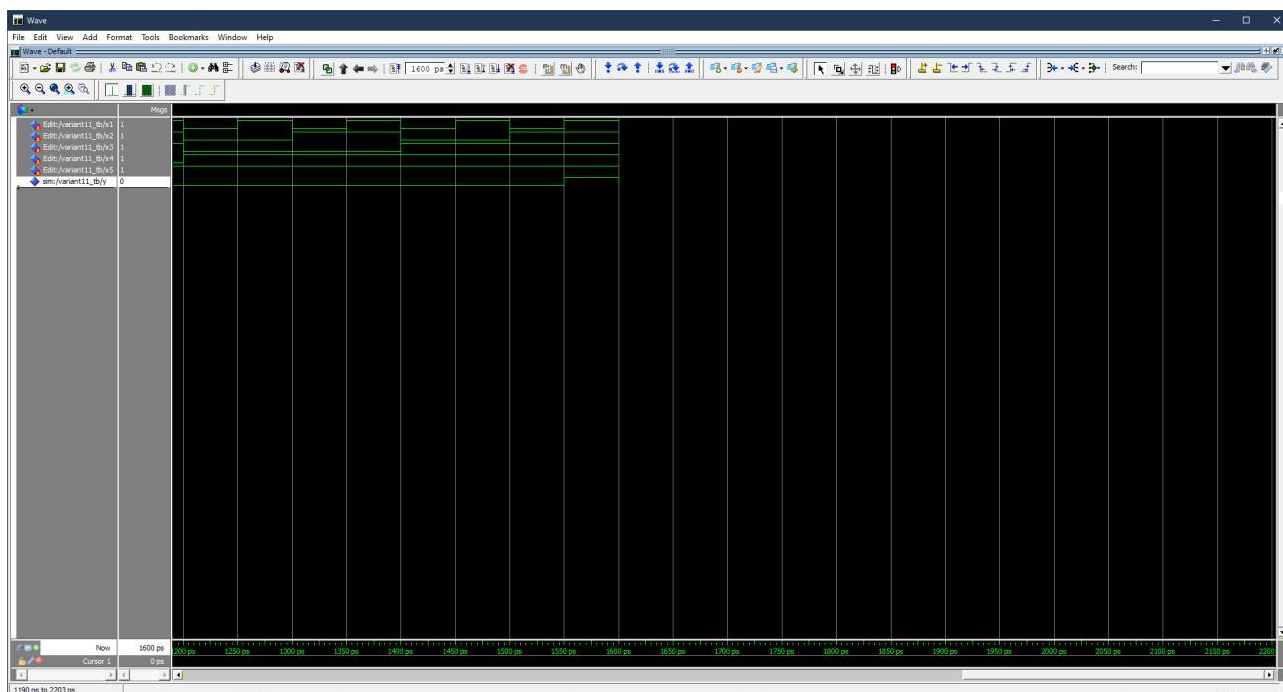
```
process
begin
  x3 <= '0';
  wait for 200 ps;
  x3 <= '1';
  wait for 200 ps;
end process;
```

```
process
begin
  x4 <= '0';
  wait for 400 ps;
  x4 <= '1';
  wait for 400 ps;
end process;
```

```
process
begin
  x5 <= '0';
  wait for 800 ps;
  x5 <= '1';
  wait for 800 ps;
end process;
```

```
end rtl;
```

Эпюры напряжений



Выводы: при выполнении лабораторной работы я научился создавать простые проектные решения с помощью языка описания аппаратуры VHDL в среде проектирования Quartus II Web Edition, проводить их отладку в среде ModelSim-Altera, рассмотрел основные типы данных языка VHDL.