



计算机系统

倪福川

fcni_cn@mail.hzau.edu.cn

华中农业大学 信息学院





计算机系统结构

主要讨论操作系统对运行硬件环境的要求

操作系统运行的硬件环境组成

中断机制

双重操作模式 (*)

存储系统的层次结构





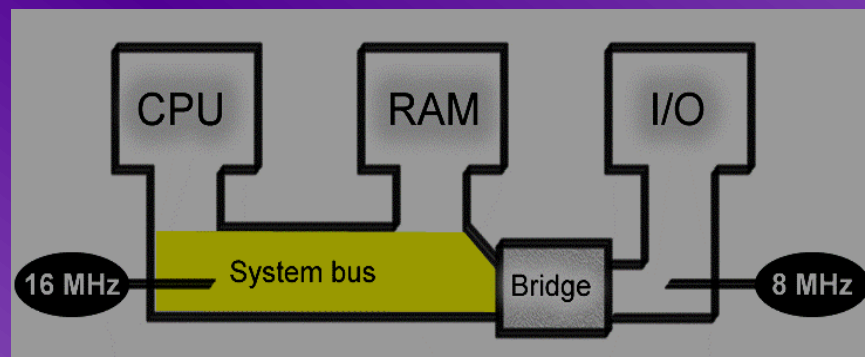
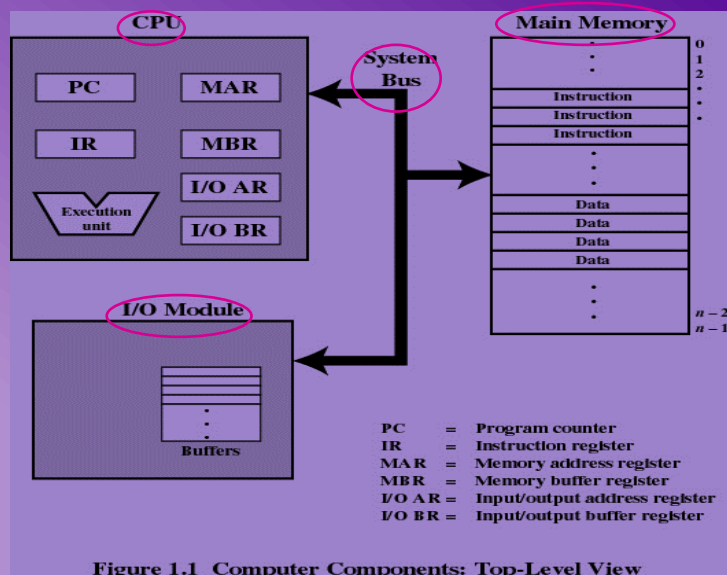
计算机系统的基本构成

处理器：控制计算机的操作，执行数据处理功能。

主存储器：存储程序和数据 易失 分层体系结构。

输入/输出模块：计算机和外部设备之间传输数据。包括：辅存、通信设备和终端等。

系统总线：为上述部件之间的通信提供一些结构和机制。



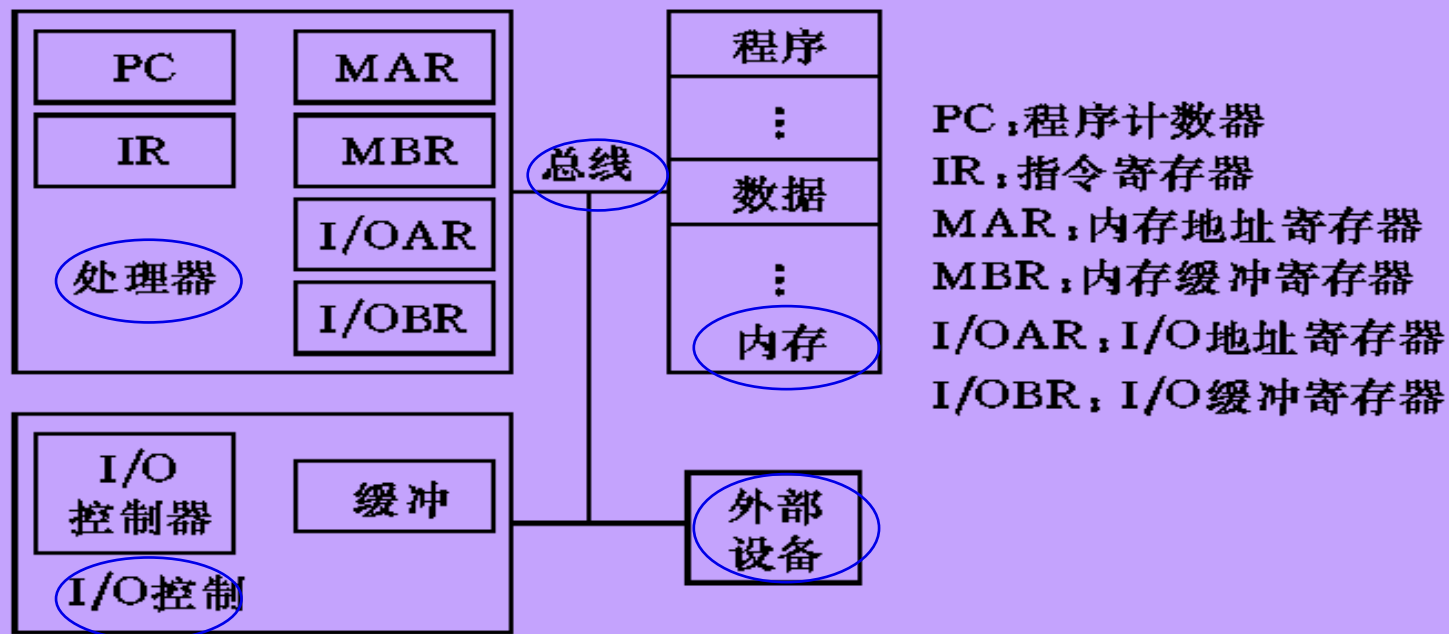


计算机基本硬件元素逻辑关系

构成计算机的基本硬件元素：

处理器、存储器、输入输出控制与总线、外部设备等

这些基本元素的逻辑关系如图所示





CPU的基本组成

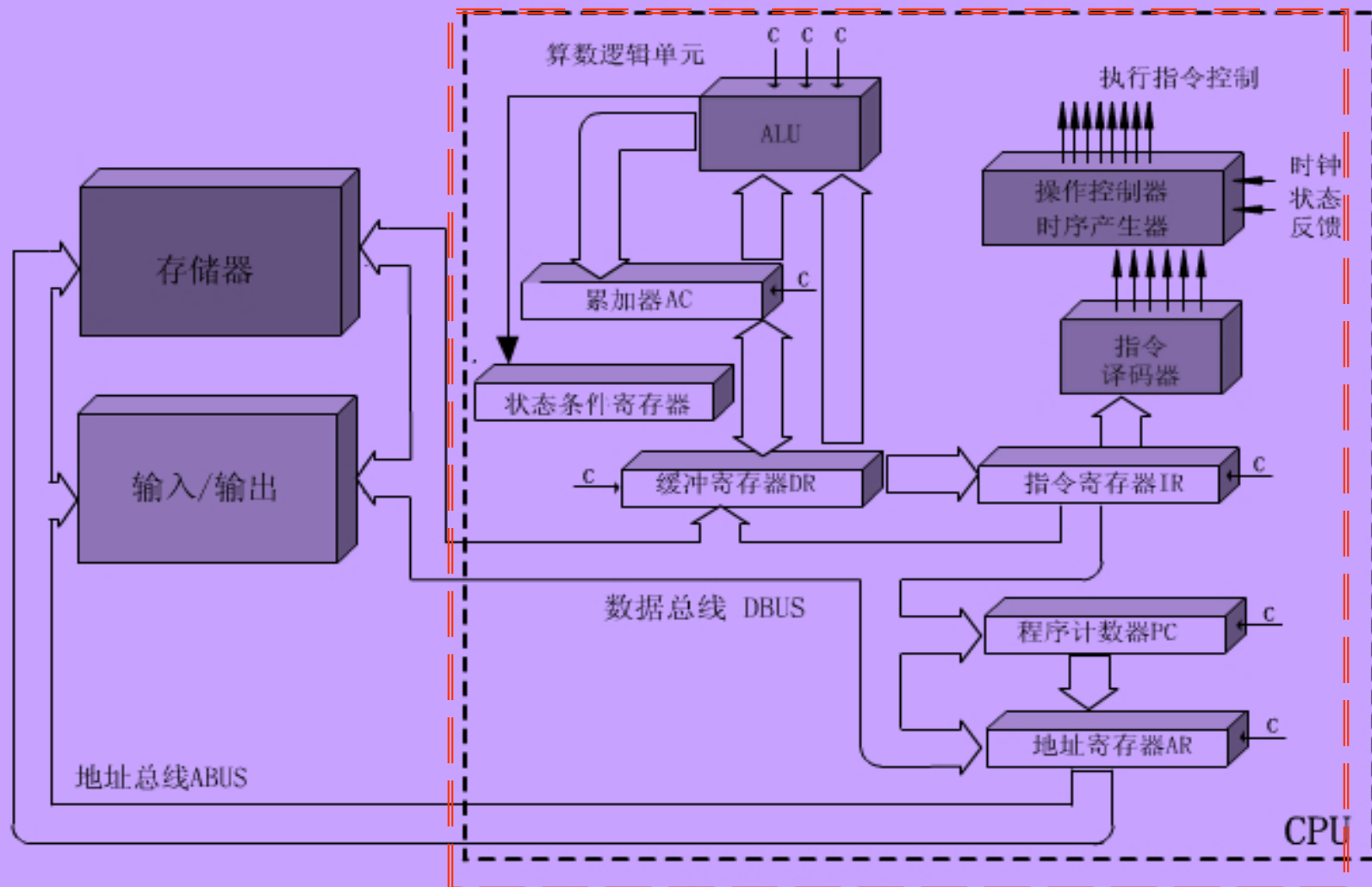


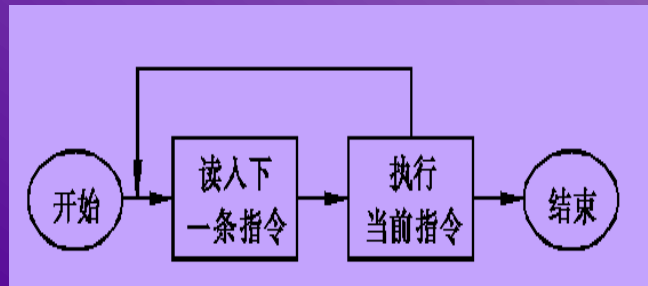
图5.1 CPU 的结构



指令的执行

执行指令的基本过程:

- ① 处理机从内存把指令读入
- ② 执行



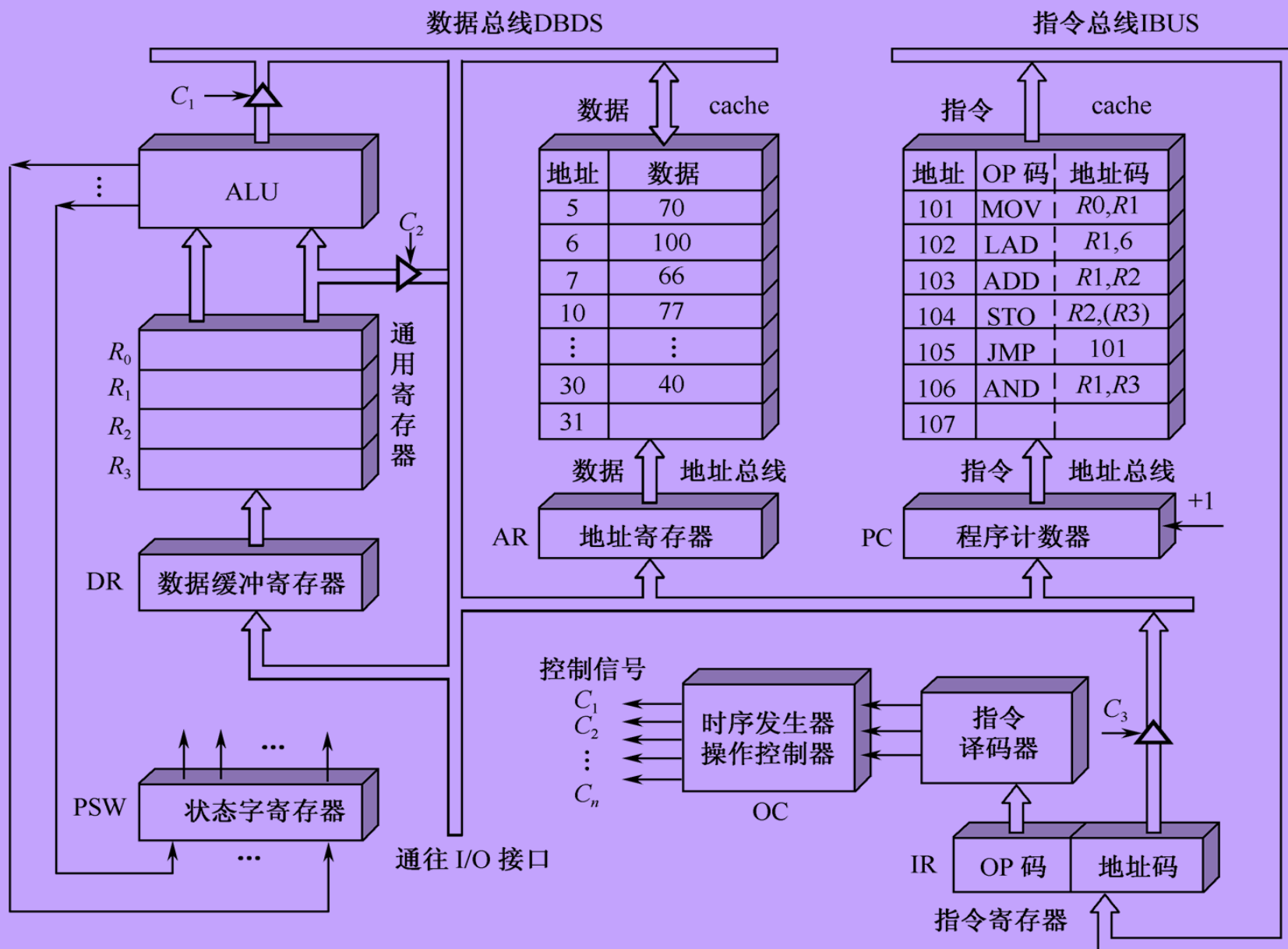
执行周期：指令的读入和执行过程

读指令是根据程序计数器PC所指的地址读入，而执行的指令则是指令寄存器IR中的指令。





指令的执行

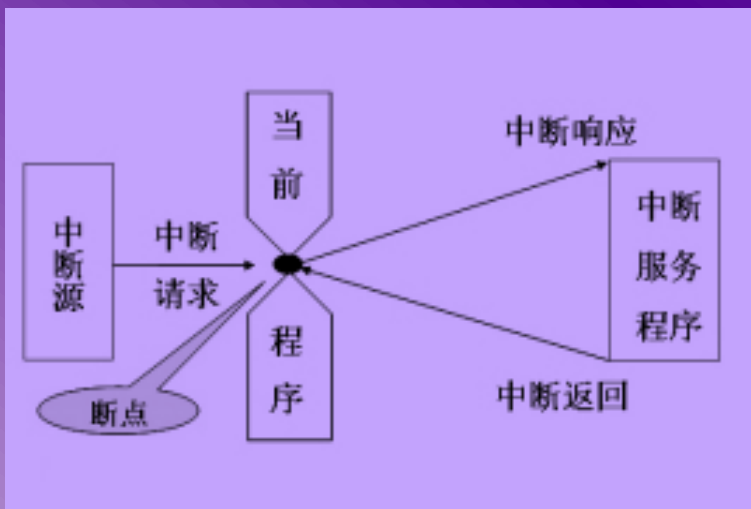




中断—概念

6.3 P₁₈₉

中断：CPU对系统内或外发生的某个事件作出的反应。如外部设备完成数据传输，实时设备出现异常等。



当异步事件发生后，打断对当前程序的执行，保留现场后转去执行相应事件的处理程序直到处理完了后，再转回原程序中断点继续执行

中断源：引起中断发生的事件。





中断—概念

操作系统由“中断驱动”

操作系统得以正常工作的最重要手段：

多道程序运行的必要条件
主机与外设的并行工作
实现实时控制
提高可靠性

引入中断
目的

允许打断CPU的工作，告之其它某些急须注意的事件发生
进程切换通过中断完成





中断—中断系统组成

中断系统组成:

硬件中断装置和软件中断处理程序

硬件中断装置:

捕获中断请求，响应中断，转特定的中断处理程序

软件中断处理程序:

策略部分，辨别中断类型 执行相应操作





中断—中断的分类

程序中断： 由指令执行结果产生，如算术溢出、除数为0，执行非法指令，非法内存访问。

时钟中断： 处理器内部计时器产生

I/O中断： 由I/O控制器产生，通知操作正常完成或各种错误条件

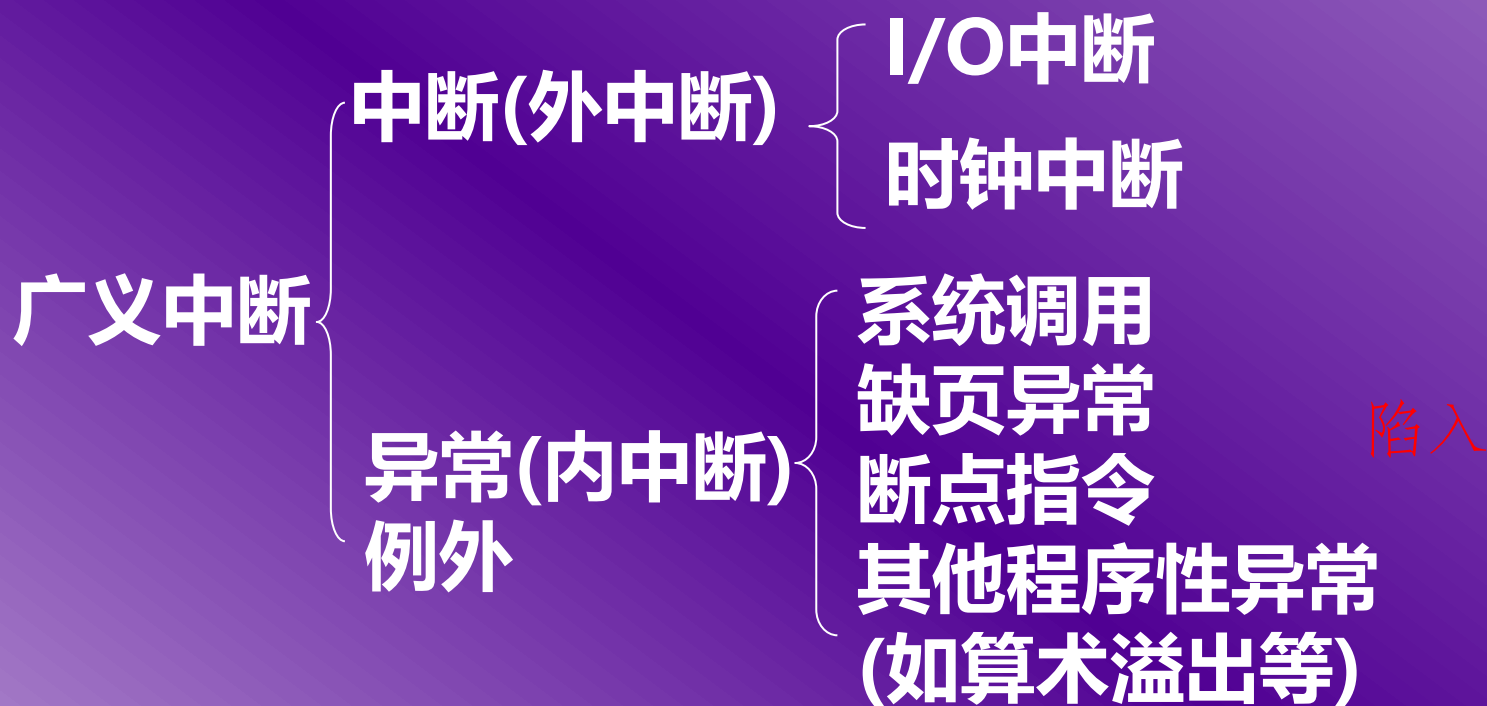
硬件失效中断： 掉电、存储器奇偶错等故障

访管中断： 执行**访管指令**或**陷入指令**引起的中断，调用操作系统相应的功能模块





中断—中断的分类



软中断

切换CPU至内核态

系统调用





中断—中断屏蔽

中断屏蔽：禁止CPU响应中断。

PSW设置中断屏蔽位 以屏蔽指定的中断类型

置位：屏蔽中断（不包括不可屏蔽的那些中断）；

未置位：可接受中断（中断优先级高）

可屏蔽的中断请求： I/O设备中断，可通过**中断屏蔽位**屏蔽，再有**I/O中断**，**处理器不响应**；

不可屏蔽的中断请求： 处理机内故障中断，如**括内存奇偶校验错、掉电等中断源**





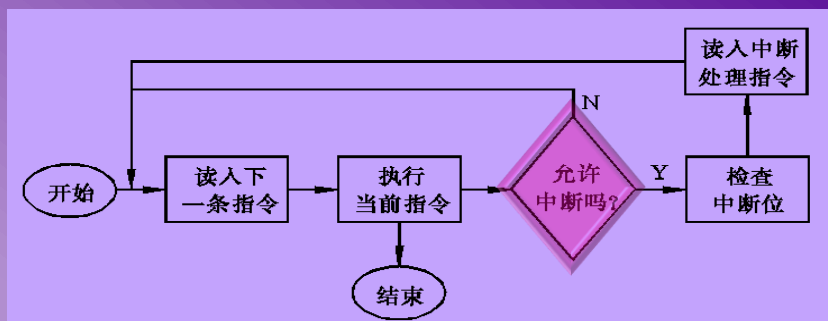
中断技术—中断周期

处理器如何发现中断信号？

在处理器的控制部件中设**中断扫描机构**（能检测中断的机构），在指令周期中增加一个**中断周期**，处理器检查是否有中断发生：

有： 处理器挂起当前程序的执行，并执行一个中断处理程序；当中断处理程序完成后，处理器在中断点恢复对用户程序的执行。

没有： 则取下一条执行继续执行。





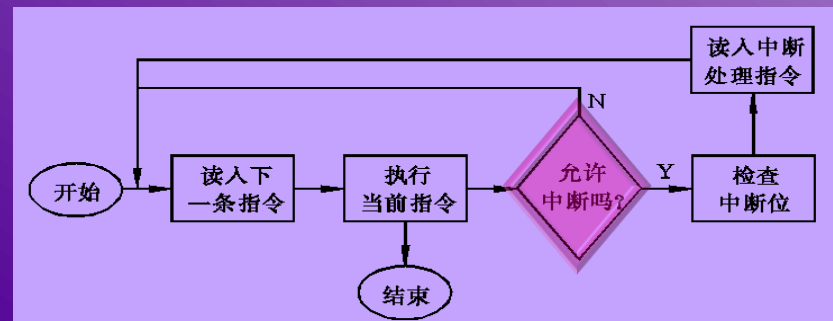
指令中断执行过程

中断周期

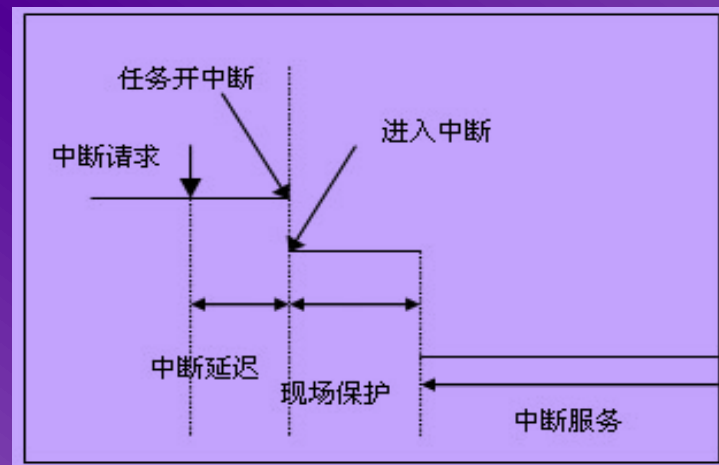
CPU在每条指令执行阶段结束前，查询中断信号，以检测是否有某个I/O提出中断请求。如果有请求，CPU则要进入中断响应阶段

中断响应

中央处理机发现已有中断请求时，中止并保存现执行程序执行，并自动引出中断处理程序



具有中断处理时的指令执行过程



在指令的执行过程中或一条指令执行结束时，指令地址计数器已指向下一条被访问指令的地址 $PC \leftarrow PC + 1$

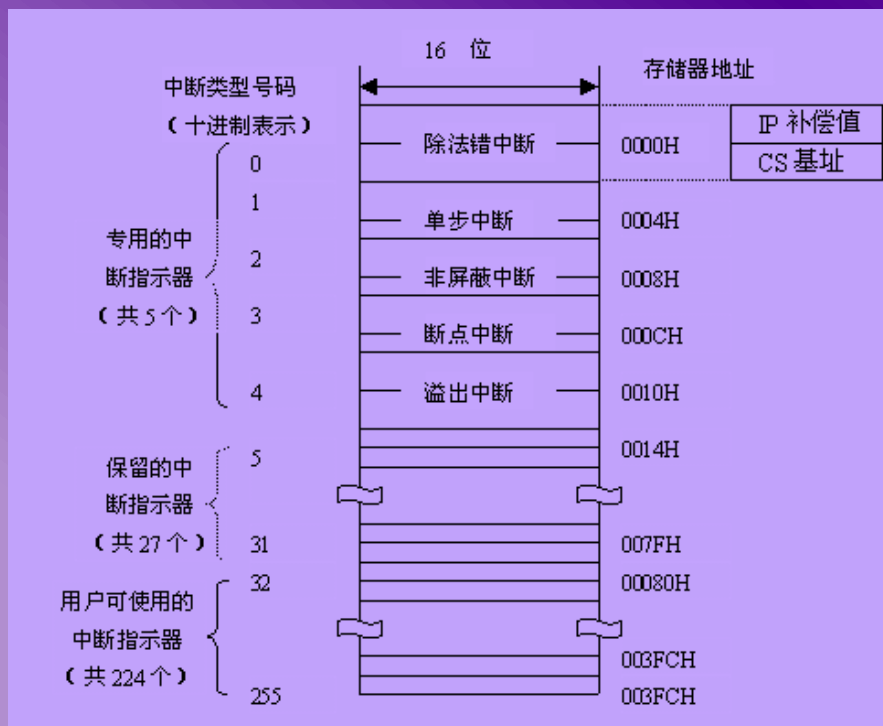




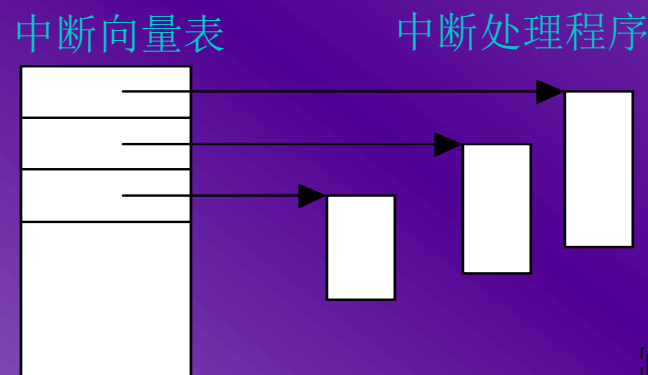
中断技术—中断向量表

中断向量表（IDT）：存放中断处理程序入口地址和处理机状态字的内存单元。

中断向量：每个中断设置一个**向量号**，中断在IDT中的索引。



发出中断请求的设备，为标识自己，向CPU发送一个该设备在IDT中表目的索引，通过此索引值找到中断处理程序





中断向量与中断处理程序的存储

中断向量的存放位置是由硬件规定；中断向量的内容是OS在系统初始化设置

0000	PSW1, PC1	时钟中断向量
0008	PSW2, PC2	I/O中断向量
0016	PSW3, PC3	console中断向量
0024	PSW4, PC4	硬件故障中断向量
0032	PSW5, PC5	程序错误中断向量
...
0090	PSW _n , PC _n	访管中断向量

PC1: 时钟中断
处理程序

PC2: I/O中断
处理程序

...

PC_n: 访管中断
处理程序

系统空间





中断向量地址为()

- ☐ A 子程序入口地址
- ☐ B 中断服务程序入口地址
- ☒ C 中断服务程序入口地址的地址
- ☐ D 前面都不正确

提交





中断技术—中断优先级

可能多中断请求同时发生，通过中断**优先级**判定响应哪个中断请求

中断优先级：表示中断的优先程度。

多中断同时到时，先响应高优先级中断。

高级中断可打断低级中断处理，同级中断同时到时，则按顺序响应。

设计原则：中断优先级

高速设备的高于慢速设备，提高高速设备的利用率
机器故障中断> 程序中断和访管中断>外部中断>I/O中断



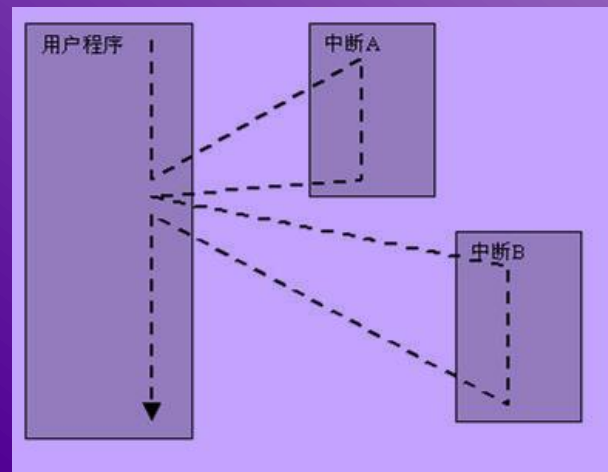


中断技术—多级中断的处理

多级中断系统：多根中断请求线从不同设备连接到中断处理机构。若中断处理过程中又发生中断，处理策略：

1) 顺序处理：

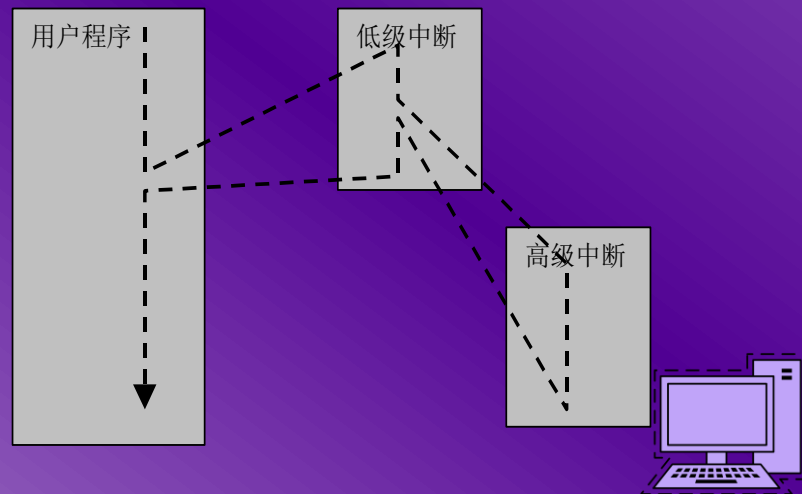
正在处理的中断时禁止响应其它中断，对任何新中断置之不理；所有中断严格按照发生顺序处理；不考虑中断紧急程度，无法达到较严格时间要求



2) 嵌套中断处理：

允许高优先级的中断引发低优先级的中断处理程序自身的中断。

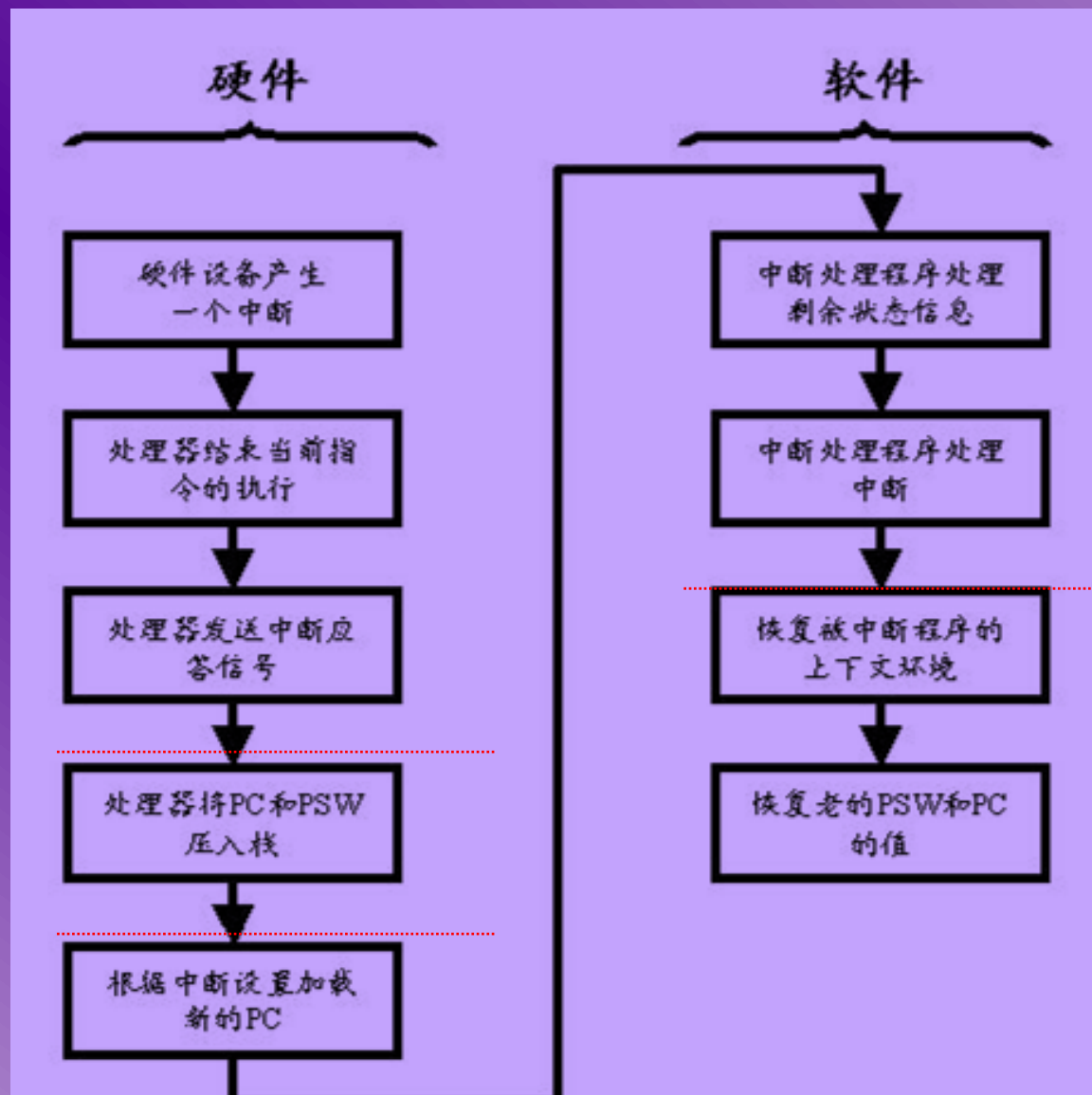
合适地定义中断优先级，克服顺序处理的弊端





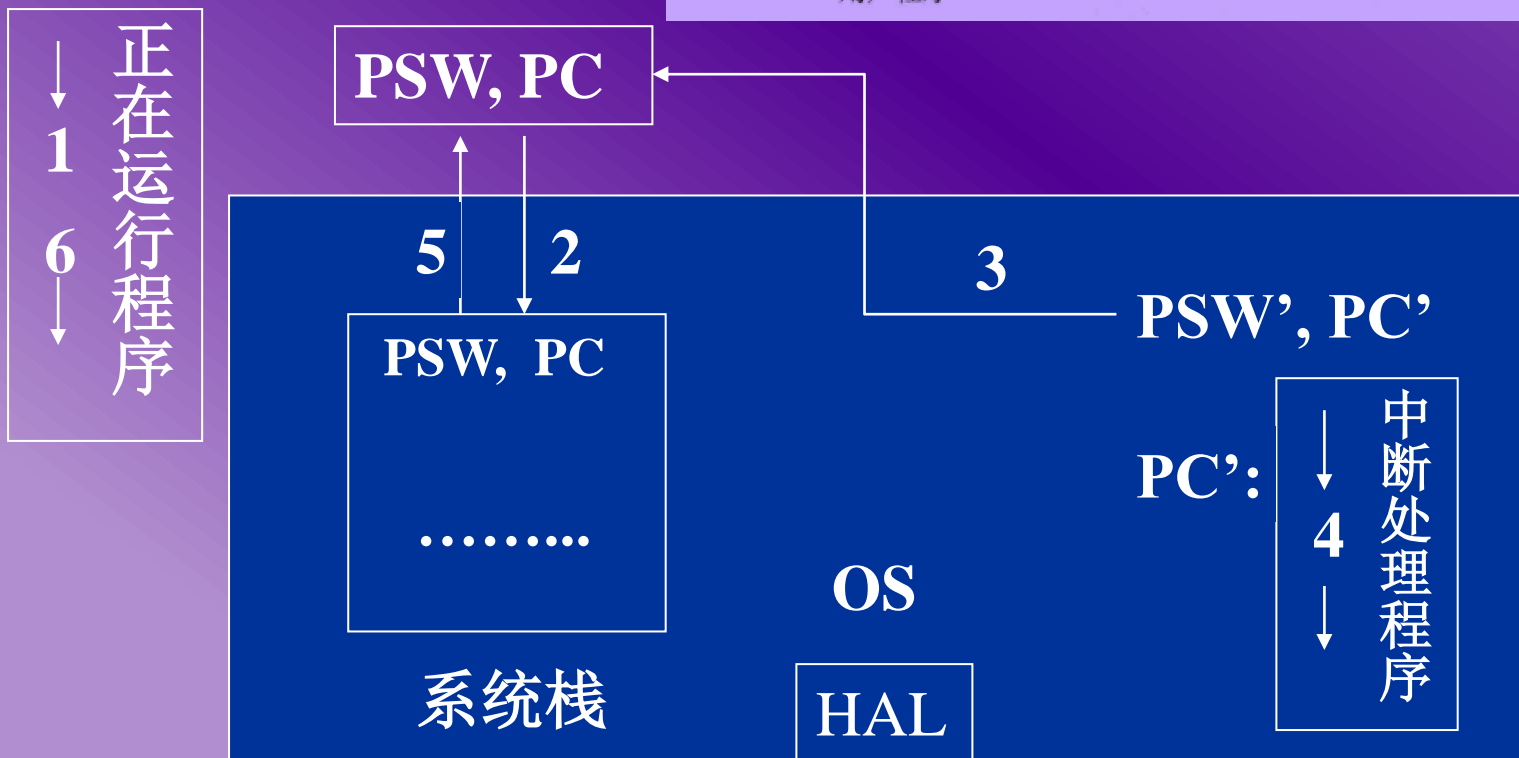
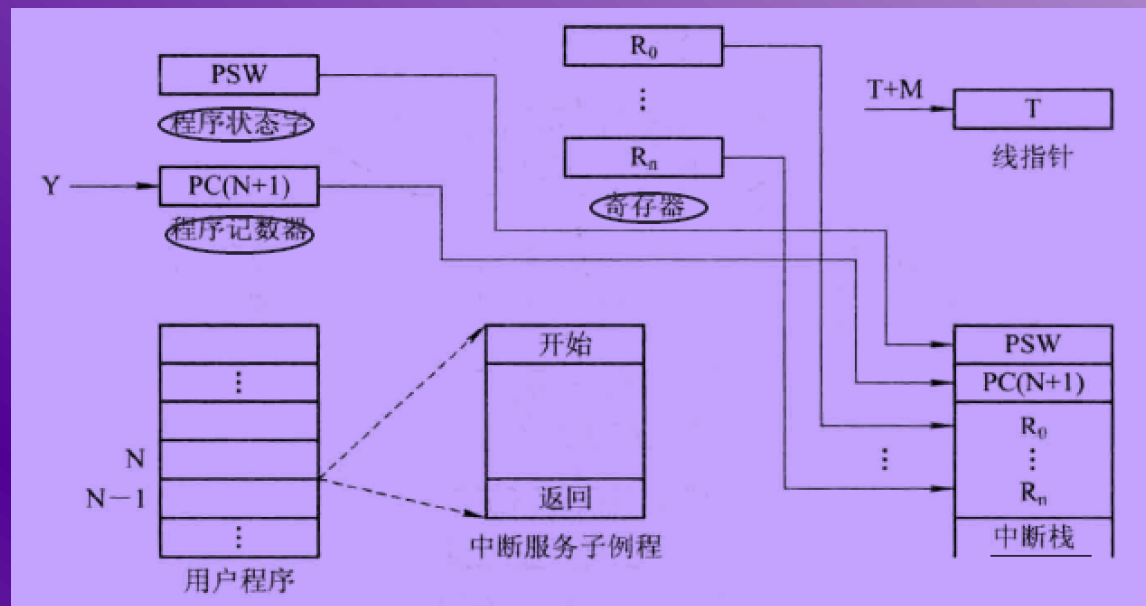
中断技术—中断处理过程

保存现场
↓
转中断处理程序
↓
恢复现场





完整的中断响应和处理的 过程





硬件保护—处理机模式

多道程序系统中，并发执行，共享资源，一个进程中的错误有可能影响多个其他进程，甚至**OS**本身。

为确保**OS**和所有其它进程不受任何故障影响，**CPU**至少设置两重独立的**CPU**操作模式：

系统模式（特权状态、系统态、**管态**）：

当**CPU**处于系统模式时，可以执行特权指令，访问所有资源，并可改变处理器状态。

操作系统管理程序运行的状态，较高的特权级别。

用户模式（用户态、**目态**、常态）：

当**CPU**处于用户状态时，程序只能执行非特权指令。

用户程序运行的状态，较低的特权级别

。





硬件保护—特权指令和非特权指令

特权指令：

只能由操作系统程序使用的指令，如启动I/O设备、设置时钟、控制中断屏蔽位、清内存、加载PSW等（能引起损害的机器指令）。

非特权指令：

用户程序所使用的指令。





硬件保护—特权指令和非特权指令

处理器处于系统模式（管态）时：

全部指令（包括特权指令）可以执行

可使用所有资源

并具有改变处理器状态的能力

处理器处于用户模式（目态）时：

只有非特权指令能执行

特权级别越高，可以运行指令集合越大

高特权级别对应的可运行指令集合包含低特权级的





硬件保护— 程序状态字PSW

根据PSW中的标识判断处理机执行模式

PSW: 寄存CPU运行状态的寄存器。

PSW中处理机模式位:

根据运行指令的权限设置, 说明当前在CPU上执行的是操作系统还是一般用户, 决定其是否可以使用特权指令或拥有其它的特殊权力





硬件保护— CPU状态的转换

目态—管态（用户态—系统态）

———通过中断（系统调用、中断事件）

管态—目态（系统态—用户态）

———设置PSW（修改程序状态字）





存储器一层次结构

存储系统是支持OS运行硬件环境的重要方面：
多道程序系统，若干程序和相关数据放入主存储器
操作系统要管理、保护程序和数据不受到破坏
操作系统本身也存放在主存储器中并运行

存储系统设计三个问题：容量、速度和成本

容量：需求无止境

速度：能匹配处理器的速度

成本：成本和其它部件相比应在合适范围之内





存储器一层次结构

容量、速度和成本

三个目标不可能同时达到最优，要作权衡

存取速度快，每比特价格高

容量大，每比特价格越低，同时存取速度也越慢

解决方案：采用层次化的存储体系结构

当沿着层次下降时

每比特的价格将下降，容量将增大

速度将变慢，处理器的访问频率也将下降





层次化的存储体系结构



图 6-23 存储器层次结构

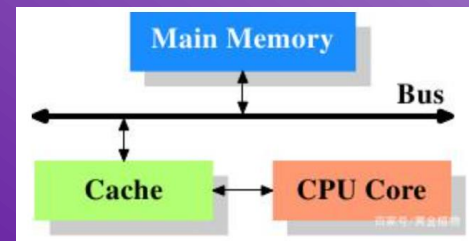




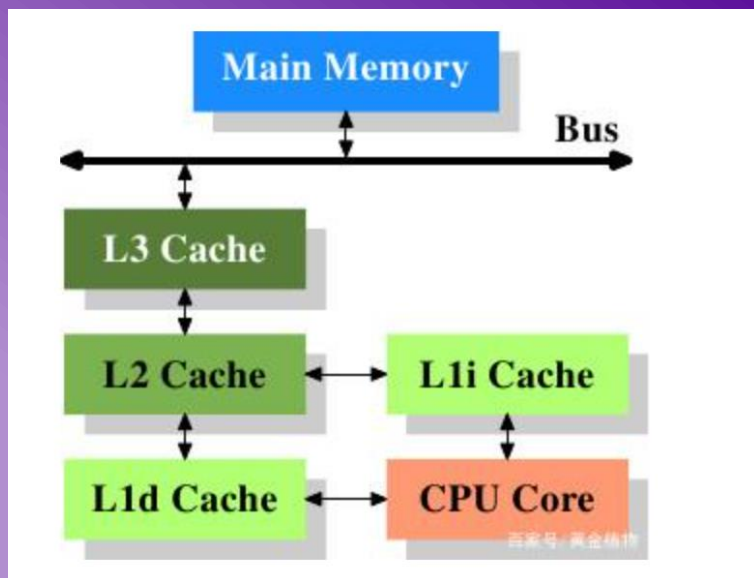
CPU缓存

CPU缓存: CPU与内存之间的临时数据交换器, 为解决CPU运行处理速度与内存读写速度不匹配的矛盾

集成在CPU上



CPU三级缓存 (L1一级缓存、L2二级缓存、L3三级缓存)



都是集成在CPU内的缓存, 作用都是作为CPU与主内存之间的高速数据缓冲区, L1最靠近CPU核心; L2其次; L3再次。运行速度方面: L1最快、L2次快、L3最慢; 容量大小方面: L1最小、L2较大、L3最大。

CPU会先在最快的L1中寻找需要的数据, 找不到再去找次快的L2, 还找不到再去找L3, L3都没有那就只能去内存找





存储器—存储保护

多用户多任务操作系统，OS给每个运行进程分配一个存储区域。多个程序同时在一台机器上运行，怎样才能互不侵犯？

存储保护：对主存中的信息加以严格的保护，使操作系统及其它程序不被破坏，是其正确运行的基本条件之一

保护的硬件支持：

界地址寄存器（界限寄存器）

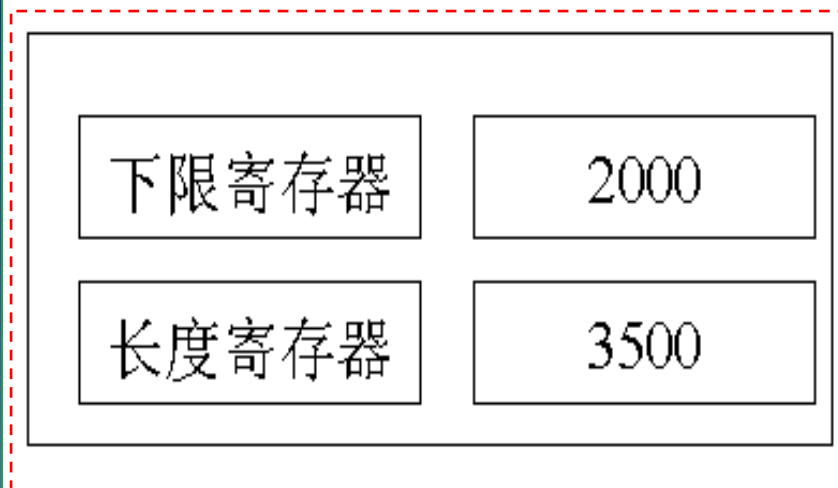
存储键 页面规定存储键，存取操作带有访问键

地址转换 页表保护和段表保护

存储保护以硬件保护机制为主，软件为辅，当发生越界或非法操作时，硬件产生中断，进入操作系统处理。



存储器



进程id	下限寄存器	长度寄存器
1	1000	1999
2	2000	3500
3	4000	5000

进程1
进程2
进程3

CPU

硬件\软件配合
保证每个程序只能在
给定的存储区域内活动

进程2
正在CPU中进行

界地址寄存器
存储保护技术

1000

1999

2000

3500

4000

5000



“存储保护”的基本含义，最恰当的描述是()

- ☐ A 防止存储器硬件受损
- ☐ B 防止程序在内存丢失
- ☒ C 防止程序间相互越界访问
- ☐ D 防止程序被人偷看

提交





网络资源

操作系统相关知识 约 62 分钟

 南京大学 NANJING UNIVERSITY		 骆斌
学堂在线		
https://next.xuetangx.com/course/NJU08091000228/15157		
中国大学MOOC		
https://www.icourse163.org/course/NJU-1001571004		

处理器与寄存器 (10:45)

指令与处理器模式 (11:03)

中断/中断源/中断系统 (34:14)

多中断的响应与处理 (6:11)





在本课堂上，你想学习那些内容？
你有那些建议？



作答

正常使用主观题需2.0以上版本雨课堂





在线听课评价:

A

教师准备充分,讲述条理清晰

B

管理课堂不够, 迟到、缺课人数多

C

教学方式单一、缺乏互动

D

学生的收获少, 获得感不强

E

每页PPT内容多、文字小、图示看不清楚

提交

