

# 重庆大学《计算机组成原理》 2014-2015 学年课程试卷

开课学院：计算机学院 课程号：18001140 考试日期：2014.12.20

考试方式：闭卷

考试时间：120 分钟

号	一	二	三	四	总分
得分					

## 考试提示

1. 严禁随身携带通讯工具等电子设备参加考试；
2. 考试作弊，留校察看，毕业当年不授学位；请人代考、替他人考试、两次及以上作弊等，属于严重作弊，开除学籍。

## 一、单 选择 (2分/每小，共20分，将选择答案填入下表)

1	2	3	4	5	6	7	8	9	10

1. 相对于组合逻辑控制器，微程序控制器的特点是 ( )

- A. 指令执行速度慢，指令功能的修改和扩展容易
- B. 指令执行速度慢，指令功能的修改和扩展难
- C. 指令执行速度快，指令功能的修改和扩展容易
- D. 指令执行速度快，指令功能的修改和扩展难

2. 单级中断系统中，中断服务程序内的执行 序是 ( )

- I. 保护现场      II. 开中断      III. 关中断
- IV. 保存断点      V. 中断事件处理      VI. 恢复现场      VII. 中断返回
- A. I→V→VI→II→VII      B. III→I→V→VII
- C. III→IV→V→VI→VII      D. IV→I→V→VI→VII

3. 下列命令组合情况中，一次访存过程中，不可能发生的是 ( )

- A. TLB 未命中，Cache 未命中，Page 未命中

B. TLB 未命中，Cache 命中，Page 命中

C. TLB 命中，Cache 未命中，Page 命中

D. TLB 命中，Cache 命中，Page 未命中

4. 某 SARM 芯片，其存储容量为 128K×32 位，该芯片的地址线数目和数据线数目分别是 ( )

- A. 128, 16      B. 32, 32      C. 17, 32      D. 16, 32

5. 下列寄存器中，汇编语言程序员可见的是 ( )

- A. 存储器地址寄存器 (MAR)      B. 程序计数器 (PC)
- C. 存储器数据寄存器 (MDR)      D. 指令寄存器 (IR)

6. 下 描述 RISC 指令系统的基本概念，其中正确的表述是 ( )

- A. 通用寄存器数量少      B. 指令的长度不固定
- C. 指令的种类较多，通常采用微程序控制器来实现
- D. 采用标准的取数/存数指令访问存储器

7. 在多级 Cache 结构中，以下描述正确的是 ( )

- A. L1 Cache 容量较小，但是 Miss Rate 较低
- B. L1 Cache 容量较大，但是 Miss Rate 较
- C. L2 Cache 速度较慢，Miss Rate 较
- D. L2 Cache 的 Miss Rate 较小，平均访问时间较长

8. 下列存储部件在工作时需要刷新的是 ( )

- A. DRAM      B. SRAM      C. ROM      D. Flash Memory

9. 32 位按字节寻址的 MIPS 计算机执行数组运算  $A[16] = h + A[12]$ ，采用基址寻址时从内存读 A[12] 的偏移量是 ( )

- A. 16      B. 32      C. 48      D. 64

10. MIPS 计算机中 IEEE754 单精度浮点数表示十进制数 -0.75 后得到的 16 进制结果是 ( )

- A. BF400000      B. A3E7BE00      C. 3C426EAB      D. 6EAB5300

二、判断 (正确的请打√, 否则打×, 2分/每小, 共20分, 将选择答案填入下表)

1	2	3	4	5	6	7	8	9	10

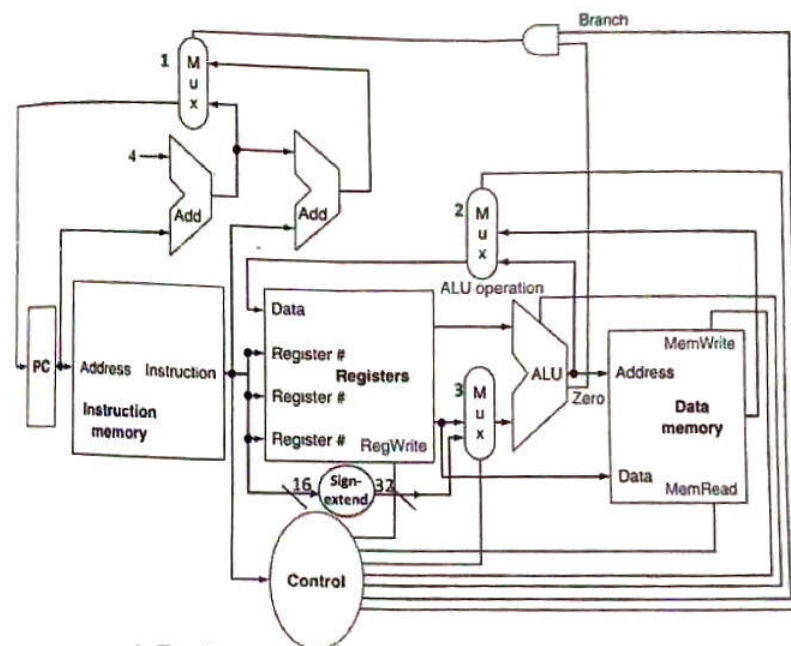
- ( ) 1、减少指令中地址数目的办法是: 采用以寄存器为基础的寻址方式。
- ( ) 2、在微程序控制方式中, 每一条机器指令用一条微指令解释执行。
- ( ) 3、CPU 在中断周期中执行中断服务程序。
- ( ) 4、静态 RAM 中“静态”含意是指: 断电后仍能长期保存信息。
- ( ) 5、采用微程序控制器时, 不同类型指令的取指令微操作不同。
- ( ) 6、每条指令的第一个机器周期一定是取指周期。
- ( ) 7、CPU 执行低优先级中断服务程序时, 也可以不去响应 优先级的中断请求。
- ( ) 8、采用微程序控制器, 使 CPU 的硬件电路更为简单, 加快了 CPU 的执行速度。
- ( ) 9、RISC 计算机的指令系统一般常采用不定长指令格式。
- ( ) 10、虚拟存储器目的之一是弥补程序运行空间不足。

三、简单分析 (6分/每小, 共30分)

1. 计算机 A 的 Cycle Time = 300ps, CPI = 1.8, 计算机 B 的 Cycle Time = 600ps, CPI = 1.3, 两台计算机的指令系统相同, 哪台计算机更快, 快的比慢的快多少倍? 请分析并计算。



1 下图是一个简易的计算机模型数据通路图:



从控制器角度出发说明标号为 1、2、3 的多路选择器 (Mux) 分别是什么作用。



2. 以  $1.000_2 \times 2^{-1} + (-1.110_2 \times 2^{-2})$  为列, 说明 MIPS 计算机进行浮点数加法的主要步 (不需要转换成 IEEE754 标准浮点数)。



4. 某计算机在只具有 L1 cache 的情况下 CPU base CPI = 1.5, clock rate = 2.5GHz, Global miss rate/instruction = 2%, Main memory access time = 150ns, 如果增加 L2 Cache (access time = 10ns) 使 L2 Cache Global miss rate 为 0.25%, 则该计算机的性能提高了多少倍? 说明计算过程。

5. 简述虚拟存储器的工作原理? 其对现代计算机存储层次的支持作用何在?

### 一、综合 (10 分/每小, 共 30 分)

1. 一个有 4 个数据块的 Cache, 计算机加电启动, CPU 访问主存块地址的序为: 0, 8, 0, 6,
8. 在采用直接映射、2-way 组相联、全相联三种不同 Cache 组织方式下, 替换策略均采用 LRU, 分别计算 cache 的访问命中率为多少, 并给出计算依据。

2. 下图 2-1 是一个 8 位简单模型机的数据通路图:

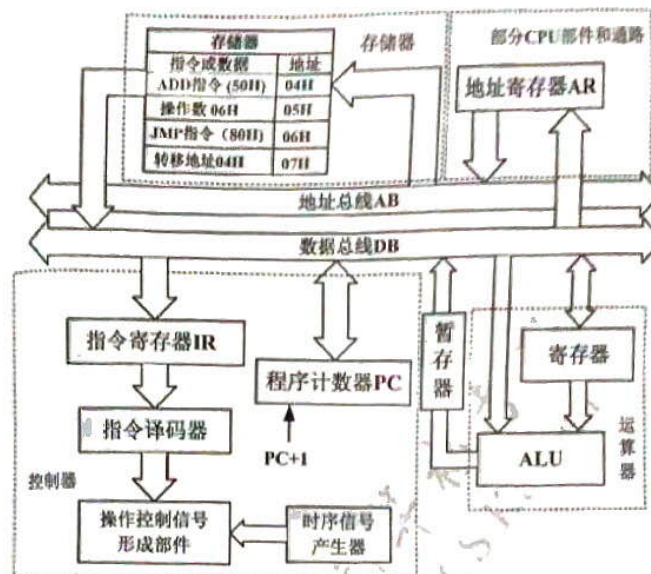


图 2-1

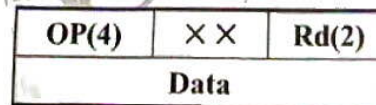
对两种指令及格式说明如下:

(1) ADD Rd, Data; (Rd)+Data→Rd

加法指令: 寄存器+立即数存入寄存器

寻址方式: 源操作数为立即数寻址, 目的操作数为寄存器 (直接) 寻址

指令格式:

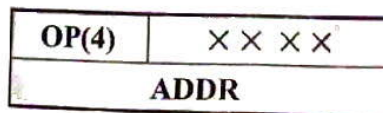


(2) JMP ADDR; ADDR→PC

跳转指令: 从当前指令跳转到目标处执行

寻址方式: 单操作数指令, 操作数为直接转移地址, 直接寻址

指令格式:



请给出两种指令执行的微程序序列。

3. 设有若干片  $256K \times 8$  位的 SRAM 芯片和 74LS138 译码芯片 1 片，问如何构成  $2048K \times 32$  位的存储器？需要多少片 SRAM 芯片？该存储器需要多少根地址线？画出该存储器与 CPU 连接的结构图，设 CPU 的接口信号有地址信号、数据信号、使能控制信号  $MREQ\#$  和读写控制信号  $R/\overline{W}\#$ 。



74LS138: EN (负逻辑) 为译码器使能控制



SRAM 芯片: CE (负逻辑) 为使能控制, WE (负逻辑) 为写控制, A 为地址, D 为数据

# 重庆大学《计算机组成原理》 2015-2016 学年课程试卷

开课学院：计算机学院 课程号：18001140 考试日期：2016.1.5

考试方式：闭卷 考试时间：120 分钟

号	一	二	三	四	五	六	七	八	九	十	总分
得分											

## 考试提示

1. 严禁随身携带通讯工具等电子设备参加考试；
2. 考试作弊，留校察看，毕业当年不授学位；请人代考、替他人考试、两次及以上作弊等，属于严重作弊，开除学籍。

## 一、单 选择 (2 分/每小，共 20 分，将选择答案填入下表)

1	2	3	4	5	6	7	8	9	10

1. 假定处理器时钟 率为每秒 2GHz, 其对应的 CPI 为 4, 如果一个程序执行的时间为 20 秒, 那么执行该程序的时钟周期和指令数分别是( )。  
A. 40, 20G B. 40G, 10G C. 20G, 10G D. 15G, 30G
2. 有关提 吞吐率和响应时间描述正确的是( )  
A. 更换更 速的处理器只能减少响应时间  
B. 系统中增加处理器可以单个任务的减少响应时间  
C. 更换更 速的处理器可以同时减少响应时间和提 吞吐率  
D. 系统中增加处理器不能提 系统的吞吐率
3. 下列选 中, 能引起外部中断的事件是( )  
A. 键盘输入 B. 除数为 0

- C. 浮点运算下溢 D. 访存缺
4. MIPS32 指令系统描述正确的是( )  
A. MIPS 指令可一次性取出 32 位的立即数  
B. 其条件跳转指令跳转的范围大约为指令前后约 1M 字节  
C. 其无条件跳转指令的跳转范围为指令前后范围的 4GB 字节  
D. 其指令的长度为固定长度, 均为 32 位长度的指令
5. 下列寄存器中, 程序员可以使用的是( )  
A. 存储器的地址寄存器 (MAR) B. 指令寄存器 (IR)  
C. 存储器的数据寄存器 (MDR) D. 通用寄存器
6. 在计算机系统中, 有关虚拟存储器表述正确的是( )  
A. 其完全由硬件来管理 B. 只需要操作系统软件管理  
C. 需要硬件和软件协同完成 D. 需要由应用软件来管理
7. DMA 的电路中有程序中断部件, 其作用是( )  
A. 通知 CPU 传输结束 B. 向 CPU 提出总线使用权  
C. 实现数据传送 D. 发中断请求
8. 关于中断描述正确的是( )  
A. 外部设备发出中断后, 中断服务程序可立即执行  
B. 外部设备发出中断后, 一定会中断当前执行的程序  
C. 中断方式一般用于处理随机出现的服务请求  
D. 程序查询方式相对中断方式, CPU 利用率更
9. 设  $[X]$  补 =  $x_1x_2x_3x_4$ , 当满足( )时,  $X > -1/2$  成立。  
A.  $x_1$  必 为 1,  $x_2x_3x_4$  至少有一个为 1 B.  $x_1$  必 为 1,  $x_2x_3x_4$  任意  
C.  $x_1$  必 为 0,  $x_2x_3x_4$  至少有一个为 1 D.  $x_1$  必 为 0,  $x_2x_3x_4$  任意
10. 在主存和 CPU 之间增加 cache 存储器的目的是( )  
A. 增加内存容量 B. 解决 CPU 和主存之间的速度匹配问  
C. 提 内存可 性 D. 增加内存容量, 同时加快存取速度



## 二、简答 (30 分, 每小 6 分)

1. 请简要分析算法、编程语言和编译器、指令系统对计算机系统性能的影响。

2. 请说明计算机中浮点数加法运算为什么不满足结合率律, 并 IEEE754 的单精度数为  
例举例说明。

3. 请简要叙述什么是 Cache 中的写直达法 (Write Through) 和写回法 (Write Back), 并  
说明其优缺点。

4. 请简要分析 Cache 的容量、块的大小以及相联性对 Cache 性能的影响。

5. 请简述单重中断系统的处理过程。

## 三、计算 (30 分, 每小 10 分)

1. 计算二进制浮点数加法;  $1.000_2 \times 2^{-1} + (-1.110_2 \times 2^{-2})$ , 请结合 MIPS 计算机进行浮点数加法的主要步, 给出详细的计算步, 结果不需要转换成 IEEE754 标准浮点数。(6 分)

2) IEEE754 标准中对单精度浮点数用 32 个 bits 来表示, 其中最 位为浮点数的符号位, 指数域为 8 位宽, 尾数域 23 位宽, 表示方式如下图所示:

Bit	Bit	Bit
31	30 ~ 23	22 ~ 0
Sign	指数域 8 bits	尾数域 23 bits

请将  $1.000_2 \times 2^{-1}$  表示为 IEEE754 标准中的单精度浮点数形式。(4 分)

2. 某总线在一个总线周期中并行传送 2 个字节的数据, 假设一个总线周期等于一个总线时钟周期, 总线时钟 率为 33MHz。请问:

1) 该总线带宽是多少?

2) 如果一个总线周期中并行传送 64 位数据, 总线时钟 率升为 100MHz, 则总线带宽是多少?

3. 计算机的字长为 32 位, 假设主存的最大容量为 8MB, Cache 中数据容量为 64KB, 内存与 Cache 交换数据块的大小为 16 个字节, 若按照采用直接映射方式。请问:

1) Cache 划分为多少块? 每个块中包含多少个字

2) 使用物理地址访问 Cache 时, 物理地址的划分情况, 并说明每个字段的位数及在物理地址中的位置。

3) 请计算 Cache 总的容量有多大 (需要考虑有效位和标记位)

#### 四、综合分析 (20 分)

如下图 1-1 所示的一个支持 MIPS32 指令集的单周期的模型机, 其数据总线和地址总线均为 32 位, 其中 Registers 为 32 个 32 位的通用寄存器的寄存器堆, 可以同时读出两个寄存器值, 当 RegWrite=1 时进行寄存器的写入操作; Data Memory 为数据存储器; Instruction Memory 为指令存储器; PC 为程序计数器; ALU 为运算器; Control 为控制器; MUX 为多路选择器; ADD 部件为加法器; Sign-extend 为符号扩展电路; Shift Left 为左移电路; ALU control 为算术运算控制电路。

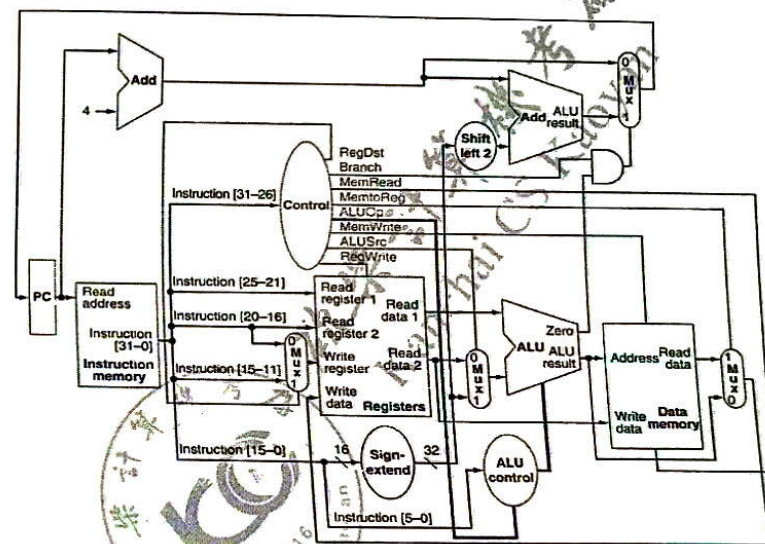


图 1-1

MIPS32 中 R-type 加法指令 ADD rd,rs,rt, 实现将寄存器 rs 和 rt 求和后存放在寄存器 rd 中, 指令的格式为:

R-type	0	rs	rt	rd	shamt	funct
	31:26	25:21	20:16	15:11	10:6	5:0

条件跳转指令 Beq rs,rt,address,实现 rs 和 rt 比较, 如果相同则跳转到 PC+address\*4 处开始执行。

Beq	4	rs	rt	address
	31:26	25:21	20:16	15:0



假设各个部件的时延为:

指令存储器: 400ps; 加法器: 100ps; 多路选择器 30ps; ALU 运算器: 120ps; 寄存器堆: 200ps;  
数据存储器: 350ps; 控制器 100ps。假设其它部件的时延忽略不计。请完成以下的分析和计算:

- 1) 描述 R-type 加法涉及部件与执行过程, 给出执行的关键路径和指令执行时间 (10 分);
- 2) 描述 Beq 指令涉及的部件和执行过程, 给出执行的关键路径和指令执行时间 (10 分);

## 试卷答案

### 一、单项选择题 (2 分/每小题, 共 20 分)

1	2	3	4	5	6	7	8	9	10
B	C	A	D	D	C	A	C	C	B

### 二、简答题 (30 分, 每小题 6 分)

#### 1. 【解答】

- 1) 算法决定源程序执行指令的数量以及程序的 CPI; (1.5)
- 2) 编程语言主要影响指令的条数和 CPI; (1.5)
- 3) 编译程序也会影响指令的条数和 CPI; (1.5)
- 4) 指令系统决定的指令数, 时钟频率以及 CPI; (1.5)

#### 2. 【解答】

计算机中浮点数不满足结合率的原因是由于计算机中数的表示的二进制位数是有限的, 在计算过程中的舍入处理会导致计算不满足结合率。

例如  $x = -1.5 \times 10^{-38}$ ,  $y = 1.5 \times 10^{-38}$ ,  $z = 1$ , 则  $x + (y + z) = 0$ , 而  $(x + y) + z = 0$

#### 3. 【解答】

写直达法, 是当 CPU 写数据时, 同时在 Cache 和内存中写入数据: 其优点是管理简单, 有利于维持数据的一致性, 但是速度慢;

写回法是, CPU 写数据时先写入 Cache 中并做标记, 当该块换出时写会内存; 优点是管理较复杂, 速度快, 但是不利于保证数据一致性。

#### 4. 【解答】

当其它设置都相同时, 随着 Cache 容量的增加, Cache 的命中率会增加, 但是命中时间可能会上升;

当其它设置相同, 随着增加块的大小时, Cache 命中率会先上升然后会下降, 同时也会增加未命中的代价。

当其它都相同时, 增加相联性, 会提高命中率, 但是代价是导致命中时间上升。



## 5. 【解答】

单重中断的处理过程是：先关中断、保存现场、判断中断源并进入中断服务程序，开中断，中断处理程序，关中断，恢复现场，返回主程序。

## 三、计算题 (30 分, 每小题 10 分)

## 1. 【解答】

## 1) step1: Align binary points

Shift number with smaller exponent

$$1.0002 \times 2^{-1} + -0.1112 \times 2^{-1}$$

## step2: Add significands

$$1.0002 \times 2^{-1} + -0.1112 \times 2^{-1} = 0.0012 \times 2^{-1}$$

## step3: Normalize result &amp; check for over/underflow

$$1.0002 \times 2^{-4}, \text{ with no over/underflow}$$

## step4: Round and renormalize if necessary

$$1.0002 \times 2^{-4} (\text{no change}) = 0.0625$$

## 2) Answer for 2):

Bit	Bit	Bit
31	30 ~ 23	22 ~ 0
0	01111110	000...0 (全零)

## 2. 【解答】

$$1) \text{ 总线带宽为 } 33\text{M} \times 2 = 66\text{MB/s}$$

$$2) 100\text{M} \times 8 = 800\text{M/S}$$

## 3. 【解答】

$$1) \text{ Cache 划分的块数为 } 64\text{K}/16 = 4\text{K} \text{ 块, 每块为 4 个字;}$$

2) 物理地址为 32 位其中, 其划分的情况 0-3 位为块内地址, 4 位-15 位为 Cache 块的编号, 16 位-31 位为 Cache 中 Tag 位数。

$$3) \text{ Cache 的容量为 } (16 \times 8 + 16 + 1) \times 4\text{K} = 580\text{K}$$

## 四、综合分析题 (20 分)

## (一) 关于加法指令

加法执行过程如下:

(1) PC 寄存器中地址送指令存储器, 并读指令; PC 地址同时送地址加法部件实现 PC+4;

(2) 根据指令中的寄存器的 rs 和 rt 的编号从寄存器堆中读出两个寄存器中的值;

(3) rs 和 rt 中的值送入运算器中进行加法运算;

(4) 运算的结果送入寄存器堆中的 rd 寄存器;

(5) 将 PC+4 的值送入 PC

该指令执行的关键路径为:

取指令→取操作数 (同时控制器译码) → 多路选择器→运算器→多路选择器→写寄存器堆

$$\text{因此总的时间为: } 400\text{ps} + 200\text{ps} + 30\text{ps} + 120\text{ps} + 30\text{ps} + 200\text{ps} = 980\text{ps}$$

## (二) 关于跳转指令执行的时间

(1) PC 寄存器中地址送指令存储器, 并读指令; PC 地址同时送地址加法部件;

(2) 根据指令中的寄存器的 rs 和 rt 的编号从寄存器堆中读出两个寄存器中的值, 同时将指令中低 16 位送入带符号位的扩展电路, 并将将扩展后的数据送左移部件后进行与 PC+4 的值进行加法操作;

(3) rs 和 rt 中的值送入运算器中进行比较 (减法) 运算;

(4) 根据运算结果, 选择 PC+4 或者 PC+4+16 位偏移地址送入 PC;

该指令执行的关键路径为:

取指令→取操作数 (同时控制器译码) → 多路选择器→运算器→多路选择器 (根据结果选择地址送 PC)

$$\text{因此总的时间为: } 400\text{ps} + 200\text{ps} + 30\text{ps} + 120\text{ps} + 30\text{ps} = 780\text{ps}$$

# 重庆大学《计算机组成原理》2016-2017 学年课程试卷

开课学院：计算机学院 课程号：CST31101 考试日期：2017.1.6

考试方式：闭卷

考试时间：120 分钟

题号	一	二	三	四	五	六	七	八	九	十	总分
得分											

## 考试提示

1. 严禁随身携带通讯工具等电子设备参加考试；
2. 考试作弊，留校察看，毕业当年不授学位；请人代考、替他人考试、两次及  
以上作弊等，属于严重作弊，开除学籍。

一、(30 分) 判断题，正确的标识  $\sqrt{}$ ，错误的标识  $\times$ ，请务必将答案填至下面的表格，每题 2 分。

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
$\sqrt{}$	$\sqrt{}$	$\times$	$\sqrt{}$	$\times$	$\sqrt{}$	$\times$	$\sqrt{}$	$\times$	$\sqrt{}$	$\sqrt{}$	$\times$	$\times$	$\times$	$\sqrt{}$

1. 在计算机的性能评价中算法决定了执行操作的数量。
2. 计算机组成中处理器是由 Datapath 和 Control 共同构成的。
3. 对于计算机性能来讲，CPI 越小越好，最好的计算机系统 CPI 等于 1。
4. 机器字长是计算机能直接处理的二进制数据的位数，它表示计算机内部数据通路和工作寄存器的宽度，是各种因素综合表现的属性。
5. 在采用扩展操作码技术的指令系统中，假设 OPCODE 长度为 6 位，则该指令系统最多具有 64 条指令。
6. 寻址能力和地址计算的复杂度是设计指令系统寻址技术的关键因素。
7. MIPS 计算机的存储器操作数采用低位字节在最低地址的存储方式。
8. Add \$t2, \$s1, \$zero 实际执行的是两个寄存器之间的数据传送操作。
9. 32 位 MIPS 计算机执行条件转移指令时，地址偏移量 16 位，转移的目的地址不能大于  $2^{16}$  字节。
10. 使用补码进行加减运算的显著优点是符号位和数值位一样参加运算。

11. 假设 X 为二进制不码数 1111 1111 1111 1111 1111 1111 1000<sub>2</sub>，X 对应的十进制数是 -8<sub>10</sub>。

12. IEEE 754 浮点数表示法中规格化尾数 significand 的绝对值范围是：

1.0 < |significand| < 2.0。

13. 实现 IEEE 754 浮点数加法的硬件复杂性远高于实现乘法的硬件复杂性。

14. 程序计数器 PC 仅用于存放指令顺序执行时下一条指令的地址。

15. 控制存储器 CM 常用语存放微程序。

二、(30 分) 单项选择题，请务必将答案填至下面的表格，每题 2 分。

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	D	B	B	A	D	D	A	C	A	D	A	B	C	A

1. Computer A 的 Cycle Time = 250ps, CPI = 2.0; Computer B 的 Cycle Time = 500ps, CPI = 1.2; 采用相同的 ISA，则计算机的运行速度关系为 ( )

- A. Computer A 是 Computer B 的 1.2 倍
- B. Computer B 是 Computer A 的 1.2 倍
- C. Computer A 是 Computer B 的 2 倍
- D. Computer B 是 Computer A 的 2 倍

2. 32 位 MIPS 计算机中 lw 指令读取数组操作数 A[9] 的偏移量是 ( )

- A. 9
- B. 18
- C. 27
- D. 36

3. IEEE 754 双精度浮点表示法中指数部分的二进制对应的无符号数值为十进制数值 23，则其表示的指数取值对应的十进制是 ( )

- A. 1000
- B. -1000
- C. 104
- D. -104

4. 十进制数 0.75 的 IEEE 754 单精度浮点数的二进制形式是 ( )

- A. 1|01111110|1000...00
- B. 0|01111110|1000...00
- C. 1|01111111110|1000...00
- D. 0|01111111110|1000...00

5. IEEE 754 单精度浮点数的二进制形式 0|10000001|01000...00 的十进制真值是 ( )

- A. 5
- B. -5
- C. 10
- D. -10

6. 对于某种特定的指令系统结构而言，提高 CPU 性能的途径是 ( )

- A. 提高时钟频率



- B. 优化处理器的内部结构组织结构, 从而降低 CPI  
C. 编译器对程序进行优化, 从而减少指令的数量  
D. 以上都是
7. 在 CPU 控制器中, 以下各周期单位中最小粒度的是 ( )  
A. 指令周期 B. 机器周期 C. CPU 周期 D. 时钟周期
8. 系统基本 CPI 和 Clock cycle time 是有以下哪种因素决定的 ( )  
A. CPU 硬件 B. ISA C. 操作系统 D. 编译器和 ISA 共同决定
9. MIPS 指令集中 LW 指令的寻址方式是 ( )  
A. 立即数寻址 B. 寄存器寻址 C. 基址寻址 D. PC 相对寻址
10. MIPS 单周期数据通路中以下哪条指令的执行时间最长 ( )  
A. LW B. SW C. ADD D. BEQ
11. 某计算机的存取周期为 500ns, 每个存取周期可访问 16 位, 则存储带宽为 ( )  
A. 8M 位/秒 B. 64M 位/秒 C. 16M 位/秒 D. 32M 位/秒
12. 有关中断的论述不正确的是 ( )  
A. CPU 和 I/O 设备可并行工作, 但设备间不可并行工作  
B. 可实现多道程序、分时操作、实时操作  
C. 硬盘读写采用中断方式可能引起数据丢失  
D. 计算机的中断源可来自主机, 也可来自外设
13. MIPS 指令集系统中, Load Word(LW)及 Save Word(SW)属于什么类型的指令, 以及其属于哪种寻址方式 ( )  
A. R-型指令, 基址寻址 B. I-型指令, 基址寻址  
C. I-型指令, PC 相对寻址 D. I-型指令, 伪直接寻址
14. 64 blocks、16bytes/block 的直接映射 Cache 中, 主存字节地址 1211 映射到的 cache 块号为 ( )  
A. 9 B. 10 C. 11 D. 12
15. cache 采用 Write through 策略, 系统在无写操作时的基本 CPI=1, 假设某程序中 15% 的指令为 SW 指令, 写主存花费 80 个 cycles, 则系统实际的 CPI 是 ( )  
A. 13 B. 12 C. 11 D. 10

### 三、(20 分) 简单分析题, 每小题 5 分。

1. 假定单级 Cache 系统中, 且对内存的读写必须经过 Cache, I-cache miss rate = 1%, D-cache miss rate = 5%, Miss penalty=120 cycles, 基本 CPI=1, Load 和 store 指令占指令系统的 30%, 请分析计算该系统的实际 CPI。

2. 分析图 3.1 IMIPS 单周期数据通路中三个多路选择器的功能。

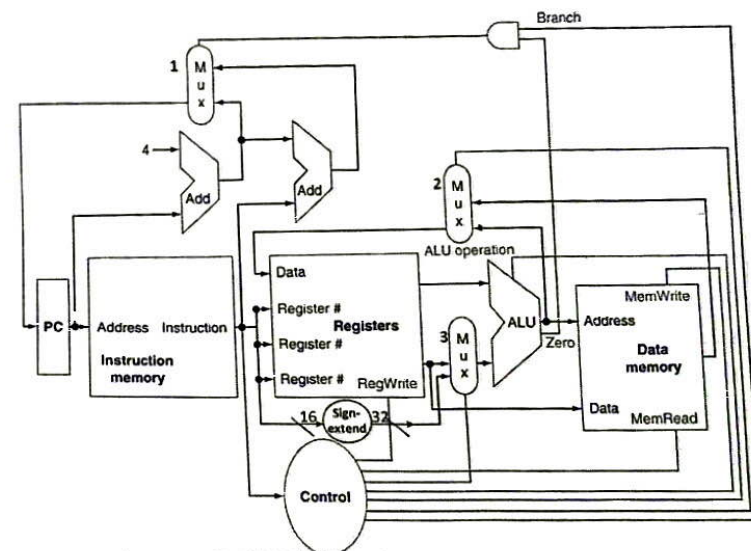


图 3.1 MIPS 单周期数据通路

3. 32 位地址、采用直接相联映射的 Cache, 可以储存 32KB 数据, 每个数据块 8 个字, 请分析该 Cache 的总容量至少为多少 KB?
4. 某计算机处理器主频为 50MHz, 设备 A 工作期间每秒最多与 CPU 进行 10 次数据交换, 且最小间隔为 0.5ms, 为保证数据不丢失。假设程序查询和中断服务程序每次完成数据交换都需要 1000 个时钟周期。试分析:
- (1) 程序查询方式 CPU 用于设备 A 的 I/O 的时间占整个 CPU 时间的百分比至少是多少? (2)



分)

(2) 中断方式 CPU 用于设备 A 的 I/O 的时间占整个 CPU 时间的百分比至少是多少? (3 分)

#### 四、(20 分) 综合分析计算题, 每小题 10 分。

1. MIPS 单周期数据通路如图 4.1 所示。已知 ALUOp 为 00 时是 R 型指令操作码, 01 时是 lw、sw 型指令操作码, 10 时是 beq 指令操作码, jump 指令与 ALUOp 无关。在每种操作码下每个信号的取值: 0、1 或者任意值 x。如果执行表 4.1 指令请给出控制单元的输出控制信号状态, 并填入表 4.1 空白处。(每条指令 2 分)

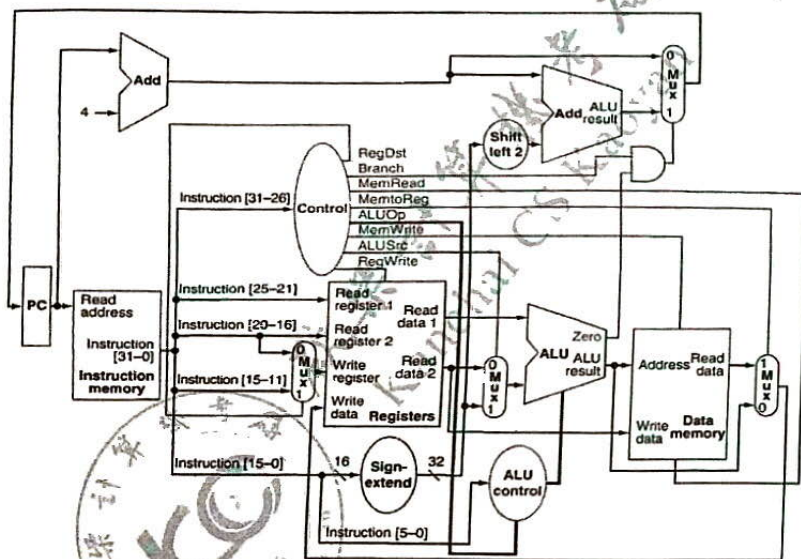


图 4.1 MIPS 单周期数据通路

表 4.1 指令控制信号表

指令	Regdst	Alusrc	Memlore	Regwrite	Memread	Memwrite	Branch	Aluop	Jump
R 型									
Lw									
Sw									
Beq									
Jump									

2. MIPS 单周期数据通路如上题图 4.1 所示。不同单元有不同的延迟时间, 对一条指令而言, 关键路径 (产生最长延迟的那条路径) 上个单元的延迟时间决定了该指令的最小延迟。数据通路中不同的单元延迟对整个数据通路时钟周期有影响。设各主要单元的延迟时间如表 4.2 (单位 ps):

表 4.2 主要单元的延迟时间表

Imem	Adder	Mux	Alu	RF	Dmem	SignExt	CU
400	100	30	120	200	350	20	100

其它单元延迟忽略。

(1) 如果仅需支持 R 类型指令, 按照指令执行顺序给出关键路径 (填入表 4.3), 并计算指令周期长度 (单位: ps) ? (3 分)

(2) 如果仅需支持 lw 型指令, 按照指令执行顺序给出关键路径 (填入表 4.4), 并计算指令周期长度 (单位: ps) ? (3 分)

(3) 如果必须同时支持 R 类型、lw、sw、beq 指令, 请计算指令周期长度 (单位: ps) ? (4 分)

解: (1) 关键路径

表 4.3 关键路径表

顺序	1	2	3	4	5	6	7	8	9
单元									

请计算指令周期长度:

(2) 关键路径

表 4.4 关键路径表

顺序	1	2	3	4	5	6	7	8	9
单元									

请计算指令周期长度:

(3) 请计算指令周期长度:



## 重庆大学《计算机组成原理》

☒ A卷☐ B卷

## 课程试卷

2020 — 2021 学年 第 2 学期

开课学院: 计算机学院 课程号: CST31116 考试日期: 2021-07-02

考试方式: ☐ 开卷 ☒ 闭卷 ☐ 其他 考试时间: 120 分钟

题号	一	二	三	四	五	六	七	八	九	十	总分
得分											

## 考试提示

1. 严禁随身携带通讯工具等电子设备参加考试;
2. 考试作弊, 留校察看, 毕业当年不授学位; 请人代考、替他人考试、两次及以上作弊等, 属严重作弊, 开除学籍。

一、(40 分) 判断题, 正确的标识√, 错误的标识×, 请务必将答

案填写至下面的表格, 以表格答案为判分依据, 每题 2 分。

1	2	3	4	5	6	7	8	9	10
11	12	13	14	15	16	17	18	19	20

1. C 程序设计语言与 MIPS 汇编语言是一对多的映射关系。
2. 如果仅仅对计算机系统的一部分做性能改进, 则有可能改进越多, 系统获得的总体效果提升越小。
3. 5GHz 时钟主频的 CPU, 其时钟周期时间为 250ps。

4. 计算机系统的平均 CPI 仅受 CPU 硬件架构的影响。
5. MIPS 中的存储器操作数按照“大数端”方式存储。
6. MIPS-32 系统执行 C 代码  $g = h + A[9]$ , 数组  $A[9]$  采用基址寻址方式, 偏移量为 32。
7. MIPS-32 系统执行汇编代码 `add $t2, $s1, $zero`, 实际实现的是 `move` 指令。
8. MIPS-32 ISA 的 I 型指令格式仅用于立即数运算指令。
9. MIPS-32 ISA 采用了扩展操作码技术, 其 R 型指令格式中扩展操作码占 5 位二进制位。
10. MIPS-32 系统中无条件转移指令的寻址空间通常大于有条件转移指令。
11. MIPS-32 系统中指令 `beq $s0, $s1, L1` 与 `bne $s0, $s1, L2`、`j L1` 两条指令功能等效, 但前者的寻址空间更大。
12. IEEE 754 单精度浮点数中, 指数部分对应的十进制值为 130, 则十进制真值对应的十进制指数为 257。
13. 流水线中采用旁路技术可解决所有的 RAW 数据冒险。
14. MIPS-32 系统中浮点数加法运算满足结合律。
15. Cache 的容量、块的大小限定时, 增加相联性, 会提高命中率, 但是代价是导致命中时间上升。
16. IEEE 754 单精度浮点数二进制形式 `0|10000001|01000...00` 的十进制真值是 10。
17. 1024 块 4 路组相联 Cache 需要 2 个比较器进行 tag 位比较。
18. 在主存和 CPU 之间增加 cache 存储器的目的是解决 CPU 和主存之间的速度匹配问题。
19. 为了便于实现多级中断, CPU 现场信息通常保存在通用寄存器中。
20. 鲲鹏 920 系列处理器具有两级高速缓存结构。

二、(30 分) 简单分析题, 每小题 6 分。

1. 计算机 A 的 Cycle Time = 200ps, CPI = 1.5, 计算机 B 的 Cycle Time = 400ps, CPI = 1.0, 两台计算机采用同样的 ISA, 哪台计算机更快? 快多少? 需要给出分析计算过程。

命题人: 冯永叶 李春晓

命题人: 冉春华 吴长泽 审题人: 钟将

命题时间: 2021-06-15

教务处制

2. 请给出下列 C 语言代码对应的 MIPS-32 汇编语言代码。

```
void strcpy (char x[], char y[])
{ int i;
  i = 0;
  while ((x[i]=y[i])!='\0')
    i += 1;
}
```

Addresses of x, y in \$a0, \$a1, i in \$s0.

3. 用补码计算  $X+Y$  和  $X-Y$ , 并判定是否溢出及溢出的形式。其中  $X=+1000$ ,  $Y=+1001$ , 数值位 4 位, 采用双符号位。

4. 请给出单周期 MIPS-32 系统中 jal 指令的指令格式, 并分析其指令特点。

5. 请分析在周期窃取式 DMA 控制器工作期间, CPU 是否需要介入? 如果需要介入, 在什么时间点介入? 完成哪些具体的功能?



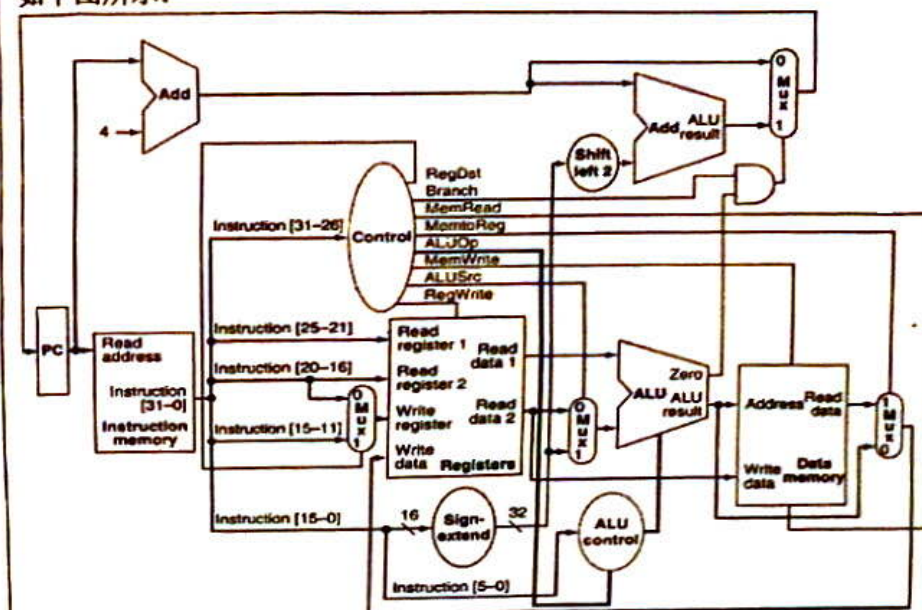
## 三、(30分) 综合分析题。

1. (14分) 在一个计算机系统中, CPU base CPI = 1, clock rate = 5GHz, Miss rate/instruction = 2.5%, Main memory access time = 100ns:

(1) 如果仅有 L1 cache, 请分析计算 cache 的失效损失以及系统实际的 CPI。

(2) 此时增加 L2 cache, L2 cache access time = 4 ns, Global miss rate to main memory = 0.2%, 请分析计算 L1 cache 失效 L2 cache 命中的失效损失、L1 cache 失效 L2 cache 也失效的失效损失、整个系统的实际 CPI。

2. (16分) 假设 32 位 MIPS 指令集的一个单周期计算机实现对应数据通路如下图所示:



其中: PC 为指令寄存器, Instruction memory 为指令存储器, Data memory 为数据存储器, Register 为寄存器堆, Sign-extend 为符号扩展部件, Shift Left 为无符号左移部件, ADD 为加法器, ALU 为运算器, MUX 为多路选择器。请根据指令的功能分析相关控制信号的取值, 并填在下表中。多路选择器根据控制信号选通对应的通路的编号, RegWrite、MemRead 和 MemWrite 信号 1 为有效, 0 不进行操作, x 为不相关的控制信号。MIPS 指令的编码方案如下图所示。

R-type	0	rs	rt	rd	shamt	funct
	31:26	25:21	20:16	15:11	10:6	5:0
Load/Store	35 or 43	rs	rt	address		
	31:26	25:21	20:16	15:0		
Branch	4	rs	rt	address		
	31:26	25:21	20:16	15:0		

(每条指令 4 分, 其中每条指令的控制信号错一个扣 1 分, 扣完为止)

指令	Reg Dst	Branch	AluSrc	MemtoReg	RegWrite	MemWrite	MemRead
Add	1	0	0	0	1	0	0
Beq	0	1	0	0	0	0	0
LW	0	0	1	1	1	0	1
SW	0	0	1	X	0	1	0

13