**四川大学期末考试试题（闭卷）**

**（2021——2022学年第 一 学期） A卷**

课程号：304036030 课序号： 课程名称：计算机组成原理 任课教师： 成绩：

适用专业年级： 学生人数： 印题份数： 学号： 姓名：

|  |
| --- |
| **考 生 承 诺**  我已认真阅读并知晓《四川大学考场规则》和《四川大学本科学生考试违纪作弊处分规定（修订）》，郑重承诺：  1、已按要求将考试禁止携带的文具用品或与考试有关的物品放置在指定地点；  2、不带手机进入考场；  3、考试期间遵守以上两项规定，若有违规行为，同意按照有关条款接受处理。  **考生签名：** |
| 1. **选择题 （本大题共15空，每空2分，共30分）** 2. 下列哪个不属于教材中提到的计算系统结构中的8个伟大思想（ ）   A. 使用抽象设计 B. 通过预测提高性能  C. 使用更多寄存器 D. 通过冗余提高可靠性   1. 下列哪个部件不是组成计算机的5个经典部件之一（ ）   A. 加法器 B. 输出  C. 数据通路 D. 控制器   1. 理论上给定程序的CPU执行时间和哪个因素无关（ ）   A. 指令数 B. CPI  C. 时钟频率 D. 内存   1. 8位补码为11111000，其十进制数值是（ ）   A. 8 B. -8  C. -136 D. -248   1. MIPS指令有R,I,J类，下列哪条不是R类？（ ）   A. add $t0,$0,$t3 B. addi $t0,$0,3  C. addu $t0,$0,$3 D. and $t0,$0,$3   1. 下面描述中将目标文件和库文件生成可执行代码的是（ ）   A. 汇编器 B. 链接器  C. 加载器 D. 编译器   1. 目前构成主存的基本存储单元采用哪种方式存储信息的（ ）。   A. 寄存器 B. 触发器  C. 电容 D. 电阻   1. 在MIPS中,访问过程帧时，需要使用到的寄存器是（ ）   A. $fp B. $gp  C. $sp D. $at   1. 若数据在存储其中采用大端对齐方式，则十六进制数12345678H按字节地址由小到大依次为（ ）   A. 12345678 B. 78563412  C. 34127856 D. 87654321   1. 下指令运行时，除（ ）指令外，都需要使用Sign-extend单元   A. beq B. lw  C. j D. addi   1. 下列哪个是组合单元（ ）   A. Register B. Memory  C. Cache D. ALU   1. 以下关于磁盘的描述，哪个是错误的（ ） 2. 一个磁盘通常包含一组圆形盘片 3. 每个盘片通常包含几万个磁道 4. 每个磁道通常包含几千个扇区 5. 每个扇区通常包含一个磁头 6. 单周期数据通路设置了独立的指令存储器和数据存储器，是因为（ ）   A. MIPS中指令和数据的格式不同  B. 使用独立的存储器速度比较快  C. 单周期内每个部件只能操作1次，不可能对单端口存储器进行两次存取。  D. 以上说法均不对   1. 下面哪些表述通常是正确的（ ） 2. 外部存储器不属于存储器层次结构 3. 寄储器不属于存储器层次结构 4. 存储器层次结构的大部分成本处于最高层   D. 存储器层次结构的大部分容量处于最低层   1. 下列关于TLB的描述，哪个是正确的（ ）   A. Cache的Cache B. 页表项的Cache  C. 主存的Cache D. 磁盘的Cache  **二、分析计算题（本大题共4小题，每小题5分，共20分）**   1. 假设一个程序包含100万条指令，在主频为1×109Hz的CPU上运行，其中LW、SW、R-Type、Beq、J分别占25%、10%、45%、15%、5%。   请计算运行该程序时多周期MIPS处理器的CPI和所需时间（单位：秒）。（写出公式和详细过程）   1. 已知十进制数为-0.875，求它的IEEE754单精度浮点数（写出详细过程） 2. 请写出1011的海明校验码（每组采用**奇校验**，写出分组和计算过程） 3. 参考如下优化后的乘法运算硬件实现框图，计算4位二进制无符号整数0111乘以0011的结果，请在下表中给出使用该硬件实现运算的各个操作步骤以及相应寄存器的值(简化起见只使用4/8位宽度)   f03-06-P374493   |  |  |  |  | | --- | --- | --- | --- | | Iteration | Operation(Shift and/or Add) | Multiplicand | Product | | 0 | initial values | 0111 | 00000011 | |  |  |  |  | |  |  |  | |  |  |  |  | |  |  |  | |  |  |  |  | |  |  |  | |  |  |  |  | |  |  |  |   **三、应用题（本大题共2小题，每小题10分，共20分）**   1. 请将下面的C语言程序翻译为MIPS汇编语言程序，指令数量尽可能少。   假设函数func的申明为“int func(int a, int b),且已按MIPS标准写好，函数f的代码如下：  int f(int a, int b, int c){  if （c == 0） return 0;  return func(func(a,b),c)  }   1. 假设某系统内存地址为32位，Cache的容量为128字节，每一个数据块的大小为4个字，Cache采用直接映射方式。 2. Cache有多少个数据块？索引Index位和标记Tag位各为多少位？（4分） 3. 假设初始化时Cache为空，并按下列内存块地址进行访问。   13, 21, 13, 21, 12, 21, 19, 78, 88。  请给出按上述顺序最后一次访问后Cache的状态，要求每个有效项以记录的形式<索引，标记，Mem[块地址]>表示。（5分）  3）计算上述访问的Cache命中率。（1分）   1. **数据通路分析与设计（本大题共2小题，每小题15分，共30分）**   1、图1是单周期处理器的数据通路（能够实现LW、SW、R-Type、Beq以及J指令），请回答下述问题。   1. 请写出单周期数据通路中LW指令的全部执行步骤。（3分） 2. 请写出单周期数据通路中LW指令所需要使用的功能部件，并将控制器产生的控制信号填入表1。（8分） 3. 假设有一条新指令sw $t0,$t1($t2)，其功能为MEM[$t1+$t2]=$t0,请设计画出其指令格式，说明各字段的含义和取值。该指令如需在图1所示数据通路上实现，是否需要增加新的硬件和控制信号？说明原因。（4分）  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 单周期处理器数据通路  图1：单周期数据通路  表1：单周期数据通路控制信号   |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | | RegDst | ALUSrc | MemtoReg | RegWrite | MemRead | MemWrite | Branch | ALUOp | |  |  |  |  |  |  |  |  |   2、图2是多周期处理器的数据通路（能够实现LW、SW、R-Type、Beq以及J指令），请回答下述问题。  多周期处理器数据通路  图2：多周期数据通路   1. 多周期处理器的时钟周期主要是根据什么确定的？（2分） 2. 用RTL语言写出多周期数据通路中J指令在各周期的执行过程。（5分） 3. 请写出多周期数据通路中J指令在执行周期所需要使用的功能部件，并 将控制器产生的相应控制信号填入表2。（8分）   表2：多周期数据通路控制信号   |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | PCWrite | IorD | MemWrit | MemRead | IRWrite | MemtoReg | RegWrite | RegDst | ALUSrcA | ALUSrcB | PCSource | |  |  |  |  |  |  |  |  |  |  |  | | |