**四川大学期末考试试题（闭卷）**

**（2021——2022学年第 一 学期） B卷**

课程号：304036030 课序号： 课程名称：计算机组成原理 任课教师： 成绩：

适用专业年级： 学生人数： 印题份数： 学号： 姓名：

|  |
| --- |
| **考 生 承 诺**  我已认真阅读并知晓《四川大学考场规则》和《四川大学本科学生考试违纪作弊处分规定（修订）》，郑重承诺：  1、已按要求将考试禁止携带的文具用品或与考试有关的物品放置在指定地点；  2、不带手机进入考场；  3、考试期间遵守以上两项规定，若有违规行为，同意按照有关条款接受处理。  **考生签名：** |
| 1. **选择题 （本大题共15空，每空2分，共30分）** 2. 通常芯片产量越高，成本越低，下列哪种说法错误（ ）   A.设计高产量芯片的工作量比设计低产量芯片小  B.高产量使得在制造过程中能适当调节设计，提高成品率  C.制造芯片用的掩膜很贵，产量高时每芯片的掩膜成本就低  D.研发成本高且基本与产量无关，故产量高时每芯片研发成本低   1. 下列哪个部件不是组成计算机的5个经典部件之一（ ）   A. 输入 B. 加法器  C. 数据通路 D. 存储器   1. 下列哪个因素会影响CPU的时钟频率（ ）   A. 算法 B. 编程语言  C. 编译程序 D. 指令集体系结构   1. 若8位补码为11111100，其十进制数值是（ ）   A. 4 B. -132  C. -4 D. -252   1. MIPS指令有R,I,J类，下列哪条不是I类？（ ）   A. lw $t0,4($t1) B. sw $t0,4($t1)  C. j loop D. beq $t0,$t1,loop   1. 下面描述中将指令从符号码翻译成二进制机器码的是（ ）   A. 编译器 B. 链接器  C. 加载器 D. 汇编器   1. 相同工艺下，对加法器速度影响最大的因素是（ ）   A. 输入 B. 求加  C. 进位生成和传递 D. 输出   1. MIPS中，通常用（ ）寄存器来存放返回地址   A. PC B. IR  C. $ra D. $sp   1. 最低字节存储在最小地址位置的存储方式称作（ ）   A. 小端对齐 B. 中端对齐  C. 大端对齐 D. 双端对齐   1. 下列指令运行时，除（ ）指令外，都需要使用ALU单元。   A. beq B. j  C. lw D. sub   1. 单精度浮点数中，符号位1位，阶码8位，尾数23位，它能表示的最大规格化正数为（ ）   A. +（2-2-23）× 2+127 B. +（1-2-23）× 2+127  C. +（2-2-23）× 2+255 D. 2+127-2-23   1. 以下哪个是状态单元（ ）   A. ALU B. Register  C. Mux D. Adder   1. 单周期数据通路中，对于取数指令，以下哪个正确（ ） 2. MemtoReg信号线应设置为将存储器中的数据发送至寄存器堆 3. MemtoReg信号线应设置将目标寄存器中的数据发送至寄存器堆 4. MemtoReg信号线应设置将源寄存器中的数据发送至寄存器堆 5. MemtoReg信号线设置无关紧要 6. 下面哪些表述通常是错误的（ ） 7. 存储器中用了时间局部性 8. 存储器中用了空间局部性 9. 存储器层次结构的大部分容量处于最高层   D. 存储器层次结构的大部分成本处于最低层   1. 下面不属于校验码技术的是（ ）   A. 奇偶码 B. 移码  C. 海明码 D. CRC码   1. **分析计算题（本大题共4小题，每小题5分，共20分）** 2. 假设一个程序包含100万条指令，在主频为1×109Hz的CPU上运行，其中LW、SW、R-Type、Beq、J分别占20%、10%、50%、10%、10%。   请计算运行该程序时多周期MIPS处理器的CPI和所需时间（单位：秒）。  （写出公式和详细过程）   1. 已知十进制数为-6，求它的IEEE754单精度浮点数（写出详细过程） 2. 请写出0010的海明校验码。（每组采用**偶校验**，请写出分组和计算过程） 3. 参考如下优化后的乘法运算硬件实现框图，计算4位二进制无符号整数1001乘以1011的结果，请在下表中给出使用该硬件实现运算的各个操作步骤以及相应寄存器的值(简化起见只使用4/8位宽度)。   f03-06-P374493   |  |  |  |  | | --- | --- | --- | --- | | Iteration | Operation(Shift and/or Add) | Multiplicand | Product | | 0 | initial values | 1111 | 0000/1011 | |  |  |  |  | |  |  |  | |  |  |  |  | |  |  |  | |  |  |  |  | |  |  |  | |  |  |  |  | |  |  |  |   **三、应用题（本大题共2小题，每小题10分，共20分）**   1. 请将下面的C语言程序翻译为MIPS汇编语言程序，指令数量尽可能少。   假设函数func的申明为int func(int a, int b),且已按MIPS标准写好，函数f的C代码如下：  int f(int a, int b, int c, int d){  return func(c+d,func(a,b))  };   1. 假设某系统内存地址为16位，Cache的容量为256字节，每一个数据块的大小为8个字，Cache采用直接映射方式。 2. Cache有多少个数据块？索引Index位和标记Tag位各为多少位？（4分） 3. 假设初始化时Cache为空，并按下列内存块地址进行访问。   17,6,20,17,9,17,19,21。  请给出按上述顺序最后一次访问后Cache的状态，要求每个有效项以记录的形式<索引，标记tag，Mem[块地址]>表示。(5分)   1. 计算上述访问的Cache命中率。（1分） 2. **数据通路分析与设计（本大题共2小题，每小题15分，共30分）** 3. 图1是单周期处理器的数据通路图（能够实现LW、SW、R-Type、Beq以及J指令），请回答下述问题。 4. 请写出单周期数据通路中sub指令的全部执行步骤。（4分） 5. 请写出sub指令所需要使用的功能部件，并将控制器产生的控制信号填入表1。（7分）  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 单周期处理器数据通路  图1：单周期数据通路图  表1：单周期数据通路控制信号   |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | | RegDst | ALUSrc | MemtoReg | RegWrite | MemRead | MemWrite | Branch | ALUOp | |  |  |  |  |  |  |  |  |  1. 假设有一条新指令lw $t0,$t1($t2)，其功能为$t0=MEM[$t1+$t2],请设计画出其指令格式，说明各字段的含义和取值。该指令如需在图1所示数据通路上实现，是否需要增加新的硬件和控制信号？说明原因。（4分）。 2. 图2是多周期处理器的数据通路（能够实现LW、SW、R-Type、Beq以及J指令），请回答下述问题。 3. 为什么多周期硬件设计会在每个主要的功能部件后增加寄存器？（2分）   多周期处理器数据通路  图2：多周期数据通路图   1. 用RTL语言写出多周期数据通路中Beq指令在各周期的执行过程。（5分） 2. 请写出多周期数据通路中Beq指令在执行周期所需要使用的主要功能部件，并将控制器产生的相应控制信号填入表2。（8分）   表2：多周期数据通路控制信号   |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | PCWrite | IorD | MemWrit | MemRead | IRWrite | MemtoReg | RegWrite | RegDst | ALUSrcA | ALUSrcB | PCSource | |  |  |  |  |  |  |  |  |  |  |  | | |