

**重庆大学**2018-2019**学年第** 2 **学期**  
**《计算机组成与体系结构》考试试卷（**A**卷）**

**（闭卷** **时间**120**分钟）**

**院**/**系** **年级** **专业** **姓名** **学号**

**题** **号** **一** **二** **三** **四** **五** **六** **七** 总分

**得** **分**

**一、单项选择题（每小题1分，共20分）** **得 分**

**1. 若X**补**=0.1101010，则X**原**=（** **）。**

A、1.0010101 B、1.0010110 C、0.0010110 D、0.1101010

2. 若采用双符号位，则发生正溢的特征是：双符号位为（ ）。

A、00 B、01 C、10 D、11

3．一个16K×32位的存储器，其地址线和数据线的总和是( )。

A、48； B、46； C、36； D、32。

4．某计算机字长是16位，它的存储容量是1MB，按字编址，它的寻址范围是( )。

A、512K B、1M C、512KB D、1MB

5．主存和CPU之间增加高速缓冲存储器的目的是( )。

A、解决CPU和主存之间的速度匹配问题；C、既扩大主存容量，又提高了存取速度；

6．在浮点机中，判断原码规格化形式的原则是(

B、扩大主存容量；

D、扩大辅存容量。

)。

A、尾数的符号位与第一数位不同；

C、尾数的符号位与第一数位相同；

B、尾数的第一数位为1，数符任意；

D、阶符与数符不同。

7．在程序的执行过程中，Cache与主存的地址映射是由( )。

A、程序员调度的；  
C、由程序员和操作系统共同协调完成的；

8．下列说法中正确的是( )。

B、操作系统管理的；

D、硬件自动完成的。

A、Cache与主存统一编址，Cache的地址空间是主存地址空间的一部分；B、主存储器只由易失性的随机读写存储器构成；

C、单体多字存储器主要解决访存速度的问题；  
 D、Cache不与主存统一编址，Cache的地址空间不是主存地址空间的一部分。9．在下列寻址方式中，( )寻址方式需要先计算，再访问主存。

A、立即； B、变址； C、间接； D、直接。

第 1 页 共7页

10．由于CPU内部的操作速度较快，而CPU访问一次主存所花的时间较长，因此机器周期通

常用( )来规定。

A、主存中读取一个指令字的最短时间；C、主存中写入一个数据字的平均时间；

11．( )寻址便于处理数组问题。

B、主存中读取一个数据字的最长时间；

D、主存中取一个数据字的平均时间。

A、间接寻址； B、变址寻址； C、相对寻址； D、立即寻址。

12．在一地址格式的指令中，下列叙述正确的是( )。

A、仅有一个操作数，其地址由指令的地址码提供；

B、可能有一个操作数，也可能有两个操作数；

C、一定有两个操作数，另一个是隐含的；

D、指令的地址码字段存放的一定是操作码。

13．主机与设备传送数据时，采用( )，主机与设备是串行工作的。 A、程序查询方式； B、中断方式； C、DMA方式； D、通道。

14．向量中断是( )。

A、外设提出中断； B、由硬件形成中断服务程序入口地址；C、由硬件形成向量地址，再由向量地址找到中断服务程序入口地址；D、以上都不对。

15．一个节拍信号的宽度是指( )。

A、指令周期； B、机器周期； C、时钟周期； D、存储周期。

16．所谓三总线结构的计算机是指( )。

A、地址线、数据线和控制线三组传输线。

B、I/O总线、主存总统和 DMA总线三组传输线；

C、I/O总线、主存总线和系统总线三组传输线；

D、以上都不对。

17．堆栈寻址方式中，设A为累加器，SP为堆栈指示器，MSP为SP指示的栈顶单元，如果进栈操作的动作顺序是(SP – 1) → SP，(A) → MSP，那么出栈操作的动作顺序应为( )。

A、(MSP) → A，(SP) + 1 → SP；

C、(SP) – 1 → SP，(MSP) → A；

B、(SP) + l → SP，(MSP) → A；

D、以上都不对。

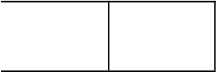
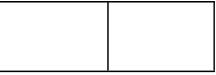
18．在单总线结构的CPU中，连接在总线上的多个部件( )。

A、某一时刻只有一个可以向总线发送数据，并且只有一个可以从总线接收数据；B、某一时刻只有一个可以向总线发送数据，但可以有多个同时从总线接收数据；C、可以有多个同时向总线发送数据，并且可以有多个同时从总线接收数据；D、可以有多个同时向总线发送数据，但可以有一个同时从总线接收数据。

19．设机器字长8位，若机器数81H为补码，则算术右移一位后为( )。

A、40H B、02H C、08H D、C0H   
20．某计算机存储器按字节编址，主存地址空间大小为32MB，现用4M\*8位的RAM芯片组建

第 2 页 共7页



|  |  |  |  |
| --- | --- | --- | --- |
| 主存储器，则计算机地址寄存器AR的位数是( | | )。 | D、26位 |
| A、22位 | B、23位 | C、25位 |
| **二、填空题（每空1分，共20分）** | | **得 分** |

1．设机器数长8位含1位符号位，十六进制数86H分别表示为原码、补码、移码和无符号数

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 时，所对应的十进制数分别为\_ | \_\_\_、\_\_\_ | \_、\_\_ | \_\_、\_\_ | \_\_。 |

2．设浮点数阶码为8位（含1位阶符），尾数为24位（含1位数符），则32位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 ，最小正数为 ，最大负数为 ，最小负数为 。

3. 移码表示法主要用于表示 的阶码E，以利于比较两个 的大小和

操作。

4.主存与CACHE的地址映射有 、 、 三种方式。

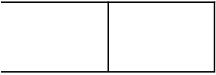
5. I/O的编址方式可分为 和 两大类，前者需有独立的I/O指令，后者可通过 指令和设备交换信息。

6. 指令寻址方式主要有（ 实现指令逐条顺序执行，PC+1->PC）和（ 实现程序转移）。

|  |  |
| --- | --- |
| 7. 两个BCD码相加，当结果大于9时，修正的方法是将结果  **三、简答题（每小题4分，共20分）**  **1. 计算机存储系统分为哪几个层次？** | ，并产生进位输出。  **得 分** |

2. 说明RISC指令系统的主要特点。

第 3 页 共7页



3. 简述CPU基本功能。

4. 一次中断过程大致可以分为哪些过程？

5. 指令和数据均存放在内存中，计算机如何区分它们是指令还是数据？

**得 分**

**四、计算题（每小题5分，共20分）**

1.设阶为5位(包括2位阶符), 尾数为8位(包括2位数符), 阶码、尾数均用补码表示, 完

成下列取值的[X+Y]，[X-Y]运算： X=2-011×0.100101 Y=2-010×(-0.011110)

第 4 页 共7页

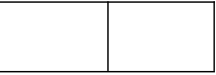
2．CPU执行一段程序时，CACHE完成存取的次数为5000次，主存完成存取的次数为200次。已知CACHE存取周期为40ns，主存存取周期为160ns。分别求CACHE的命中率H、平均访问时间Ta和CACHE-主存系统的访问效率e。

3．设某计算机数据线、地址线均是8位，有一条相对寻址的无条件转移指令存于内存的20H单元中，指令给出的位移量D=00010101B，该指令占用2个字节，试计算：  
1）取该指令时PC的内容；

2）该指令执行结束时PC的内容。

4.某计算机指令字长16位，地址码是6位，指令有无地址、一地址和二地址3种格式，设有N条二地址指令，无地址指令M条，试问1地址指令最多有多少条？

第 5 页 共7页

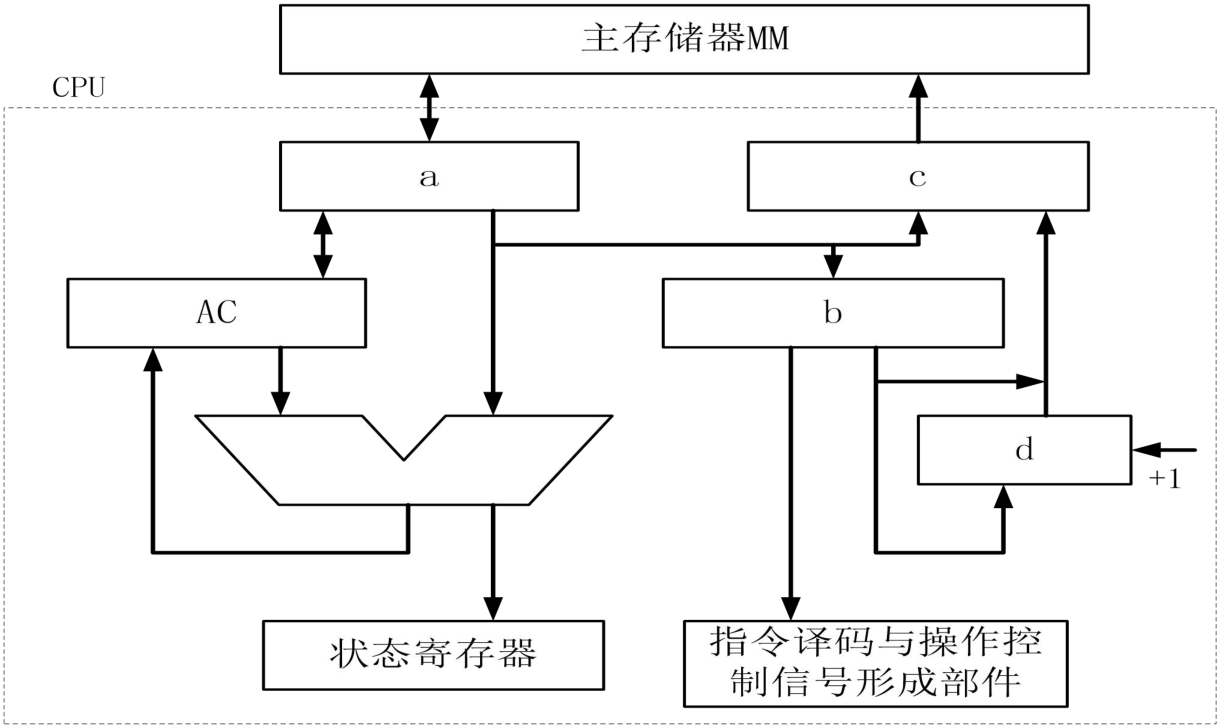


|  |  |
| --- | --- |
| **五、综合题（每小题10分，共20分）** | **得 分** |

1. CPU结构如下图所示，其中有一个累加寄存器AC、一个状态条件寄存器和其他4个寄存器，各部件之间的连线表示数据通路，箭头表示信息传送方向。  
（1） 标明a、b、c、d 4个寄存器的名称。

（2） 简述指令从主存取出送到控制器的数据通路。

（3） 简述数据在AC和主存之间进行存取访问的数据通路（设读主存地址为X，写主存地址为Y）



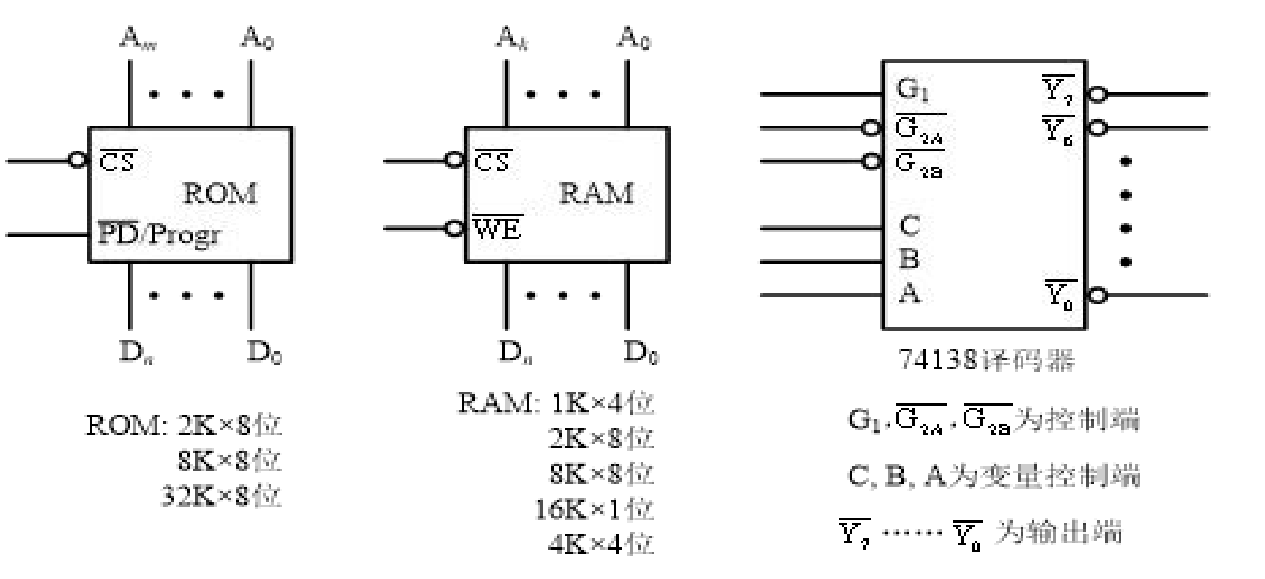
第 6 页 共7页



|  |  |  |
| --- | --- | --- |
| 2.设CPU共有16根地址线，8根数据线，并用 | 作访存控制信号（低电平有效），用 | 作 |

读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出CPU与存储器的连接图，要求：  
（1）存储芯片地址空间分配为：最小4K地址空间为系统程序区，相邻的4K地址空间为系统程序工作区，与系统程序工作区相邻的24K是用户程序区，写出主存地址空间的分配； （2）指出选用的存储芯片类型及数量；

（3）详细画出片选逻辑。



第 7 页 共7页