**2021年重庆大学软件工程专业《计算机组成原理》科目期末试卷B（有答案）**

**一、选择题**

1、Cache用组相联映射，一块大小为128B，Cache共64块，4块分一组，主存有4096块，主存地址共需（ ）位。

A.19 B.18 C.17 D.16

2、存储器采用部分译码法片选时，（ ）。

A.不需要地址译码器

B.不能充分利用存储器空间

C.会产生地址重叠

D.CPU的地址线全参与译码

3、加法器采用先行进位的根本目的是（ ）。

A.优化加法器的结构

B.快速传递进位信号

C.增强加法器的功能

D.以上都不是

4、在C语言程序中，以下程序段最终的f值为（ ）。

Float f=2.5+1e10；f=f-1e10；

A.2.5 B.250 C.0 D.3.5

5、假设有7位信息码010101，则低位增设偶校验位后的代码和低位增设奇校验位后的代码分别为（ ）。

A.01101010 01101010 B.0101010 01101011

C.01101011 01101010 D.01101011 01101011

6、为协调计算机系统各部件的工作，需要一种器件来提供统一的时钟标准，这个器件，是（ ）。

A.总线缓冲器 B.总线控制器 C.时钟发生器 D.以上器件都具备这种功能

7、下列关于总线说法中，正确的是（ ）

I.使用总线结构减少了信息传输量

II.使用总线的优点是数据信息和地址信息可以同时传送

III.使用总结结构可以提高信息的传输速度

IV.使用总线结构可以减少信息传输线的条数

A.I，II，III B.II，III，IV C.III，IV D.只有I

8、计算机（ ）负责指令译码。

A.算术逻辑单元B.控制单元（或者操作码译码器）C.存储器电路D.输入/输出译码电路

9、程序P在机器M上的执行时间是20s，编译优化后，P执行的指令数减少到原来的70%，而CPl增加到原来的1.2倍，则P在M上的执行时间是（ ）。

A.8.4s B.11.7s C.14s D.16.8s

10、下列部件中不属于控制部件的是（ ）。

A.指令寄存器 B.操作控制器 C.程序计数器 D.状态条件寄存器

11、组合逻辑控制器和微程序控制器的主要区别在于（ ）。

A.ALU结构不同

B.数据通路不同

C.CPU寄存器组织不同

D.微操作信号发生器的构成方法不同。

12、四地址指令OPA1A2A3A4的功能为（A1）OP（A2）一A3，且A4给出下一条指令地址，假设A1，A2，A3，A4都为主存储器地址，则完成上述指令需要访存（ ）次。

A.2 B.3 C.4 D.5

13、下列关于各种寻址方式获取操作数快慢的说法中，正确的是（ ）。

I.立即寻址快于堆栈寻址

Ⅱ.堆栈寻址快于寄存器寻址

Ⅲ.寄存器一次间接寻址快于变址寻址

Ⅳ.变址寻址快于一次间接寻址

A. I、IV B.Ⅱ、Ⅲ C.I、Ⅲ、IV D.Ⅲ、Ⅳ

14、某磁盘的转速为10 000r/min，平均寻道时间是6ms，磁盘传输速率是20MB/s，磁盘控制器延迟为0.2ms，读取一个4KB的扇区所需平均时间约为（ ）。

A.9ms B.9.4ms C.12ms D.12.4ms

15、中断服务程序的最后一条指令是（ ）。

A.转移指令

B.出栈指令

C.中断返回指令

D.开中断指令

**二、填空题**

16、存储\_\_\_\_\_\_\_并按\_\_\_\_\_\_\_顺序执行，这是冯·诺依曼型计算机的工作原理。

17、指令寻址的基本方式有两种，\_\_\_\_\_\_方式和\_\_\_\_\_\_方式。

18、汉字的\_\_\_\_\_\_\_、\_\_\_\_\_\_\_ 、\_\_\_\_\_\_\_是计算机用于汉字输入、内部处理、输出三种不同用途的编码。

19、按IEEE754标准，一个浮点数的阶码E的值等于指数的\_\_\_\_\_\_\_\_\_加上一个固定的\_\_\_\_\_\_\_\_\_

20、存储\_\_\_\_\_\_\_并按\_\_\_\_\_\_\_顺序执行，这是冯·诺依曼型计算机的工作原理。

21、计算机系统中，根据应用条件和硬件资源不同，数据传输方式可采用\_\_\_\_\_\_传送、\_\_\_\_\_\_传送、\_\_\_\_\_\_传送。

22、按IEEE754标准，一个浮点数由\_\_\_\_\_\_\_、\_\_\_\_\_\_\_、\_\_\_\_\_\_\_三个域组成。

23、虚拟存储器指的是\_\_\_\_\_\_\_\_层次，它给用户提供了一个比实际\_\_\_\_\_\_\_\_空间大的多\_\_\_\_\_\_\_\_空间。

24、RISC的中文含义是\_\_\_\_\_\_\_\_，CISC的中文含义是\_\_\_\_\_\_\_\_。

25、堆栈是一种特殊的数据寻址方式，它采用\_\_\_\_\_\_\_\_原理。按结构不同，分为\_\_\_\_\_\_\_\_堆栈和\_\_\_\_\_\_\_\_堆栈。

**三、名词解释题**

26、汇编语言：

27、数字化仪：

28、全写法（写直达法）：

29、猝发转输方式：

**四、简答题**

30、什么是并行处理？

31、宽体存储器有什么特点？

32、何谓“总线仲裁”？一般采用何种策略进行仲裁，简要说明它们的应用环境。

33、什么是闪速存储器？它有哪些特点？

**五、计算题**

34、设浮点数字长为16位，其中阶码5位（含一位阶符），尾数11位（含一位数符），将十进制数+13/128写成：二进制定点数和浮点数，并分别写出它在定点机和浮点机中的机器数形式。

35、一个直接映射的Cache有128个字块，主机内存包含16K个字块，每个块有16个字，访问Cache的时间是10ms，填充一个Cache字块的时间是200ms，Cache的初始状态为空。

1）如果按字寻址，请定义主存地址字段格式，给出各字段的位宽；

2）CPU从主存中依次读取位置16~210的字，循环读取10次，则访问Cache的命中率是多少？

3）10次循环中，CPU平均每次循环读取的时间是多少？

36、一个Cache-主存系统，采用50MHz的时钟，存储器以每一个时钟周期传输一个字的速率连续传输8个字，以支持块长为8个字的Cache，且每个字长为32位。假设读操作所花费的时间：1个周期接收地址，3个周期延迟，8个周期传输8个字；写操作所花费的时间：1个周期接收地址，2个周期延迟，8个周期传输8个字，3个周期恢复和写入纠错码。求下述几种情况下的存储器的带宽。

1）全部访问为读操作。

2）全部访问为写操作。

3）65%的访问为读操作，35%的访问为写操作。

**六、综合题**

37、设浮点数字长32位，其中阶码部分8位（含l位阶符），尾数部分24位（含1位数符），当阶码的基值分别是2和16时：

1）说明基值2和16在浮点数中如何表示。

2）当阶码和尾数均用补码表示，且尾数采用规格化形式时，给出这两种情况下所能表示的最大正数真值和非零最小正数真值。

3）在哪种基值情况下，数的表示范围大？

4）两种基值情况下，对阶和规格化操作有何不同？

38、某机采用微程序控制方式，微指令字长为24位，采用水平型字段直接编码控制方式和断定方式。共有微命令30个，构成4个互斥类，各包含5个、8个、14个和3个微命令，外部条件共3个。

1）控制存储器的容量应为多少？

2）设计出微指令的具体格式。

39、某机器字长32位，CPU内有32个32位的通用寄存器，设计一种能容纳64种操作的指令系统，设指令字长等于机器字长。

1）如果主存可直接或间接寻址，采用寄存器-存储器型指令，能直接寻址的最大存储空间是多少？试画出指令格式。

2）在1）的基础上，如果采用通用寄存器作为基址寄存器，则上述寄存器-存储器型指令的指令格式又有何特点？画出指令格式并指出这类指令可访问多大的存储空间。

**参考答案**

**一、选择题**

1、A

2、C

3、B

4、C

5、B

6、C

7、D

8、B

9、D

10、D

11、D

12、C

13、C

14、B

15、C

**二、填空题**

16、程序 地址

17、字向 位向

18、输入编码（或输入码） 内码（或机内码） 字模码

19、真值 偏移量

20、程序 地址

21、并行 串行 复用

22、符号位 阶码 尾数

23、主存--外存 主存 虚拟地址

24、精简指令系统计算机 复杂指令系统计算机

25、先进后出 寄存器 存储器

**三、名词解释题**

26、汇编语言：

采用文字方式（助记符）表示的程序设计语言，其中大部分指令和机器语言中的指令一一对应，但不能被计算机的硬件直接识别。

27、数字化仪：

一种二维坐标的输入系统，主要用于输入工程图，包括一个游标和一个图形板。

28、全写法（写直达法）：

cache命中时的一种更新策略，写操作时将数据既写入cache又写入主存，但块更时不需要将调出的块写回主存。

29、猝发转输方式：

在一个总线周期内传输存储地址连续的多个数据字的总线传输方式。

**四、简答题**

30、答：广义地讲，并行性有两种含义：一是同时性，指两个或多个事件在同一时刻发生；二是并发性，指两个或多个事件在同一时间间隔内发生。计算机的并行处理技术可贯穿于信息加工的各个步骤和阶段，概括起来，主要有三种形式：（1）时间并行：指时间重叠，在并行性概念中引入时间因素，让多个处理过程在时间上相互错开，轮流重叠地使用同一套硬件设备的各个部分，以加快硬件周转而赢得速度。（2）空间并行：指资源重复，在并行性概念中引入空间因素，以“数量取胜”为原则来大幅度提高计算机的处理速度。（3）时间并行+空间并行：指时间重叠和资源重复的综合应用，既采用时间并行性又采用空间并行性

31、答：.宽体存储器将存储的位数扩到多个字的宽度，访问存储器时可以同时对多个字进行访问，从而提高数据的吞吐率。

32、答：连接到总线上的功能模块有主动和被动两种形态。主方可以启动一个总线周期，而从方只能响应主方的请求。每次总线操作，只能有一个主方占用总线控制权，但同一时间里可以有一个或多个从方。

除CPU模块外，IO功能模块也可以提出总线请求。为了解决多个主设备同时竞争总线控制权，必须具有总线仲裁部件，以某种方式选择其中一个主设备作为总线的下一次主方。一般来说，采用优先级或公平策略进行仲裁。在多处理器系统中对CPU模块的总线请求采用公平原则处理，而对IO模块的总线请求采用优先级策略。

33、答：闪速存储器是高密度、非易失性的读/写半导体存储器。从原理上看，它属于ROM型存储器，但是它又可随机改写信息；从功能上看，它又相当于RAM，所以传统ROM与RAM的定义和划分已失去意义。因而它是一种全新的存储器技术。闪速存储器的特点：（1）固有的非易失性（2）廉价的高密度（3）可直接执行（4）固态性能

**五、计算题**

34、解析：假设x=+13/128其二进制形式可以表示为：x=0.0001101000。

定点数表示：x=0.0001101000。

浮点数规格化表示：x=0.11010000002-11"。

定点机中：[x]原=[x]补=[x]反=0.0001101000。

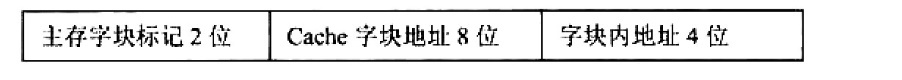
浮点机中：

[x]原=1，0011；0.1101000000。

[x]补=1，1101；0.1101000000。

[x]反=1，1100；0.1101000000。

35、解析：

1）按字寻址，每个块有16个字，故字块内地址为4位。Cache有128个字块，故Cache字块地址为8位。主存包含16K个字块，故主存地址总共14位。则主存字块标记位数为14-8-4=2位。

2）Cache中每个块16个字，故16~210位置的字，按照直接映射可分别放入Cache的第1~13块。由于Cache的初始状态为空，循环读取10次时，第一次循环第16、32、48、64、…、208位置的字均末命中，共13次，其他位置均命中，后面9次循环每个字都命中。故Cache的命中率为1-13/（195×10）=99.3%。

3）第一次循环需要填充Cache13次，访问Cache 195-13=182次，总时间为200ns×13+10ns×182=4420ms。其余9次循环只需访问Cache195次，总时间为195×10ns×9=17550ns。故平均访问时间为（17550ns+4420ns）/10=2197ns。

36、解析：由于存储系统采用50MHz的时钟，因此每·个时钟周期为1/（50MHz）=20ns。

1）当全部访问为读操作时，一次读操作所花费的时间为

Tr=（1+3+8）×20ns=240ns

故存储器的带宽为

Br=8/Tr=8/（240×10-9）=33.3×106字/s=133.2MB/s

2）当全部访问为写操作时，一次写操作所花费的时间为

Tr =（1+2+8+3）×20ns=280ns

故存储器的带宽为

Bw=8/Tw=8/（280×10-9）=28.6×106字/s=114.4MB/s

3）读/写操作合在一起的加权时间为

T=240ns×0.65+280ns×0.35=254ns

故存储器的带宽为

B=8/T=8/（254×10-9）=31.5×106字/s=126MB/S

**六、综合题**

37、解析：

1）基值2和16在浮点数中是隐含表示的，并不出现在浮点数中。

2）最大正数，也就是，尾数最大且规格化，阶码最大的数；最小正数，也就是，尾数最小且规格化（t为基值时，尾数的最高log2t位不全为0的数为规格化数），阶码最小的数。

当阶码的基值是2时，最大正数：0.111111l：0，11…1，真值是（1-2-23）×2127；最小正数：1，0000000：0，10…0，真值是2-129。

当阶码的基值是16时，最大正数：0.111111；0，11…1，真值是（1-2-23）×16127：最小正数：1，0000000：0，0001.0，真值是16-129

3）在浮点数表示中，基值越大，表示的浮点数范围就越大，所以基值为16的浮点数表示范围大。

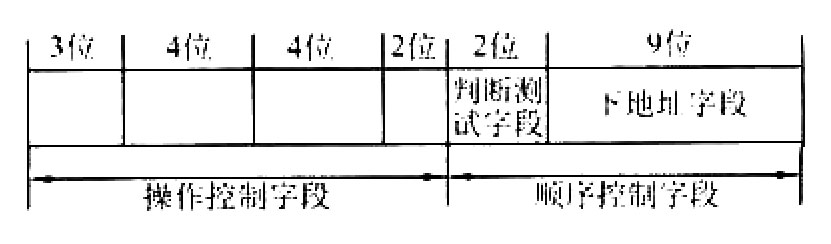
4）对阶时，需要小阶向大阶看齐，若基值为2的浮点数尾数右移一位，阶码加1：而基值为16的浮点数尾数右移4位，阶码加1。

格式化时，若基值为2的浮点数尾数最高有效位出现0，则需要尾数向末移动一位，阶码减1：而基值为16的浮点数尾数最高4位有效位全为0时，才需要尾数向左移动，每移动4位，阶码减1。

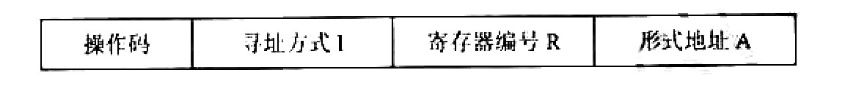
38、解析：微指令字长为24位，操作控制字段被分为4组，第1组3位（表示5个微命令）.第2组4位，（表示8个微命令），第3组4位（表示14个微命令），第4组2位（表示3个微命令）；判断测试条件字段2位，下地址字段9位。

1）因为下地址字段有9位，所以控制存储器的容量为2924位。

2）微指令的具体格式如图所示。



39、解析：

1）根据题意，可设计出如下的指令格式：

其中，操作码占6位，可容纳64种操作；I占1位，表示直接、间接寻址（I=0表示间接寻址：I=1表示直接寻址）：由于有32个寄存器，因此R需要占5位：形式地址A占剩下的位数，即32-6-1-5=20位。因此，直接寻址的最大存储空间为220。

2）如果还需要增加基址寻址，且基址寻址采用通用寄存器，那么必须要增加一个字段来表示基址寄存器到底使用32个中的哪一个通用寄存器，故指令格式变为



其中，操作码占6位，可容纳64种操作；I占2位，表示直接、间接、基址（I=00表示间接寻址；I=01表示直接寻址；I=10表示基址寻址）；由于有32个寄存器，因此R需要占5位；同理，R1需要5位；形式地址A占剩下的位数，即32-6-2-5-5=14位。因为通用寄存器为32位，用它做基址寄存器后，可得32位的有效地址，所以寻址范围可达到232。