

Técnicas Digitales 17-12-2021

EVALUACIÓN 1 MÓDULO 2 GRUPO "B". HORARIO DE COMIENZO 10:00 HS. FINALIZA: 11:15 HS

1) RESUELVA LO SIGUIENTE: Algunas preguntas con S (SI) ó N (NO) dentro de los paréntesis ó llenando los espacios:

a) Dibuje el diagrama de estados por **Moore** de un detector de secuencia con una entrada "X", el cual debe generar un pulso de salida "Y" **negativo** (1->0->1) durante un ciclo de reloj al detectar la secuencia "1100". Ejemplo de como funciona:

X: 00000001001001110000101000110110000.

Y: 11111111111111111101111111111111011. **IMPORTANTE:** Comenzar en el estado S0 con salida en "1".

b) Explique porqué NO se puede conectar directamente la ENTRADA de una compuerta CMOS a la SALIDA de una TTL a igual tensión de alimentación. Indique y dibuje las DOS posibles soluciones para resolver el problema.

c) Si un Track&Hold tiene un tiempo total de estabilización de 3us, el ADC tiene un tiempo de conversión de 5 us y el tiempo de lectura es de 3 us. Cuál es la máxima frecuencia de muestreo, suponiendo que se cumple con el teorema de Nyquist?.

d) Mediante el ejemplo de la "RUEDA" explique porqué hay un error en realizar la operación en CA1 (5 – 1) en 4 bits.

Dibuje el gráfico y las ecuaciones donde se detalle el problema. Cuál sería la solución?.

e) Dado la siguiente descripción en VHDL: Llene el diagrama de estados e indique como funciona.

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity moore_counter_2bits is
5
6      port
7      (
8          clk      : in  std_logic;
9          dir      : in  std_logic;
10         reset    : in  std_logic;
11         data_out  : out std_logic_vector(1 downto 0)
12     );
13
14 end entity;
15
16 architecture rtl of moore_counter_2bits is
17
18     type state_type is (s0, s1, s2, s3);
19
20     signal state : state_type;
21
22 begin
23     process (clk, reset, dir)
24     begin
25         if reset = '1' then
26             state <= s0;
27         elsif (rising_edge(clk)) then
28             case state is
29                 when s0=>
30                     if dir = '1' then
31                         state <= s3;
32                     else
33                         state <= s1;
34                     end if;
35                 when s1=>
36                     if dir = '1' then
37                         state <= s0;
38                     else
39                         state <= s2;
40                     end if;
41                 when s2=>
42                     if dir = '1' then
43                         state <= s1;
44                     else
45                         state <= s3;
46                     end if;
47                 when s3=>
48                     if dir = '1' then
49                         state <= s2;
50                     else
51                         state <= s0;
52                     end if;
53             end case;
54         end if;
55     end process;
```

```
56
57 process (state)
58 begin
59     case state is
60         when s0=>
61             data_out <= "00";
62         when s1=>
63             data_out <= "01";
64         when s2=>
65             data_out <= "10";
66         when s3=>
67             data_out <= "11";
68     end case;
69 end process;
70
71 end rtl;
```

f) Las FPGA como la Cyclone IV de Altera:

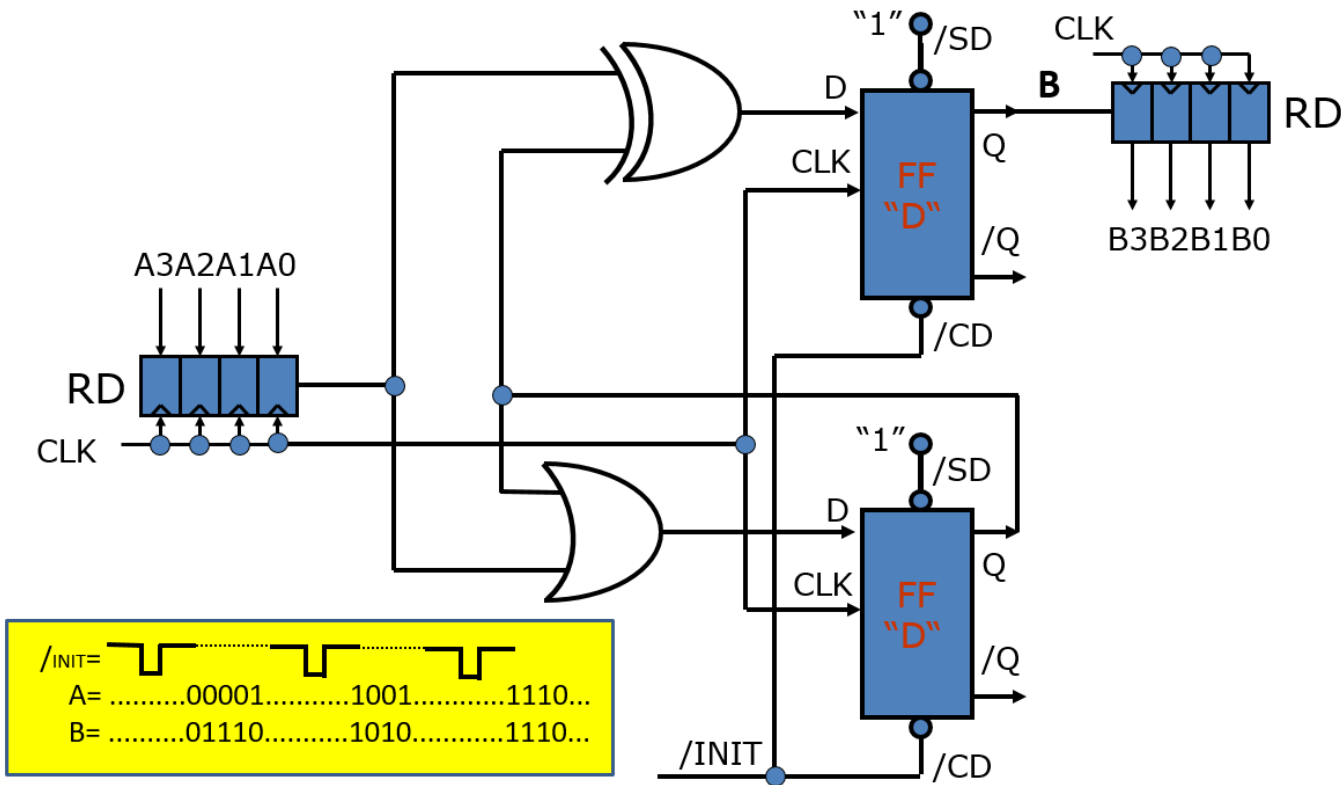
Requiere de memoria externa de booteo tipo EEPROM para su configuración: SI () NO ().

Posee Lazo de Enganche de Fase que permite por ejemplo generar divisores de frecuencia fraccionarios: SI (), NO ().

Posee multiplicadores dedicados de punto flotante: SI (), NO ().

Posee una matriz de interconexión no distribuída como la MAX7000: SI (), NO ().

2) Modifique el siguiente circuito que corresponde a un Complementador en el sistema CA2, por otro diferente donde se debe sensar desde el LSB hasta el MSB, los bits del número "A" que se deberán copiar tal cual sean hasta que se detecte el primer "0". Al hacerlo, ese "0" se copiará igual, pero a partir de allí se deberán INVERTIR todos los bits restantes de "A". Se dan algunos ejemplos en el diagrama de tiempos mostrado.



3) Dibuje el diagrama de estados empleando el modelo de Moore, de un contador progresivo de 3 bits con salidas Z2 Z1 Z0, tal que si la entrada de control Y vale "0" debe contar según el CÓDIGO GRAY y si Y es "1" deberá contar en el CÓDIGO BINARIO.

Comience en el estado S0/000 que es común a ambos códigos. El sensado de la entrada Y se deberá hacer en cada estado. Minimice al máximo la cantidad de estados posibles. Cuántos Flip-Flops se requieren?.

Como referencia se detallan las salidas en código Gray y Binario respectivamente desde 0 hasta el 7 en decimal.

Z2	Z1	Z0	Z2	Z1	Z0	
0	0	0	0	0	0	S0
0	0	1	0	0	1	
0	1	1	0	1	0	
0	1	0	0	1	1	
1	1	0	1	0	0	
1	1	1	1	0	1	
1	0	1	1	1	0	
1	0	0	1	1	1	
Y=0			Y=1			
CÓDIGO GRAY			CÓDIGO BIN			

PUNTAJES:

EJERCICIO NÚMERO 1: 6 (SEIS) PUNTOS.

EJERCICIO NÚMERO 2: 2 (DOS) PUNTOS.

EJERCICIO NÚMERO 3: 2 (DOS) PUNTOS.

IMPORTANTE:

Los circuitos que se dibujen deben tener todas las entradas y salidas perfectamente identificadas.

En cada hoja de papel capturada como imagen deberá figurar la fecha, el apellido, nombres y número de alumno.

Deberá verificarse que la captura sea perfectamente legible antes de enviarla.

La información puede ser enviada como imágenes preferiblemente “jpeg” ó en formato PDF.

Verifique que lo enviado sea susceptible de ser leído.

Si lo enviado no corresponde a un tipo de archivo válido, se considerará esa información como NULA.

Se tendrá una hora y cuarto para realizar la entrega contando desde el horario de inicio.