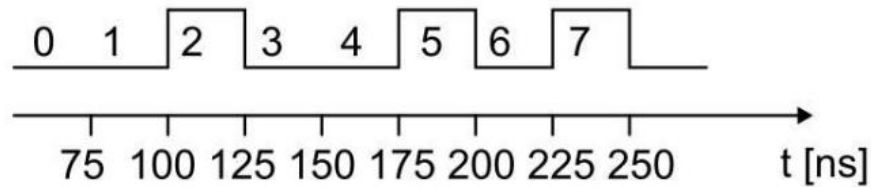


1. (1.5 pts) Implemente un contador asincrónico progresivo de 3 bits con reset asincrónico a 000 basado en flip-flops tipo JK y conecte lógica en su bus de salida para lograr la siguiente señal (la salida del contador se muestra superpuesta a la señal en números decimales por simplicidad):



Diseñe la tabla de verdad de la lógica de salida y simplifíquela utilizando un diagrama de Karnaugh intentando obtener compuertas con el mínimo número de entradas (justifique su agrupamiento)

2. (2.5 pt) Implemente la solución del ejercicio anterior en VHDL en un proyecto de Quartus creando un componente para el flip-flop. Cree el archivo de simulación y configure las entradas se manera de observar al menos dos ciclos de conteo y comprobar que se genera la señal propuesta.