

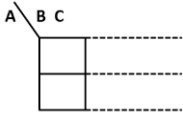
Técnicas Digitales: Evaluación 1 del Primer Módulo 16-10-2020

EVALUACIÓN PARA EL GRUPO "B". HORARIO DE COMIENZO 10:00 HS. FINALIZA: 11:00 HS

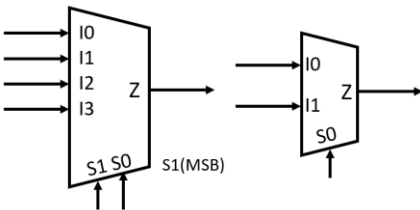
1) Conteste las preguntas con S (SI) ó N (NO) dentro de los paréntesis ó llene los espacios:

a) Empleando Karnaugh, reduzca la ecuación: $H = \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B$.

Justifique con el diagrama. El mismo debe estar claramente especificado. Utilice la siguiente configuración:



b) Implemente con SOLO los DOS componentes mostrados la función $H = \overline{A} \cdot B \cdot C \cdot \overline{D}$. Dibuje el circuito.



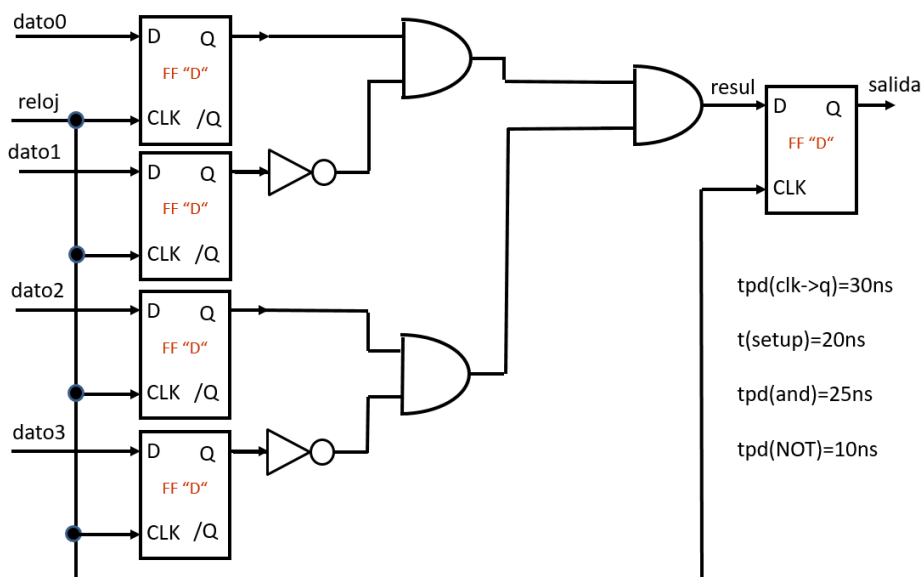
c) Dibuje un contador progresivo de 4 bits asincrónico disparado por flanco de subida de reloj, implementado con Flip-flops JK con entradas de RESET asincrónica activa en nivel BAJO, y salidas Q y /Q. El contador debe contar en formato binario desde "0" hasta "13" en decimal. PUEDA USAR SÓLO UNA COMPUERTA ADICIONAL APARTE DE LOS FLIP-FLOPS. IDENTIFIQUE CLARAMENTE CADA PIN Y SEÑAL EMPLEADA EN LOS COMPONENTES UTILIZADOS.

d) Dibuje un divisor de frecuencia x 8, empleando sólo Flip-Flops tipo "JK". Justifique con un diagrama de tiempos.

e) La sentencia en VHDL "AFTER" no se puede utilizar en casos de síntesis de circuitos digitales (SI) ó (NO) ¿?

f) En un contador asincrónico binario de 4 bits, los códigos inválidos al pasar de 1111 a 0000 son: _?????_.

2) Mejorar la máxima frecuencia de operación del siguiente circuito (todos los FFs son idénticos en comportamiento).



Para ello deberá:

1. Calcular la Frecuencia máxima para el circuito original. Escriba la ecuación.
2. Rediseñar el circuito con los cambios que considere necesarios para lograr el objetivo requerido. NO SE PERMITE AGREGAR MÁS LÓGICA.
3. Recalcular la Frecuencia máxima para demostrar que es más veloz, la opción elegida.

3) Completar los espacios vacíos. Se trata de un contador binario de **64** bits. Considerar el RESET asincrónico activo en nivel BAJO.

No es necesario volver a escribir todo el código: usar los números para referenciar el texto faltante.

```
library IEEE;
use [1] .all;
use IEEE.std_logic_arith.all;

entity contador_bin1 is
generic ( WIDTH : integer := [2] );
port (
    CLK, RESET, [3] : in std_logic;
    DATA : in unsigned(WIDTH-1 downto 0);
    Q : out [4] (WIDTH-1 downto 0));
end entity contador_bin1;

architecture contador of [5] is
signal cnt : unsigned(WIDTH-1 downto 0);
begin
    process(RESET, CLK)
    begin
        if RESET = '[6]' then
            cnt <= (others => '0');
        elsif [7] then
            if LOAD = '1' then
                cnt <= [8];
            else
                cnt <= cnt [9];
            end if;
        end if;
    end process;

    Q <= [10];

end architecture contador ;
```

PUNTAJES:

EJERCICIO NÚMERO 1: 6 (SEIS) PUNTOS.

EJERCICIO NÚMERO 2: 2 (DOS) PUNTOS.

EJERCICIO NÚMERO 3: 2 (DOS) PUNTOS.

IMPORTANTE:

Los circuitos que se dibujen deben tener todas las entradas y salidas perfectamente identificadas.

En cada hoja de papel capturada como imagen deberá figurar la fecha, el apellido, nombres y número de alumno.

Deberá verificarse que la captura sea perfectamente legible antes de enviarla.

La información puede ser enviada como imágenes preferiblemente “JPEG” ó en formato PDF.

Verifique que lo enviado sea susceptible de ser leído.

Si lo enviado no corresponde a un tipo de archivo válido, se considerará esa información como NULA.

Se tendrá una hora para realizar la entrega contando desde el horario de inicio.