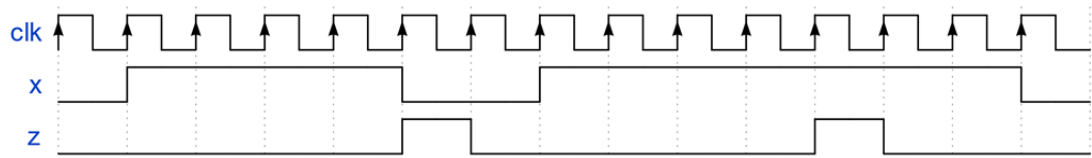


## Parcial TD laboratorio. Módulo 2. Fecha 1. Tema A

1. Un detector de secuencias de entrada sincronizada x debe disparar con un 1 en su salida z toda vez que lleguen 4 1s seguidos luego de un 0. Por ejemplo:



Implemente el detector como máquina de estado de Mealy o Moore programándola en VHDL por comportamiento. Suba como respuesta el archivo de vhd y un archivo de Word con

1. El diagrama de la máquina de estados
2. Capturas de la/s simulación/es que verifiquen el funcionamiento

2. Se desea implementar un circuito capaz de realizar la operación  $a+2*b$  donde las variables de entrada a y b son de 4 bits.

1. Realice un diagrama de bloques donde indique cómo puede implementar este sistema marcando especialmente el ancho de bus de cada conexión

2. Implemente el sistema en VHDL. La multiplicación puede realizarse por comportamiento y la suma se manera estructural. Puede usar el siguiente full-adder como componente:

```
library ieee;
use ieee.std_logic_1164.all;
```

```
entity fa is
  port (
    a      : in  std_logic; -- bit de entrada a
    b      : in  std_logic; -- bit de entrada b
    cin     : in  std_logic; -- carry de entrada
    s      : out std_logic; -- suma
    cout    : out std_logic -- carry de salida
  );
end fa;
```

```
architecture behavioral of fa is
begin
  -- comportamiento del sumador completo
  s <= a xor b xor cin;
  cout <= (a and b) or (b and cin) or (a and cin);
end behavioral;
```