

# Introducción a los Sistemas Lógicos y Digitales

## Trabajo Práctico N° 5

### **CONTADORES**

#### Ejercicio n° 1

- Diseñar un **contador asincrónico binario progresivo-regresivo de 3 bits** con entradas de clock y reset asincrónico, empleando flip-flops JK disparados por flanco descendente y entradas asincrónicas de /Clear y multiplexers 2:1.
- Dibujar a escala un diagrama de tiempos mostrando, para el caso regresivo, los retardos que se generan en todos los componentes del contador para cada transición del reloj durante un ciclo completo de conteo (desde 000 hasta el próximo 000 inclusive). Considerar que el período del reloj es 6 veces mayor que los retardos de propagación de los flip-flops y de los multiplexers.
- En base al diagrama anterior, realizar una tabla donde se indiquen las transiciones que sufren las salidas Q0, Q1 y Q2 y en qué instante referido a la transición de reloj correspondiente, marcando cuáles son los códigos inválidos que se generan para este circuito.
- ¿Cuál es la principal limitación al usar este tipo de contador? Justificar la respuesta matemáticamente generalizando a n bits.

#### Ejercicio n° 2

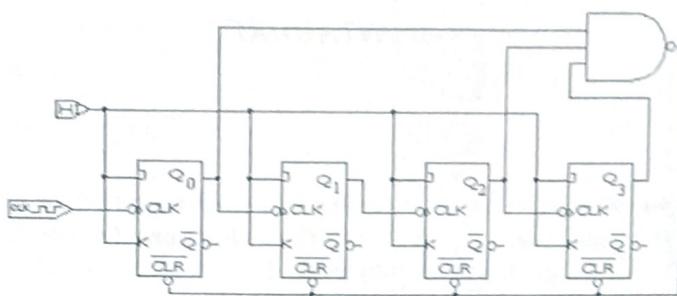
- Diseñar un **contador sincrónico binario de 3 bits** con entradas de clock, habilitación de reloj y reset asincrónico, empleando flip-flops JK disparados por flanco descendente y entradas asincrónicas de /Clear y 2 compuertas AND. Analizar su funcionamiento.
- Dibujar a escala un diagrama de tiempos mostrando los retardos que se generan en cada componente del contador para cada transición del reloj durante un ciclo completo de conteo (desde 000 hasta el próximo 000 inclusive). Considerar el período del reloj igual a 6 veces el tiempo de retardo de propagación de los flip-flops y de las compuertas AND.
- ¿Qué ventajas tiene respecto del contador asincrónico? Justificar la respuesta matemáticamente generalizando a n bits.

#### Ejercicio n° 3

- Implementar un contador sincrónico binario de 4 bits progresivo con compuertas AND y NOR. Calcular la velocidad de respuesta. *Habrá 10 Ret  $\rightarrow$  0*
- Ídem para uno asincrónico. Comparar con el contador sincrónico anterior.

Ejercicio n° 4

En el siguiente circuito la frecuencia de reloj es de 13 kHz. ¿Cuál será la frecuencia en  $Q_3$ ?

Ejercicio n° 5

Analizar el funcionamiento del **contador progresivo con preestablecimiento 74HC163**.

- Dibujar el diagrama de tiempos a partir del preestablecimiento con el número 5.
- Implementar un contador módulo 7.
- Implementar un contador de módulo 60 utilizando la conexión en cascada con la entrada de habilitación de reloj y el terminal Tc.

Ejercicio n° 6

- Diseñar un **contador tipo conmutado en cola (Johnson)** con 4 flip-flops JK.
- Dibujar el diagrama de tiempos para un ciclo completo de conteo.
- ¿Cuántos estados posibles pueden obtenerse con  $n$  flip-flops?
- ¿Qué ventaja tiene este tipo de contador en cuanto a respuesta temporal?
- Si se quisiera identificar cada estado mediante el encendido de un LED, ¿se requeriría lógica adicional? Comparar con el caso del contador sincrónico del ej. 6).

Ejercicio n° 7

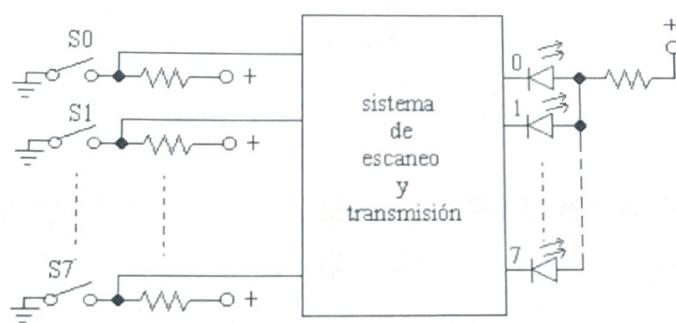
Ídem ejercicio anterior para un **contador tipo anillo**.

Ejercicio n° 8

Diseñar un circuito **generador de formas de onda lógicas** usando un contador módulo 8, un mux de 8 entradas y 8 interruptores. Colocar la posición de los interruptores para generar la forma de onda correspondiente a 10110010.

**Ejercicio n° 9**

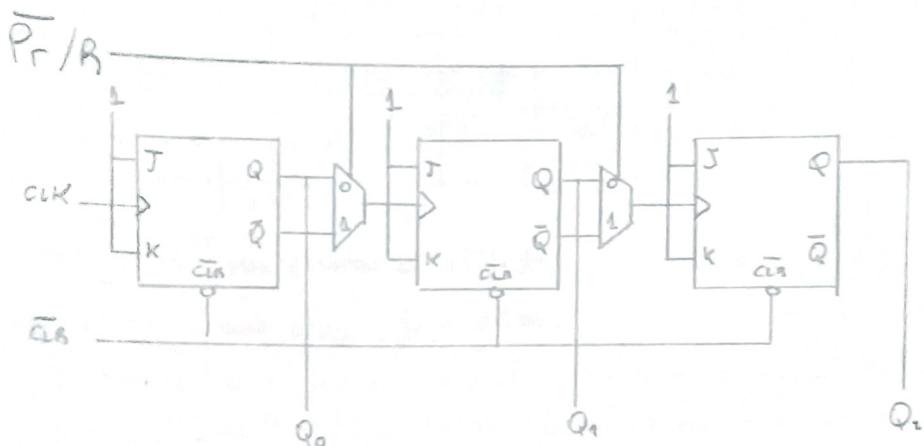
Diseñar un sistema de seguridad y alarma. El sistema debe sensar el estado de 8 interruptores para permitir identificar que puertas o ventanas de una casa están abiertas. Cuando esto sucede se deberá encender un indicador luminoso (por ej. un LED). Se supone que los LEDs están ubicados en un panel de control al cual llega la información correspondiente. Implementarlo con algunos de los circuitos que conozca.



## CONTADORES:

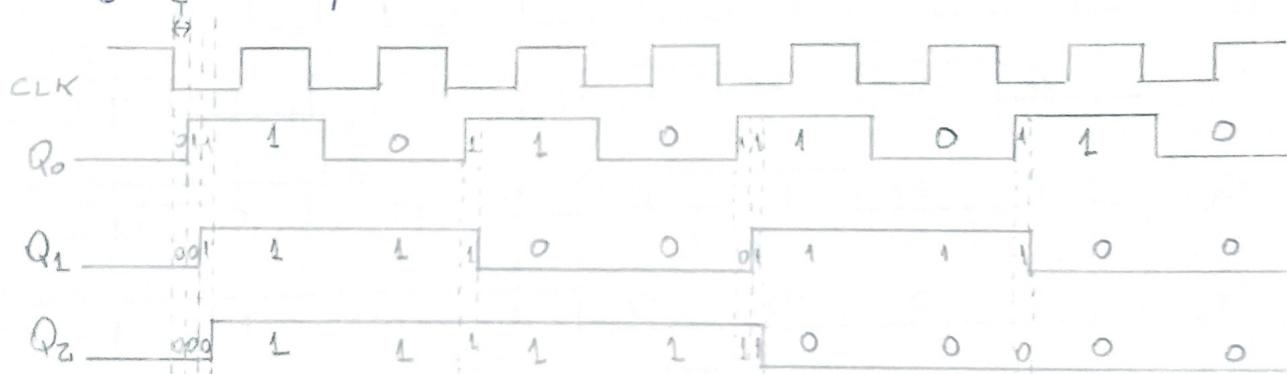
1) Contador asincrónico binario progresivo-regresivo de 3 bits con FF JK

El contador debe ser progresivo o regresivo según queramos.



Si lo quiero progresivo,  $\bar{P}_R/R$  se activa en 0, por lo tanto en cada celda control de clk de los FF JK 2 y 3, tendré  $Q$ . Si lo quiero regresivo, se activa en el mux el 1, por lo tanto en cada entrada obtengo  $\bar{Q}$ , obteniendo un conteo regresivo.

b) Diagrama de tiempos



c) códigos inválidos: se presentan como las combinaciones de las salidas de los FFs que temporalmente todavía están cambiando.

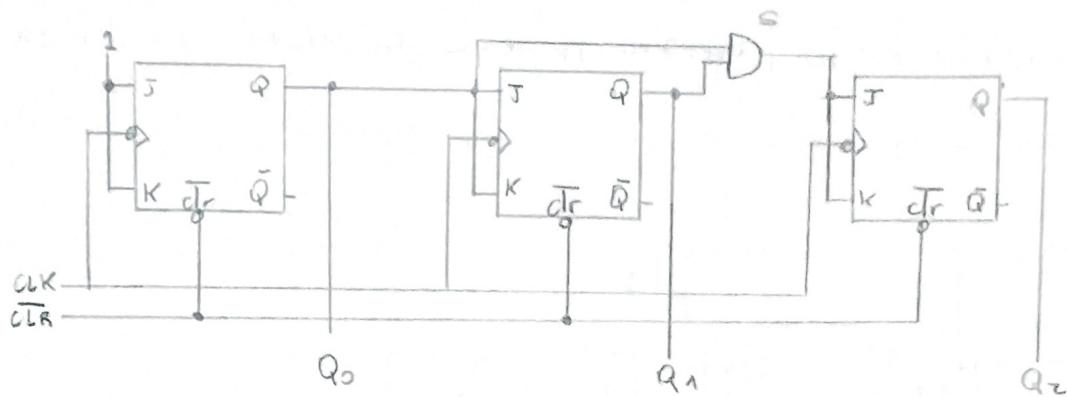
$Q_2$	$Q_1$	$Q_0$
1	1	1
1	1	0 → 111
1	0	1
1	0	0 → 101
0	1	1 → 111
0	1	0 → 011
0	0	1
0	0	0 → 001 011

d) La principal limitación de estos contadores es la frecuencia de operación, si tengo más FFs, tendría más retardos disminuyendo la freq. a la que está el clock.

$$f_{MAX} = \frac{1}{N \cdot t_{pd}(\text{clk} \rightarrow Q)}$$

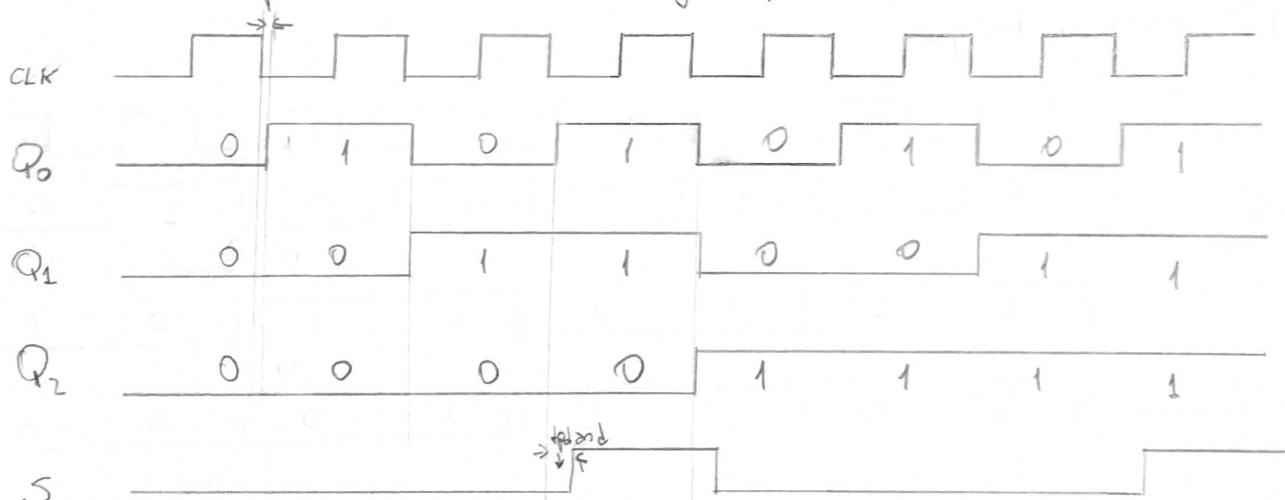
↓  
cont de bits del contador.

2) a)



El primer FF varía entre 0 y 1, cuando vale 1, la salida se conecta con el FF siguiente haciendo que  $JK = 11$ , el cual generan que  $Q$  cambie a  $\bar{Q}$ , esto sucede cada dos flancos descendentes de  $clock$ . Luego de 4 flancos de  $clock$ , la salida del primer FF y la del segundo valen 1, activando el tercer FF mediante la compuerta AND, éste se actualiza cada 8 flancos de reloj. La gran ventaja de estos contadores es su rapidez y su velocidad de respuesta el cual es independiente de la cantidad de FF que utilice.

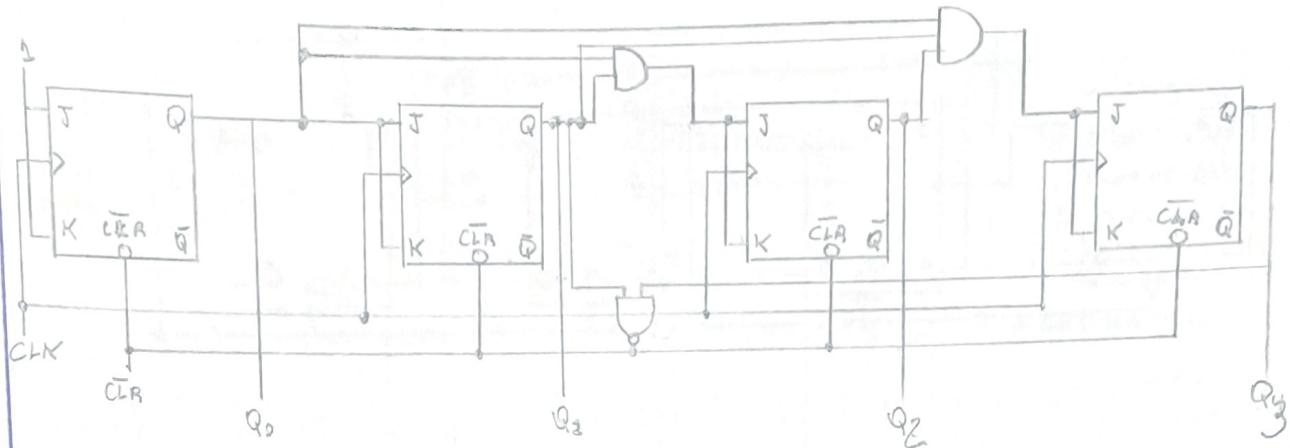
b) No están desfasados  $Q_0$ ,  $Q_1$  y  $Q_2$  para tener el mismo  $clock$



c) Contestado en a)

$$f_{\text{Max}} = \frac{1}{\text{tpd}(CLK \rightarrow Q) + \text{tpd AND} + \text{tpd set-up}}$$

3) Contador binario sincrónico de 4 bits progresivo de Mod 10.



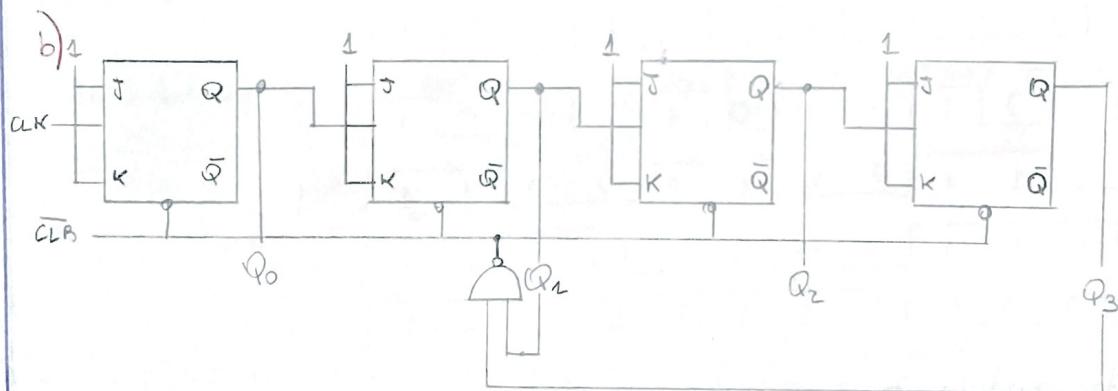
$$CLR = 0 \text{ cuando } Q_0 = 0 \vee Q_1 = 1 \vee Q_2 = 0 \vee Q_3 = 1$$

$10 \rightarrow 1010$

en 1010 → debe cortar y resetear todos los FF.

Ponemos una compuerta NAND que salga de  $Q_2$  y  $Q_3$ , cuando ambas son 1, reseteará todos los FF al mandar una señal igual a cero a las mismas, y que el Res  $\rightarrow 0$

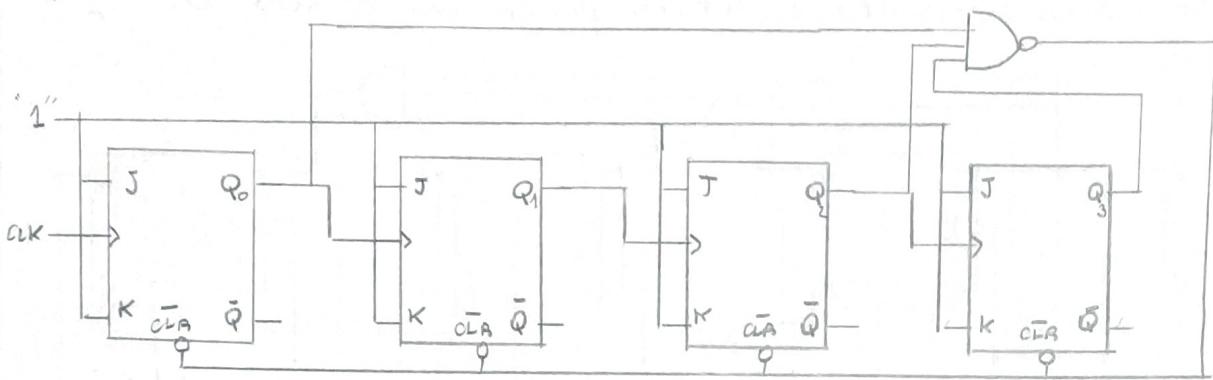
[vel de respuesta :  $t_{pd}(\text{and}2) + t_{pd}(\text{and}2) + t_{pd}(\text{CLR} \Rightarrow Q) + t_{setup}$ ]



vel de resp. :  $4 \cdot t_{pd}(\text{CLK} \Rightarrow Q)$

Este contador necesita menos lógica adicional, por lo tanto usa menos energía para funcionar. La desventaja es su vel de respuesta, el cual es mayor.

4)



cuando  $Q_0 = 1$ ,  $Q_2 = 1$  y  $Q_3 = 1$ , se resetean todas las FF. por lo tanto es un contador asincrónico de modulo  $120 + \rightarrow \underline{13}$

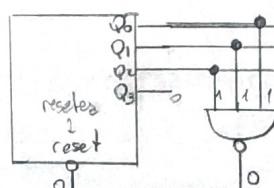
Si la freq del reloj es 13MHz,  $Q_3$  cambia cada 13 subidas de CLK  
 $\Rightarrow f_{Q_3} = 13\text{MHz}/13 = 1000\text{Hz} \rightarrow$  preguntar.

5) contador progresivo con preestablecimiento 74HC163

a) Se preestablece la señal desde el número 5, de ahí cuenta hasta 15 (4bits)  
 Por lo tanto irá desde 0101  $\rightarrow$  1111

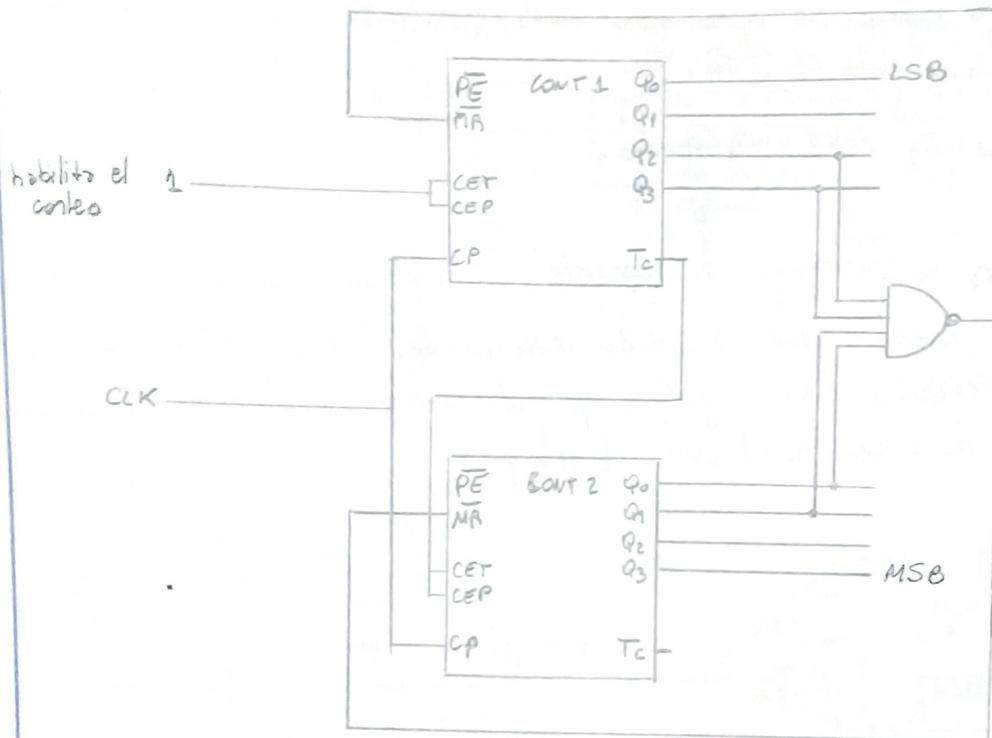
CLK	
$Q_0$	1 0 1 0 1 0 1 0 1 0 1
$Q_1$	0 1 1 0 0 1 1 0 0 1 1
$Q_2$	1 1 1 0 0 0 0 1 1 1 1
$Q_3$	0 0 0 1 1 1 1 1 1 1 1

b) contador modulo 7  $\rightarrow$  0111 cuando llega a 7 debe resetear:



Cuando el contador tiene salida 0111  $\rightarrow$  número 7, la compuerta NOR tendrá un cero en su salida, la cual conectada al reset del contador vuelve a cero los FF's dentro de él.

c) contador modulo 60 con conexión en cascada.  $60 \rightarrow 0111100$



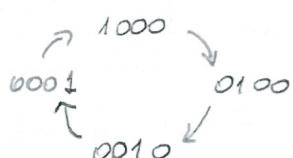
MR  $\rightarrow$  reset en "0"

CET y CEP  $\rightarrow$  habilidad  $\Rightarrow$  funcionar el contador al estar en cascada.

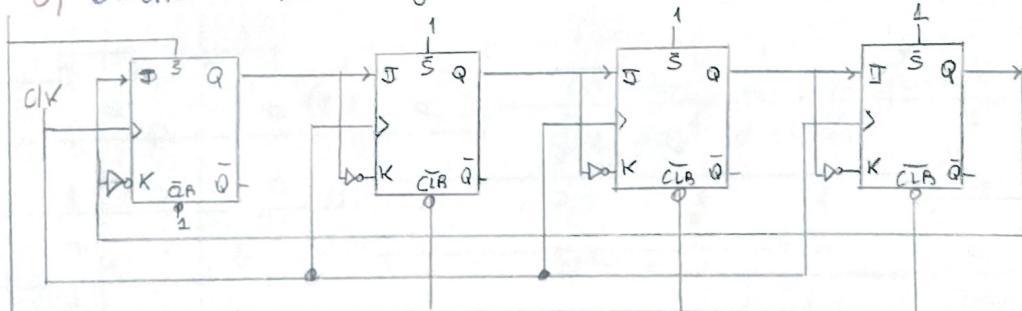
Por eso Tc se conecta a CET y CEP en el Counter 2, Tc es 1 cuando se llegó al número 1111.

La compuerta NAND resetea los contadores al llegar a número 100111100  $\rightarrow$  "60".

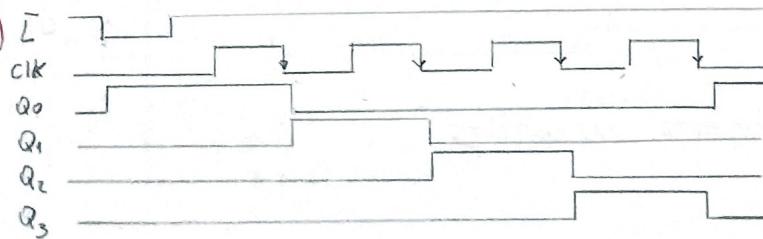
6) Contador tipo anillo: es un registro de corrimiento circularmente conectado de modo que el último FF desplace su valor al primer FF. Los FF se conectan de modo que la información se corra de izquierda a derecha y de regreso de Q<sub>0</sub> a Q<sub>3</sub>. En muchos casos hay sólo un 1 en el registro y se hace que circule alrededor del registro en tanto se apliquen los pulsos del reloj.



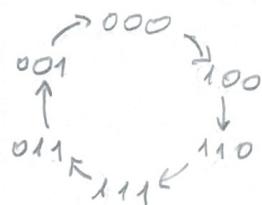
a) Diseño Al subir y bajar L, Q<sub>0</sub> = 1 Q<sub>1</sub> = Q<sub>2</sub> = Q<sub>3</sub> = 0



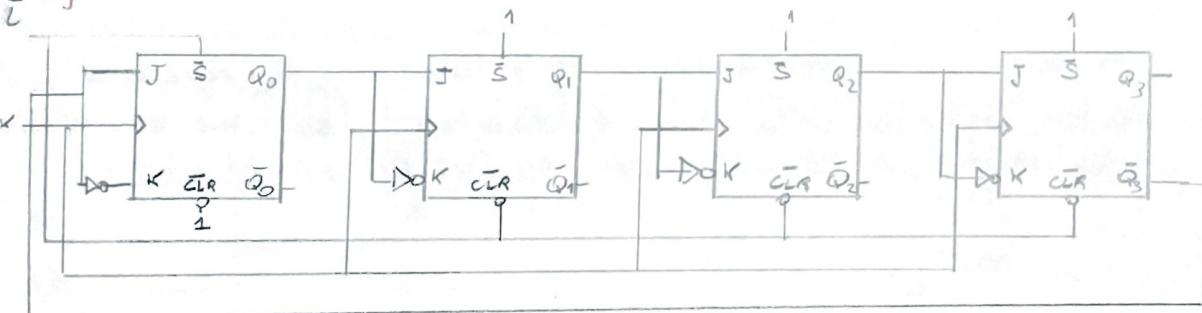
b) L



- a) Con  $N$  flip-flops obtenemos  $N$  conteos
- b) La ventaja que tiene es que solo está afectado por un tiempo de retardo, propio de un solo FF,  $t_{pd}$  ( $CLK \rightarrow Q$ ).
- c) Si, porque la salida está codificada.
- d) Contador Johnson se construye exactamente en la misma forma que un contador de anillo normal, excepto que la salida invertida del último FF se conecta a la entrada del primero. Esto significa que el inverso del nivel almacenado en  $Q_2$  será transferido a  $Q_0$  en el pulso de reloj.

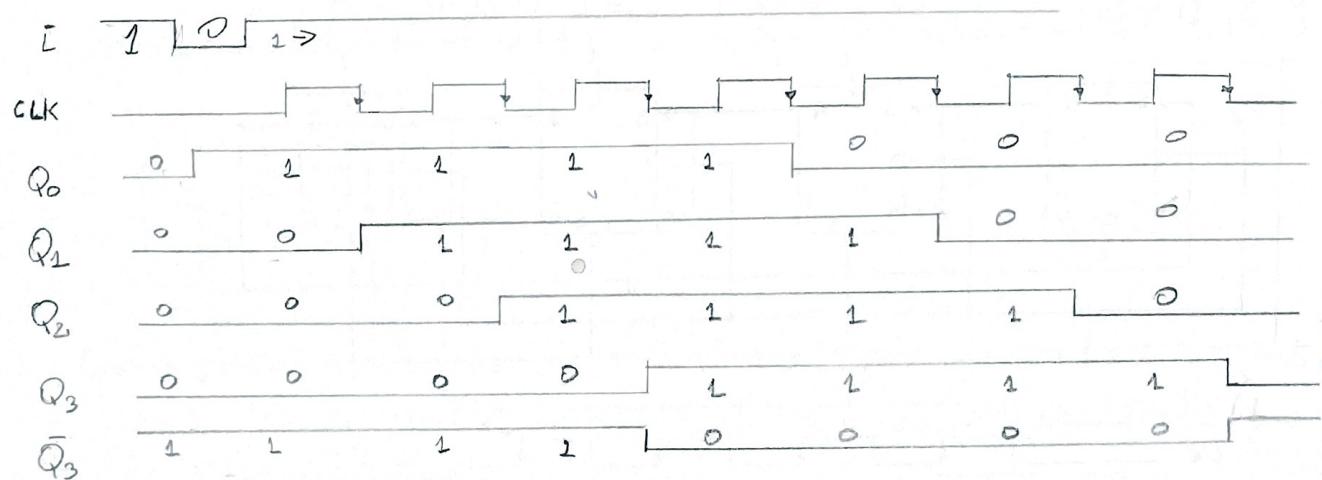


e) a) Diseño

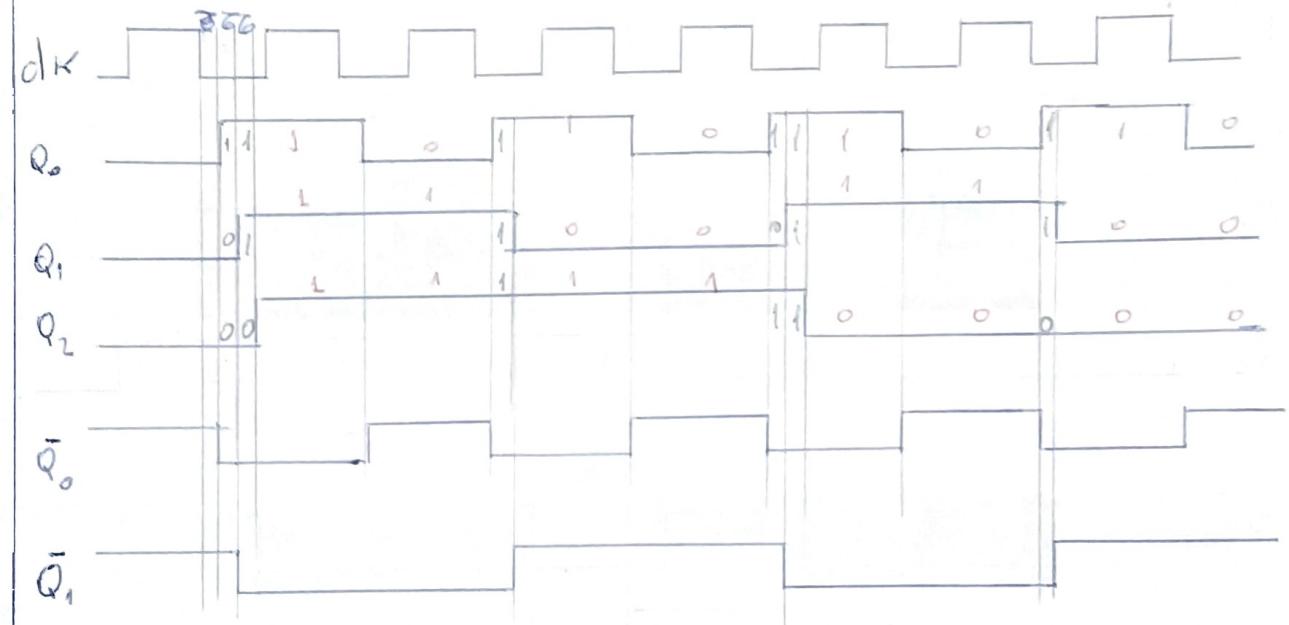
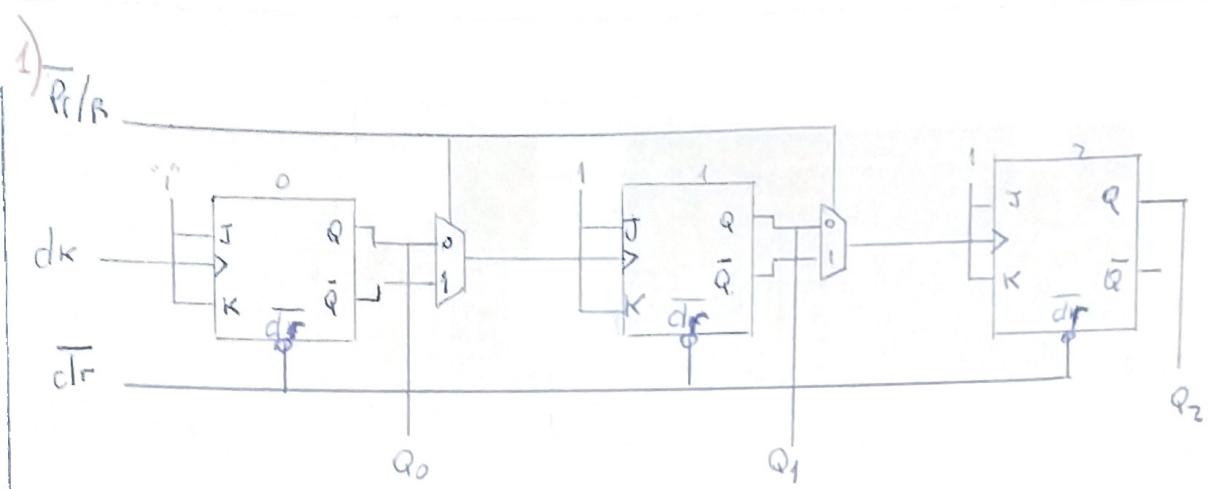


se realimente por medio de  $\bar{Q}_3$

b) Diag de tiempos.



c) Con  $N$  FF, obtenemos  $2^N$  conteos



con los retardos de los FF:

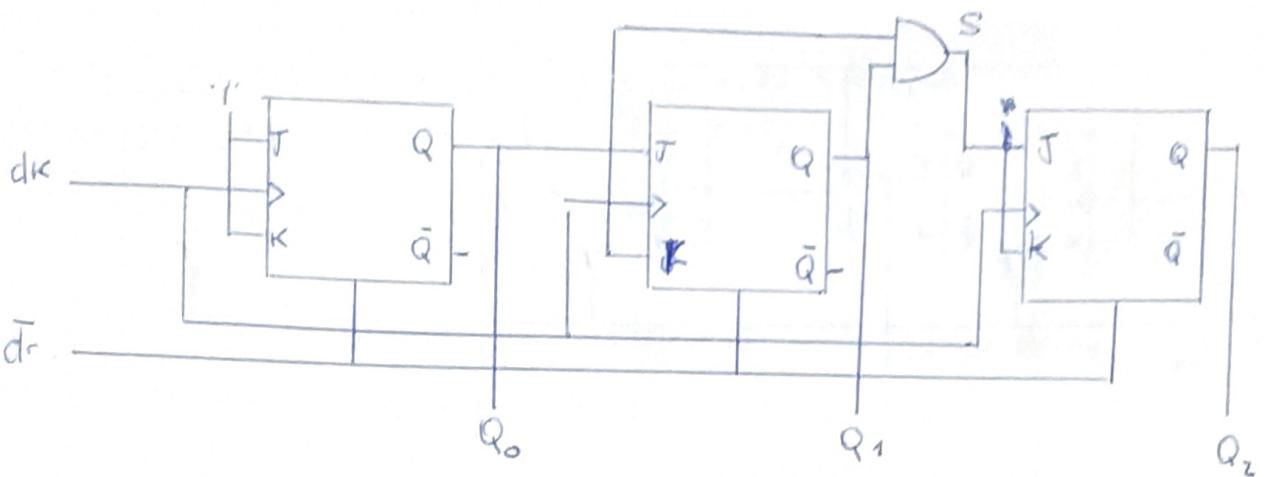
$Q_2$	$Q_1$	$Q_0$
1	1	1
1	1	0 $\rightarrow 111$
1	0	1
1	0	0 $\rightarrow 101$
0	1	1 $\rightarrow 111$
0	1	0
0	0	1 $\rightarrow 011$
0	0	0 $\rightarrow 001$
		1 1 0

La principal limitación es la freq. de operaciones, si tengo más FF, tendría más retardos, disminuyendo la freq. a la que estar el clock.

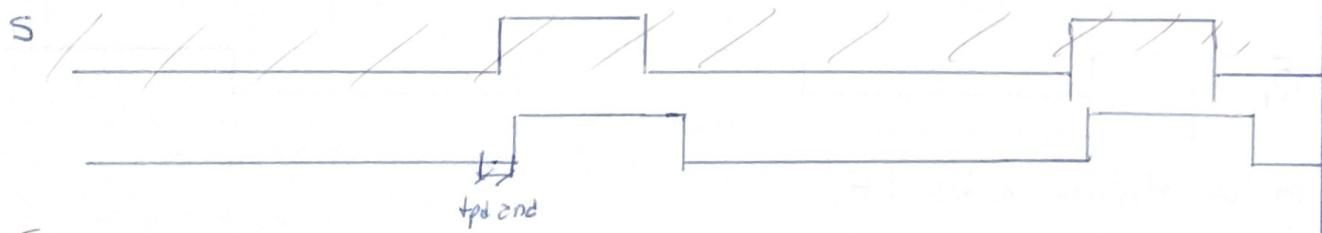
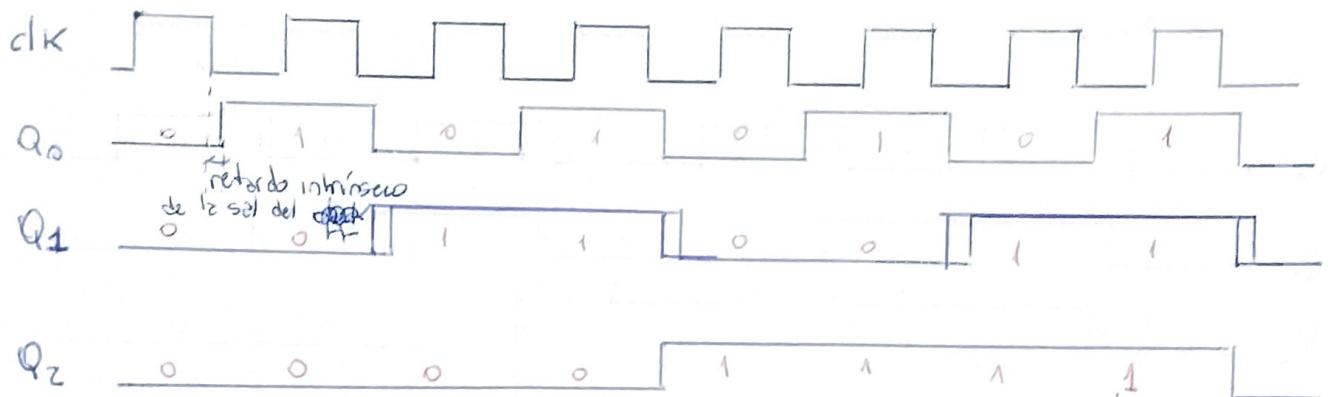
$$f_{\text{MAX}} = \frac{1}{N \cdot t_{pd} (\text{dK} \rightarrow Q)}$$

$\downarrow$   
Cant de  
bits del  
contador

2)



No están desfasados  $Q_0$ ,  $Q_1$  y  $Q_2$  para tener el mismo clock



$$f_{max} = \frac{1}{tpd(dk \Rightarrow Q) + tpd AND + t_{setup}}$$

Si  $dk$  aumenta su freq. entra en juego el setup (tiempo en que debe estar estable el dato, antes del flanco del reloj)

