

## **Parcial Laboratorio:**

### **Tema 2**

**Nota:** Para todos los incisos debe entregar el código en VHDL (puede adjuntar el archivo con extensión .vhd o copiar el código dentro del campo de texto) junto con la captura de pantalla de una simulación que demuestre la funcionalidad solicitada.

#### **1. Número de bits en VHDL (1 punto)**

Implemente en VHDL un componente que tome como entrada un vector de 4 bits A (A3, A2, A1, A0) y produzca una salida de 3 bits B (B2, B1, B0) que indique la cantidad de bits en '0' presentes en A.

**Ejemplo:** Si A = "0110", entonces B = "010"

Si A = "0000", entonces B = "000"

#### **2. Registro de desplazamiento en VHDL (3 puntos)**

##### **a. Registro de desplazamiento (1 punto)**

Implemente en VHDL un registro de desplazamiento serie/paralelo de 4 bits utilizando un diseño **estructural** con **reset** a 0.

##### **b. Configuración del registro (2 puntos)**

Implemente una nueva entidad con entrada serie ES, Clock y Reset y salida de 3 bits Z, cuya salida Z cuenta la cantidad de 0s presentes cada 4 bits que ingresan. Para ello, utilice el registro de desplazamiento del inciso 2a junto al componente del ejercicio 1 que cuenta bits en 0 (la salida paralela del registro será la entrada del contador de 0s).

**Ejemplo:** Si se ingresa en serie = "1001", la salida serie debe ser: "010".