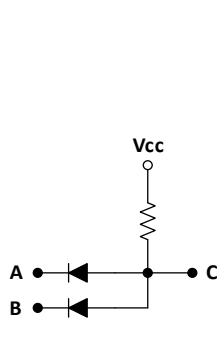




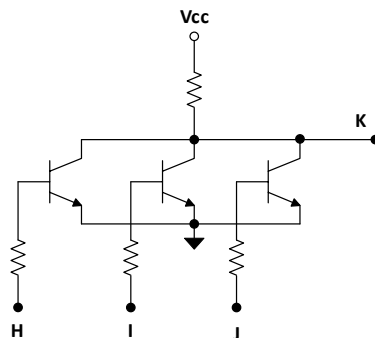
Álgebra de Boole | Diagrama de Karnaugh | Circuitos Combinatorios

Ejercicio 1

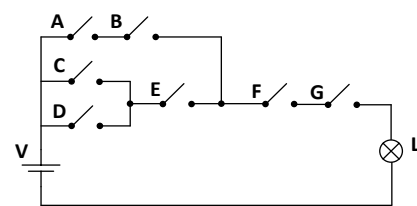
Hallar la expresión lógica que representa el funcionamiento de los siguientes circuitos.



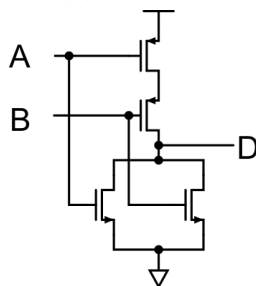
(a) Salida: C



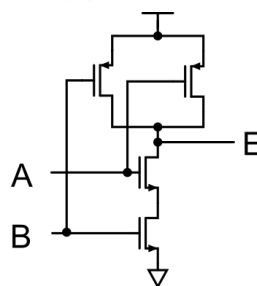
(b) Salida: K



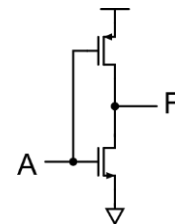
(c) Salida: L



(d) Salida: D



(e) Salida: E



(f) Salida: F

Ejercicio 2

Dadas las siguientes funciones lógicas, expresarlas en la primera forma canónica y realizar la tabla de verdad de cada una de ellas.

(a) $F = CA + B + \bar{A}$

(c) $H = A + B + C + \bar{D}$

(b) $G = A\bar{C} + C\bar{D} + \bar{A} + ACD$

(d) $H = AB + BC + C\bar{D}$

Ejercicio 3

Representar las siguientes funciones lógicas en un diagrama esquemático con las compuertas indicadas.

(a) $R = \overline{\overline{A + B + C} + A}$

Sólo con compuertas NAND

(b) $G = A\bar{C} + C\bar{D} + \bar{A} + ACD$

Sólo con compuertas NOR

(c) $F = A \oplus C$

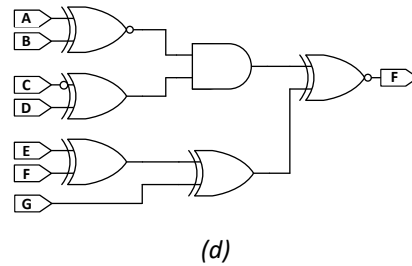
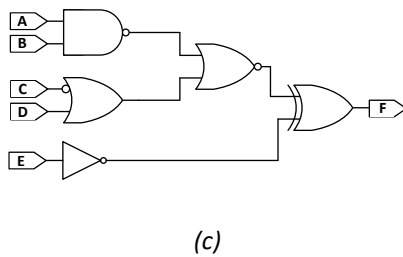
Sólo con compuertas NAND

Ejercicio 4

Si en los circuitos (c) y (d) el retardo intrínseco de los negadores es de 1ns, el de las compuertas AND y OR de 3ns, el de las NAND y NOR de 4ns y el de XOR y XNOR de 5ns:

1. ¿Cuáles son las señales de entrada que determinan el camino crítico de cada circuito?

- ¿Cuánto vale el retardo de dichos caminos?
- Realizar un diagrama de tiempos para el circuito (c) considerando los retardos intrínsecos, considerando que inicialmente A=1, B=1, C=0, D=0, E=0 hasta que en un momento la entrada C se pone en 1.



Ejercicio 5

- Simplificar las siguientes funciones lógicas utilizando Diagramas de Karnaugh (donde d son minterminos "don't care").

$$(a) F = \sum_{A,B,C,D} m(1, 5, 8, 10, 11, 12, 14, 15)$$

$$(d) I = \sum_{A,B,C,D} m(3, 6, 9, 10, 12, 15)$$

$$(b) G = ABCD + \bar{A}CD + BD + \bar{D}$$

$$(e) J = \sum_{W,X,Y,Z} m(0, 3, 5, 6, 9, 12)$$

$$(c) H = \sum_{W,X,Y,Z} m(4, 5, 7, 12, 14, 15) + d(0, 3, 8, 10)$$

- Utilizando el editor de esquemáticos de Quartus II, implementar utilizando compuertas estándar la función (b) y (e) antes y después de simplificarlas en el mismo esquemático. Simule ambas implementaciones y compare los resultados.

Ejercicio 6

Diseñar un comparador de dos números binarios sin signo A (A1 A0) y B (B1 B0) con tres salidas que permitan detectar si A > B, A < B o A = B, según se muestra en la siguiente figura.

Por ejemplo si A = 10 (3 en decimal) y B = 01 (1 en decimal), entonces A > B, con lo cual la salida A > B = 1 y las otras = 0.



- Realizar la tabla de verdad para cada una de las salidas.
- Simplificar las funciones lógicas de forma tal de utilizar la menor cantidad posible de compuertas lógicas. Implemente las expresiones obtenidas en el editor de esquemáticos de Quartus II y compruebe el funcionamiento esperado

Ejercicio 7

En la siguiente figura se muestra un multiplicador binario de dos bits sin signo.

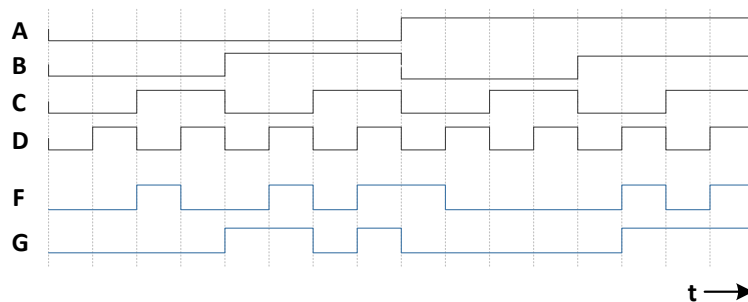


- Realizar la tabla de verdad de las salidas del multiplicador.

2. Obtener las funciones lógicas y simplificarlas.
3. Realizar el diagrama esquemático del sistema completo utilizando la menor cantidad posible de compuertas lógicas. Implemente las expresiones obtenidas en el editor de esquemáticos de Quartus II y compruebe el funcionamiento esperado

Ejercicio 8

Un sistema digital tipo “caja negra” posee 4 entradas (A, B, C, D) y dos salidas (F y G). Con el objetivo de relevar el comportamiento del sistema se ingresaron diferentes valores en las entradas y se midieron las salidas obteniendo los resultados que se muestran a continuación.



En base a la información obtenida:

1. Determinar las funciones lógicas que caracterizan al sistema.
2. Optimizar el sistema para utilizar la menor cantidad de compuertas lógicas posibles.
3. Realizar el diagrama esquemático del sistema optimizado.
4. Simular los resultados utilizando Quartus II y compárelos con el diagrama de tiempos anterior.

Ejercicio 9

Utilizando Quartus II simular el sistema digital que responde a las siguientes funciones lógicas (ambas pertenecen al mismo sistema) realizando las optimizaciones que considere convenientes de forma de reducir al mínimo posible la utilización de compuertas.

$$a) H = \bar{V}\bar{Y}\bar{S}Q + \bar{S}Y\bar{V}\bar{Q} + \bar{S} + \bar{Q}(V \oplus Y) + \bar{V}(SQ\bar{Y} + Q\bar{Y}\bar{S}) + \bar{V} + \bar{S}$$

$$b) K = Q(\bar{\bar{S}}\bar{V}\bar{\bar{S}}\bar{V}) + S(\bar{\bar{Y}}\bar{V}\bar{\bar{Y}}\bar{V})$$

Ejercicio 10

En base a la hoja de datos del multiplexor **74HC/HCT151**.

1. Dada una función lógica, ¿cuál es el máximo número de variables que puede tener para poder implementarla con el multiplexor?
2. ¿Cuál es la variación más rápida que pueden tener las señales de entrada si el multiplexor se opera a una temperatura ambiente de 30° y una tensión de alimentación VCC=6V?
3. En los casos en que sea posible implementar con él las siguientes funciones lógicas indicando las conexiones de cada pin del circuito integrado en cada uno de los casos.

$$(a) F = A\bar{B} + \bar{A}BX + AB\bar{X} \quad (c) O = \bar{A} + \bar{B} \oplus \bar{C} + \bar{A}\bar{C}\bar{\bar{B}}\bar{D}(B \oplus E)$$

$$(b) M = S_0S_1S_2S_3 + \bar{S}_0(S_1 + \bar{S}_1\bar{S}_3) \quad (d) Z = C(\bar{A}B + \bar{A}BE) + D + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C$$

Ejercicio 11

Analizar si las siguientes funciones lógicas pueden implementarse utilizando sólo 2 multiplexores 4:1.

$$(a) \quad Q = \bar{A}\bar{B}\bar{C}\bar{D} + BC\bar{D} + ACD + B\bar{C}D$$

$$(c) \quad T = AC\bar{D} + \bar{A}D + \bar{C}\bar{D}$$

$$(b) \quad M = \overline{\bar{A} + \bar{B}} \overline{\bar{C} + \bar{D}} + AC(\bar{D} + BD)$$

$$(d) \quad W = (AC \oplus \bar{D})$$

Ejercicio 12

1. Diseñar un *barrel shifter* de 4 bits configurable que permita rotar a izquierda o derecha según el siguiente esquema, donde C_0 y C_1 determinan el módulo del desplazamiento y D su dirección. Realizar la tabla de verdad y el diagrama esquemático.

En base al diseño anterior utilizar el circuito integrado **74HC/HCT151** para implementarlo. Proponer otra implementación utilizando sólo multiplexores 4:1.

C_1	C_0	D	Dirección	Módulo
0	0	0	-	0
0	1	0	→	1
1	0	0	→	2
1	1	0	→	3
0	0	1	-	0
0	1	1	←	1
1	0	1	←	2
1	1	1	←	3

Ejercicio 13

1. Deducir las funciones lógicas que caracterizan el funcionamiento de los circuitos a, b y c.
2. Simplificar las funciones obtenidas utilizando el método más conveniente.
3. Considerando los siguientes retardos calcular el camino crítico para el circuito y su simplificación considerando una implementación que utilice sólo compuerta de dos entradas.

• Mux: 5ns

• Compuertas: 3ns

• Demux: 6ns

• Negadores: 1ns

