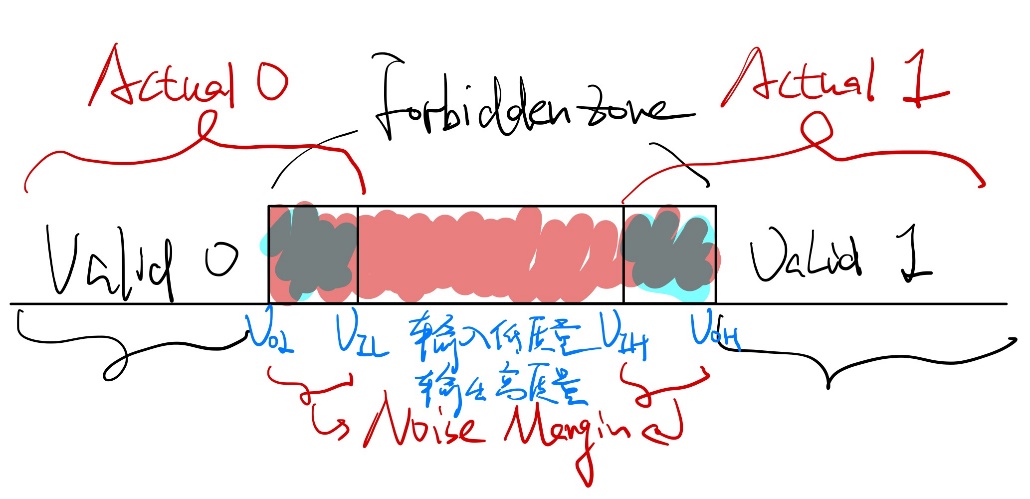
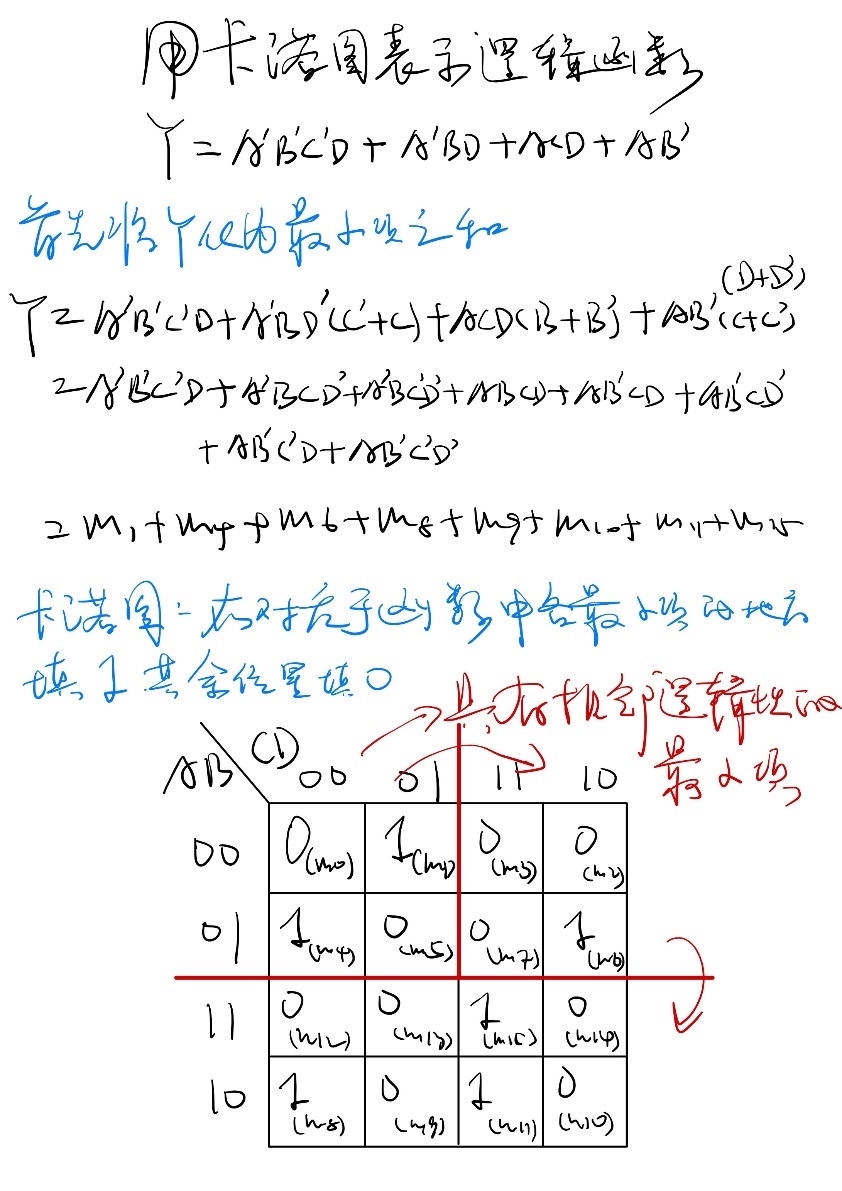
数字电子技术

1. 概论：用离散的电压序列来表示信息
   1. 电压信号的模拟特性及其数字化应用
      1. 使用电压信号的优点和缺点
         1. 优点
            1. 容易产生
            2. 易于观测和测量
            3. 低功耗（有电压没电流）使集成电路成为可能
         2. 缺点
            1. 电压信号比较容易受到环境的影响
            2. 需要直流源
            3. 受到RC环节影响
      2. 为什么使用数字系统？
         1. Noise & inaccuracy are inevitable, we must design our system to tolerate some amount of error. 由于干扰和制造工艺的不确定性等误差使用模拟电路进行信息处理会导致失真，而使用数字电路进行信息处理则可以规避失真。模拟电路用于系统的最前端，模拟电路最重要的作用在于和传感器搭配实现ADC将现实中的物理量转换为电信号。
         2. 因为任一位的数字在模拟信号中都有意义，因此模拟电路可以传递无限量的信息。数字电路只能传递0和1，且要付出时间（串行通信）或空间（并行通信）的代价。
   2. 数字化电路模块必须遵循的原则
      1. 数字电路规范：输入低质量0和1，输出高质量0和1
      2. Using voltages digitally
         1. Key idea: don’t allow 0 to be mistaken for a 1 or vice versa
         2. Use the same uniform representation convection for every component & wire in digital system to implement devices with high reliability.
         3. Forbidden zone 无效区不是越大越好也不是越小越好，要根据实际情况设计，留出缓冲区buffer。



1. 逻辑代数基础
   1. 基本运算：与或非、异或、同或
   2. 基本定理
      1. 摩根定理：
      2. 代入定理：在任何一个包含A的逻辑等式中，若以另外一个逻辑式带入式中A的位置，则等式依然成立。是逻辑电路进行模块化设计和层次化设计的理论基础。
   3. 逻辑函数及其描述方法
      1. 逻辑函数的描述方法
         1. 真值表：遍历所有取值可能
         2. 逻辑式
         3. 逻辑图
         4. 波形图
         5. 卡诺图 Karnaugh map
         6. EDA中的硬件描述语言
      2. 逻辑函数的两种标准形式
         1. 最小项m之和
            1. 定义：m是乘积项，包含n个因子，n个变量均以原变量和反变量的形式在每个m中出现一次
            2. 性质

在输入变量的任何取值下必有一个最小项，而且仅有一个最小项的值为1

全体最小项之和为1

任意两个最小项的成绩为0

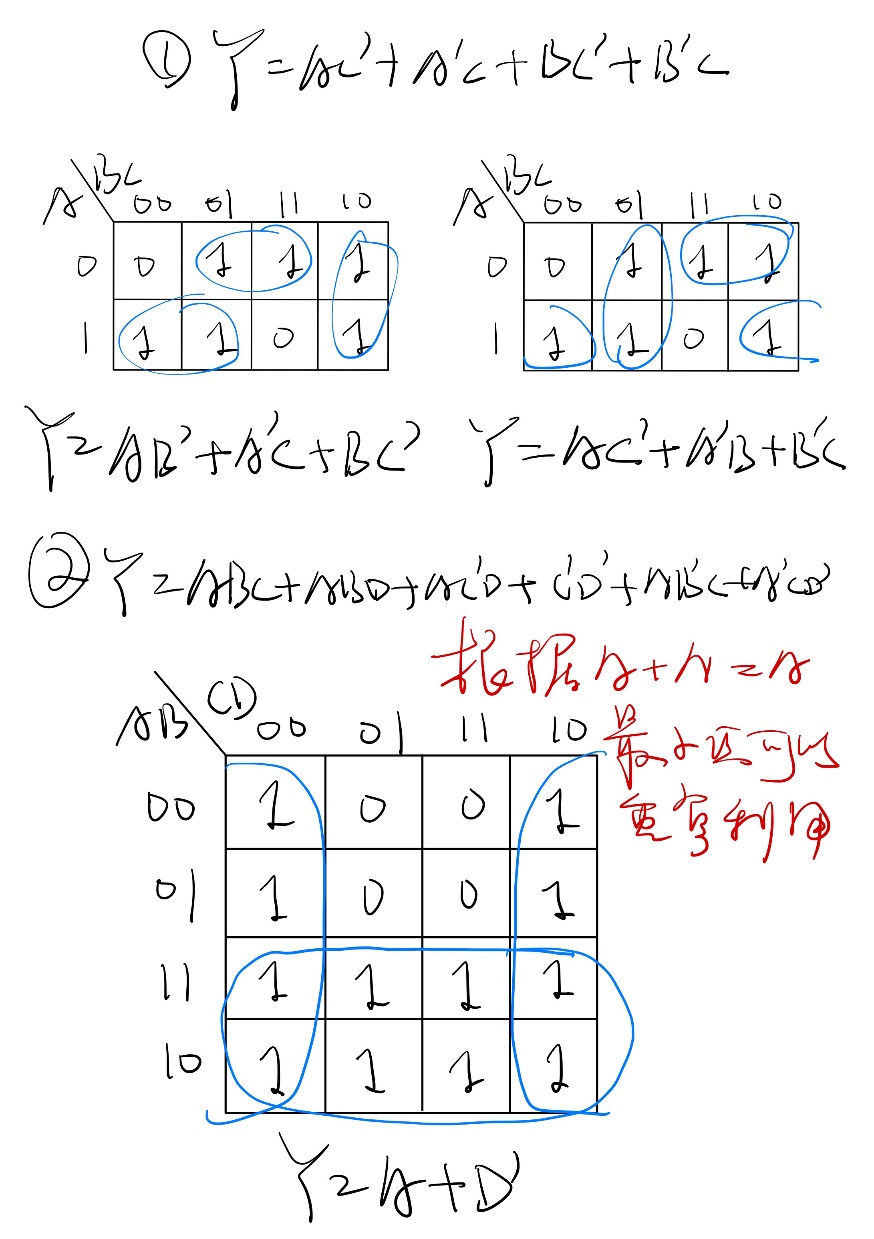
具有相邻性的两个最小项之和可以合并成一项并消去一对因子

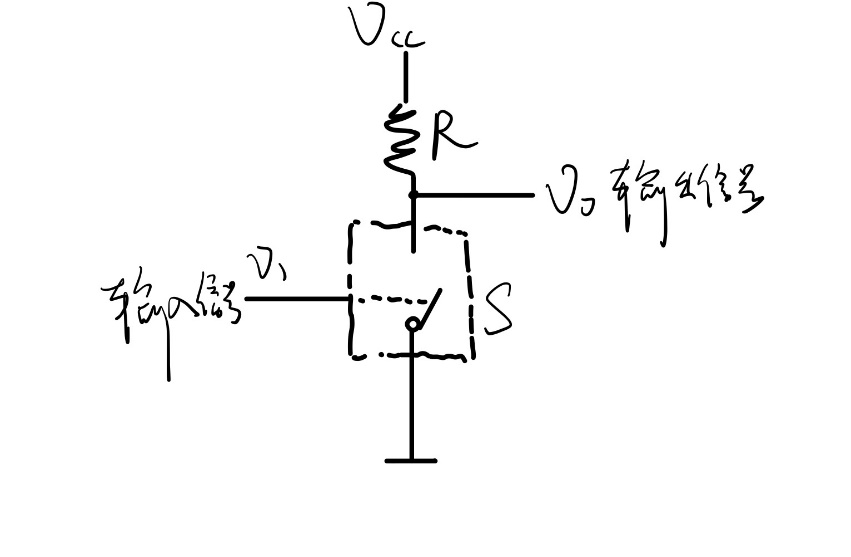
* + - 1. 最大项M之积
         1. 定义：M是和项，包含n个因子，n个变量均以原变量和反变量的形式在每个M中出现一次
  1. 逻辑函数的化简方法
     1. 公式化简法
     2. 卡诺图：将逻辑函数的最小项之和以图形形式表现出来（5个及以下变量，5个以上难以用几何图形的二维空间的相邻性来表示其逻辑相邻性）
        1. 原理：所有逻辑函数都可以展开为最小项之和的形式，从而采用合并最小项的方式化简逻辑函数
        2. 步骤
           1. 将函数化为最小项之和或者直接代指来画出卡诺图
           2. 找出可以合并的最小项：如果有2n个最小项相邻（n=1,2,…）并排列成一个矩形组，则它们可以合并为一项，并消去n对因子
           3. 选取化简后的乘积项，选取的原则有

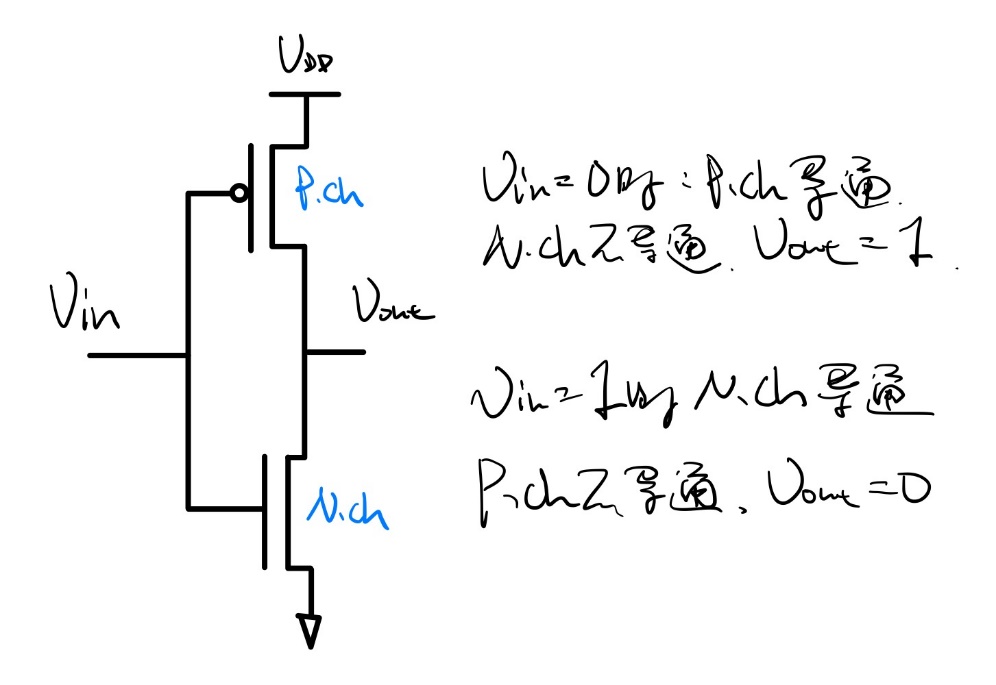
这些乘积项应包含函数式中所有的最小项（应覆盖卡诺图中的所有的1）

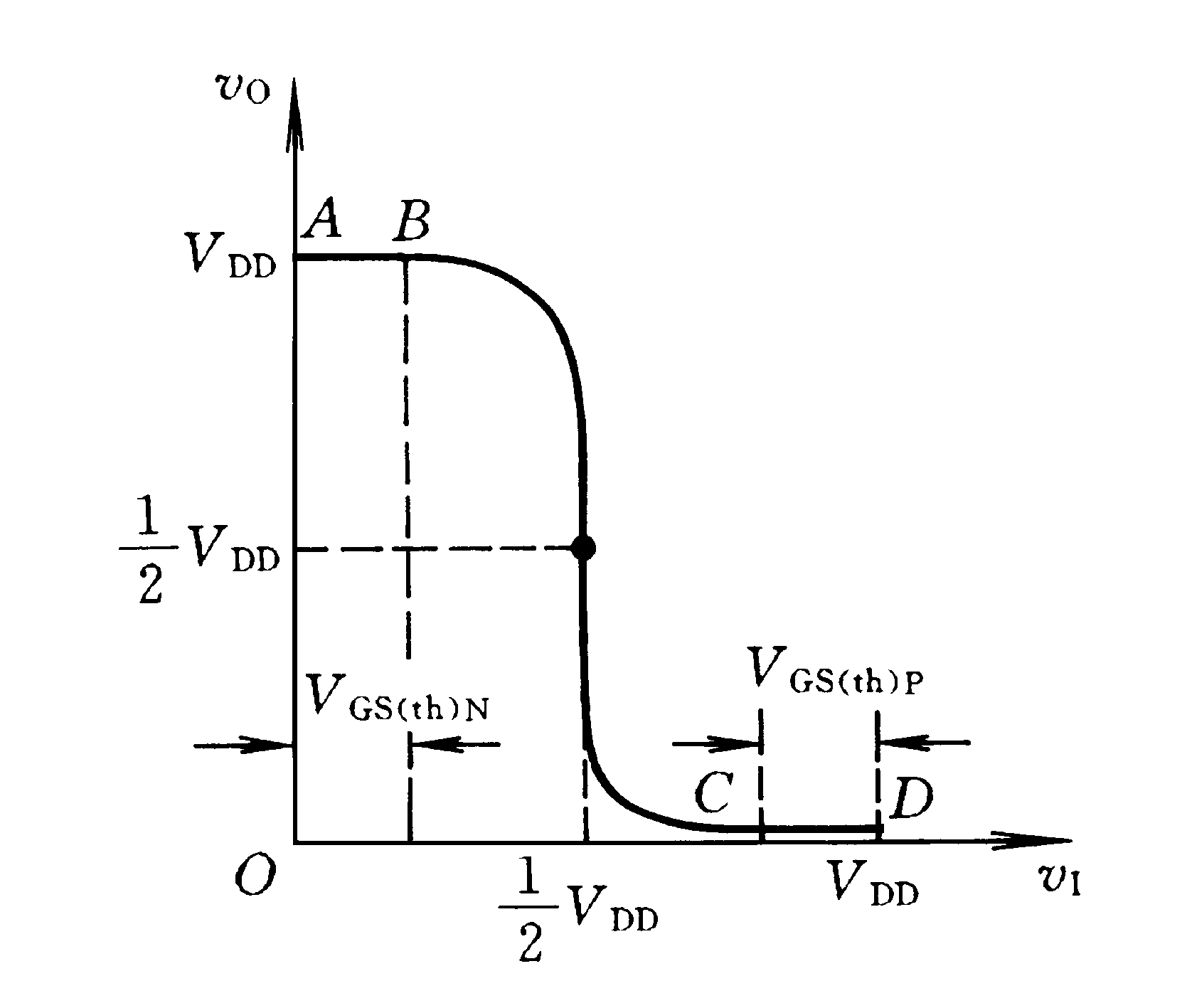
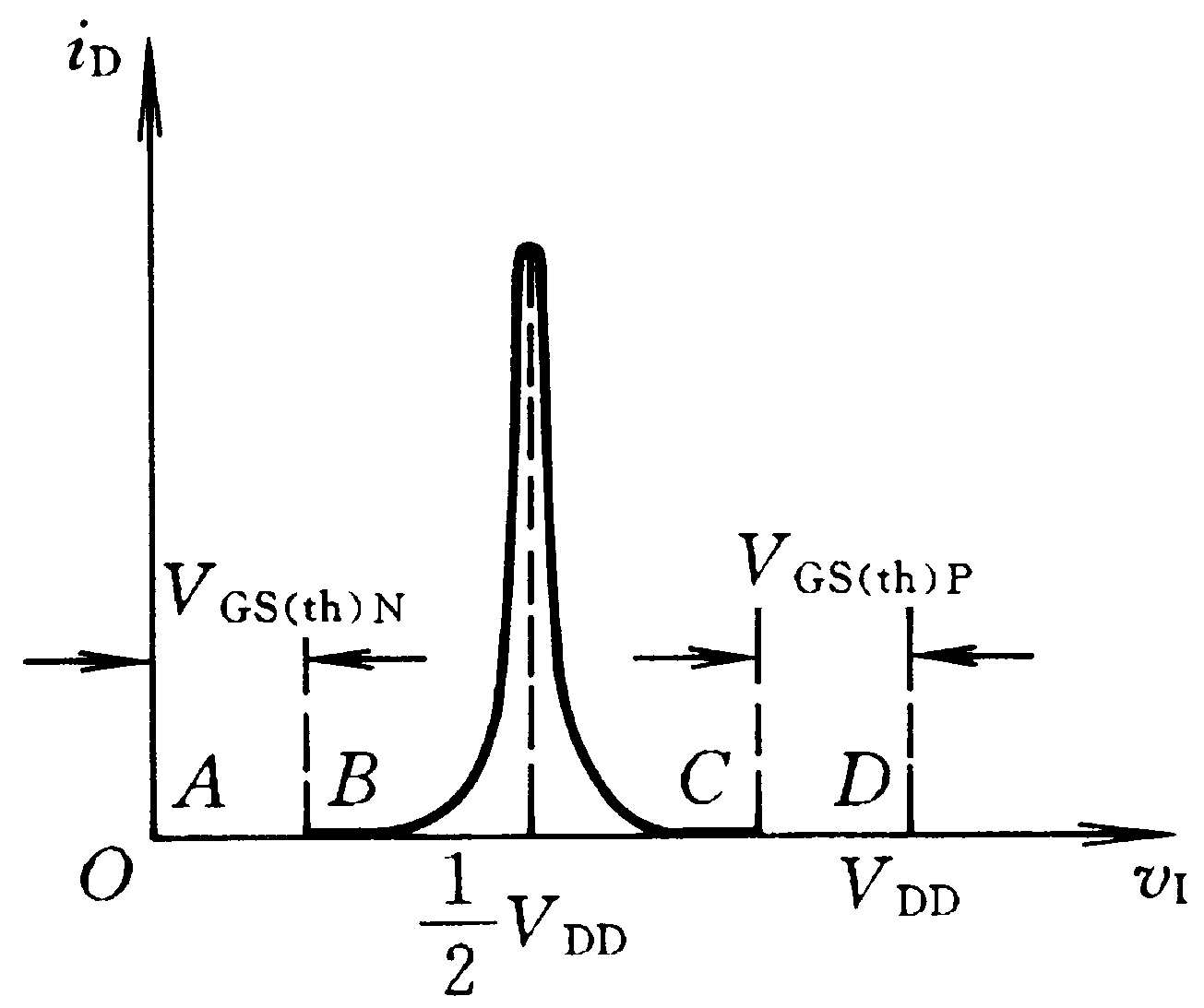
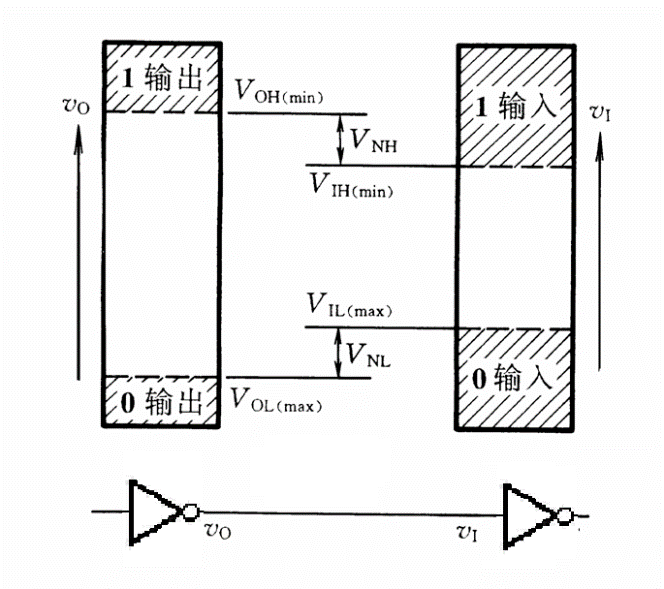
所用的乘积项数目最少，也就是可合并的最小项组成的矩形组数目最少

每个乘积项包含的因子最少，也就是每个可合并的最小项矩形组中应包含尽量多的最小项

* + - 1. 例题
  1. 具有无关项的逻辑函数及其化简
     1. 无关项
        1. 约束项：输入变量的取值不是任意的
        2. 任意项：输入变量的取值对电路功能没有影响
  2. 多输出逻辑函数的化简

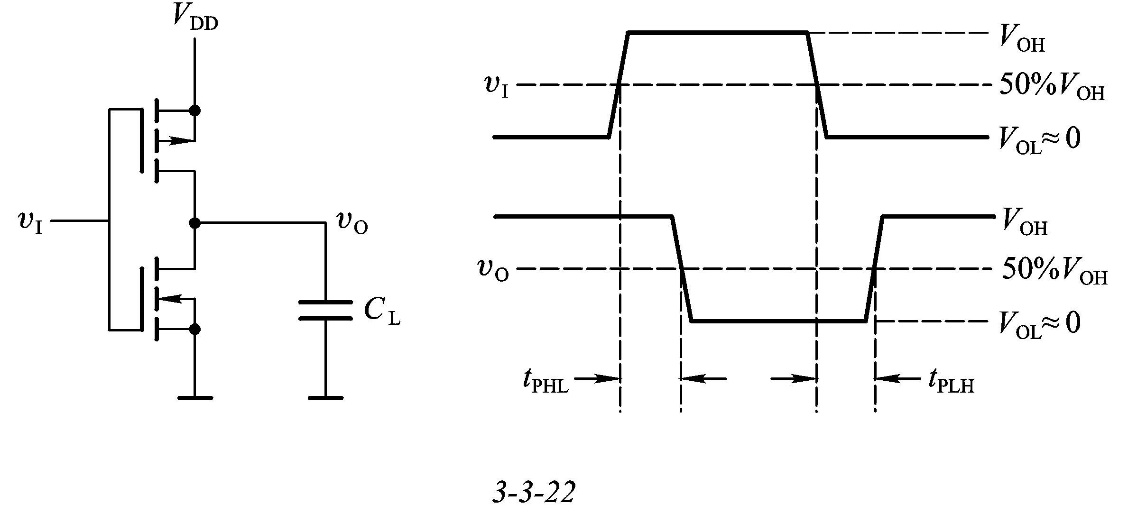
1. 门电路
   1. 概述：实现基本运算、复合运算的单元电路，如与非门（正负逻辑设计一致）
      1. 获得高低电平的基本原理
   2. 半导体二极管门电路：存在信号高、低电平的偏移以及带负载能力不高，只适用于IC内部电路
   3. CMOS门电路
      1. CMOS反相器/CMOS inverter的电器结构和工作原理
         1. CMOS反相器的电路结构



* + - 1. 电压传输特性和电流传输特性
         1. 电压
         2. 电流
      2. 输入端噪声容限：在V­I偏离V­IH­和VIL的一定范围内，V0基本不变；在输出变化允许范围内，允许输入的变化范围称为输入噪声容限

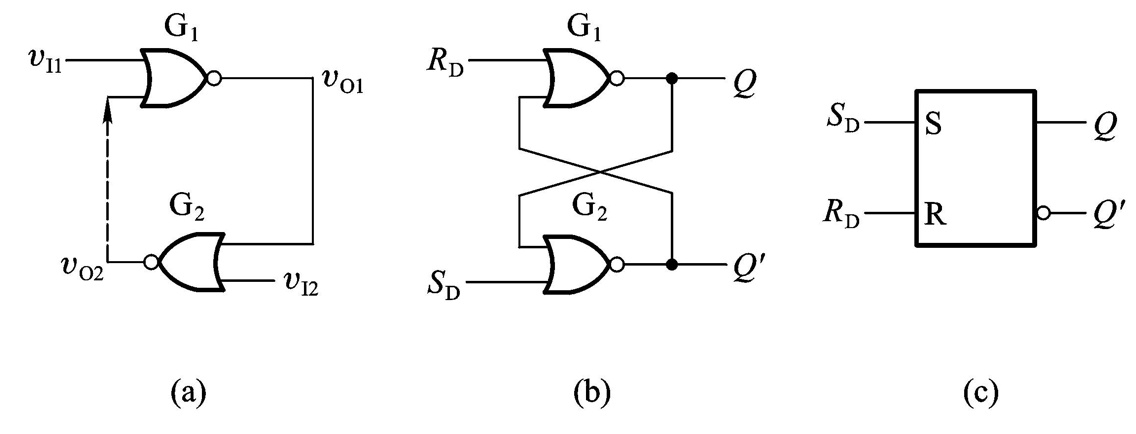
可以通过提高VDD来提高噪声容限

* + 1. CMOS反相器的静态输入特性和输出特性
       1. 输入特性
       2. 输出特性
          1. 低电平输出特性
          2. 高电平输出特性
    2. CMOS反相器的动态特性
       1. 传输延迟时间：由于MOS管电极与衬底之间都存在寄生电容，反相器的输出端也存在负载电容，电容两端电压不能突变，因此存在延迟时间tPHL和tPLH ,该延迟时间受电容和VDD（影响内阻）影响

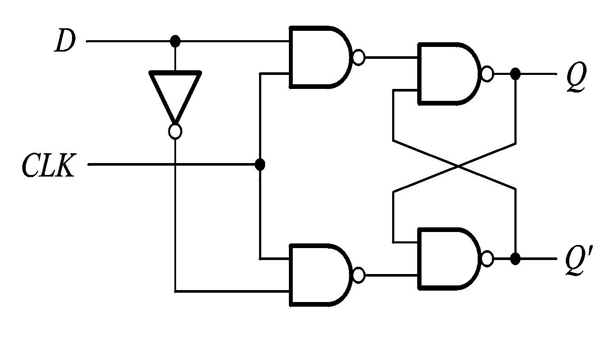


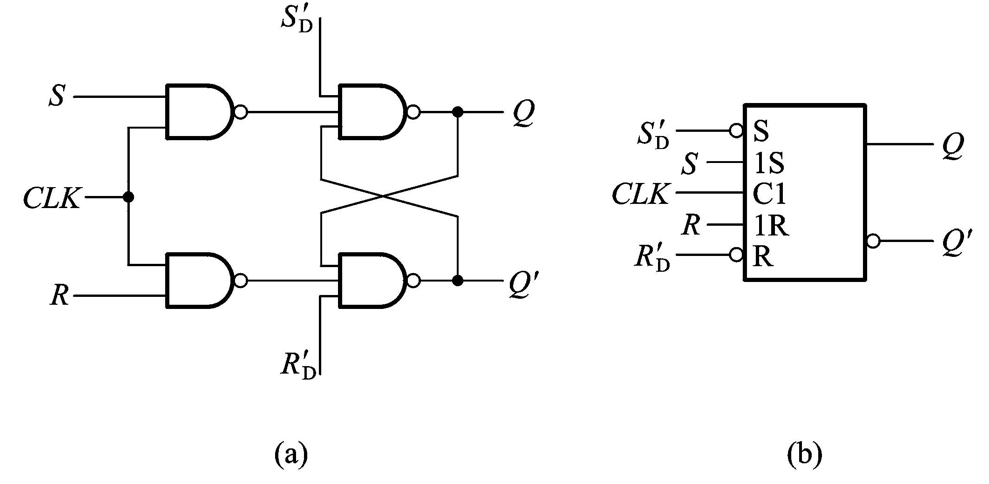
* + - 1. 交流噪声容限
      2. 动态功耗PD=PT （导通）+PC（负载）总功耗=动态功耗PD+静态功耗PS (静态功耗极小，与动态功耗相比可以忽略)
         1. 导通功耗
         2. 负载功耗
      3. 扇出
    1. 其他类型的CMOS门电路
       1. 各种逻辑功能的CMOS门电路
       2. 漏极开路输出门电路（OD门）
       3. CMOS传输门
       4. 三态传输的CMOS门电路
  1. TTL门电路

1. 组合逻辑电路 Combinational logic
   1. 常用组合逻辑电路
      1. 编码器
         1. 定义：将输入的每个高/低电平信号变成一个对应的二进制代码
         2. 普通编码器：任何时刻只允许一个需要编码的电平信号
         3. 优先编码器：允许同时输入两个以上的电平信号，但只对其中优先权最高的一个进行编码
            1. 8-3优先编码器 74HC148
            2. 16-4优先编码器 两个8-3编码器的组合：二-十进制优先编码器是16-4编码器的一种特殊使用方式
      2. 译码器
         1. 定义：将每个输入的二进制代码译成对应的输出高、低电平信号
         2. 二进制译码器：3-8译码器 74HC138
         3. 二--十进制译码器
         4. 显示译码器
      3. 数据选择器
      4. 加法器
         1. 1位加法器
         2. 多位加法器
      5. 数值比较器
         1. 1位数值比较器
         2. 多位数值比较器
   2. 组合逻辑电路中的竞争-冒险 Race hazard
      1. 消除竞争冒险
         1. 接一个小滤波电容
         2. 引入选通脉冲
         3. 修改逻辑设计（卡诺图相切）
   3. EDA(Electronic Design Automation)可编程逻辑器件PLD(Programming Logic Device)
      1. 概述
         1. Definition of PLD: A PLD is like an electronic breadboard that is wired together by an automated synthesis tool
         2. 数字继承电路从功能上分为通用型(General ICs)和专用型(Application-Specific ICs)
         3. PLD的特点：是一种按通用器件来生产，但逻辑功能是由用户通过对器件变成来设定的
         4. Built-in components are called macros
      2. PLD的发展和分类：PROM是最早的PLD
         1. FPLA现场可编程逻辑阵列
         2. PAL可编程逻辑阵列
         3. GAL通用阵列逻辑
         4. EPLD可擦除的可编程逻辑器件
         5. CPLD复杂的可编程逻辑器件
         6. FPGA现场可编程门阵列
      3. EDA技术特征
         1. 以超大规模IC为基础，以高性能计算机及软件为平台
         2. 多学科综合
         3. 实现电子产品从设计到生产全过程自动化
         4. 电路软件化—软件即是电路，用计算机程序描述电路
         5. 电路的描述形式为硬件描述语言HDL(Hardware Description Language)
   4. 硬件描述语言
      1. VHDL：侧重于系统级描述—系统级设计
      2. Verilog：侧重于电路级描述—电路级设计
2. 半导体存储电路
   1. 锁存器
      1. SR锁存器 SR latch
         1. 用与非门还是或非门来构成SR锁存器的区别在于是高电平作为输入信号还是高电平作为输入信号

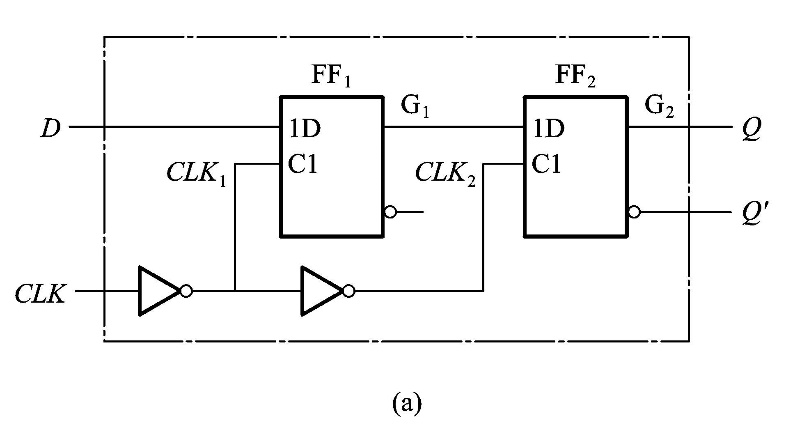
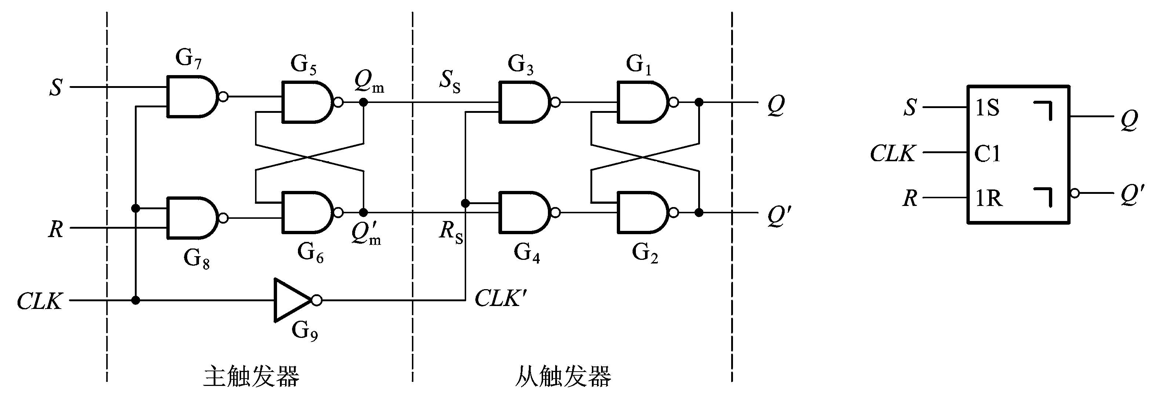
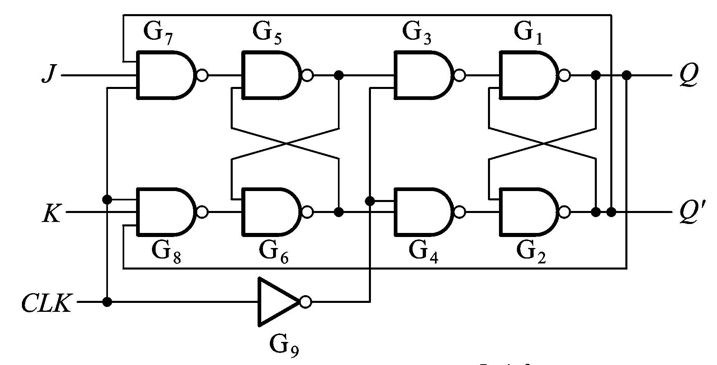
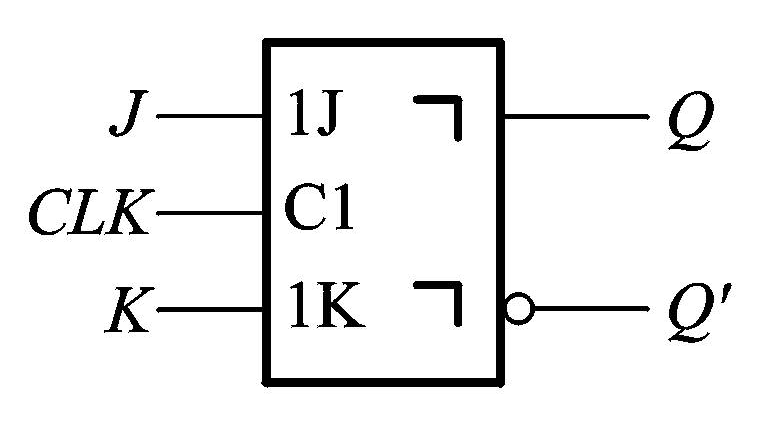
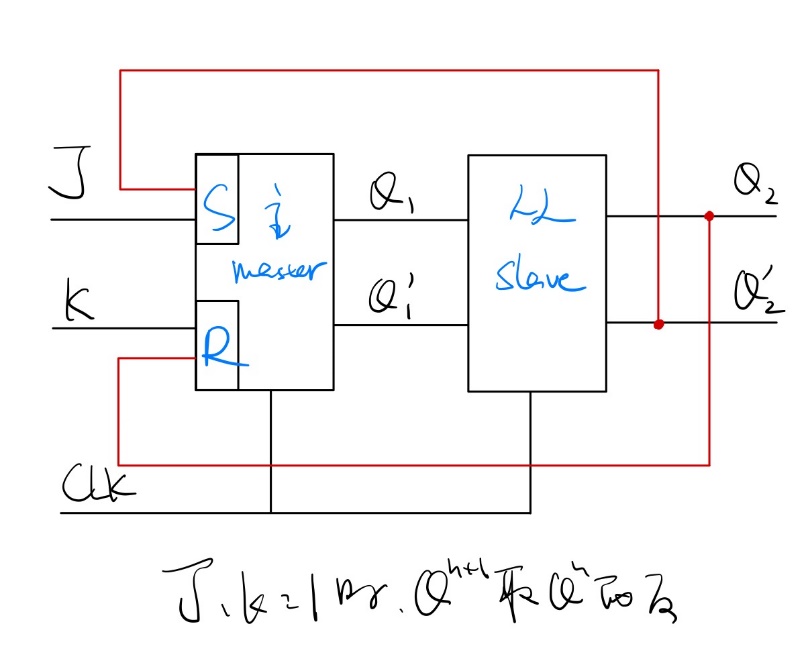
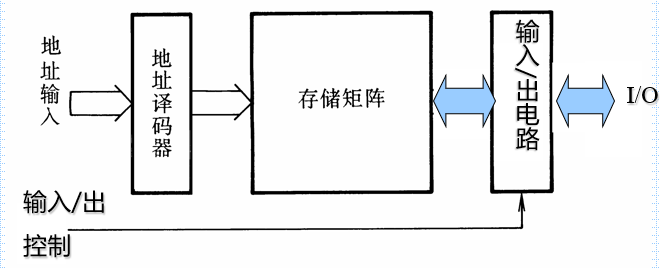
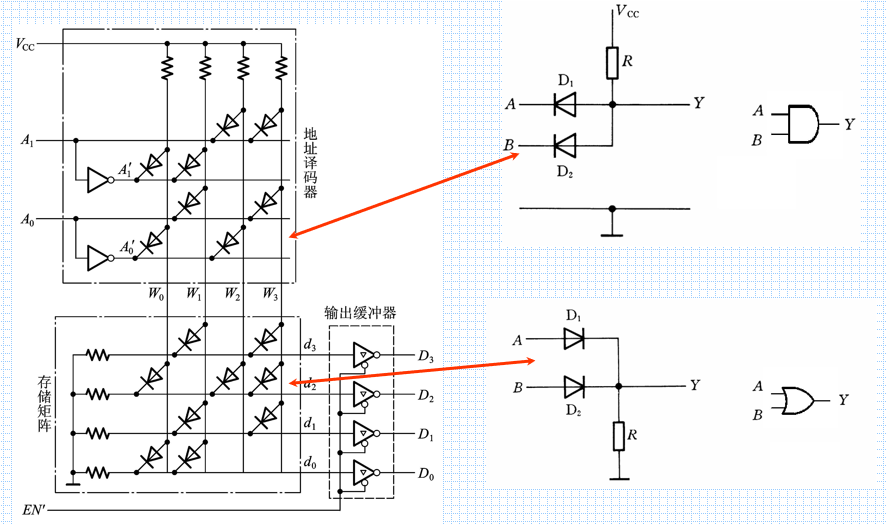


不定状态是指SD、RD的1状态/SD’、RD’的0状态同时消失后不定！！

* + 1. D锁存器 D latch
       1. 结构
       2. 原理：为了能适应单端输入信号的需要设计。由于从一个输入信号接反相器得到两个相反的信号所以信号时刻相反，避免了不定状态，但同时也失去了保持功能
  1. 触发器 Flip-flop
     1. 触发器概述
        1. 用于记忆1位二进制信号
           1. 有两个能够自行保存的状态
           2. 根据输入信号可以置成0或1
        2. 分类
           1. 按触发方式（电平、脉冲、边沿）
           2. 按逻辑功能（RS, JK, D, T）
     2. 电平触发的触发器
        1. 电路结构和工作原理



为了实现在CLK的有效电平到达之前预先将触发器置成指定装填的功能，在实用电路上往往还设置有异步置1（异步置位）输入端SD’和异步置0（异步复位）输入端RD’

* + - 1. 电平触发方式的动作特点
         1. 只有当CLK变为有效电平时，触发器才能接收输入信号，并按照输入信号将触发器的输出置成相应的状态
         2. 在CLK=1的全部时间里，S和R状态的变化都可能引起输出状态的改变。在CLK回到0以后，触发器保存的是CLK回到0以前瞬间的状态
         3. 只要在CLK=1期间S、R的状态可以多次发生改变，降低了触发器的抗干扰能力
    1. 边沿触发的触发器 Master-Slave Flip Flop(Edge-triggered)
       1. 电路结构和工作原理
          1. 电路结构
          2. 工作原理：触发器的状态仅取决于时钟信号的上升沿或下降沿到达时刻输入的逻辑状态，而在这之前或之后，输入信号的变化对触发器输出的状态没有影响，这有效提高了触发器的抗干扰能力，因而也提高了电路的工作可靠性
       2. 边沿触发方式的动作特点
    2. 脉冲触发的触发器
       1. 电路结构和工作原理
          1. 脉冲触发的SR触发器
          2. 脉冲触发的JK触发器 
          3. 工作原理
       2. 脉冲触发方式的动作特点
    3. 触发器按逻辑功能的分类
       1. SR触发器
       2. JK触发器
       3. T触发器
       4. D触发器
    4. 触发器的动态特性
       1. 建立时间 Setup time
       2. 保持时间 Hold time
       3. 传输延迟时间 Propagation delay time
  1. 寄存器 Register
  2. 半导体存储器
     1. 概述：能存储大量二值信息的器件
        1. 一般结构形式
           1. 单元数庞大
           2. 输入/输出引脚数目有限
     2. 只读存储器ROM 实际上是组合电路
        1. ROM的结构和工作原理
        2. ROM的分类
           1. 掩模只读存储器 Mask ROM

存储矩阵的每个交叉点是一个“存储单元”，存储单元中通过有无器件判断存入1还是0

存储器的容量：字数\*位数

特点：出厂时已经固定，不能更改，适合大量生产，简单，便宜，非易失性

* + - * 1. 可编程只读存储器 PROM

总体结构和Mask ROM差不多，但存储单元不同熔丝由易熔合金制成，出厂时，每个节点上都有，编程时将不用的熔断

特点：是一次性变成，不能改写

* + - * 1. 用电信号擦除的可编程只读存储器EPROM—闪存（flash memory）

发展历程：UVEPORM, E2PROM, Flash Memory

UVEPROM

工艺：采用叠栅注入SIMOS(Stakced-gate Injuction MOS)工艺

写入：雪崩注入

擦除：通过照射产生电子-空穴对，提供泄放通道，紫外线照射20-30分钟

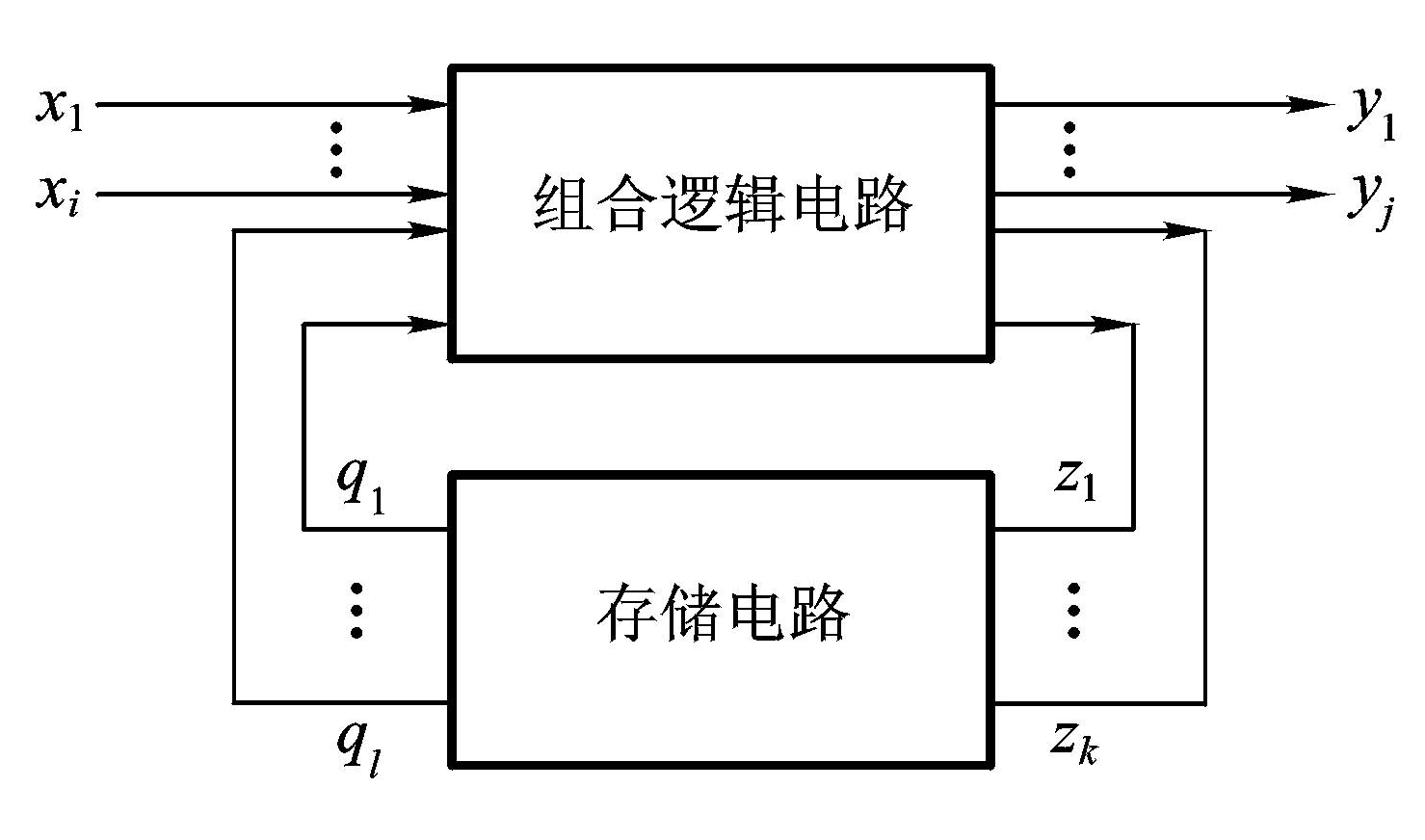
E2PROM

工艺：位客服UVEPROM擦除慢，擦除不变的缺点采用FLOTOX(浮栅隧道氧化层MOS管)

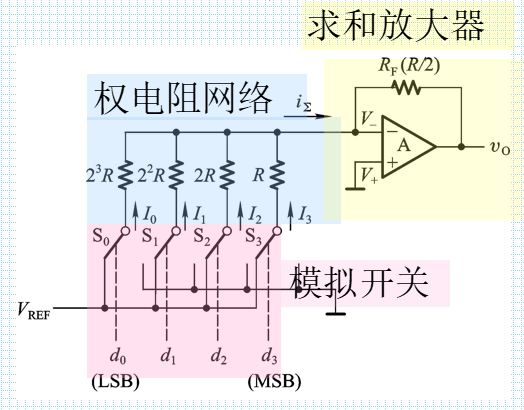
快闪存储区（Flash memory）

* + 1. 随机存储器RAM
       1. 静态随机存储器SRAM
       2. 动态随机存储器DRAM：运用电容可以存储电荷的原理来存储二值信息，在提高集成度的同时要引入刷新电路
    2. 存储器容量扩展
       1. 位扩展方式
          1. 使用场合：适用于每片RAM，ROM字数够用而位数不够时
          2. 接法：将每片的地址线、读写线、片选线并联即可
       2. 字扩展方式
          1. 使用场合：适用于每片RAM，ROM位数够用而字数不够时

1. 时序逻辑电路 Sequential logic
   1. 概述
      1. 时序逻辑电路的特点：任一时刻的输出不仅取决于该时刻的输入，还与电路原来的状态有关
      2. 时序电路的一般结构形式与功能描述方式



* + 1. 分类
       1. 同步和异步时序电路
          1. 同步时序电路：存储电路中所有触发器的时钟使用统一的CLK，状态变化发生在同一时刻
          2. 异步时序电路：没有统一的时钟，触发器状态的变化有先有后
       2. Mealy型和Moore型
          1. Melay型：Y = (X, Q)
          2. Moore型：Y = (Q) 仅取决与电路状态
  1. 时序逻辑电路的分析方法
     1. 同步时序电路的分析方法：找出给定时序电路的逻辑功能，即找出在输入和CLK作用下，电路的次态和输出
        1. 从给定电路写出存储电路中每个触发器的驱动方程（输入的逻辑式），得到整个电路的驱动方程
        2. 将驱动方程式代入触发器的特性方程，得到状态方程
        3. 从给定电路写出输出方程
  2. 常用时序逻辑电路
     1. 寄存器和移位寄存器 shift-register
        1. 寄存器：用于寄存一组二值代码，N位寄存器由N个触发器组成，可存放一组N位二值代码
     2. 计数器
     3. 顺序脉冲发生器
     4. 序列信号发生器
  3. 时序逻辑电路的设计方法
     1. 同步时序逻辑电路的设计方法
     2. 时序逻辑电路的自启动设计

1. 脉冲波形的产生和整形电路
   1. 概述
      1. 获取矩形脉冲的方法
         1. 脉冲波形发生电路
         2. 脉冲波形整形电路
      2. 描述矩形脉冲波形的主要参数
   2. 施密特触发器 Schmitt trigger
   3. 单稳态电路
   4. 多谐振荡电路
      1. 对称式多谐振荡电路
      2. 非对称式多谐振荡电路
      3. 环形振荡电路
      4. 用施密特触发器电路构成的多谐振荡电路
      5. 石英晶体多谐振荡电路
   5. 555定时器
2. 数模和模数转换
   1. DAC的电路结构和工作原理
      1. 权电阻网络DAC 
      2. 倒T型电阻网络DAC
      3. 权电流型DAC
   2. DAC的转换精度与转换速度
      1. DAC的转换精度
      2. DAC的转换速度
   3. ADC的基本原理
   4. 取样-保持电路
   5. ADC的电路结构和工作原理
      1. 并联比较型ADC
      2. 逐次逼近型ADC
      3. 双积分型ADC
   6. ADC的转换精度与转换速度
      1. ADC的转换精度
      2. ADC的转换速度