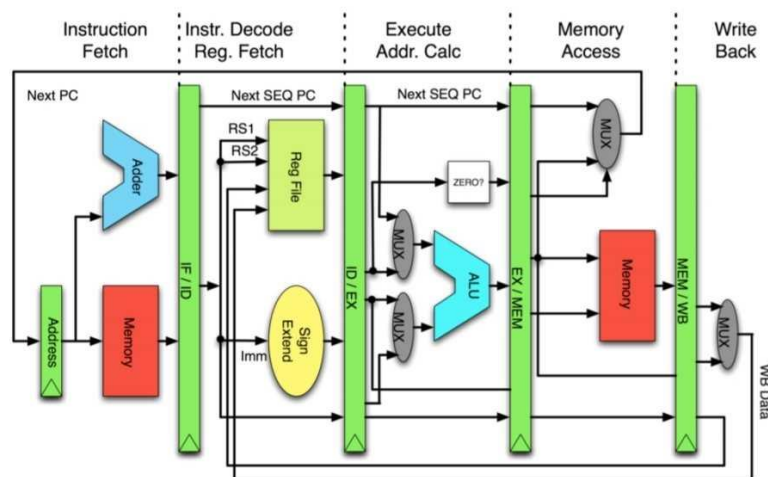


ICLAB Final Project Report

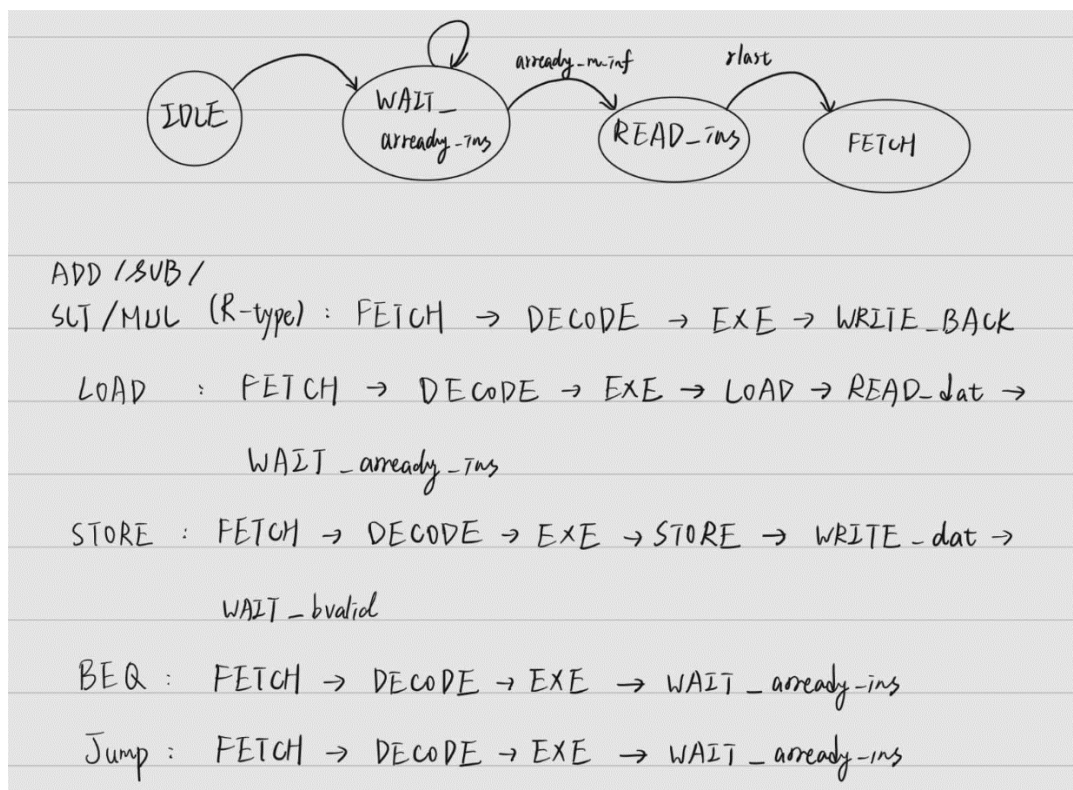
1. 電路架構：

架構就是照著 pdf 上給的 5 級 pipeline CPU 去實作，沒有太大的改變。



2. FSM：

R type instruction 大致上照著 5 級 pipeline 的 CPU 架構去做，但 LOAD/STORE 為了比較方便寫，就沒有使用 data cache，只要有 LOAD/STORE 就是直接 access DRAM，BEQ 跟 Jump 則是要判斷 instruction cache 裡有沒有 hit 這筆 instruction，有的話就從 cache 拿，沒有的話就跑到 DRAM 拿。



3. 優化方法：

Final project 沒有特別針對 delay 去優化，只想快點做完放假，所以連 data cache 都沒有用，只有用 instruction cache，且 cycle time 也沒有調整，20ns 就直接交了，看看 iclab 對我造成的傷害。