**module** m8bitCSum (C0, a, b, s, C8); // Verilog conditional-sum adder for an FPGA **input** [7:0] C0, a, b; **output** [7:0] s; **output** C8; **wire** A7,A6,A5,A4,A3,A2,A1,A0,B7,B6,B5,B4,B3,B2,B1,B0,S8,S7,S6,S5,S4,S3,S2,S1,S0; **wire** C0, C2, C4\_2\_0, C4\_2\_1, S5\_4\_0, S5\_4\_1, C6, C6\_4\_0, C6\_4\_1, C8; **assign** {A7,A6,A5,A4,A3,A2,A1,A0} = a; **assign** {B7,B6,B5,B4,B3,B2,B1,B0} = b; **assign** s = { S7,S6,S5,S4,S3,S2,S1,S0 }; **assign** S0 = A0^B0^C0 ; // start of level 1: & = AND, ^ = XOR, | = OR, ! = NOT **assign** S1 = A1^B1^(A0&B0|(A0|B0)&C0) ; **assign** C2 = A1&B1|(A1|B1)&(A0&B0|(A0|B0)&C0) ; **assign** C4\_2\_0 = A3&B3|(A3|B3)&(A2&B2) ; **assign** C4\_2\_1 = A3&B3|(A3|B3)&(A2|B2) ; **assign** S5\_4\_0 = A5^B5^(A4&B4) ; **assign** S5\_4\_1 = A5^B5^(A4|B4) ; **assign** C6\_4\_0 = A5&B5|(A5|B5)&(A4&B4) ; **assign** C6\_4\_1 = A5&B5|(A5|B5)&(A4|B4) ; **assign** S2 = A2^B2^C2 ; // start of level 2 **assign** S3 = A3^B3^(A2&B2|(A2|B2)&C2) ; **assign** S4 = A4^B4^(C4\_2\_0|C4\_2\_1&C2) ; **assign** S5 = S5\_4\_0& !(C4\_2\_0|C4\_2\_1&C2)|S5\_4\_1&(C4\_2\_0|C4\_2\_1&C2) ; **assign** C6 = C6\_4\_0|C6\_4\_1&(C4\_2\_0|C4\_2\_1&C2) ; **assign** S6 = A6^B6^C6 ; // start of level 3 **assign** S7 = A7^B7^(A6&B6|(A6|B6)&C6) ; **assign** C8 = A7&B7|(A7|B7s)&(A6&B6|(A6|B6)&C6) ; **endmodule**