



Universität Hamburg

DER FORSCHUNG | DER LEHRE | DER BILDUNG

Universität Hamburg  
Fakultät für Mathematik, Informatik und Naturwissenschaften

## Abschlussbericht

---

64-189 Projekt  
Entwurf, Realisierung und Programmierung eines Mikrorechners  
Wintersemester 13/14

---

Verfasser:

Marcel Hellwig  
Felix Ortmann  
David Weber  
Felix Wiedemann  
Nasif Yueksel

Betreuer:

Dr. Andreas Mäder  
Bernd Schütz

Vorgelegt am: 22. März 2014



# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>5</b>
1.1	Das Team . . . . .	5
1.2	Motivation . . . . .	6
1.3	Material . . . . .	6
<b>2</b>	<b>Allgemein</b>	<b>7</b>
2.1	vorgehensweise inkl organisation . . . . .	7
2.2	warum python . . . . .	7
2.3	ein wort zur lizenz . . . . .	9
2.4	tools . . . . .	9
2.4.1	python . . . . .	9
2.4.2	git . . . . .	9
2.4.3	pycharm . . . . .	9
2.4.4	latex . . . . .	9
2.4.5	altera . . . . .	9
2.4.6	hades . . . . .	9
2.4.7	gtkwave . . . . .	9
2.5	testen . . . . .	9
<b>3</b>	<b>Hardware(Marcel)</b>	<b>11</b>
3.1	Sprache . . . . .	11
3.2	Design . . . . .	12
3.2.1	Steuerwerk . . . . .	12
<b>4</b>	<b>Software</b>	<b>13</b>
4.1	ISA(Felix O.&Marcel&Felix W.) . . . . .	13
4.2	Emulator(Felix W.) . . . . .	13
4.3	Assembler(Felix W.) . . . . .	13
4.4	GUI/Debugger(Marcel) . . . . .	13
<b>5</b>	<b>Fazit(Alle)</b>	<b>14</b>
5.1	ergebnisse . . . . .	14
5.2	probleme . . . . .	14
5.3	erkenntnisse . . . . .	14
5.4	fazit . . . . .	14
<b>6</b>	<b>Appendix</b>	<b>15</b>
6.1	ISA . . . . .	16
6.2	Abbildungsverzeichnis . . . . .	17
6.3	Tabellenverzeichnis . . . . .	17



# 1 Einleitung

Ein Computer ist keine komplizierte Maschine. Die Meisten wissen, dass er aus einem Prozessor, einem Arbeitsspeicher und einer Festplatte besteht. Der Prozessor steuert die Maschine und treibt die Datenverarbeitung voran, der Arbeitsspeicher dient als Puffer für die Aufträge und die Festplatte ist für die persistente Speicherung der Daten zuständig. Weiterhin können noch Hardwareteile wie eine Grafikkarte, ein DVD-Laufwerk oder eine Webcam verbaut sein. Beschäftigt man sich etwas genauer mit dem Thema, wird man schnell feststellen, dass nicht all diese Komponenten zwingend notwendig sind. Dass die Webcam oder das DVD-Laufwerk nicht unbedingt zu jedem PC gehören erkennen wohl die Meisten. Dass auch die Grafikkarte und die Festplatte nicht zur Grundidee eines Computers gehören ist nicht so offensichtlich.

Der österreichisch-ungarische Mathematiker John von Neumann publizierte im Jahr 1945 eine Architektur, die die Basis moderner PCs, Laptops, Smartphones darstellt. Die nach ihm benannte Architektur besteht aus einer Recheneinheit, der Central Processing Unit (CPU), einem Speicher für die Daten und Befehle, einer Ein- und Ausgabe-Einheit, damit der Mensch mit der Maschine interagieren kann und einem Bussystem, das die genannten Komponenten miteinander verbindet. Die CPU steuert dabei alle anderen Komponenten. Aber woher weiß die CPU, was zu tun ist? Denn der Prozessor ist auch nur ein Hardwareteil, das ohne Anweisungen nicht weiß, was zu tun ist. Ein Algorithmus muss die Regeln vorgeben, wie Befehle auszuführen sind. Dieser Algorithmus bestimmt, wie schnell und effizient Befehle ausgeführt werden. Der Prozessor kann noch so modern sein, wenn der Algorithmus schlecht ist, wird auch der Computer keine Wunder vollbringen. Nicht umsonst verdienen Unternehmen wie Intel, AMD und neuerdings auch Qualcomm Milliarden mit dem Verkauf von Prozessoren.

Wie wichtig der Algorithmus ist, sieht man auch gut am Beispiel von Apple. Das Top-Smartphone von Apple läuft mit einem 1,3 GHz-Dual-Core-Prozessor. Das Top-Modell von Samsung läuft mit einem 2,5 GHz-Quad-Core-Prozessor. Dennoch laufen beide Smartphones mit einem ähnlichen Arbeitstempo und erreichen ähnliche Werte in Benchmarks. Natürlich kann man die 2 Prozessoren nicht direkt miteinander vergleichen, da es sich um andere Architekturen und Hersteller handelt. Außerdem läuft nicht das gleiche System auf beiden Geräten. Dennoch ist der Unterschied der Taktfrequenz deutlich.

Mit diesem „magischen“ Algorithmus durften und mussten wir uns in dem Projekt „Entwurf, Realisierung und Programmierung eines Mikrorechners“ beschäftigen.

## 1.1 Das Team

Unser Team besteht aus verschiedensten technikbegeisterten Mitgliedern. Zum einen aus Nasif Yüksel, Student der Wirtschaftsinformatik im fünften Semester. Er ist der strahlende Stern des Testens in unserem Projekt. Marcel Hellwig, Student der Informatik im fünften Semester. Der unbestrittene König der Hardware. David Weber, Student der Wirtschaftsinformatik. Willenloser Sklave in der Softwarefraktion. Felix Wiedemann, Student der Informatik im fünften Semester. Er ist der Anführer der Softwarerebellen. Felix Ortmann, Student der Informatik im fünften Semester. Er war der Verfechter der Konventionen.

## 1.2 Motivation

Zum einen waren wir einfach neugierig zu erfahren, wie die Software mit der Hardware im Detail zusammenspielt. In der Veranstaltung Rechnerstrukturen haben wir ersten Kontakt mit diesem Thema bekommen. Um unsere großes Interesse weiter zu vertiefen und in die Praxis umzusetzen, hat sich dieses Projekt ideal angeboten. Ein weiterer Grund für dieses Projekt war, dass wir unbedingt unser Projekt im Arbeitsbereich TAMS machen wollten. Denn bereits im Seminar wurden wir durch interessante Themen und einer tollen Unterstützung durch das Lehrpersonal überrascht. Außerdem hat die Vorstellung einen eigenen Mikrorechner zu konzipieren, jeden von uns gereizt.

## 1.3 Material

Um unsere Testergebnisse sichtbar zu machen, wurde ein FPGA-Prototyp, u.a. ausgestattet mit 4 LEDs, 4 Tastern, einem 800x400-Touchscreen und diversen Schnittstellen. Unser Ziel war es die LEDs durch drücken der Taster zum leuchten zu bringen.

Ob wir unser Ziel erreicht haben, was besonders gut oder schlecht lief, auf was für Schwierigkeiten wir gestoßen sind und welche Herausforderungen wir gemeistert haben, wird auf den nächsten Seiten detailliert darstellen.

## 2 Allgemein

Am 17. Oktober 2013 war der Startschuss der Veranstaltung. Die ersten Termine waren im Sinne der Wissensreaktivierung gestaltet. In mehreren Terminen wurden die grundlegenden Konzepte von Rechnerarchitekturen wiederholt, um Wissenslücken zu schließen und alle auf einen Stand zu bringen. Erst später ging die eigentliche Projektphase los. Nach den Vorlesungsterminen ging es in die Gruppen. Jede Gruppe bestand aus 5-8 Personen. Unsere Gruppe bestand aus 5 Leuten und war damit die Kleinste. Ab diesem Zeitpunkt waren die Gruppen auf sich gestellt. Die Lehrkräfte waren nicht mehr für die Organisation zuständig, sondern hatten nur noch unterstützende und beratende Aufgaben. In den ersten Wochen wurde noch nicht so viel Praktisches gemacht. Wir teilten uns zunächst in eine Hardware- und Softwaregruppe auf. Damit beide Teilgruppen an einem Strang ziehen, investierten wir die Zeit in den ersten Wochen für eine kleine Ideensammlung bezüglich unserer ISA und unserer Befehlsstruktur. Es wurden Fragen grundlegende Fragen geklärt wie z.B. die Wort- und Adressbreite, Little oder Big Endian und wie unsere Befehlsstruktur aufgebaut ist.

Ein Teil unserer Ideensammlung der ersten Wochen ist in der Abbildung [Abbildung 2.1](#) zu sehen.

Um eine gute Kommunikation zu gewährleisten, trafen wir uns jeden Donnerstag am Informatikum. Wir arbeiteten alle in einem Raum, weil uns eine direkte Kommunikation wichtig war. Bei Problemen konnte so der direkte Kontakt hergestellt werden. Denn es stellte sich schnell raus, dass Abweichungen von der ersten Ideensammlung unumgänglich waren. So konnten Konflikte schnell diskutiert und beseitigt werden.

Darüber hinaus nutzten wir Git, um die Ergebnisse zusammenzutragen und alle auf einem Stand zu halten. Außerdem konnten so Fragen sofort geklärt werden und mussten nicht bis auf den nächsten Donnerstag verschoben werden.

### 2.1 vorgehensweise inkl organisation

### 2.2 warum python

In unserem Projekt haben wir an vielfältigen Stellen auf die Sprache Python zurückgegriffen. Python wurde sowohl zu Modellierungsunterstützung als auch zum Bau von Emulatoren und UIs verwendet. Diese waren zwar nicht zwingend relevant für das Abschließen des Projektes, erleichterten unsere

Projekt: Mikrorechner	
Ideensammlung 1	
WS 2013/2014	
<hr/>	
1 Ideensammlung - Instruction Set Architecture	
1.1 General	1.2 Arithmetik / Logik
<ul style="list-style-type: none"><li>• Wortbreite 32 bit</li><li>• Adressbreite 32 bit</li><li>• 3-Operanden (1 Ziel-, 2 Quell-Operanden)</li><li>• 13 General-Purpose Register</li><li>• \$0-Register: Null</li><li>• \$14-Register: Stack Pointer</li><li>• \$15-Register: Return Address</li><li>• 4 Statuslags<ul style="list-style-type: none"><li>Z Zero - 1 wenn Ergebnis == 0</li><li>N Negative - 1 wenn MSB == 1</li><li>C Carry - 1 wenn ein (signed) Over- oder Underflow stattgefunden hat</li><li>V Overflow - 1 wenn ein (unsigned) Over- oder Underflow stattgefunden hat</li></ul></li><li>• Big Endian</li><li>• Befehle können Statuslags setzen</li><li>• 16-Bit immediates</li></ul>	<ul style="list-style-type: none"><li>• ADD, ADC</li><li>• SUB, SBC, RSB, RSC</li><li>• MUL, DIV</li><li>• LSL, ADR, LSR, ROR</li><li>• AND, ORR, XOR, NOT</li><li>• SWP (Wenn Felix ganz lieb fragt evtl soch)</li></ul>
	1.3 Controlflow
	<ul style="list-style-type: none"><li>• JMP</li><li>• Jxx (Flag dependent JMP)</li><li>• CALL</li><li>• RET (== JMP \$15)</li><li>• SWI (Software Interrupt)</li></ul>
	1.4 Memory
	<ul style="list-style-type: none"><li>• LD</li><li>• STR</li></ul>
1.5 Befehlsstruktur	
$ALU - 00 : Opcode - (4bit) : SF - (1bit) : R_{dest} - (4bit) : R_{src} - (4bit) : OP2 - (17bit)$ $MEM - 10 : LD/ST - (1bit) : R_{dest} - (4bit) : OP2 - (25bit)$ $Jxx - 110 : Condition - (4bit) : OP2 - (25bit)$ $JMP - 1110000 : OP2 - (25bit)$ $CALL - 1110001 : OP2 - (25bit)$ $ADR - 010 : R_{dest} - (4bit) : OP2 - (25bit)$ $SWI - 0110010 : OP2 - (25bit)$ $PUSH - 0110100 : 0* : R_{src} - (4bit)$ $POP - 0110101 : 0* : R_{dest} - (4bit)$	
1	

Abbildung 2.1: Ideensammlung

Arbeit allerdings sehr.

Die Entscheidung für die Sprache Python wurde in unserer Gruppe sehr früh getroffen. Schon beim ersten Treffen waren alle Gruppenmitglieder ausreichend über VHDL Vor- und vorallem Nachteile informiert, um eine Wrapper-Sprache ausprobieren zu wollen. Bereits beim ersten Treffen haben wir beschlossen, dass wir Python nicht nur nutzen wollen, weil die Sprache intuitiv ist, sondern weil wir ein Python Package fanden, dass den gesamten Hardware-Modellierungsprozess von VHDL auf Python Konstrukte abstrahieren konnte - MyHDL. Mit diesem Package konnte die Modellierungsarbeit und später auch die Verifikation erheblich erleichtert werden. MyHDL bildet eine Art Brücke zwischen den Eigenheiten der mit VHDL möglichen Prozessbeschreibung hin zu dem bekannten Pythonkonzept der Generatoren. Mit Pythons Unit Test Framework war es viel leichter den MyHDL Code zu testen, als tatsächliche Hardwaretests durchzuführen. Zumindest in den frühen Stadien des Projektes hat es einen großen Teil der Arbeit sehr erleichtert.

Abgesehen von dem Wrapper-Package MyHDL hat die Sprache Python noch an anderen Stellen viel Einfluss auf unser Projekt gehabt. Als erstes war ein Compiler für unseren eigenen Assembler wichtig. Wir wollten unsere Assembler Befehle in Bitcode übersetzen können. Dieser Assembler wurde in Python geschrieben und übersetzt alle Assemblerbefehlsworte in den Bitcode, wie er in unserer ISA spezifiziert ist. Mit dem Bitcode war allerdings noch nicht viel anzufangen, da die Hardwarespezifikation noch lange nicht fertig war. Folglich brauchten wir eine Möglichkeit, unsere Assemblerprogramme auf Gültigkeit zu testen, am besten sogar eine Ausführungsmöglichkeit. Es folgte ein weiteres kleines Unterprojekt in Python.

Wir haben uns zum Ziel gesetzt, einen Emulator zu schreiben, der den später modellierten Microcontroller vollständig widerspiegeln sollte. Damit wollten wir es uns ermöglichen, bereits kleine Programme in unserem eigenem Assembler-Code schreiben und ausprobieren zu können. Den Emulator haben wir ebenfalls in Python geschrieben, er emuliert analog zur HDL Hardwarestruktur eine CPU, eine RAM/ROM und einen Programmcode in der ROM. Auf dieser Ausführungseinheit fehlte nur noch die Introspektion, die wir brauchten, um den Ablauf der Programme zu verifizieren und auch Datenflüsse in der emulierten Hardware zu optimieren. Da wir den Emulator eng an die tatsächliche Hardwarespezifikation angelehnt haben, war es uns möglich das spätere Verhalten des Microcontrollers am Beispiel des Emulators zu beobachten und zu verbessern. Um also den nötigen Grad an Einsicht in unsere Programminterna zu erhalten, schrieben wir unsere eigene „Emulator UI“, eine Art Debugger für Programm- und Hardwarezustände. Für das grafische Frontend des Emulators verwendeten wir das UI-Framework GTK für Python.

Link ISA  
here!!



## **2.3 ein wort zur lizenz**

## **2.4 tools**

### **2.4.1 python**

### **2.4.2 git**

### **2.4.3 pycharm**

### **2.4.4 latex**

### **2.4.5 altera**

### **2.4.6 hades**

### **2.4.7 gtkwave**

## **2.5 testen**



## 3 Hardware(Marcel)

### 3.1 Sprache

Zur Beschreibung wurde, entgegen der in dem Projekt genannten Sprache, MyHDL<sup>1</sup> genutzt. Es wurde uns von einem Kommilitonen nahegelegt *nicht* VHDL zu nutzen, da dies einen Großteil der Zeit in Anspruch nimmt die Sprache zu lernen. Diese Zeit würde später fehlen, wenn man den Mikrocontroller implementieren möchte. MyHDL ist ein Python-Modul, welches dazu genutzt wird Python als Hardwarebeschreibungssprache zu nutzen. Außerdem können damit auch Tests geschrieben werden, die zur Verifikation der Devices dient. Ein Beispiel ist zu finden unter [Abbildung 3.1](#)

---

```
1  from myhdl import *
2
3  def jumpunit(code, Z, N, C, V, R):
4      """This jumpunit determines if the condition for jumping is met
5
6      code (I5) -- The inputcode
7      Z (I1) -- Zero flag
8      N (I1) -- Negative flag
9      C (I1) -- Carry flag
10     V (I1) -- Overflow flag
11     R (O1) -- The result
12     """
13
14     @always_comb
15     def logic():
16         result = False
17         if code[4]:
18             result = result or bool(Z)
19         if code[3]:
20             result = result or bool(N)
21         if code[2]:
22             result = result or bool(C)
23         if code[1]:
24             result = result or bool(V)
25         if code[0]:
26             result = not result
27
28         R.next = result
29
30     return logic
```

---

Abbildung 3.1: JumpUnit

---

<sup>1</sup><http://myhdl.org>

In Zeile drei werden sämtliche Ports der Komponente deklariert. Dabei werden – im Gegensatz zu VHDL – keine Spezifikationen wie input/output oder Bitlänge definiert. Diese werden laut Konvention nur in dem Kommentar der “Funktion” definiert.

Der Dekorator<sup>2</sup> in Zeile 14 wird benutzt um zu spezifizieren, wann die dekorierte Funktion ausgeführt werden soll. In diesem Falle wird gesagt, dass bei jeder Veränderung der Input-ports der Wert neu berechnet werden soll.

Die eigentliche Logik der Komponente befindet sich in den Zeilen 16 bis 28. hier sieht man sowohl die Vorteile, als auch die Nachteile von Python als Hardwarebeschreibungssprache. Nachteile sind, dass man die genaue Spezifikation eines Ports nicht direkt angeben kann, z.B. deren Bitweite oder Typ. Dies wird durch statische Analyse des Quellcodes von MyHDL entschieden.

Vorteile hingegen sind der große Umfang der Python-Bibliotheken, die man sehr gut zum Testen der Komponenten nutzen kann, z.B. reguläre Ausdrücke, Listen oder Hashmaps.

## 3.2 Design

Das Design der Mikroncontrollers ist sehr stark am D-Core<sup>3</sup> orientiert, mit einem zentralen Bus, einem Steuerwerk, einer Abstraktion für den Speicher, sowie Elementen, die mit Hilfe des Busses miteinander kommunizieren.

### 3.2.1 Steuerwerk

Unser Steuerwerk (Cpu) ist eine State-Machine (3.2), die anhand eines Prefix in den nächsten Status gelangt. In den Status selbst ist das Verhalten festgelegt

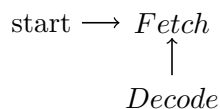


Abbildung 3.2: Cpu

---

<sup>2</sup><https://wiki.python.org/moin/PythonDecorators>

<sup>3</sup><http://tams-www.informatik.uni-hamburg.de/applets/hades/webdemos/60-dcore/t3/processor.html>

## **4 Software**

**4.1 ISA(Felix O.&Marcel&Felix W.)**

**4.2 Emulator(Felix W.)**

**4.3 Assembler(Felix W.)**

**4.4 GUI/Debugger(Marcel)**

## **5 Fazit(Alle)**

**5.1 ergebnisse**

**5.2 probleme**

**5.3 erkenntnisse**

**5.4 fazit**



## 6 Appendix

### 6.1 ISA

Arithmetic	Add	add \$d, \$s, \$t	00 S dddd 0000 ssss op3
	Addc	adc \$d, \$s, \$t	00 S dddd 0001 ssss op3
	Sub	sub \$d, \$s, \$t	00 S dddd 0100 ssss op3
	Subc	sbc \$d, \$s, \$t	00 S dddd 0101 ssss op3
	Revsub	rsb \$d, \$s, \$t	00 S dddd 0110 ssss op3
	Revsubc	rsc \$d, \$s, \$t	00 S dddd 0111 ssss op3
	Mul	mul \$d, \$s, \$t	00 S dddd 0010 ssss op3
Logical	And	and \$d, \$s, \$t	00 S dddd 1000 ssss op3
	Andn	adn \$d, \$s, \$t	00 S dddd 0011 ssss op3
	Or	orr \$d, \$s, \$t	00 S dddd 1001 ssss op3
	Xor	xor \$d, \$s, \$t	00 S dddd 1010 ssss op3
	Orn	orn \$d, \$s, \$t	00 S dddd 1011 ssss op3
Shift / Rotate	lsl	lsl \$d, \$s, \$t	00 S dddd 1100 ssss op3
	asr	asr \$d, \$s, \$t	00 S dddd 1101 ssss op3
	lsr	lsr \$d, \$s, \$t	00 S dddd 1110 ssss op3
	ror	ror \$d, \$s, \$t	00 S dddd 1111 ssss op3
Jump	Jump	jmp .label	01 00001 op2
	Jump	jmp op2	01 00001 op2
	Jump Equal	jeq .label	01 10000 op2
	Jump Not Equal	jne .label	01 10001 op2
	Jump Less Than	jlt .label	01 01000 op2
	Jump Less Equal	jle .label	01 11000 op2
	Jump Greater Than	jgt .label	01 11001 op2
	Jump Greater Equal	jge .label	01 01001 op2
	Jump Overflow	jo .label	01 00010 op2
	Jump Not Overflow	jno .label	01 00011 op2
	Jump Carry	jc .label	01 00100 op2
	Jump Not Carry	jnc .label	01 00101 op2
Memory	Load	ld \$d, \$s	100 dddd op2
	Store	st \$d, \$s	101 dddd op2
	adr	adr \$d, #imm	110 dddd * imm24
Push / Pop	Push	push \$s	11100 * op2
	Pop	pop \$d	11101 * op2
Special	Call	call .label	111100 * op2
	Clock	clk \$d	111101 * dddd
	Get Button	but \$d	1111100 * dddd
	Set Led	led \$l	1111101 op2
	Rs232 read	rsr \$d	1111110 * dddd
	Rs232 transmit	rst \$d	1111111 op2

Tabelle 6.1: ISA



## 6.2 Abbildungsverzeichnis

# Abbildungsverzeichnis

2.1	Ideensammlung . . . . .	7
3.1	JumpUnit . . . . .	11
3.2	Cpu . . . . .	12

## 6.3 Tabellenverzeichnis

# Tabellenverzeichnis

6.1	ISA . . . . .	16
-----	---------------	----