



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

О Т Ч Е Т

по лабораторной работе № 1

Название: Проектирование систем на кристалле на ПЛИС

Дисциплина: Архитектура Электронно-вычислительных машин

Студент

ИУ7 - 53Б

(Группа)

(Подпись, дата)

А.А. Светличная

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

Москва, 2022

Задание 2

System Contents		Address Map	Clock Settings	Project Settings	Instance Parameters	System Inspector	HDL Example	Generation	
Use	Connections	Name	Description	Export	Clock	Base	End	IRQ	Opcode Name
<input checked="" type="checkbox"/>		clk_0 clk_in clk_in_reset clk clk_reset	Clock Source Clock Input Reset Input Clock Output Reset Output	clk reset <i>Double-click to export</i> <i>Double-click to export</i>	clk_0				
<input checked="" type="checkbox"/>		nios2_qsys_0 clk reset_n data_master instruction_master jtag_debug_module_reset jtag_debug_module custom_instruction_master	Nios II Processor Clock Input Reset Input Avalon Memory Mapped Master Avalon Memory Mapped Master Reset Output Avalon Memory Mapped Slave Custom Instruction Master	<i>Double-click to export</i> <i>Double-click to export</i> <i>Double-click to export</i> <i>Double-click to export</i> <i>Double-click to export</i> <i>Double-click to export</i> <i>Double-click to export</i>	clk_0 [clk] [clk] [clk] [clk] [clk]	IRQ 0 0x8800	IRQ 31 0x8fff		
<input checked="" type="checkbox"/>		onchip_memory2_0 clk1 s1 reset1	On-Chip Memory (RAM or ROM) Clock Input Avalon Memory Mapped Slave Reset Input	<i>Double-click to export</i> <i>Double-click to export</i> <i>Double-click to export</i>	clk_0 [clk1] [clk1]	0x4000	0x6003		
<input checked="" type="checkbox"/>		sysid_qsys_0 clk reset control_slave	System ID Peripheral Clock Input Reset Input Avalon Memory Mapped Slave	<i>Double-click to export</i> <i>Double-click to export</i> <i>Double-click to export</i>	clk_0 [clk] [clk]	0x9048	0x904f		
<input checked="" type="checkbox"/>		uart_0 clk reset s1 external_connection	UART (RS-232 Serial Port) Clock Input Reset Input Avalon Memory Mapped Slave Conduit	<i>Double-click to export</i> <i>Double-click to export</i> <i>Double-click to export</i>	clk_0 [clk] [clk]	0x9020	0x903f		

Рис 1. Функциональная схема разрабатываемой системы на кристалле

Задание 3

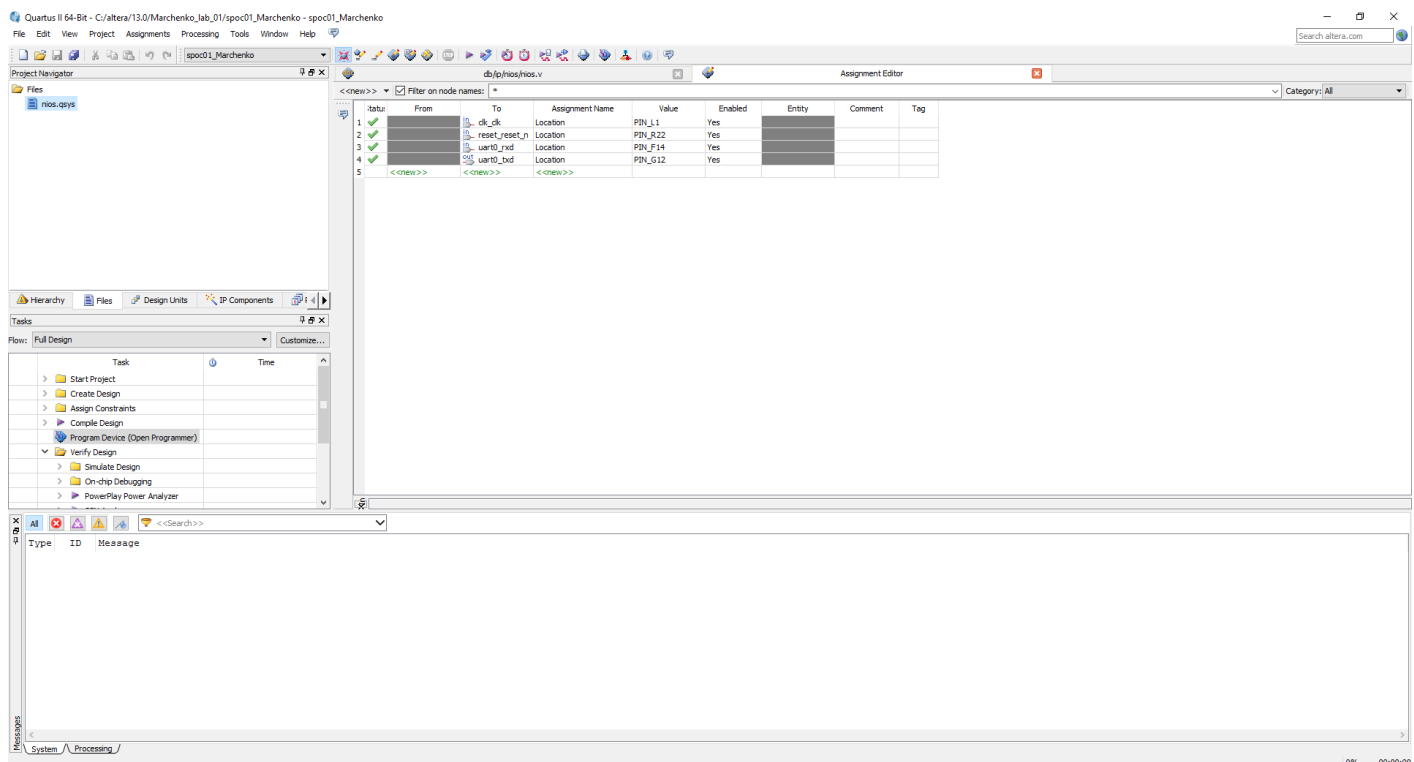


Рис 2. Копия экрана готового модуля в системе проектирования систем на кристалле Altera Qsys.

Задание 4

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Differential Pair
clk_clk	Input	PIN_L1	2	B2_N1	PIN_L1	3.3-V LV...default)		24mA (default)	
reset_reset_n	Input	PIN_R22	6	B6_N0	PIN_R22	3.3-V LV...default)		24mA (default)	
uart0_rxd	Input	PIN_F14	4	B4_N1	PIN_F14	3.3-V LV...default)		24mA (default)	
uart0_txd	Output	PIN_G12	4	B4_N1	PIN_G12	3.3-V LV...default)		24mA (default)	

Рис 3. Таблица распределение адресов модулей в системе на кристалле

Задание 5

```
#include "sys/alt_stdio.h"
#include "system.h"
#include "altera_avalon_sysid_qsys.h"
#include "altera_avalon_sysid_qsys_regs.h"

int main()
{
    char ch;
    alt_putstr("Hello from System on Chip\n");
    alt_putstr("Send any character\n");

    int addr = IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_0_BASE);
    alt_putchar(addr / 0x1000 + '0');
    alt_putchar(addr / 0x100 % 0x10 + '0');
    alt_putchar(addr / 0x10 % 0x10 + '0');
    alt_putchar(addr % 0x10 + '0');

    while (1) {
        ch = alt_getchar();
        alt_putchar(ch);
    }

    return 0;
}
```

Рис 4. Код программного проекта Nios II Software Build Tools for Eclipse

Задание 6

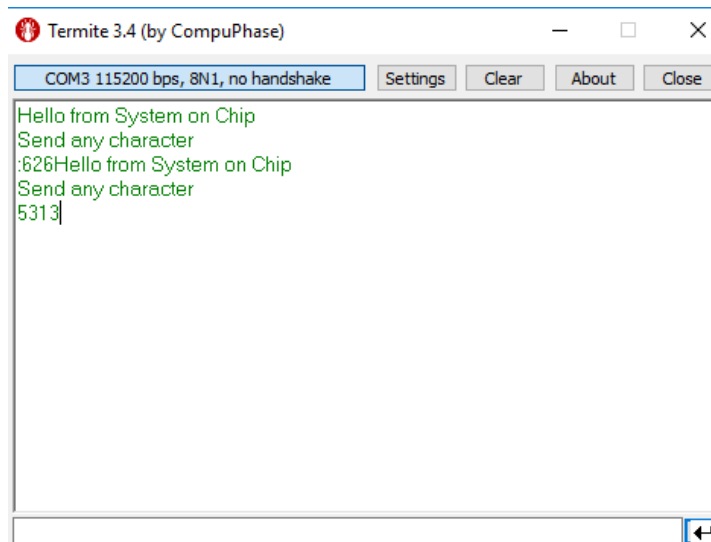


Рис 5. Результаты тестирования PSoC на отладочной плате