



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

О Т Ч Е Т

по лабораторной работе № 2

Название: Исследование дешифраторов

Дисциплина: Архитектура Электронно-вычислительных машин

Студент

ИУ7 - 43Б

(Группа)

(Подпись, дата)

А.А. Светличная

(И.О. Фамилия)

Преподаватель

А.Ю. Попов


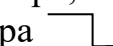
(Подпись, дата)

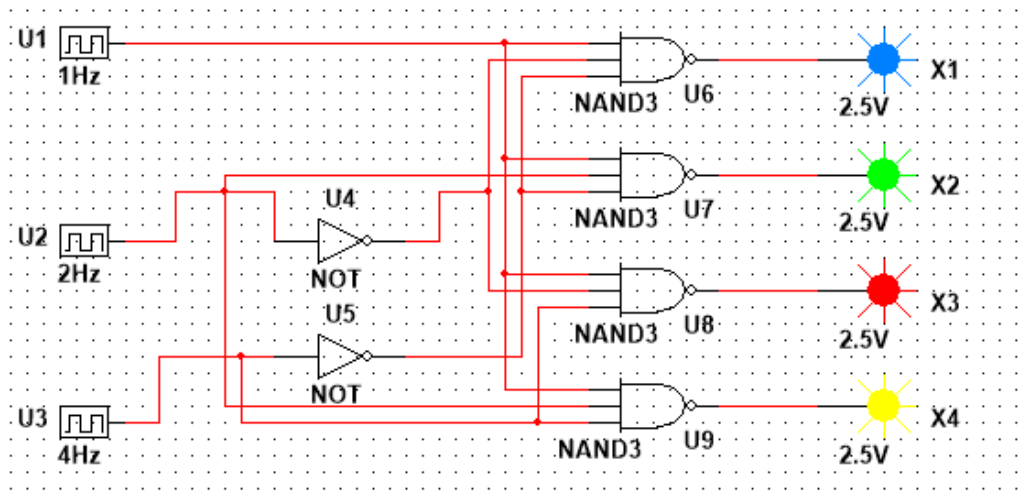
(И.О. Фамилия)

Москва, 2022

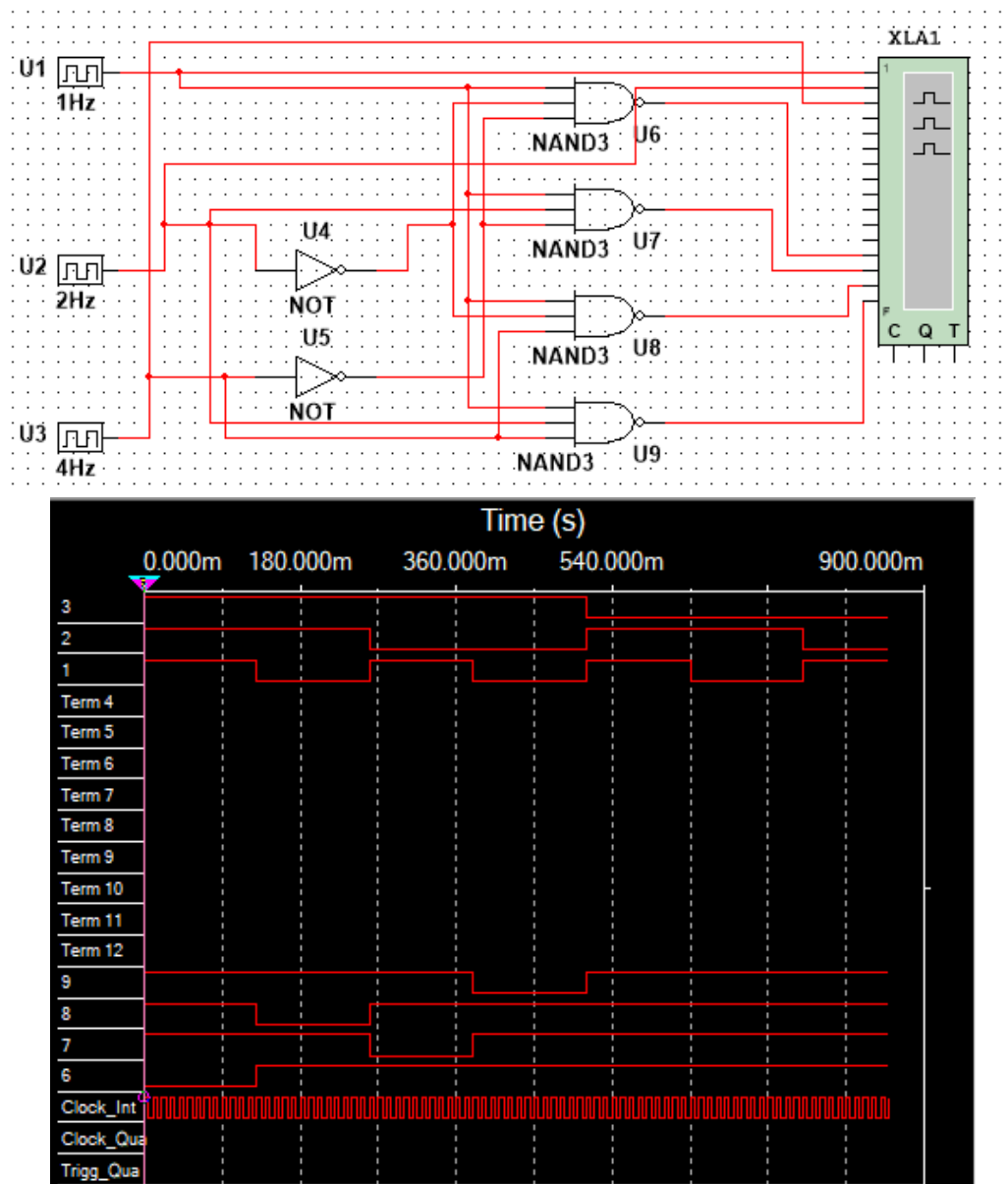
Задание 1

Исследование линейного двухвходового дешифратора с инверсными выходами:

- а) собрать линейный стробируемый дешифратор на элементах ЗИ-НЕ; наборы входных адресных сигналов A_0, A_1 , задать в выходах Q_0, Q_1 , четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;
- б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при $EN=1$);
- в) подать на вход счетчика сигнала  генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;
- г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;
- д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора , задержанный линией задержки логических элементов (повторителей и инверторов);
- е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.



EN	A_1	A_2	F_1	F_2	F_3	F_4
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0




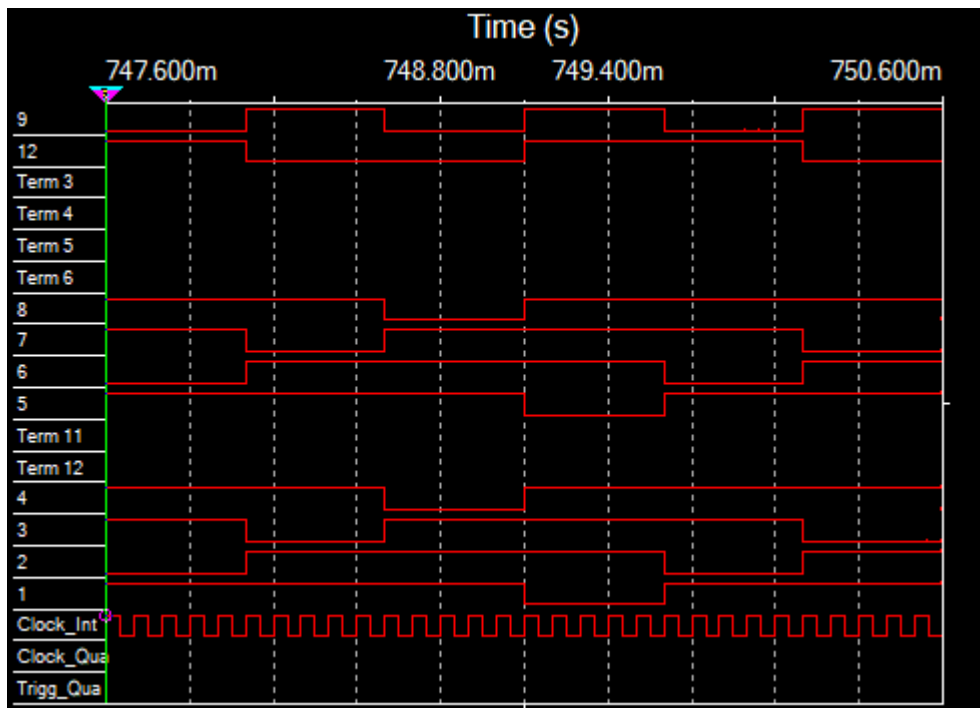
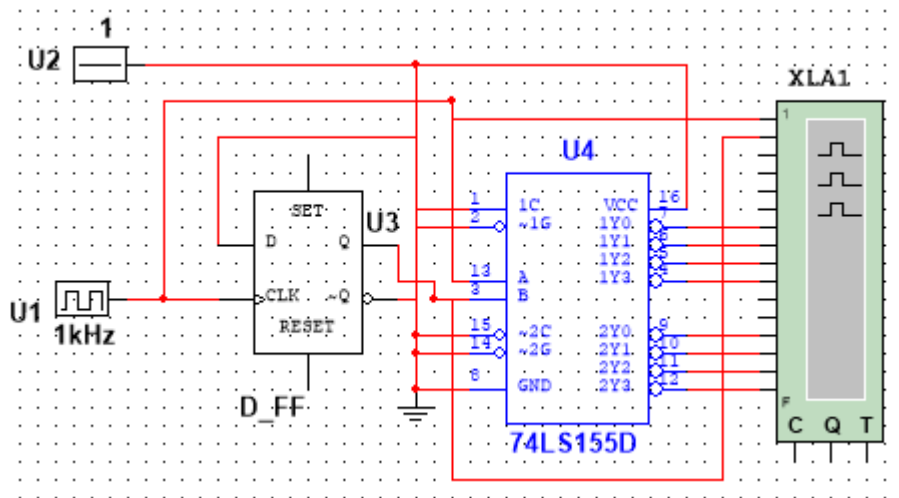
Вывод:

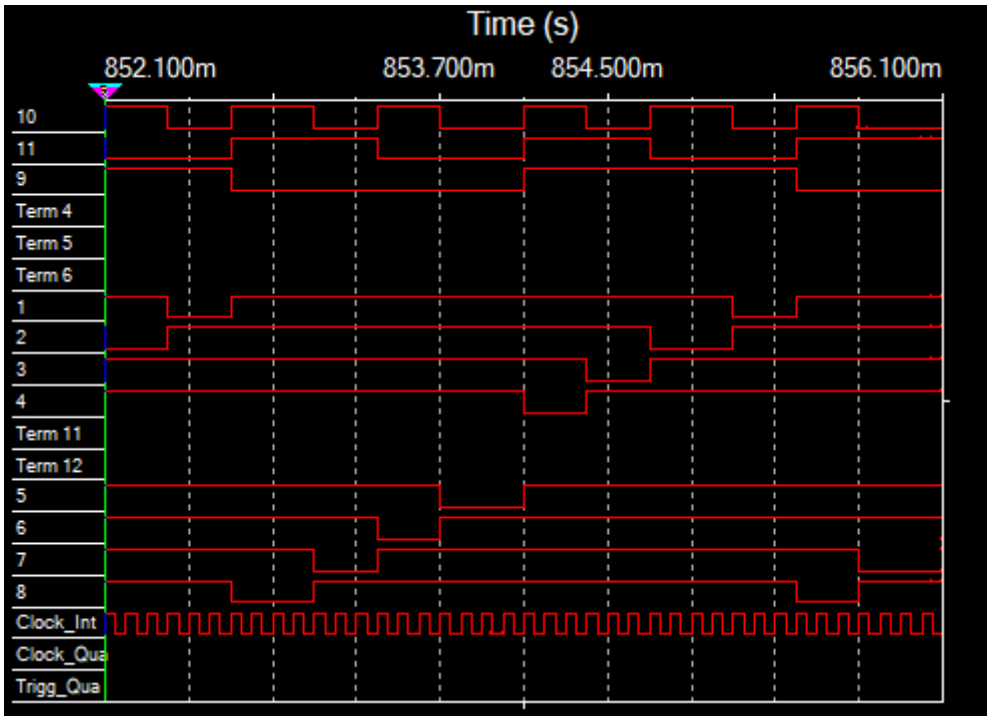
- 1) Благодаря моделированию на компьютере нет необходимости в устранении гонок сигналов, однако в реальной жизни данная ситуация возникает при равенстве стобирующего сигнала 1 во время переключения сигналов.
- 2) Среднее время задержки равно сумме средних времён сигнала через НЕ и И-НЕ

Задание 2

Исследование дешифраторов ИС К155ИД4 (74LS155):

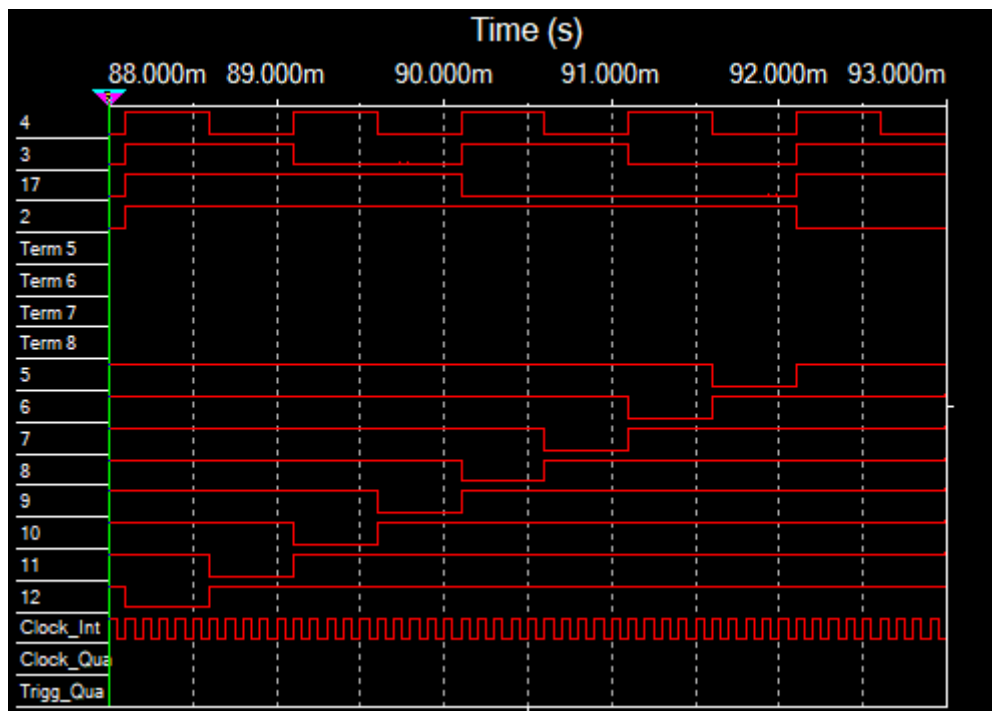
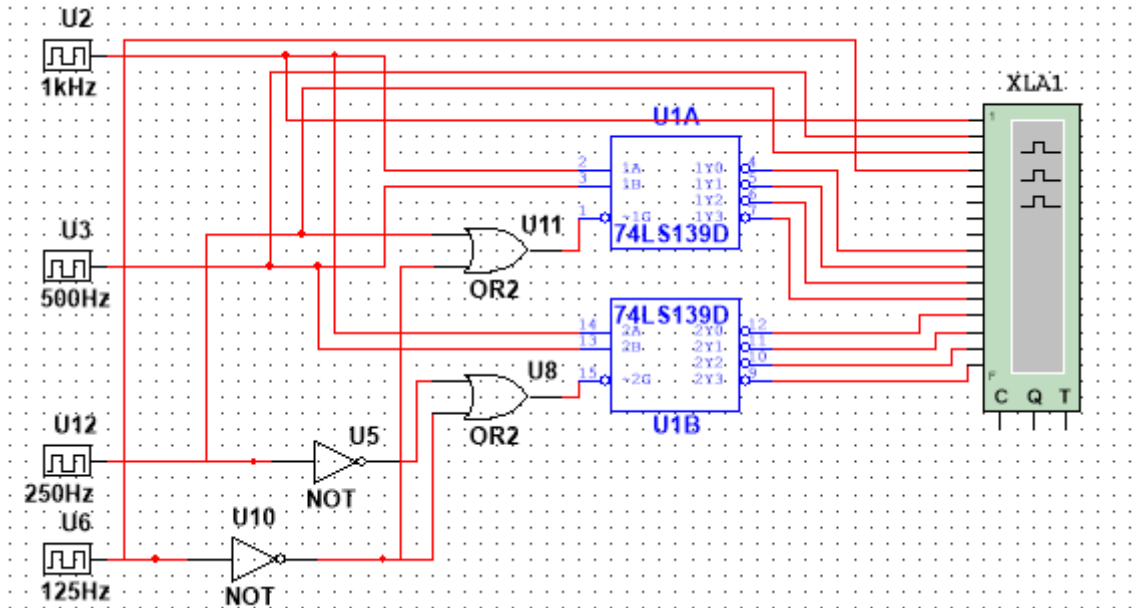
- снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q_0 и Q_1 выходов счетчика, а на стробирующие входы \overline{E}_3 и \overline{E}_4 — импульсы генератора , задержанные линией задержки;
- определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;
- собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы A_0, A_1, A_2 с выходов Q_0, Q_1, Q_2 счетчика; снять временные диаграммы сигналов



[illegible]


Задание 3

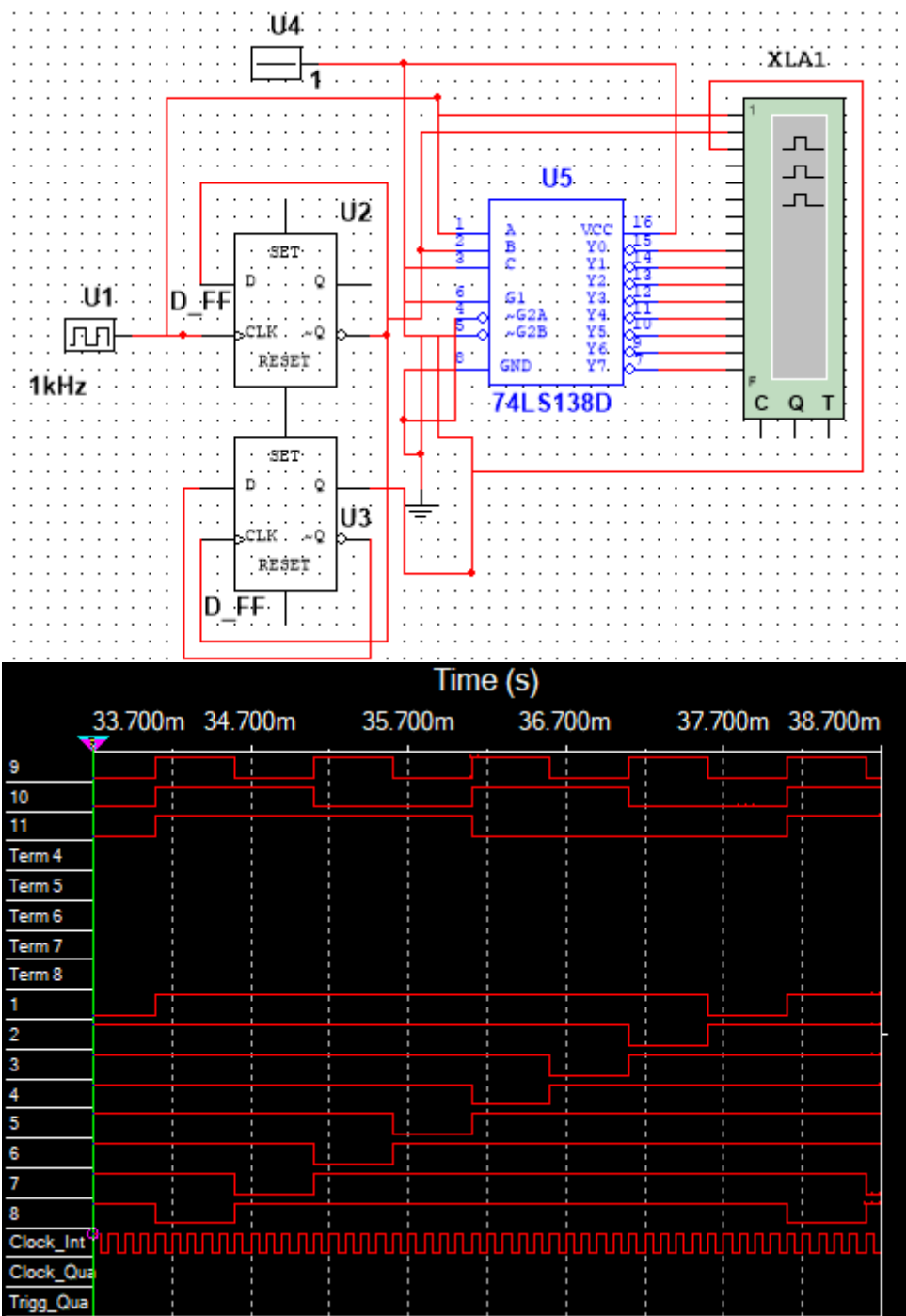
Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2–4 с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $\overline{EN_1} \cdot \overline{EN_2}$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.



Задание 4

Исследовать работоспособность дешифраторов ИС 533ИД7:

- снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q_0, Q_1, Q_2 с выходов счетчика, а на входы разрешения E_1, E_2, E_3 — сигналы лог. 1, 0, 0 соответственно;
- собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q_0, Q_1, Q_2, Q_3, Q_4 с выходов 5-разрядного счетчика, а на входы разрешения — импульсы генератора , задержанные линией задержки макета.



Контрольные вопросы

1. Что называется дешифратором?

Дешифратором называется комбинационное устройство, преобразующее n-разрядный двоичный код в логический сигнал, появляющийся на том выходе, десятичный номер которого соответствует двоичному коду.

2. Какой дешифратор называется полным (неполным)?

Количество выходов дешифратора равно числу разрешенных наборов входных сигналов. В дешифраторе с n входами и N выходами $N \leq 2^n$. Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным.

3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора DC n-N определяется таблицей истинности:

Входы							Выходы					
EN	A—1	A—2	A—3	...	A ₁	A ₀	F ₀	F ₁	F ₂	...	F _{N—2}	F _{N—1}
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
.
.
.
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

Аналитическое описание дешифратора можно представить совокупностью логических функций в СДНФ:

$$F_0 = EN \times \overline{A_{n-1}} \times \overline{A_{n-2}} \times \dots \times \overline{A_1} \times \overline{A_0},$$

$$F_1 = EN \times \overline{A_{n-1}} \times \overline{A_{n-2}} \times \dots \times \overline{A_1} \times A_0,$$

$$F_2 = EN \times \overline{A_{n-1}} \times \overline{A_{n-2}} \times \dots \times A_1 \times \overline{A_0},$$

.....

$$F_{N-2} = EN \times \overline{A_{n-1}} \times \overline{A_{n-2}} \times \dots \times A_1 \times A_0,$$

$$F_{N-1} = EN \times \overline{A_{n-1}} \times \overline{A_{n-2}} \times \dots \times \overline{A_1} \times A_0.$$

4. Поясните основные способы построения дешифраторов.

Линейный дешифратор строится в соответствии с системой, представленной в

предыдущем вопросе, и представляет собой 2^n конъюнкторов или логических элементов ИЛИ-НЕ с - входами каждый при отсутствии стробирования и с $n + 1$ входами - при его наличии.

Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора DC n - N используются простые дешифраторы DC n_1 - N_1 , причем $n_1 \ll n$, следовательно и $N_1 \ll N$.

1. Число каскадов равно $K = n/n_1$. Если K – целое число, то во всех каскадах используются полные дешифраторы DC n_1 - N_1 . Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n_1 - N_1 .
2. Количество простых дешифраторов DC n_1 - N_1 в выходном каскаде равно N/N_1 , в предвыходном - N / N_1^2 , в предпредвыходном - N / N_1^3 и т.д.; во входном каскаде - N / N_1^k . Если N / N_1^k - правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.
3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов

адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых