

VÝSTUPNÍ ZPRÁVA

Jméno: Lucie Svobodová

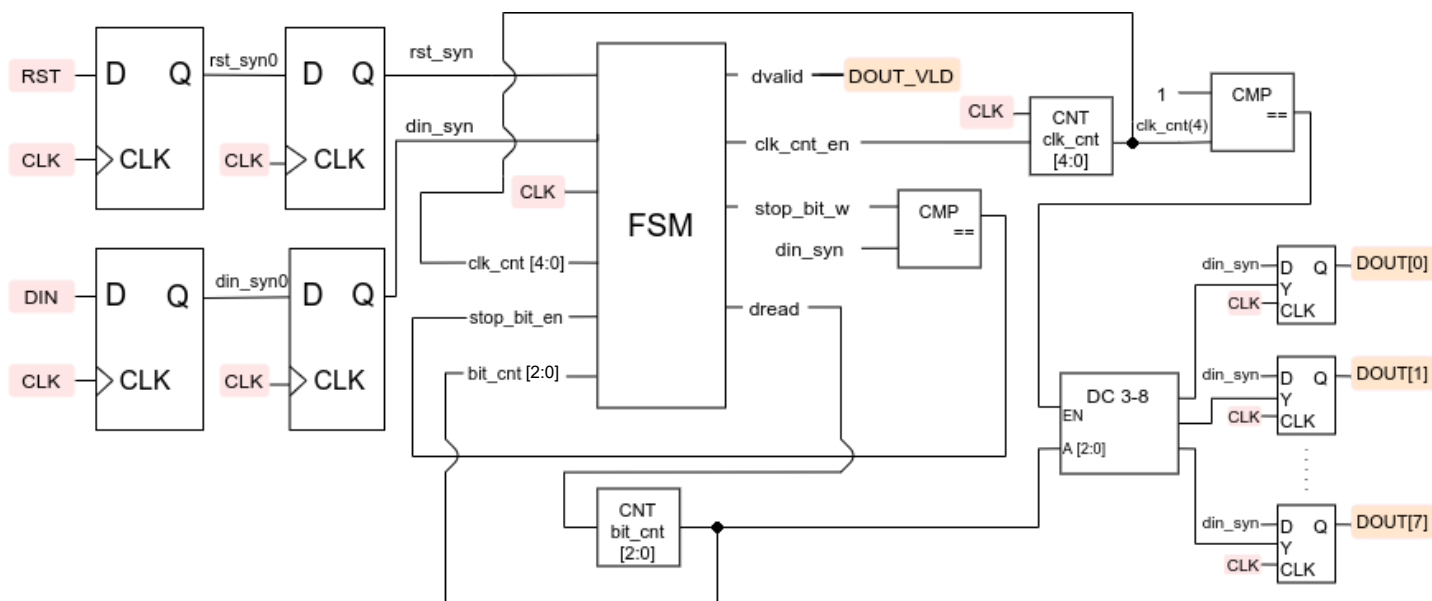
xlogin: xsvobo1x

Datum: 30. 04. 2021

FIT VUT, INC 2021

ARCHITEKTURA NAVRŽENÉHO OBVODU (na úrovni RTL)

SCHÉMA OBVODU



POPIS FUNKCE

Navržený obvod má vstupy CLK, RST a DIN a výstupy DOUT a DOUT_VLD.

K ošetření asynchronního vstupu do synchronní sítě obvodu UART_RX jsem využila klopné obvody typu D, a to konkrétně 2 klopné obvody typu D zapojené za sebe pro synchronizaci vstupního signálu RST (synchronizovaný signál má název rst_syn) a 2 další klopné obvody zapojené za sebe pro synchronizaci signálu DIN (synchronizovaný signál se din_syn). Toto ošetření způsobí zpoždění o 2 hodinové takty, ale díky tomu jsou redukovány metastabilní stavy, které by mohly bez synchronizace nastat.

Další částí obvodu je konečný automat, jehož popis je ve druhé části této zprávy. Do obvodu je dále zapojen čítač CLK_CNT, který počítá hodinový signál. Aktivní je, pokud je výstupní signál FSM clk_cnt_en = 1. Čítač bit_cnt počítá bity. Je aktivní pouze ve stavu dread = 1, jinak je nastaven na hodnotu "0000".

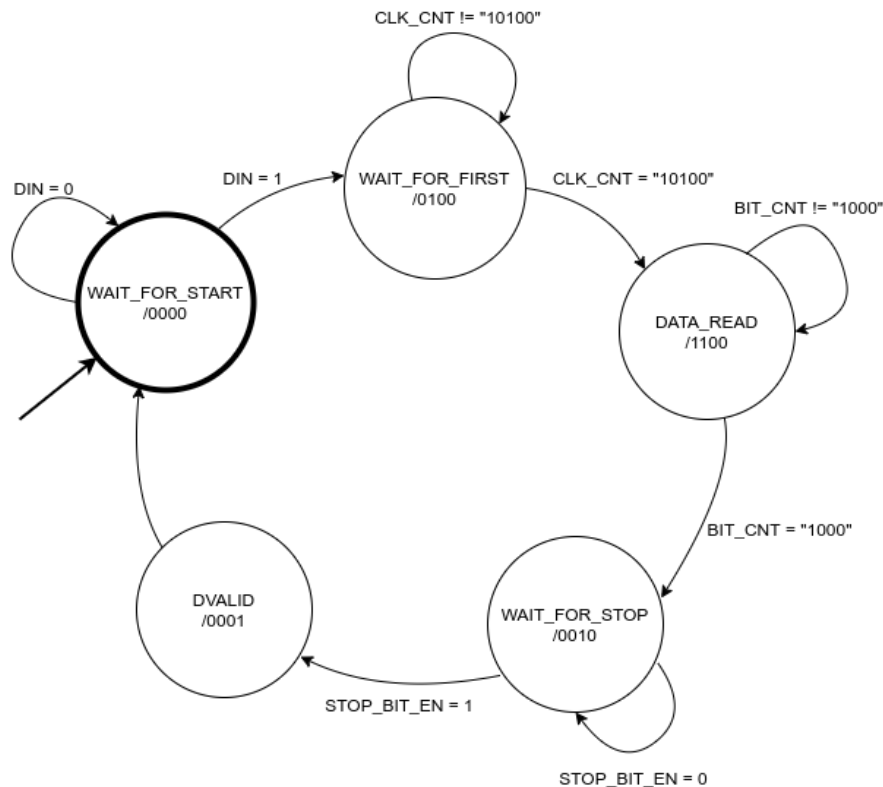
Pokud je FSM ve stavu DATA_READ, je nastaven signál dread = 1. V tomto stavu je aktivní i clk_cnt a bit_cnt. Pokud clk_cnt(4) = 1, je zapsán jeden bit na výstup pomocí dekodéru 3-8 a je inkrementován bit_cnt. clk_cnt je vynulován a pokud bit_cnt != "1000", čte se další bit. Po přečtení osmi bitů se automat přepne na stav čekání na stop bit a nastaví tak signál stop_bit_w. V tomto stavu se čeká na přijmutí log. 1 na signálu din_syn (synchronizovaný DIN). Poté je signál stop_bit_en nastaven na hodnotu log. 1, automat se přepne do stavu DVALID, který registrujeme tak, že je nastaven signál dvalid = 1. V tomto stavu je na DOUT_VLD vyslána hodnota log. 1 po dobu jednoho hodinového signálu.

NÁVRH AUTOMATU (Finite State Machine)

SCHÉMA AUTOMATU

Legenda

- stavy automatu: WAIT_FOR_START, WAIT_FOR_FIRST, DATA_READ, WAIT_FOR_STOP, DVALID
- vstupy: CLK, RST, DIN, CLK_CNT, BIT_CNT, STOP_BIT_EN
- Moorovy výstupy: DREAD, CLK_CNT_EN, STOP_BIT_W, D_VALID



POPIS FUNKCE

V projektu použitý konečný stavový automat je typu Moore a má 5 stavů: WAIT_FOR_START, WAIT_FOR_FIRST, DATA_READ, WAIT_FOR_STOP, DVALID.

Jeho vstupy tvoří CLK - hodinový signál, RST - resetovací signál, DIN - vstupní data, CLK_CNT, který reprezentuje čítač hodinových signálů, BIT_CNT - čítač bitů a STOP_BIT_EN, který je nastaven na hodnotu log. 1, pokud byl detekován STOP bit. Výstupy automatu jsou DREAD, což je signál, který indikuje, že je automat ve stavu čtení dat, dále CLK_CNT_EN - indikace pracujícího čítače hodinových signálů, STOP_BIT_W - indikace stavu čekání na přijetí STOP bitu a D_VALID - signál indikující, že je automat ve stavu DVALID a v další komponentě obvodu tak může být nastaven výstup DOUT_VLD.

Automat může být nastaven na počáteční stav nastavením signálu RST na hodnotu log. 1. Pokud je signál RST nastaven na hodnotu log. 0, automat reaguje na náběžnou hranu hodinového signálu CLK a dalších podmínek změnou svého stavu na následující stav.

Počátečním stavem tohoto konečného automatu je stav WAIT_FOR_START. V tomto stavu jsou všechny výstupní signály nastaveny na hodnotu 0. V tomto stavu se čeká na detekci START bitu, tedy na hodnotu log. 0 vstupu DIN. Pokud DIN je roven log. 1, automat zůstává v tomto stavu i nadále. V opačném případě je stav změněn na stav WAIT_FOR_FIRST. V tomto stavu automat kontroluje hodnotu CLK_CNT a čeká, dokud se nerovná hodnotě "10100". (dokud neprojde start bit a polovina prvního bitu). Poté se přepne na stav DATA_READ. V tomto stavu je kontrolována hodnota vstupu BIT_CNT. Pokud je rovna hodnotě "1000", je načteno 8 bitů a automat se přepne do stavu WAIT_FOR_STOP. V tomto stavu čeká na přijetí hodnoty log. 1 na vstupu STOP_BIT_EN. Pokud ji detekuje, přepne se do následujícího stavu, tedy stavu DVALID. V tomto stavu setrvá pouze po dobu jednoho hodinového taktu a přepne se do počátečního stavu, tedy do stavu WAIT_FOR_START.

SNÍMEK OBRAZOVKY ZE SIMULACÍ

