Министерство образования и науки РФ

Федеральное государственное автономное

образовательное учреждение высшего образования

«Национальный исследовательский университет ИТМО»

**факультет программной инженерии и компьютерной техники**

**ЛАБОРАТОРНАЯ РАБОТА №1**

по дисциплине

‘Функциональная схемотехника’

Вариант №5

*Выполнил:*

Студент группы P33302

Тюрин Святослав Вячеславович

*Преподаватель:*

Табунщик Сергей Михайлович



Санкт-Петербург, 2024

**Цели работы:**

1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.

2. Познакомиться с технологией SPICE-моделирования схем на транзисторах.

3. Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентильном уровне с использованием языка описания аппаратуры Verilog HDL.

**Задание:**

Логический базис – NOR; БОЭ – Преобразователь BCD-кода в двоичный код (числа от 0 до 99)

**Часть №1. LTSpice.**

**Разработка вентиля.**

Схема разработанного вентиля:

VIN{1, 2} – входы, VOUT - выход, VDD – напряжение питания; использовано по 2 транзистора PMOS и NMOS.

Изображение выглядит как текст, диаграмма, линия, снимок экрана

Автоматически созданное описание

Рисунок 1 Схема вентиля NOR

Символ вентиля:

Изображение выглядит как текст, диаграмма, Шрифт, линия

Автоматически созданное описание

Рисунок 2 Символ вентиля NOR

Схема тестирования:

Изображение выглядит как текст, снимок экрана, диаграмма, Шрифт

Автоматически созданное описание

Рисунок 3 Сзема тестирования NOR

VDD = VIN = 1 В; начальное напряжение - 0 В, активное напряжение - 1 В, задержка запуска - 10 нс, время фронта и спада - 10 пс, активное время первого источника напряжения - 20 нс, период - 40 нс, для следующего последние две характеристики в два раза больше, а частоты, соответственно, меньше; резистор и конденсатор отвечают за имитацию задержки.

Временная диаграмма процесса тестирования вентиля:

Изображение выглядит как снимок экрана, текст, линия, диаграмма

Автоматически созданное описание

Рисунок 4 Временная диаграмма процесса тестирования вентиля

1 В – логическая единица, 0 В – логический ноль; NOR подаёт на выход ноль во всех случаях, кроме равенства нулю обоих входных сигналов.

Это отображено на рисунке – на 60 и 140 нс выходной сигнал возрастает до 1 и остаётся таким в течение 20 нс, после чего выходит обратно в ноль.

Результат измерения задержки распространения сигнала через вентиль:

Изображение выглядит как текст, снимок экрана, График, линия

Автоматически созданное описание

Рисунок 5 измерения задержки распространение сигнала через вентиль

Две линии на верхней (~ 1 В) и нижней (~ 0 В) границах заднего фронта и переднего фронта.

Задержка равна T ~4.0нс

Тогда максимальная частота работы вентиля равна f = 1/T = 0,25 ГГц

**Разработка БОЭ.**

На базе данного вентиля для удобства разработки БОЭ я создал также инвертор, логическое NOT, OR, AND, полный одноразрядный сумматор.

Схема и символ инвертора.

**Изображение выглядит как текст, Шрифт, снимок экрана, диаграмма

Автоматически созданное описание**

Рисунок 6 Схема инвертора

Изображение выглядит как диаграмма, линия, текст, График

Автоматически созданное описание

Рисунок 7 Символ инвертора

Схема и символ логического и.

**Изображение выглядит как текст, диаграмма, Шрифт, снимок экрана

Автоматически созданное описание**

Рисунок 8 Схема AND

Изображение выглядит как текст, диаграмма, снимок экрана, линия

Автоматически созданное описание

Рисунок 9 Символ AND

Схема и символ логического или.

Изображение выглядит как текст, Шрифт, снимок экрана, диаграмма

Автоматически созданное описание

Рисунок 10 Схема OR

Изображение выглядит как текст, диаграмма, Шрифт, снимок экрана

Автоматически созданное описание

Рисунок 11 Символ OR

Схема и символ одноразрядного полного сумматора.

Изображение выглядит как текст, диаграмма, линия, Параллельный

Автоматически созданное описание

Рисунок 12 Схема полного одноразрядного сумматора

Изображение выглядит как текст, диаграмма, линия, Шрифт

Автоматически созданное описание

Рисунок 13 Символ полного одноразрядного сумматора

Временная диаграмма процесса тестирования вентиля:

Изображение выглядит как снимок экрана, линия, График, текст

Автоматически созданное описание

Рисунок 14 Временная диаграмма тестирования сумматора

Для разработки преобразователя BCD-кода в двоичный код нужно было понять принцип его работы. Если взять 8-разрядное двоичное число, то вес второй тетрады отличается от младшей в 10 раз, следовательно, чтобы представить число в двоичном виде, надо сложить две тетрады, младшая тетрада остается в исходном виде, а старшую необходимо разделить на 16(сдвиг на 4 в право) и умножить на 10(10102).

Находим двоичный код второй тетрады:

Изображение выглядит как линия, Шрифт, число, диаграмма

Автоматически созданное описание

Рисунок 15 Двоичный код второй тетрады

Для получения выходного числа сложим тетрады:

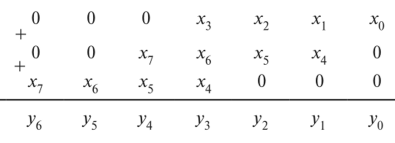


Рисунок 16 Двоичные коды выходных значений

Схема разработанного БОЭ:

Изображение выглядит как текст, диаграмма, линия, План

Автоматически созданное описание

Рисунок 17 Схема Преобразователя BCD-кода в двоичный код

Символ разработанного БОЭ:

Изображение выглядит как текст, Шрифт, диаграмма, число

Автоматически созданное описание

Рисунок 18 Символ Преобразователя BCD-кода в двоичный код

Схема тестирования:

Изображение выглядит как текст, диаграмма, линия, снимок экрана

Автоматически созданное описание

Рисунок 19 Схема тестирования Преобразователя BCD-кода в двоичный код

Временная диаграмма процесса тестирования БОЭ:

Входные значения: Изображение выглядит как текст, линия, снимок экрана, График

Автоматически созданное описание

Рисунок 20 Входные значения при тестировании

Выходные значения:

Изображение выглядит как текст, линия, снимок экрана, диаграмма

Автоматически созданное описание

Рисунок 21 Выходные значения при тестировании

Результат измерения задержки распространения сигнала через БОЭ:

Изображение выглядит как текст, диаграмма, снимок экрана, График

Автоматически созданное описание

Рисунок 22 Измерение задержки распространения сигнала БОЭ

Два линии на верхней (~ 1 В) и нижней (~ 0 В) границах заднего фронта и переднего фронта.

Задержка равна T ~ 4 нс

Тогда максимальная частота работы БОЭ равна f = 1/T = 0,25 ГГц

Выходные значения для конкретных чисел:

99(10011001BCD)

Изображение выглядит как текст, снимок экрана, линия, График

Автоматически созданное описание

Рисунок 23 Выходные значения для входных 10011001BCD

11000112 == 9910 Соответствует ожиданиям

76(01110110BCD)

Изображение выглядит как снимок экрана, текст, линия, График

Автоматически созданное описание

Рисунок 24 Выходные значения для входных 01110110BCD

10011002 == 7610 Соответствует ожиданиям

32(00110010BCD)

Изображение выглядит как текст, снимок экрана, линия, График

Автоматически созданное описание

Рисунок 25 Выходные значения для входных 00110010BCD

01000002 = 3210 Соответствует ожиданиям

**Часть № 2. Verilog.**

Код полного одноразрядного сумматора:

`timescale 1ns / 1ps

module sum(

input a,

input b,

input p0,

output s,

output p

);

wire a\_and\_b, a\_and\_p0, b\_and\_p0, a\_or\_b\_or\_p0, a\_and\_b\_and\_p0, not\_p, and4;

and(a\_and\_b, a, b);

and(a\_and\_p0, a, p0);

and(b\_and\_p0, b, p0);

or(a\_or\_b\_or\_p0, a, b, p0);

and(a\_and\_b\_and\_p0, a, b, p0);

or(p, a\_and\_b, a\_and\_p0, b\_and\_p0);

not(not\_p, p);

and(and4, not\_p, a\_or\_b\_or\_p0);

or(s, and4, a\_and\_b\_and\_p0);

endmodule

Код разработанного тестового окружения полного одноразрядного сумматора:

`timescale 1ns / 1ps

module sum\_tb;

reg a\_in, b\_in, p0\_in;

wire s\_out, p\_out;

sum sum\_l(

.a(a\_in),

.b(b\_in),

.p0(p0\_in),

.s(s\_out),

.p(p\_out)

);

integer i;

reg [2:0] test\_val;

reg expected\_val;

initial begin

for(i = 0; i < 9; i = i+1) begin

test\_val = i;

a\_in = test\_val[0];

b\_in = test\_val[1];

p0\_in = test\_val[2];

#10

if(p\_out \* 2 + s\_out == a\_in + b\_in + p0\_in) begin

$display("The adder output is correct! a\_in=%b, b\_in=%b, p0\_in=%b, s\_out=%b, p\_out=%b", a\_in, b\_in, p0\_in, s\_out, p\_out);

end else begin

$display("The adder output is wrong! a\_in=%b, b\_in=%b, p0\_in=%b, s\_out=%b, p\_out=%b", a\_in, b\_in, p0\_in, s\_out, p\_out);

end

end

#10 $stop;

end

endmodule

Временная диаграмма процесса тестирования полного одноразрядного сумматора:

Изображение выглядит как снимок экрана, Мультимедийное программное обеспечение, программное обеспечение, Графическое программное обеспечение

Автоматически созданное описание

Рисунок 26 Временная диаграмма процесса тестирования полного одноразрядного сумматора

Вывод в консоль:

The adder output is correct! a\_in=0, b\_in=0, p0\_in=0, s\_out=0, p\_out=0

The adder output is correct! a\_in=1, b\_in=0, p0\_in=0, s\_out=1, p\_out=0

The adder output is correct! a\_in=0, b\_in=1, p0\_in=0, s\_out=1, p\_out=0

The adder output is correct! a\_in=1, b\_in=1, p0\_in=0, s\_out=0, p\_out=1

The adder output is correct! a\_in=0, b\_in=0, p0\_in=1, s\_out=1, p\_out=0

The adder output is correct! a\_in=1, b\_in=0, p0\_in=1, s\_out=0, p\_out=1

The adder output is correct! a\_in=0, b\_in=1, p0\_in=1, s\_out=0, p\_out=1

The adder output is correct! a\_in=1, b\_in=1, p0\_in=1, s\_out=1, p\_out=1

Код разработанного модуля БОЭ:

`timescale 1ns / 1ps

module bcd\_converter(

input always\_zero,

input en,

input x0,

input x1,

input x2,

input x3,

input x4,

input x5,

input x6,

input x7,

output y0,

output y1,

output y2,

output y3,

output y4,

output y5,

output y6

);

wire s1, p1, s2, p2, s3\_0, p3\_0, s3, p3, s4\_0, p4\_0, s4, p4, s5, p5, s6, p6;

and(y0, en, x0);

sum my1\_sum( .s (s1), .p (p1), .a (x1), .b (x4), .p0 (always\_zero) );

and(y1, s1, en);

sum my2\_sum( .s (s2), .p (p2), .a (x2), .b (x5), .p0 (p1) );

and(y2, s2, en);

sum my3\_0\_sum( .s (s3\_0), .p (p3\_0), .a (x3), .b (x4), .p0 (p2) );

sum my3\_sum( .s (s3), .p (p3), .a (s3\_0), .b (x6), .p0 (always\_zero) );

and(y3, s3, en);

sum my4\_0\_sum( .s (s4\_0), .p (p4\_0), .a (x5), .b (x7), .p0 (p3\_0) );

sum my4\_sum( .s (s4), .p (p4), .a (p3), .b (s4\_0), .p0 (always\_zero) );

and(y4, s4, en);

sum my5\_sum( .s (s5), .p (p5), .a (p4\_0), .b (x6), .p0 (p4) );

and(y5, s5, en);

sum my6\_sum( .s (s6), .p (p6), .a (p5), .b (x7), .p0 (always\_zero) );

and(y6, s6, en);

endmodule

Код разработанного тестового окружения БОЭ:

`timescale 1ns / 1ps

module bcd\_converter\_tb;

reg x0\_in, x1\_in, x2\_in, x3\_in, x4\_in, x5\_in, x6\_in, x7\_in, en\_in, always\_zero\_in;

wire y0\_out, y1\_out, y2\_out, y3\_out, y4\_out, y5\_out, y6\_out;

bcd\_converter bcd\_converter\_l(

.x0(x0\_in),

.x1(x1\_in),

.x2(x2\_in),

.x3(x3\_in),

.x4(x4\_in),

.x5(x5\_in),

.x6(x6\_in),

.x7(x7\_in),

.en(en\_in),

.always\_zero(always\_zero\_in),

.y0(y0\_out),

.y1(y1\_out),

.y2(y2\_out),

.y3(y3\_out),

.y4(y4\_out),

.y5(y5\_out),

.y6(y6\_out)

);

integer i;

reg [7:0] test\_val;

initial begin

for(i = 0; i < 16384; i = i+1) begin

test\_val = i;

en\_in = 1;

always\_zero\_in = 0;

x0\_in = test\_val[0];

x1\_in = test\_val[1];

x2\_in = test\_val[2];

x3\_in = test\_val[3];

x4\_in = test\_val[4];

x5\_in = test\_val[5];

x6\_in = test\_val[6];

x7\_in = test\_val[7];

#5

if(en\_in == 1) begin

$display("The adder output is correct! x0\_in=%b, x1\_in=%b, x2\_in=%b, x3\_in=%b, x4\_in=%b, x5\_in=%b, x6\_in=%b, x7\_in=%b, y0\_out=%b, y1\_out=%b, y2\_out=%b, y3\_out=%b, y4\_out=%b, y5\_out=%b, y6\_out=%b", x0\_in, x1\_in, x2\_in, x3\_in, x4\_in, x5\_in, x6\_in, x7\_in, y0\_out, y1\_out, y2\_out, y3\_out, y4\_out, y5\_out, y6\_out);

end else begin

$display("The adder output is incorrect! x0\_in=%b, x1\_in=%b, x2\_in=%b, x3\_in=%b, x4\_in=%b, x5\_in=%b, x6\_in=%b, x7\_in=%b, y0\_out=%b, y1\_out=%b, y2\_out=%b, y3\_out=%b, y4\_out=%b, y5\_out=%b, y6\_out=%b", x0\_in, x1\_in, x2\_in, x3\_in, x4\_in, x5\_in, x6\_in, x7\_in, y0\_out, y1\_out, y2\_out, y3\_out, y4\_out, y5\_out, y6\_out);

end

end

#5 $stop;

end

endmodule

Временная диаграмма процесса тестирования БОЭ:

Изображение выглядит как снимок экрана, программное обеспечение, компьютер, Мультимедийное программное обеспечение

Автоматически созданное описание

Рисунок 27 Временная диаграмма процесса тестирования БОЭ

Выводы по работе:

В процессе выполнения данной работы я познакомился со средой Ltspice и языком описания аппаратуры Verilog. В качестве опытного образца я создал собственный вентиль NOR и на его основе создал и протестировал преобразователь BCD-кода в двоичный код.