Министерство образования и науки РФ

Федеральное государственное автономное

образовательное учреждение высшего образования

«Национальный исследовательский университет ИТМО»

**факультет программной инженерии и компьютерной техники**

**ЛАБОРАТОРНАЯ РАБОТА №2**

по дисциплине

‘Функциональная схемотехника’

Вариант №5

*Выполнил:*

Студент группы P33302

Тюрин Святослав Вячеславович

*Преподаватель:*

Табунщик Сергей Михайлович



Санкт-Петербург, 2024

**Оглавление**

[Цели работы. 2](#_Toc161075074)

[Задание. 2](#_Toc161075075)

[Схема разработанного блока вычисления функции. 2](#_Toc161075076)

[Описание работы разработанного блока, начиная с подачи входных данных и заканчивая получением результата. 3](#_Toc161075077)

[Область допустимых значений для разработанного блока. 4](#_Toc161075078)

[Результат тестирования разработанного блока. 5](#_Toc161075079)

[Временная диаграмма тестирования. 6](#_Toc161075080)

[Время вычисления результата при частоте тактового сигнала в 100 МГц. 6](#_Toc161075081)

[Выводы. 7](#_Toc161075082)

# Цели работы.

Получить навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.

# Задание.

Изображение выглядит как текст, Шрифт, снимок экрана, линия

Автоматически созданное описание

Рисунок 1 – Задание

# Схема разработанного блока вычисления функции.

Изображение выглядит как диаграмма, Технический чертеж, План, схематичный

Автоматически созданное описание

Рисунок 2 - схема разработанного блока

В схеме используется мультиплексор и демультиплексор. Мультиплексор — это устройство, которое позволяет выбирать один из нескольких входных сигналов и перенаправлять его на выход. У мультиплексора имеется один выход и несколько входов для выбора данных. Демультиплексор принимает на вход один общий сигнал и перенаправляет его на нужный вход. Управляющие сигналы определяют, на какой из входов будет перенаправлен общий входной сигнал.

Для реализации функции был также разработан конечный автомат Мура:

Изображение выглядит как диаграмма, круг, линия

Автоматически созданное описание

Рисунок 4 - автомат Мура

# Описание работы разработанного блока, начиная с подачи входных данных и заканчивая получением результата.

На вход блока подаются сигналы:

* start – сигнал, говорящий о начале вычислений
* A – первый аргумент
* B – второй аргумент

Описание состояний FST:

* При подаче на вход start подается логическая 1 FST переходит в состояние Start в котором регистры Y и B заполняются 0. Регистр S заполняется числом 30. Регистр X заполняется операндом B.
* В состоянии MUL 2 значение регистра Y передается на умножитель вместе с числом 2 и результат записывается в регистр Y. Если регистр S содержит значение больше 30, переходим в CNT 3A, иначе в CNT B.
* В состоянии CNT B выполняется вычисление регистра B по формуле   
  Для этого:
  1. Y умножаем на 3 результат заносим в B.
  2. Инкрементируем Y.
  3. Y умножаем на B результат заносим в B.
  4. Инкрементируем B результат сдвигаем на S единиц.
  5. S уменьшаем на 3.

Если X >= B переходим в LOOP, иначе в MUL 2.

* В состоянии LOOP инкрементируем Y и вычитаем B из X.
* В состоянии CNT 3A загружаем в X операнд A и умножаем его на 3 занеся результат в X.

В состоянии RESULT складываем Y и X результат подаем на выход.

# Область допустимых значений для разработанного блока.

* Оба входных операнда имеют разрядность 8 бит, а операнд A в некоторый момент времени умножается на 3, поэтому регистр X имеет размерность 10 бит[0; 1023].
* Выход F блока имеет размерность 3\*255 + 2 \* 255^(1/3) ~ 777, поэтому его размерность 10 бит [0; 1023].
* Регистр Y содержит результат вычисления корня (и его промежуточных значений не превышающие результат), значит его максимальное значение 255^(1/3) ~ 6, поэтому его размерность 3 бита [0;7].
* Регистр B содержит промежуточное значение, выражаемое формулой, приведенной выше. Очевидно, что наибольшее значение будет достигнуто на первой итерации и будет равно 230, но нам не требуется хранить полное значение B в таком случае достаточно лишь показать, что оно больше X поэтому будет достаточно 9 бит [0;512].

# Результат тестирования разработанного блока.

Пример тестового окружения для разработанной функции.

Изображение выглядит как текст, снимок экрана, Шрифт

Автоматически созданное описание

Рисунок 5 - код тестовой функции

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рисунок 6 - Тестовые случаи

# Временная диаграмма тестирования.

Изображение выглядит как снимок экрана, линия

Автоматически созданное описание

Рисунок 7 - временная диаграмма тестирования

# Время вычисления результата при частоте тактового сигнала в 100 МГц.

Тактовая частота в 100МГц – это 1 синхроимпульс за 10нс.

Изображение выглядит как снимок экрана, программное обеспечение, дисплей, Мультимедийное программное обеспечение

Автоматически созданное описание

Рисунок 9 - 100 МГц

По скриншоту временной диаграммы видно, что на вычисление результата функции при тактовой частоте 100МГц потребовалось 1460нс

# Выводы.

Во время выполнения данной лабораторной работы я разработал блок вычисления функции и реализовал его на языке описания аппаратуры Verilog, для его реализации был применен автомат Мура и составлен конечный автомат. Изучил различные аспекты реализации последовательной логики.