

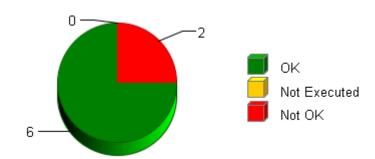
#### Summary

Total Test Objects: 8
Successful: 6

Failed: 2
Not Executed: 0

**Date:** 2014-10-14 **Time:** 23:13:27+0530

#### **Overall Test Object Results (including Coverage)**



#### **Selected Project Items**

Test Collection "CBD\_UnitTest"

#### **Used Test Environments**

TI TMS 570 PLS UDE (Default)

#### **Batch Operation Settings**

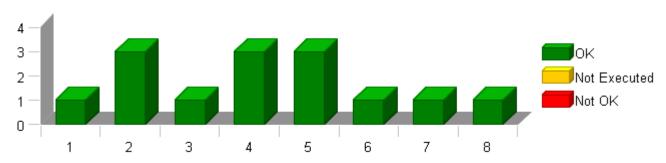
Check Interface: No
Generate Driver: Yes
Execute Test: Yes
Create New Test Run: No

**Instrumentation:** Test Object Only

Coverage: Statement Coverage, Branch Coverage, Modified Condition / Decision Coverage,

Multiple Condition Coverage

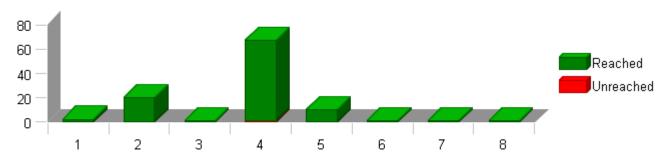
#### **Test Case Results for Each Test Object (without Coverage)**



The table above shows each test object on the x axis and the number of test cases of the respective test object on the y axis. Each bar is divided into passed, not executed and failed test cases. The test case results do not take into account any coverage result (i.e. if all test cases of a test object are passed in this table but the coverage is failed, the overall test object result will be failed).

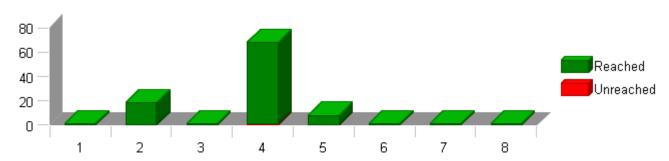


#### Statement (C0) Coverage: Total Statements for Each Test Object



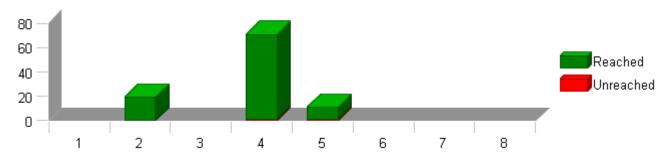
The table above shows each test object on the x axis and the number of statements of the respective test object on the y axis. Each bar is divided into reached statements (i.e. statements that have been executed during the test) and unreached statements.

#### Branch (C1) Coverage: Total Branches for Each Test Object



The table above shows each test object on the x axis and the number of branches of the respective test object on the y axis. Each bar is divided into reached branches (i.e. branches that have been executed during the test) and unreached branches.

#### MC/DC Coverage: Total Condition Combinations for Each Test Object

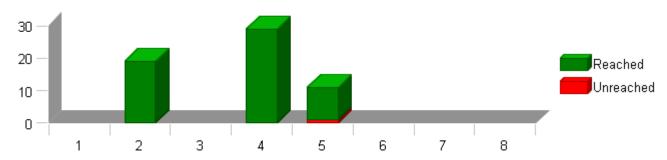


The table above shows test objects on the x axis and the number of condition combinations of all decisions of the respective test object on the y axis. The number of condition combinations is based on the number of boolean conditions within each decision of the test object. To achieve full MC/DC coverage, each decision requires all contained atomic conditions to evaluate to both true and false independently of all other conditions. The cumulated number of rows within such tables of condition combinations is what is displayed in this table.

Each bar is divided into reached condition combinations (i.e. combinations of boolean condition values that have been executed during the test) and unreached condition combinations.



#### MCC Coverage: Total Condition Combinations for Each Test Object



The table above shows test objects on the x axis and the number of condition combinations of all decisions of the respective test object on the y axis. The number of condition combinations is based on the number of boolean conditions within each decision of the test object. To achieve full MCC coverage, each decision requires all contained atomic conditions to evaluate to all possible combinations of true and false values. The cumulated number of rows within such tables of condition combinations is what is displayed in this table.

Each bar is divided into reached condition combinations (i.e. combinations of boolean condition values that have been executed during the test) and unreached condition combinations.



#### **Test Object List**

The following table lists all test objects with their test case and coverage results. The cumulated results for modules, folders and test collections are also displayed, the indentation within the name column indicates the parent relationship of the elements.

Please note that only test objects are numbered within the first column. This number is referenced on the x axis within the overview charts for test case and coverage results available on previous pages (if included into the report).

| No. | Name                              | C0      | C1      | MC/DC   | МСС    | Test Cases Result |
|-----|-----------------------------------|---------|---------|---------|--------|-------------------|
|     | DigColPsInt                       | 99.02 % | 98.98 % | 98.01 % | 98.3 % | 14 of 14 passed   |
|     | CBD_UnitTest                      | 99.02 % | 98.98 % | 98.01 % | 98.3 % | 14 of 14 passed   |
|     | DigColPsInt                       | 99.02 % | 98.98 % | 98.01 % | 98.3 % | 14 of 14 passed   |
| 1   | DigColPsInt_GetCustData           | 100 %   | 100 %   | -       | -      | 1 of 1 passed     |
| 2   | <u>DigColPsInt_GetData</u>        | 100 %   | 100 %   | 100 %   | 100 %  | 3 of 3 passed     |
| 3   | DigColPsInt Init                  | 100 %   | 100 %   | -       | -      | 1 of 1 passed     |
| 4   | DigColPsInt InterruptNotification | 98.5 %  | 98.52 % | 98.59 % | 100 %  | 3 of 3 passed     |
| 5   | <u>DigColPsInt_StartRequest</u>   | 100 %   | 100 %   | 90.9 %  | 90.9 % | 3 of 3 passed     |
| 6   | <u>SetupRead</u>                  | 100 %   | 100 %   | -       | -      | 1 of 1 passed     |
| 7   | <u>SetupWriteData</u>             | 100 %   | 100 %   | -       | -      | 1 of 1 passed     |
| 8   | <u>SetupWriteRegister</u>         | 100 %   | 100 %   | -       | -      | 1 of 1 passed     |

© Report created by TESSY V3.1.9, report template V2.0

2014-10-14, 23:12:49+0530



SetupWriteRegister

| Project     |  |
|-------------|--|
| Module      |  |
| Test Object |  |

#### Instrumentation: Test Object Only

Statement (C0) Coverage
Branch (C1) Coverage

#### **Statistics**

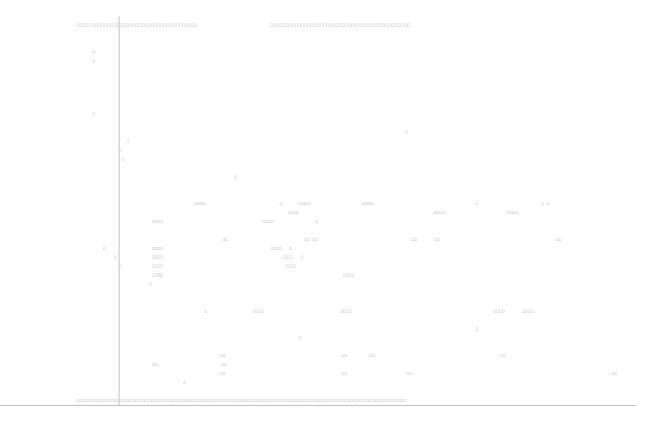
| Total Testcases |   |
|-----------------|---|
| Successful      | ✓ |
| Failed          |   |
| Not Executed    |   |

#### **Module Properties**

| Project Root Directory |  |  |
|------------------------|--|--|
| Configuration File     |  |  |
| Target Environment     |  |  |
| Kind of Test           |  |  |
| Linker Options         |  |  |
| Source File(s)         |  |  |
| File                   |  |  |
| Compiler Options       |  |  |
|                        |  |  |

| Comments/Description/Spe | cification |
|--------------------------|------------|
| Name                     | Text       |





| Attributes            |  |  |  |  |
|-----------------------|--|--|--|--|
| Name                  | Value  |  |  |  |
| Compiler Install Path | \$(ProgramFiles)\Texas Instruments\ccsv4\tools\compiler\tms470_4.9.5       |  |  |  |
| Float Precision       | 9  |  |  |  |
| InitObjDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\obj                         |  |  |  |
| InitSrcDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\src                         |  |  |  |
| Linker File           | \$(PROJECTROOT)\UnitTestEnv\static_build_files\sys_link.cmd                |  |  |  |
| Makefile Template     | \$(PROJECTROOT)\UnitTestEnv\config\Nexteer_ts_make_ude_ti_tms570.tpl       |  |  |  |
| Target Install Path   | \$(Compiler Install Path)\include  |  |  |  |
| Time Unit             | Cycles   |  |  |  |
| Timer Enabled         | false  |  |  |  |
| Timer Prescale        | 0  |  |  |  |
| Timer Resolution      | 1  |  |  |  |
| UDE Config File       | \$(PROJECTROOT)\UnitTestEnv\config\TMS570_UDE_12PIN_JTAG.cfg               |  |  |  |
| Workspace File        | D:\Synergy_Work_Area\Clxx_DigColPs\UnitTestEnv\config\UDE_TMS570_DEBUG.WSP |  |  |  |

2014-10-14, 23:12:49+0530



| Test Case 1: Boundary | Test | <b>✓</b> |
|-----------------------|------|----------|
| Description           |      |          |
|                       |      |          |
|                       | _    |          |
|                       |      |          |
|                       |      |          |
|                       |      |          |
|                       |      |          |

| Test Step 1.1 (Repeat Count = 1) |             | <b>~</b> |
|----------------------------------|-------------|----------|
| Name                             | Input Value |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |
|                                  |             |          |

2014-10-14, 23:12:49+0530



Count Result

SetupWriteRegister

**Actual Function** 

| Actual Value Expecte | ed Value Result |
|----------------------|-----------------|
|                      | ~               |
|                      | <b>✓</b>        |
|                      | <b>✓</b>        |
|                      | <b>~</b>        |
|                      | <b>✓</b>        |
| 0                    | •               |
|                      | ~               |
|                      | ~               |
|                      | ~               |
|                      | <b>→</b>        |
|                      | <b>✓</b>        |
|                      | <b>✓</b>        |
|                      |                 |
|                      | <b>✓</b>        |
|                      | ✓               |
|                      | •               |
|                      | <b>✓</b>        |
|                      | · ·             |
|                      | <b>✓</b>        |
|                      | <b>✓</b>        |
|                      | <b>✓</b>        |
|                      | ·               |
|                      |                 |
|                      | <b>✓</b>        |
|                      | <b>→</b>        |
|                      | ,               |
|                      | <b>✓</b>        |
|                      | <b>✓</b>        |
|                      |                 |

Count Expected Function

| Test Step 1.2 (Repeat Count = 1) ✓ |             |  |  |  |
|------------------------------------|-------------|--|--|--|
| Name                               | Input Value |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |
|                                    |             |  |  |  |

2014-10-14, 23:12:49+0530

Input Value



SetupWriteRegister

Name

| Name |       | Actual Value      | Expected Value | Result                                |
|------|-------|-------------------|----------------|---------------------------------------|
|      |       |                   |                | -                                     |
|      |       |                   |                | · ·                                   |
|      |       |                   |                | •                                     |
|      |       |                   |                | •                                     |
|      |       |                   |                | •                                     |
|      |       |                   |                | <b>✓</b>                              |
|      |       |                   |                | ~                                     |
|      |       |                   |                | <b>V</b>                              |
|      |       |                   |                |                                       |
|      |       |                   |                | · ·                                   |
|      |       |                   |                | •                                     |
|      |       |                   |                | •                                     |
|      |       |                   |                | •                                     |
|      |       |                   |                | _                                     |
|      |       |                   |                |                                       |
|      |       |                   |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|      |       |                   |                |                                       |
|      |       |                   |                | · ·                                   |
|      |       |                   |                | ~                                     |
|      |       |                   |                | -                                     |
|      |       |                   |                | <b>*</b>                              |
|      |       |                   |                | -                                     |
|      |       |                   |                |                                       |
|      |       |                   | 0              | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|      |       |                   |                |                                       |
|      |       |                   |                | · ·                                   |
|      |       |                   |                | ~                                     |
|      |       |                   |                | ~                                     |
|      |       |                   | <u> </u>       |                                       |
|      |       |                   | -              | •                                     |
|      |       |                   |                |                                       |
|      |       |                   |                | · ·                                   |
|      |       |                   |                |                                       |
|      |       |                   |                | · ·                                   |
|      |       |                   |                |                                       |
|      |       |                   |                | · ·                                   |
|      |       |                   |                | -                                     |
|      |       |                   |                | ~                                     |
|      |       |                   | 0              |                                       |
|      |       |                   | 0              | ~                                     |
|      |       |                   |                | -                                     |
|      |       |                   |                |                                       |
|      |       |                   |                | <b>V</b>                              |
|      |       |                   |                |                                       |
|      |       |                   |                | ~                                     |
|      |       |                   |                | ~                                     |
|      |       |                   |                | ~                                     |
|      |       |                   |                | ~                                     |
|      |       |                   |                | ~                                     |
|      |       |                   | 0              | ~                                     |
|      |       |                   | 0              | · · · · · · · · · · · · · · · · · · · |
|      |       |                   |                | ~                                     |
|      |       |                   |                | ~                                     |
|      |       |                   | 0              | ~                                     |
|      |       |                   | 0              | •                                     |
|      |       |                   |                | •                                     |
|      |       |                   |                | •                                     |
|      |       |                   |                |                                       |
| T    |       |                   |                | V                                     |
|      | Count | Expected Function | Coun           | t Result                              |
|      | Jeant |                   | Coun           | / Nosuit                              |
|      |       |                   |                |                                       |

| Test Step 1.3 (Repeat Count = 1) |             |  |
|----------------------------------|-------------|--|
| Name                             | Input Value |  |
|                                  |             |  |

2014-10-14, 23:12:49+0530

| 0 |       | ~    |
|---|-------|------|
| V | B17/  | 11/1 |
|   | RAZOV | Cat  |

|       |              |                      | <br>-                                 |
|-------|--------------|----------------------|---------------------------------------|
| Name  | Input Value  |                      |                                       |
| Hamie | input value  |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
|       |              |                      |                                       |
| Name  |              | From a set of Malace | D 14                                  |
| Name  | Actual Value | Expected Value       | Result                                |
|       |              |                      | <b>✓</b>                              |
|       |              |                      | ~                                     |
|       |              |                      |                                       |
|       |              |                      | •                                     |
|       |              |                      | <b>✓</b>                              |
|       |              |                      | <b>*</b>                              |
|       |              |                      | •                                     |
|       |              |                      | ~                                     |
|       |              |                      | <b>✓</b>                              |
|       |              |                      | •                                     |
|       |              |                      | •                                     |
|       |              |                      | ~                                     |
|       |              |                      | <b>✓</b>                              |
|       |              |                      | ~                                     |
|       |              |                      |                                       |
|       |              |                      | ~                                     |
|       |              |                      | <b>→</b>                              |
|       |              |                      | <b>*</b>                              |
|       |              |                      |                                       |
|       |              |                      | ~                                     |
|       |              |                      | ~                                     |
|       |              |                      | -                                     |
|       |              |                      | · ·                                   |
|       |              |                      | ~                                     |
|       |              | 0                    |                                       |
|       |              | ٥                    | <b>✓</b>                              |
|       |              | 0                    | <b>✓</b>                              |
|       |              | a                    | <b>✓</b>                              |
|       |              | 0                    | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|       |              | 0                    | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|       |              |                      | · · · · · · · · · · · · · · · · · · · |
|       |              |                      | · · · · · · · · · · · · · · · · · · · |
|       |              |                      | · · · · · · · · · · · · · · · · · · · |
|       |              |                      | · · · · · · · · · · · · · · · · · · · |
|       |              | D                    | · · · · · · · · · · · · · · · · · · · |
|       |              | 0                    | · · · · · · · · · · · · · · · · · · · |
|       |              | D                    | · · · · · · · · · · · · · · · · · · · |
|       |              | 0                    | · · · · · · · · · · · · · · · · · · · |
|       |              | 0                    | · · · · · · · · · · · · · · · · · · · |
|       |              | 0                    | · · · · · · · · · · · · · · · · · · · |
|       |              | 0                    | · · · · · · · · · · · · · · · · · · · |
|       |              | 0                    | · · · · · · · · · · · · · · · · · · · |
|       |              | 0                    | · · · · · · · · · · · · · · · · · · · |
|       |              | 0                    | · · · · · · · · · · · · · · · · · · · |
|       |              | 0                    | · · · · · · · · · · · · · · · · · · · |
|       |              | 0                    | · · · · · · · · · · · · · · · · · · · |
|       |              | a<br>a<br>a          | · · · · · · · · · · · · · · · · · · · |
|       |              | 0                    | · · · · · · · · · · · · · · · · · · · |
|       |              | a<br>a<br>a          | · · · · · · · · · · · · · · · · · · · |
|       |              | a<br>a<br>a          | · · · · · · · · · · · · · · · · · · · |
|       |              | a<br>a<br>a          | · · · · · · · · · · · · · · · · · · · |
|       |              | a<br>a<br>a          | · · · · · · · · · · · · · · · · · · · |
|       |              | a<br>a<br>a          | · · · · · · · · · · · · · · · · · · · |

2014-10-14, 23:12:49+0530



| Name | Actual Value | Expected Value | Result |
|------|--------------|----------------|--------|
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | •      |
|      |              |                | ~      |
|      |              |                | •      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |

| T               |       |                   |       | V        |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | <b>✓</b> |

| Test Step 1.4 (Repeat Count = 1) |              |                | <b>9</b>                |
|----------------------------------|--------------|----------------|-------------------------|
| rest Step 1.4 (Nepeat Count = 1) |              |                | •                       |
| Name                             | Input Value  |                |                         |
|                                  | п            |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
|                                  |              |                |                         |
| Name                             | Actual Value | Expected Value | Result                  |
|                                  |              |                | ~                       |
|                                  |              |                | •                       |
|                                  |              |                |                         |
|                                  |              |                | ~                       |
|                                  |              |                | ~                       |
|                                  |              |                | \rightarrow \frac{1}{2} |
|                                  |              |                | <b>V</b>                |
|                                  |              |                | _                       |
|                                  |              |                | ~                       |
|                                  |              |                | _                       |
|                                  |              |                | ~                       |
|                                  |              |                | <b>✓</b>                |
|                                  |              |                | ~                       |
|                                  |              |                | •                       |
|                                  |              |                |                         |

2014-10-14, 23:12:49+0530



| Name            |       | Actual Value      | Expected Value |       | Resul |
|-----------------|-------|-------------------|----------------|-------|-------|
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       | ١ .   |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       | ١ ،   |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       | ,     |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       |       |
|                 |       |                   |                |       | ١,    |
|                 |       |                   |                |       | •     |
|                 |       |                   |                |       | ٠,    |
|                 |       |                   |                |       | •     |
| T               |       |                   |                |       |       |
| Т               |       |                   |                |       |       |
| Actual Function | Count | Expected Function |                | Count | Resul |

| Test Step 1.5 (Repeat Count = 1) | ✓           |
|----------------------------------|-------------|
| Name                             | Input Value |
|                                  |             |
|                                  |             |
|                                  | 00          |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |

2014-10-14, 23:12:49+0530



| Name Actual Value Expected Value Reside  | N    | Invest Value |     |          |
|--|------|--------------|-----|----------|
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value | Name | Input Value  |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
| Name  Actual Value  Expected Value  Result  Actual Value  Actual Value |      |              |     |          |
|  |      |              |     |          |
|  | Name | Actual Value |     |          |
|  |      |              |     | ~        |
|  |      |              |     | Š        |
|  |      | 00           | 0.0 | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | <b>V</b> |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | J        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | -        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              | a a | ~        |
|  |      | 0            | 0   | ~        |
|  |      |              |     | -        |
|  |      |              |     | •        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | •        |
|  |      |              |     | ~        |
|  |      |              |     | <b>V</b> |
|  |      |              |     | ~        |
|  |      |              |     | •        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | -0       |
|  |      |              |     | -        |
|  |      |              |     | ~        |
|  |      |              |     | ~        |
|  |      |              |     | <b>v</b> |
|  |      |              | 0   | ~        |
|  |      | 0            | а   | ~        |

2014-10-14, 23:12:49+0530



| T               |       |                   |       | V        |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | <b>V</b> |

| Test Step 1.6 (Repeat Count = 1) |              |                | ✓  |
|----------------------------------|--------------|----------------|--|
| Name                             | Input Value  |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  | 0            |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  | п            |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
|                                  |              |                |  |
| Name                             | Actual Value | Expected Value | Result   |
| Name                             | Actual Value | Expected Value | Result   |
| Name                             | Actual Value | Expected Value | <b>✓</b>   |
| Name                             |              |                | \rightarrow \forall \right |
| Name                             |              |                | \rightarrow \forall \right |
| Name                             |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
|                                  |              |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | > > > > > > > > > > > > > > > > > > >  |
|                                  |              |                | * * * * * * * * * * * * * * * * * * *  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
|                                  |              |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
|                                  |              |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·  |
|                                  |              |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |

2014-10-14, 23:12:49+0530



Count Result

SetupWriteRegister

**Actual Function** 

| Name | Actual Value | Expected Value | Result   |
|------|--------------|----------------|----------|
|      |              |                | <b>✓</b> |
|      |              |                | ✓        |
|      |              |                | <b>✓</b> |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | · ·      |
|      |              |                |          |
|      | 0            | а              | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | <b>✓</b> |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | · ·      |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | <b>V</b> |
|      |              |                | •        |
|      |              |                | <b>✓</b> |
|      |              |                |          |
|      |              |                |          |
| T    |              |                | ✓        |

Count Expected Function

| Test Step 1.7 (Repeat Count = 1) Name | Input Value  |                | ✓      |
|---------------------------------------|--------------|----------------|--------|
| Name                                  | input value  |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       | 0            |                |        |
|                                       | 0            |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
|                                       |              |                |        |
| Name                                  | Actual Value | Expected Value | Result |

2014-10-14, 23:12:49+0530



| , , , , , , , , , , , , , , , , , , , |
|---------------------------------------|
|                                       |
|                                       |
|                                       |
|                                       |
|                                       |
|                                       |
| -                                     |
| •                                     |
| •                                     |
|                                       |
| •                                     |
| •                                     |
|                                       |
|                                       |
|                                       |
| •                                     |
| -                                     |
|                                       |
| <b>✓</b>                              |
| •                                     |
|                                       |
|                                       |
|                                       |
|                                       |
|                                       |
|                                       |
| •                                     |
| •                                     |
| •                                     |
| •                                     |
| •                                     |
| •                                     |
| •                                     |
|                                       |
|                                       |
|                                       |
|                                       |
|                                       |
|                                       |
|                                       |
| -                                     |
| ~                                     |
| •                                     |
| <b>*</b>                              |
|                                       |
|                                       |
|                                       |
|                                       |
|                                       |
|                                       |

| Τ               |       |                   |       | V      |
|-----------------|-------|-------------------|-------|--------|
| Actual Function | Count | Expected Function | Count | Result |
|                 |       |                   |       | ~      |
|                 |       |                   |       | _      |

| Test Step 1.8 (Repeat Count = 1) Name |             | V |
|---------------------------------------|-------------|---|
| Name                                  | Input Value |   |
|                                       |             |   |
|                                       |             |   |
|                                       |             |   |
|                                       |             |   |
|                                       |             |   |
|                                       |             |   |
|                                       |             |   |

2014-10-14, 23:12:49+0530

|     |      | _~     | $\supset$ |
|-----|------|--------|-----------|
| ( D | 1700 |        | 7         |
| R   | azc  | メツネ    | t.        |
|     |      | 11 2/1 | 17        |

| Name | Input Value  |                |          |
|------|--------------|----------------|----------|
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
| Name | Actual Value | Expected Value | Result   |
|      |              |                | •        |
|      |              |                | •        |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | •        |
|      |              |                | <b>→</b> |
|      |              |                | •        |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | •        |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | <b>✓</b> |
|      |              |                | •        |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | •        |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | <b>→</b> |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | ·        |
|      |              |                |          |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | •        |
|      |              |                |          |
|      |              |                |          |

2014-10-14, 23:12:49+0530



| Name                             |       | Actual Value      | Expected Value |       | Result   |
|----------------------------------|-------|-------------------|----------------|-------|----------|
|                                  |       |                   |                |       | ~        |
|                                  |       |                   |                |       | <b>V</b> |
|                                  |       |                   |                |       | <b>*</b> |
|                                  |       |                   | 0              |       | -        |
|                                  |       |                   |                |       | <b>✓</b> |
|                                  |       |                   |                |       | ~        |
|                                  |       |                   | 0              |       | ~        |
|                                  |       |                   |                |       | •        |
|                                  |       | 0                 | 0              |       | ~        |
| -                                |       |                   |                |       |          |
| Τ                                |       |                   |                |       | ✓        |
| Actual Function                  | Count | Expected Function |                | Count | Result   |
|                                  |       |                   |                |       | <b>✓</b> |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
| Test Step 1.9 (Repeat Count = 1) |       |                   |                |       | V        |
| Name                             |       | Input Value       |                |       |          |
| Name                             |       | input value       |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
| Name                             |       | Actual Value      | Expected Value |       | Result   |
|                                  |       |                   |                |       | <b>~</b> |
|                                  |       |                   |                |       | ~        |
|                                  |       |                   |                |       | -        |
|                                  |       |                   |                |       | -        |
|                                  |       |                   |                |       | <b>✓</b> |
|                                  |       |                   |                |       | ~        |
|                                  |       |                   |                |       | ~        |
|                                  |       |                   |                |       | <b>V</b> |
|                                  |       |                   |                |       | <b>*</b> |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |
|                                  |       |                   |                |       |          |

2014-10-14, 23:12:49+0530



| Name | Actual Value | Expected Value | Result   |
|------|--------------|----------------|----------|
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | •        |
|      |              |                | ~        |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                | <b>V</b> |
|      |              |                | · ·      |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                | -        |
|      |              |                | ~        |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                | _        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | ~        |
|      |              |                | _        |
|      |              |                | ~        |
|      |              |                | <b>*</b> |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                |          |
|      |              |                | •        |
|      |              |                |          |

| T               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | <b>✓</b> |

| Test Step 1.10 (Repeat Count = 1) | ✓           |
|-----------------------------------|-------------|
| Name                              | Input Value |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |

2014-10-14, 23:12:49+0530



| Name              |      | Input Value       |                |       |        |
|-------------------|------|-------------------|----------------|-------|--------|
|                   |      |                   |                |       |        |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       |        |
| Name              |      | Actual Value      | Expected Value |       | Result |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       | ·      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       | •      |
|                   |      |                   |                |       |        |
| T                 |      |                   |                |       |        |
| Actual Function C | ount | Expected Function |                | Count | Result |
|                   |      |                   |                |       |        |
|                   |      |                   |                |       |        |

2014-10-14, 23:12:49+0530



| T4 04-9 4 44 (D-9-4 0-9-4 4)           |              |                |  |
|--|--------------|----------------|--|
| Test Step 1.11 (Repeat Count = 1) Name | Input Value  |                | ✓  |
| Name                                   | mput value   |                |  |
|  |              |                |  |
|  |              |                |  |
|  |              |                |  |
|  |              |                |  |
|  |              |                |  |
|  |              |                |  |
|  |              |                |  |
|  | <u> </u>     |                |  |
|  |              |                |  |
|  | a            |                |  |
|  | 0            |                |  |
|  |              |                |  |
|  | а            |                |  |
|  |              |                |  |
|  |              |                |  |
|  | а            |                |  |
|  | ٥            |                |  |
|  |              |                |  |
|  | <u> </u>     |                |  |
|  |              |                |  |
|  | 0            |                |  |
|  | 0            |                |  |
|  | a            |                |  |
|  |              | I=             |  |
| Name                                   | Actual Value | Expected Value | Result   |
|  |              |                | ~  |
|  |              |                | <b>~</b>   |
|  |              |                |  |
|  |              |                | <b>✓</b>   |
|  | 0            | ٥              | <b>V</b>   |
|  |              |                | -  |
|  | 0            | ۵              | <b>*</b>   |
|  | <u> </u>     | <u> </u>       | <b>~</b>   |
|  |              | Δ              | -  |
|  | а            | 0              | <b>*</b>   |
|  | 0            | 0              | <b>~</b>   |
|  | <u> </u>     |                | •  |
|  |              |                | ~  |
|  | а            | a a            | <b>V</b>   |
|  |              | 0              | <b>*</b>   |
|  | a<br>a       |                | \rightarrow \right |
|  |              | 0              | <b>&gt;</b> > > >  |
|  | 0            | o<br>o         | · · · · · · · · · · · · · · · · · · ·  |
|  | a<br>a       | 0              | · · · · · · · · · · · · · · · · · · ·  |
|  | a<br>a<br>a  |                | > > > > > > > > > > > > > > > > > > >  |
|  | 0<br>0<br>0  |                | > > > > > > > > > > > > > > > > > > >  |
|  |              |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
|  |              |                | > > > > > > > > > > > > > > > > > > >  |
|  |              |                | *********  |
|  |              |                | > > > > > > > > > > > > > > > > > > >  |
|  |              |                | *********  |

2014-10-14, 23:12:49+0530



| Name | Actual Value | Expected Value | Result |
|------|--------------|----------------|--------|
|      |              |                | ✓      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ✓      |
|      |              |                | ~      |
|      |              |                | ✓      |
|      |              | 0              | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              | 0              | ~      |
|      |              |                | ~      |
|      |              | 0              | ~      |
|      |              | ٥              | ~      |
|      | 0            | 0              | ~      |
|      |              | а              | ✓      |
|      | 0            | 0              | ~      |
|      |              | 0              | ~      |
|      |              | а              | ~      |
|      |              |                | ✓      |

| T               |       |                   |       | V        |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | <b>✓</b> |

2014-10-14, 23:10:23+0530



DigColPsInt\_StartRequest

Project DigColPsInt
Module DigColPsInt

Test Object DigColPsInt\_StartRequest

#### Instrumentation: Test Object Only

| Statement (C0) Coverage | 100 %  |
|-------------------------|--------|
| Branch (C1) Coverage    | 100 %  |
| MCC Coverage            | 90.9 % |
| MC/DC Coverage          | 90.9 % |

#### **Statistics**

| Total Testcases | 3 |   |
|-----------------|---|---|
| Successful      | 3 | ✓ |
| Failed          | 0 |   |
| Not Executed    | 0 |   |

#### **Module Properties**

| Project Root Directory | D:\Synergy_Work_Area\C1xx_DigColPs   |
|------------------------|--|
| Configuration File     | D:\Synergy_Work_Area\C1xx_DigColPs\UnitTestEnv\config\TMS570_GCC_UDE_CCS4_Config.xml   |
| Target Environment     | TI TMS 570 PLS UDE (Default)   |
| Kind of Test           | Unit Test  |
| Linker Options         |  |
| Source File(s)         |  |
| File                   | \$(PROJECTROOT)\DigColPs\src\Sa_DigColPsInt.c  |
| Compiler Options       | -D_DATA_ACCESS= -Dconst= -DSTATIC= -D_inline= -l\$(PROJECTROOT)\DigColPs\utp\contract -l\$(PROJECTROOT)\DigColPs\utp\contract -l\$(PROJECTROOT)\DigColPs\utp\contract -l\$(PROJECTROOT)\StdDef\include -l\$(PROJECTROOT)\StdDef\include -l\$(PROJECTROOT)\StdDef\include -l\$(PROJECTROOT)\StdDef\include -l\$(PROJECTROOT)\StdDef\include\TMS570_HerculesRegs -l\$(Compiler Install Path)\include |

| Comments/Description/Specification |      |  |
|------------------------------------|------|--|
| Name                               | Text |  |



Module 'DigColPsInt' 

Name of Tester:Priti Mangalekar Code File(s) Under Test:Sa\_DigColPsInt.c Code File(s) Version:7

Module Design Document:DigColPsInt\_MDD.docx Module Design Document Version:8

Data Dictionary Version:9 Unit Test Plan Version:2

Offit Test Flat Version:2
Optimization Level:Level 2
Compiler (CodeGen) Version:TMS470\_4.9.5
Model Type:Excel Macro
Model Version:Nexteer EPS Unit Test Tool 2.7d/EPS Library 1.30
Total FLASH Used (Bytes):N/A
Total RAM Used (Bytes):N/A

Total CALS Used (Bytes):N/A Special Test Requirements: Test Date:10/13/2014 Comments:

NOTE 1: In """"DigColPsInt\_StartRequest"""" function, path """"(Type\_Cnt\_T\_u08 > D\_NONE\_CNT\_U08) = TRUE && (Type\_Cnt\_T\_u08 <= D\_STATUSREG\_CNT\_U08) = FALSE""" cannot be covered because range of """"Type\_Cnt\_T\_u08"""" is '0-5' and value of """D\_STATUSREG\_CNT\_U08""" is '34'.

NOTE2: In function ""DigColPsInt\_GetData"",""DigColPsInt\_StartRequest"" and ""DigColPsInt\_InterruptNotification"" values for """12c\_Send(Length\_Cnt\_T\_u32)"""", """12c\_SetRecv(Length\_Cnt\_T\_u16)"""", """12c\_SetStatus(Status\_Cnt\_T\_u16)""", """12c\_SetUpMasterReceive(DataLength\_Cnt\_T\_u16)""" and 12c\_SetUpMasterTransmit(DataLength\_Cnt\_T\_u16) are ignored in few vectors as they

are taking garbage value when they are not updated with expected value in particular vector.

NOTE3: The return value of """"DigColPsInt\_GetData""" function is going out of range, anomaly """6156""" is raised for the same.

NOTE4:Range of DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum is considered as 0 to 36, as enum DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum is of type CommStepType which is of 37 elements.

NOTE5:In function ""DigColPsInt\_InterruptNotification"", path ""Case I2C\_RECV\_OVERRUN: True"" cannot be covered because range of ""Flags\_Cnt\_T\_b16"" is 0 to 64 given in MDD.

NOTE6:In function ""DigColPsInt\_InterruptNotification"", output variable ""DigColPsInt\_AttempOccurForCustDatRead\_Cnt\_M\_u08"" is going out

of range.'

| Attributes            |  |
|-----------------------|--|
| Name                  | Value  |
| Compiler Install Path | \$(ProgramFiles)\Texas Instruments\ccsv4\tools\compiler\tms470_4.9.5       |
| Float Precision       | 9  |
| InitObjDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\obj                         |
| InitSrcDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\src                         |
| Linker File           | \$(PROJECTROOT)\UnitTestEnv\static_build_files\sys_link.cmd                |
| Makefile Template     | \$(PROJECTROOT)\UnitTestEnv\config\Nexteer_ts_make_ude_ti_tms570.tpl       |
| Target Install Path   | \$(Compiler Install Path)\include  |
| Time Unit             | Cycles   |
| Timer Enabled         | false  |
| Timer Prescale        | 0  |
| Timer Resolution      | 1  |
| UDE Config File       | \$(PROJECTROOT)\UnitTestEnv\config\TMS570_UDE_12PIN_JTAG.cfg               |
| Workspace File        | D:\Synergy_Work_Area\C1xx_DigColPs\UnitTestEnv\config\UDE_TMS570_DEBUG.WSP |



#### **Test Case 1: Metrics Test**

Description

Test Vector Description:

TS1.1"Shortest Execution Path:

((DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == TRUE) && (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum >= INIT\_COMPLETE))=False" TS1.2"Longest Execution Path:

IS1.2\*Longest Execution Path:
((DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == TRUE) && (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum >= INIT\_COMPLETE))=True
((Status\_Cnt\_T\_u16 & I2C\_BUSBUSY) == 0U)=True
((Type\_Cnt\_T\_u08 == D\_ANGLEDATA\_CNT\_U08) && (DigColPsInt\_PrevReqDataType\_Cnt\_M\_u08 == D\_ANGLEDATA\_CNT\_U08))=False
((Type\_Cnt\_T\_u08 > D\_NONE\_CNT\_U08) && (Type\_Cnt\_T\_u08 <= D\_STATUSREG\_CNT\_U08))=False"

| Test Step 1.1 (Repeat Count = 1)                                  | <b>✓</b>  |
|---|---|
| Name  | Input Value                                     |
| DigColPsInt Buffer Cnt M u08[0]                                   | 44  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                                   | 55  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                                   | 66  |
| DigColPsInt_CurrentSlave_Cnt_M_u08                                | 55  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                              | INIT_SENSOR2_CHECKSTAT_READ                     |
| DigColPsInt_PrevReqDataType_Cnt_M_u08                             | 0   |
| DigColPsInt_SensInitialized_Cnt_M_lgc                             | 0   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc                           | 1   |
| I2c_GetStatus()   | 655   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)                                | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                                     | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                                  | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                       | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                      | tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08  | 3   |
| i2cREG1_temp  | target_i2cREG1_temp                             |
| k_ColSensorl2CAddress_Cnt_u08                                     | 55  |
| target_i2cREG1_temp.OAR   | 55<br>cc  |
| target_i2cREG1_temp.IMR   | 66<br>556                                       |
| target_i2cREG1_temp.STR target_i2cREG1_temp.CLKL                  | 2309  |
| target_i2cREG1_temp.CLKL  | 1204  |
| target_i2cREG1_temp.CNT   | 87  |
| target_i2cREG1_temp.DRR   | 67  |
| target_i2cREG1_temp.SAR   | 55  |
| target_i2cREG1_temp.DXR   | 66  |
| target i2cREG1 temp.MDR   | 2309  |
| target i2cREG1 temp.IVR   | 5   |
| target_i2cREG1_temp.EMDR  | 3   |
| target_i2cREG1_temp.PSC   | 66  |
| target_i2cREG1_temp.PID11   | 1204  |
| target_i2cREG1_temp.PID12   | 66  |
| target_i2cREG1_temp.DMAC  | 3   |
| target_i2cREG1_temp.FUN   | 1   |
| target_i2cREG1_temp.DIR   | 1   |
| target_i2cREG1_temp.DIN   | 2   |
| target_i2cREG1_temp.DOUT  | 3   |
| target_i2cREG1_temp.SET   | 3   |
| target_i2cREG1_temp.CLR   | 1   |
| target_i2cREG1_temp.ODR   | 2   |
| target_i2cREG1_temp.PD  | 3   |
| target_i2cREG1_temp.PSL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR | 3<br>55   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR                         | 66  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR                         | 556   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL                        | 2309  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH                        | 1204  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT                         | 87  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR                         | 67  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR                         | 55  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR                         | 66  |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR                         | 2309  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR                         | 5   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR                        | 3   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC                         | 66  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11                       | 1204  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12                       | 66  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC                        | 3   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN                         | 1   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR                         | 1   |

2014-10-14, 23:10:23+0530



| DigColPsini_StartRequest   |             | 1940 May |
|--|-------------|----------|
| Name   | Input Value |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2           |          |
| tgt I2c GetStatus I2cRegPtr Cnt T str.DOUT   | 3           |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  | 3           |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1           |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR  | 2           |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD   | 3           |          |
|  | 3           |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 55          |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   |             |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66          |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556         |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 2309        |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87          |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67          |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55          |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66          |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309        |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 5           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66          |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 1204        |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66          |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1           |          |
| tgt I2c Send I2cRegPtr Cnt T str.DIR   | 1           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3           |          |
|  | 55          |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 66          |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 556         |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  |             |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL   | 2309        |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 1204        |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 87          |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 67          |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55          |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66          |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309        |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5           |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3           |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66          |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204        |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 66          |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3           |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1           |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  | 1           |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2           |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3           |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3           |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 1           |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  | 2           |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD   | 3           |          |
|  |             |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3           |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55          |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR   | 66          |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR   | 556         |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  | 1204        |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87          |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67          |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55          |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66          |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309        |          |
| tot 10- Octobrillonia Bossica 10-Bospto Oct Totall/B   | 5           |          |
| tgt_l2c_SetupiviasterReceive_l2cRegPtr_Cnt_l_str.lvR   |             |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR | 3           |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  | 66          |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC | 66          |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  |             |          |

2014-10-14, 23:10:23+0530



| Name   | Input Value   |   |        |
|--|---|---|--------|
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1   |   |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR   | 1   |   |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2   |   |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT  | 3   |   |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 3   |   |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR   | 1   |   |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2   |   |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD  | 3   |   |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL   | 3   |   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR  | 55  |   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR  | 66<br>556   |   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL   | 2309  |   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH   | 1204  |   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 87  |   |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 67  |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 55  |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 66  |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2309  |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 5   |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3   |   |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC  | 66  |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 1204  |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 66  |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 3   |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1   |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1   |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2   |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3   |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3   |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1   |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2   |   |        |
|  |   |   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 3   |   |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD<br>tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3   |   |        |
|  | 3 Actual Value  | Expected Value  | Result |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]   | 3 Actual Value 44   | 44  | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  | 3 Actual Value 44 55  | 44<br>55  | Result |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]   | 3 Actual Value 44 55 66   | 44<br>55<br>66  | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08   | 3 Actual Value 44 55 66 55  | 44<br>55<br>66<br>55  | •      |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum   | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ  | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ   |        |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0  | 44<br>55<br>66<br>55<br>INIT_SENSOR2_CHECKSTAT_READ<br>0  |        |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1  | 44<br>55<br>66<br>55<br>INIT_SENSOR2_CHECKSTAT_READ<br>0<br>1   | 0      |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)   | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1  | 44<br>55<br>66<br>55<br>INIT_SENSOR2_CHECKSTAT_READ<br>0<br>1   | 0      |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0  | 44<br>55<br>66<br>55<br>INIT_SENSOR2_CHECKSTAT_READ<br>0<br>1<br>0  | 0      |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetupMasterReceive(DataLength_Cnt_T_u16)  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0  | 44<br>55<br>66<br>55<br>INIT_SENSOR2_CHECKSTAT_READ<br>0<br>1<br>0<br>0   | 0      |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_send(Length_Cnt_T_u32)  l2c_setRecv(Length_Cnt_T_u32)  l2c_setupMasterReceive(DataLength_Cnt_T_u16)  l2c_setupMasterTransmit(DataLength_Cnt_T_u16)  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0  | 44<br>55<br>66<br>55<br>INIT_SENSOR2_CHECKSTAT_READ<br>0<br>1<br>0<br>0<br>0  | 0      |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_send(Length_Cnt_T_u32)  l2c_setRecv(Length_Cnt_T_u32)  l2c_setupMasterReceive(DataLength_Cnt_T_u16)  l2c_setupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.OAR   | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55   | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55  |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  l2c_SetupMasterReceive(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66  | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66   | 0      |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_send(Length_Cnt_T_u32)  l2c_setRecv(Length_Cnt_T_u32)  l2c_setupMasterReceive(DataLength_Cnt_T_u16)  l2c_setupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.JMR  tgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.STR  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556  | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  l2c_SetupMasterReceive(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.JIMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309   | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556 2309  |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  l2c_SetupMasterReceive(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.JMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204  | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556 2309 1204   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  l2c_SetupMasterReceive(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.JIMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309   | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556 2309  |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc l2c_Send(Length_Cnt_T_u32) l2c_SetRecv(Length_Cnt_T_u32) l2c_SetupMasterTransmit(DataLength_Cnt_T_u16) tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR   | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 55 66 556 2309 1204 87   | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556 2309 1204   |        |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_send(Length_Cnt_T_u32)  l2c_setRecv(Length_Cnt_T_u32)  l2c_setupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67  | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67   |        |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_send(Length_Cnt_T_u32)  l2c_setRecv(Length_Cnt_T_u32)  l2c_setupMasterReceive(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55   | 44<br>55<br>66<br>55<br>INIT_SENSOR2_CHECKSTAT_READ<br>0<br>1<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>55<br>66<br>556<br>2309<br>1204<br>87<br>67<br>55 |        |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_send(Length_Cnt_T_u32)  l2c_setRecv(Length_Cnt_T_u32)  l2c_setupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 55 66 556 2309 1204 87 67 55 66  | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66   |        |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_T_u180  I2c_send(Length_Cnt_T_u32)  I2c_setRecv(Length_Cnt_T_u32)  I2c_setRecv(Length_Cnt_T_u32)  I2c_setupMasterTransmit(DataLength_Cnt_T_u16)  I2c_setupMasterTransmit(DataLength_Cnt_T_u16)  I2c_setupMasterTransmit(DataLength_Cnt_T_u16)  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.OAR  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.CLKL  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.CLKL  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.CNT  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.DRR  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.DRR  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.DXR  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.DXR  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.DXR  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.DXR  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.DXR  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.DXR  I2t_l2c_getStatus_l2cRegPtr_Cnt_T_str.DXR  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309   | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 2309 1204 87 67 55 66 2309  |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5   | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5  |        |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_T_u180  I2c_send(Length_Cnt_T_u32)  I2c_setRecv(Length_Cnt_T_u32)  I2c_setupMasterTransmit(DataLength_Cnt_T_u16)  I2c_setupMasterTransmit(DataLength_Cnt_T_u16)  I2c_setupMasterTransmit(DataLength_Cnt_T_u16)  I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  I2t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3                                       | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3  |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNC   | 3  Actual Value  44  55  66  55  INIT_SENSOR2_CHECKSTAT_READ  0  1  0  0  0  0  55  66  556  2309  1204  87  67  55  66  2309  5  3  66           | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  l2c_SetupMasterReceive(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  | 3  Actual Value  44  55  66  55  INIT_SENSOR2_CHECKSTAT_READ  0  1  0  0  0  0  55  66  556  2309  1204  87  67  55  66  2309  5  3  66  1204     | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204  |        |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_T_u16  DigColPsInt_SkipRegisterWrite_Cnt_T_u16  DigColPsInt_SkipRegisterWrite_Cnt_T_u16  DigColPsInt_SkipRegisterWrite_Cnt_T_u16  DigColPsInt_SkipRegertr_Cnt_T_str.OAR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CkL  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkDR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkDR  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PbC  Upt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DhAC  | 3  Actual Value  44  55  66  55  INIT_SENSOR2_CHECKSTAT_READ  0  1  0  0  0  0  55  66  556  2309  1204  87  67  55  66  2309  5  3  66  1204  66 | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  l2c_SetupMasterReceive(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12   | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3                        | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  l2c_SetupMasterReceive(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC   | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1                      | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetRecv(Length_Cnt_T_u32)  l2c_SetupMasterReceive(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1                      | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 5309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1   |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc l2c_Send(Length_Cnt_T_u32) l2c_SetRecv(Length_Cnt_T_u32) l2c_SetUpMasterTransmit(DataLength_Cnt_T_u16) l2c_SetupMasterTransmit(DataLength_Cnt_T_u16) tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD11 tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12 tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUN   | 3 Actual Value 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1                  | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1                                     |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc l2c_Send(Length_Cnt_T_u32) l2c_SetRecv(Length_Cnt_T_u32) l2c_SetUpMasterTransmit(DataLength_Cnt_T_u16) l2c_SetupMasterTransmit(DataLength_Cnt_T_u16) tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD11 tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12 tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUN   | 3 Actual Value  44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1 2 3             | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1 2 3                               |        |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc !2c_Send(Length_Cnt_T_u32) !2c_SetRecv(Length_Cnt_T_u32) !2c_SetLepMasterTransmit(DataLength_Cnt_T_u16) tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.STR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNDR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDD11 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DD11 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  | 3 Actual Value  44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1 2 3 3           | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1 2 3 3                             |        |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc !2c_Send(Length_Cnt_T_u32) !2c_SetRecv(Length_Cnt_T_u32) !2c_SetLepMasterTransmit(DataLength_Cnt_T_u16) tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.STR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNDR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDD11 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DD11 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUN tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  | 3 Actual Value  44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1 2 3 3 1         | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1 2 3 3 1                           |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_logc  l2c_Send(Length_Cnt_T_u32)  l2c_SetlpMasterReceive(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  l2c_SetUpMasterTransmit(DataLength_Cnt_T_u16)  l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUR                             | 3 Actual Value  44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1 2 3 3 1           | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1 2 3 3 1                             |        |
| tgt_l2c_setupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc l2c_send(Length_Cnt_T_u32) l2c_setRecv(Length_Cnt_T_u32) l2c_setRecv(Length_Cnt_T_u32) l2c_setupMasterReceive(DataLength_Cnt_T_u16) l2c_setupMasterTransmit(DataLength_Cnt_T_u16) l2c_getStatus_l2cRegPtr_Cnt_T_str.OAR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.STR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.CLKL ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.CLKL ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.CLKH ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DRR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DRR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DRR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DRR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DRR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DRR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DRR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DNR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.PID11 ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.PID11 ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DIN ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DIN ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DIR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DIR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DIR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DIR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DIR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DIR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DIR ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DUT ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DUT ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DUT ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DUT ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DUT ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DUT ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DUT ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DUT ltgt_l2c_getStatus_l2cRegPtr_Cnt_T_str.DUT | 3 Actual Value  44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1 2 3 3 1           | 44 55 66 55 INIT_SENSOR2_CHECKSTAT_READ 0 1 0 0 0 0 0 0 55 66 556 2309 1204 87 67 55 66 2309 5 3 66 1204 66 3 1 1 1 2 3 3 1                           |        |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Resu |
|---|--------------|----------------|------|
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR                | 556          | 556            |      |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL                | 2309         | 2309           |      |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH                | 1204         | 1204           |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                 | 87           | 87             |      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                | 67           | 67             |      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                | 55           | 55             |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                 | 66           | 66             |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                 | 2309         | 2309           |      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                | 5            | 5              |      |
| tgt I2c Send I2cRegPtr Cnt T str.EMDR               | 3            | 3              |      |
| tgt I2c Send I2cRegPtr Cnt T str.PSC                | 66           | 66             |      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11              | 1204         | 1204           |      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12              | 66           | 66             |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                | 3            | 3              |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                 | 1            | 1              |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                 | 1            | 1              |      |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN                 | 2            | 2              |      |
|   | 3            | 3              |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                | 3            | 3              |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SET                 |              |                |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                 | 1            | 1              |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                 | 2            | 2              |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PD                  | 3            | 3              |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 3            | 3              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR              | 55           | 55             |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR              | 66           | 66             |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR              | 556          | 556            |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL             | 2309         | 2309           |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH             | 1204         | 1204           |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT              | 87           | 87             |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              | 67           | 67             |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 55           | 55             |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 66           | 66             |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 2309         | 2309           |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 5            | 5              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 3            | 3              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 66           | 66             |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11            | 1204         | 1204           |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12            | 66           | 66             |      |
|   | 3            | 3              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 1            | 1              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              |              |                |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 1            | 1              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 2            | 2              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 3            | 3              |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET              | 3            | 3              |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR              | 1            | 1              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 2            | 2              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 3            | 3              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 3            | 3              |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR   | 55           | 55             |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.lMR   | 66           | 66             |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR   | 556          | 556            |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             |      |
| gt I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR   | 55           | 55             |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR   | 66           | 66             |      |
|   | 2309         | 2309           |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   |              |                |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              |      |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              |      |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             |      |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           |      |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD    | 3            | 3              |      |
| AL 120 OCTUPINACION COUNT IZUNCULT UNIT I SULFU     | 9            | J              |      |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ✓        |

| Τ               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | ~        |

| Test Step 1.2 (Repeat Count = 1)             | <b>▼</b>  |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt Buffer Cnt M u08[0]              | 10  |
| DigColPsInt Buffer Cnt M u08[1]              | 20  |
| DigColPsInt Buffer Cnt M u08[2]              | 30  |
| DigColPsInt CurrentSlave Cnt M u08           | 40  |
| DigColPsInt CurrentStepNo Cnt M enum         | INIT COMPLETE                                   |
| DigColPsInt PrevReqDataType Cnt M u08        | 1   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt SkipRegisterWrite Cnt M Igc      | 0   |
| I2c GetStatus()                              | 123   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c Send(I2cRegPtr Cnt T str)                | tgt I2c Send I2cRegPtr Cnt T str                |
| I2c SetRecv(I2cRegPtr Cnt T str)             | tgt I2c SetRecv I2cRegPtr Cnt T str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str |
| Type_Cnt_T_u08                               | 0   |
| i2cREG1 temp                                 | target i2cREG1 temp                             |
| k_ColSensorI2CAddress_Cnt_u08                | 10  |
| target_i2cREG1_temp.OAR                      | 66  |
| target_i2cREG1_temp.IMR                      | 78  |
| target_i2cREG1_temp.STR                      | 78  |
| target_i2cREG1_temp.CLKL                     | 495   |
| target_i2cREG1_temp.CLKH                     | 56  |
| target_i2cREG1_temp.CNT                      | 897   |
| target_i2cREG1_temp.DRR                      | 98  |
| target_i2cREG1_temp.SAR                      | 66  |
| target_i2cREG1_temp.DXR                      | 78  |
| target_i2cREG1_temp.MDR                      | 495   |
| target_i2cREG1_temp.IVR                      | 66  |
| target_i2cREG1_temp.EMDR                     | 0   |
| target_i2cREG1_temp.PSC                      | 78  |
| target_i2cREG1_temp.PID11                    | 56  |
| target_i2cREG1_temp.PID12                    | 78  |
| target_i2cREG1_temp.DMAC                     | 0   |
| target_i2cREG1_temp.FUN                      | 0   |
| target_i2cREG1_temp.DIR                      | 0   |
| target_i2cREG1_temp.DIN                      | 1   |
| target_i2cREG1_temp.DOUT                     | 0   |
| target_i2cREG1_temp.SET                      | 0   |
|  |   |

2014-10-14, 23:10:23+0530



| DigColFSini_StartRequest  |             | TOLCITO |
|---|-------------|---------|
| Name  | Input Value |         |
| target i2cREG1 temp.CLR   | 0           |         |
| target i2cREG1 temp.ODR   | 1           |         |
| target_i2cREG1_temp.PD  | 0           |         |
| target_i2cREG1_temp.PSL   | 0           |         |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR   | 66          |         |
|   |             |         |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR   | 78          |         |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR   | 78          |         |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 495         |         |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 56          |         |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT   | 897         |         |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR   | 98          |         |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR   | 66          |         |
| gt I2c GetStatus I2cRegPtr Cnt T str.DXR  | 78          |         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR  | 495         |         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR  | 66          |         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 0           |         |
|   |             |         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC  | 78          |         |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  | 56          |         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 78          |         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 0           |         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0           |         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0           |         |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN   | 1           |         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 0           |         |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  | 0           |         |
|   | 0           |         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1           |         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR  |             |         |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD   | 0           |         |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL  | 0           |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 66          |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 78          |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 78          |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 495         |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 56          |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 897         |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 98          |         |
|   | 66          |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  |             |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 78          |         |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  | 495         |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 66          |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0           |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 78          |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 56          |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 78          |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0           |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0           |         |
|   |             |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0           |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1           |         |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 0           |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0           |         |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 0           |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1           |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0           |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0           |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 66          |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 78          |         |
|   | 78          |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  |             |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 495         |         |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 56          |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 897         |         |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 98          |         |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 66          |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 78          |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 495         |         |
|   | 66          |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  |             |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 0           |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 78          |         |
|   | 56          |         |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11  |             |         |
|   | 78          |         |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 78<br>0     |         |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12<br>gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   |             |         |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR | 0           |         |

2014-10-14, 23:10:23+0530



| Name   | Input Value     |                    |          |
|--|-----------------|--------------------|----------|
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 0               |                    |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 0               |                    |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0               |                    |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1               |                    |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 0               |                    |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 0               |                    |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR   | 66              |                    |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 78              |                    |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR   | 78              |                    |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL  | 495             |                    |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 56<br>897       |                    |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR   | 98              |                    |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR   | 66              |                    |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DXR   | 78              |                    |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 495             |                    |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 66              |                    |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  | 0               |                    |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC   | 78              |                    |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 56              |                    |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 78              |                    |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 0               |                    |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0               |                    |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR   | 0               |                    |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN   | 1               |                    |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 0               |                    |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 0               |                    |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 0               |                    |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD     | 0               |                    |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL   | 0               |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 66              |                    |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR  | 78              |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 78              |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 495             |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 56              |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 897             |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 98              |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 66              |                    |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 78              |                    |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 495             |                    |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 66              |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC | 78              |                    |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  | 56              |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 78              |                    |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC   | 0               |                    |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN  | 0               |                    |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR  | 0               |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1               |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 0               |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0               |                    |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0               |                    |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 1               |                    |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 0               |                    |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  | 0               |                    |          |
| Name   | Actual Value    | Expected Value     | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10              | 10                 | <b>~</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20              | 20                 | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30              | 30                 | <b>✓</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 10              | 10                 |          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08                               | INIT_COMPLETE 0 | INIT_COMPLETE<br>0 |          |
| DigColPsInt_RevReqData1ype_Cnt_M_u00  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc                            | 0               | 0                  |          |
| I2c_Send(Length_Cnt_T_u32)   | 0               | 0                  |          |
| I2c_SetRecv(Length_Cnt_T_u32)  | 0               | 0                  |          |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)   | 0               | 0                  | •        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 0               | 0                  | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR  | 66              | 66                 | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  | 78              | 78                 | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  | 78              | 78                 | <b>✓</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 495             | 495                | <b>✓</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 56              | 56                 | <b>✓</b> |
|  |                 |                    |          |

2014-10-14, 23:10:23+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT          | 897          | 897            | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR          | 98           | 98             | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR          | 66           | 66             | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR          | 78           | 78             | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR          | 495          | 495            | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR          | 66           | 66             | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR         | 0            | 0              | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC          | 78           | 78             | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11        | 56           | 56             | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12        | 78           | 78             | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC         | 0            | 0              | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN          | 0            | 0              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR          | 0            | 0              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN          | 1            | 1              | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT         | 0            | 0              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET          | 0            | 0              | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR          | 0            | 0              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR          | 1            | 1              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD           | 0            | 0              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL          | 0            | 0              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR               | 66           | 66             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR               | 78           | 78             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR               | 78           | 78             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL              | 495          | 495            | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH              | 56           | 56             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT               | 897          | 897            | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR               | 98           | 98             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR               | 66           | 66             | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR               | 78           | 78             | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR               | 495          | 495            | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR               | 66           | 66             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR              | 0            | 0              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC               | 78           | 78             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11             | 56           | 56             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12             | 78           | 78             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC              | 0            | 0              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN               | 0            | 0              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR               | 0            | 0              | •      |
| tgt I2c Send I2cRegPtr Cnt T str.DIN               | 1            | 1              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT              | 0            | 0              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET               | 0            | 0              |        |
| tgt I2c Send I2cRegPtr Cnt T str.CLR               | 0            | 0              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR               | 1            | 1              |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD                | 0            | 0              |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL               | 0            | 0              |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR            | 66           | 66             |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR            | 78           | 78             |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR            | 78           | 78             |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL           | 495          | 495            |        |
|  | 56           | 56             |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH           | 897          | 897            |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT            | 98           | 98             |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR            | 66           |                |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR            |              | 66             |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR            | 78           | 78             |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR            | 495          | 495            | ·      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR            | 66           | 66             | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR           | 0            | 0              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC            | 78           | 78             | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11          | 56           | 56             | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12          | 78           | 78             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC           | 0            | 0              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN            | 0            | 0              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR            | 0            | 0              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN            | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT           | 0            | 0              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET            | 0            | 0              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR            | 0            | 0              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR            | 1            | 1              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD             | 0            | 0              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL            | 0            | 0              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR | 66           | 66             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR | 78           | 78             | •      |
|  | 78           | 78             |        |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 495          | 495            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 56           | 56             | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 897          | 897            | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 98           | 98             | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 66           | 66             | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 78           | 78             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 495          | 495            | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 66           | 66             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 78           | 78             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 56           | 56             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 78           | 78             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            | 0              | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN    | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 0            | 0              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 0            | 0              | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 0            | 0              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0            | 0              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD    | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | <b>✓</b> |

| T               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
| I2c GetStatus   | 1     | I2c GetStatus     | 1     |          |



#### **Test Case 2: Boundary Test**

Description

Test Vector Description:

TS2.1Type\_Cnt\_T\_u08=min
TS2.2Type\_Cnt\_T\_u08=max
TS2.3Type\_Cnt\_T\_u08=mid
TS2.4k\_ColSensorl2CAddress\_Cnt\_u08=min
TS2.5k\_ColSensorl2CAddress\_Cnt\_u08=max
TS2.6k\_ColSensorl2CAddress\_Cnt\_u08=min

TS2.6k\_ColSensorl2CAddress\_Cnt\_u08=mid
TS2.7DigColPsInt\_PrevReqDataType\_Cnt\_M\_u08=min
TS2.8DigColPsInt\_PrevReqDataType\_Cnt\_M\_u08=min
TS2.8DigColPsInt\_PrevReqDataType\_Cnt\_M\_u08=mid
TS2.10l2c\_GetStatus = min
TS2.11l2c\_GetStatus = min
TS2.12l2c\_GetStatus = mid
TS2.12l2c\_GetStatus = mid
TS2.13DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum=min
TS2.14DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum=max
TS2.15DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum=mid
TS2.16DigColPsInt\_SensInitialized\_Cnt\_M\_lgc=min
TS2.17DigColPsInt\_SensInitialized\_Cnt\_M\_lgc=max
TS2.18all min

TS2.18all min TS2.19all max

| Test Step 2.1 (Repeat Count = 1)   | Input Value                                     |
|--|---|
|  | 10  |
| DigColPsInt_Buffer_Cnt_M_u08[0]  |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20  |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30  |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 40  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 1   |
| DigColPsInt_SensInitialized_Cnt_M_Igc  | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 0   |
| 2c_GetStatus()   | 123   |
| 2c_GetStatus(I2cRegPtr_Cnt_T_str)  | tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str           |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | tgt_l2c_Send_l2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)  | tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)   | tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08   | 0   |
| 2cREG1_temp  | target_i2cREG1_temp                             |
| C_ColSensorl2CAddress_Cnt_u08  | 10  |
| arget_i2cREG1_temp.OAR   | 66  |
| arget_i2cREG1_temp.IMR   | 78  |
| arget_i2cREG1_temp.STR   | 78  |
| arget_i2cREG1_temp.CLKL  | 495   |
| arget_i2cREG1_temp.CLKH  | 56  |
| arget_i2cREG1_temp.CNT   | 897   |
| arget_i2cREG1_temp.DRR   | 98  |
| arget_i2cREG1_temp.SAR   | 66  |
| arget_i2cREG1_temp.DXR   | 78  |
| arget_i2cREG1_temp.MDR   | 495   |
| arget_i2cREG1_temp.IVR   | 66  |
| arget_i2cREG1_temp.EMDR  | 0   |
| arget_i2cREG1_temp.PSC   | 78  |
| arget_i2cREG1_temp.PID11   | 56  |
| arget_i2cREG1_temp.PID12   | 78  |
| arget_i2cREG1_temp.DMAC  | 0   |
| arget_i2cREG1_temp.FUN   | 0   |
| arget_i2cREG1_temp.DIR   | 0   |
| arget_i2cREG1_temp.DIN   | 1   |
| arget_i2cREG1_temp.DOUT  | 0   |
| arget_i2cREG1_temp.SET   | 0   |
| arget_i2cREG1_temp.CLR   | 0   |
| arget_i2cREG1_temp.ODR   | 1   |
| arget_i2cREG1_temp.PD  | 0   |
| arget_i2cREG1_temp.PSL   | 0   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR   | 66  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR   | 78  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR   | 78  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 495   |
| gt I2c GetStatus I2cRegPtr Cnt T str.CLKH  | 56  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT   | 897   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR   | 98  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR   | 66  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR   | 78  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.bXR  gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR | 495   |

2014-10-14, 23:10:23+0530



|  |             | Taze (tat |
|--|-------------|-----------|
| Name   | Input Value |           |
| tgt I2c GetStatus I2cRegPtr Cnt T str.IVR  | 66          |           |
| tgt I2c GetStatus I2cRegPtr Cnt T str.EMDR   | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC  | 78          |           |
| tgt I2c GetStatus I2cRegPtr Cnt T str.PID11  | 56          |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  | 78          |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC   | 0           |           |
|  | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  |             |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET  | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR  | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD   | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 66          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 78          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 78          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 495         |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 56          |           |
|  |             |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 897         |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 98          |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 66          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 78          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 495         |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 66          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 78          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 56          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 78          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0           |           |
|  | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   |             |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 0           |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0           |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 66          |           |
| tgt I2c SetRecv I2cRegPtr Cnt T str.IMR  | 78          |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 78          |           |
| tgt I2c SetRecv I2cRegPtr Cnt T str.CLKL   | 495         |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 56          |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 897         |           |
|  | 98          |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  |             |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 66          |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR  | 78          |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  | 495         |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR  | 66          |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 0           |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 78          |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 56          |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 78          |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 0           |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN  | 0           |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  | 0           |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  | 1           |           |
|  | 0           |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   |             |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 0           |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 0           |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1           |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 0           |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL  | 0           |           |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 66          |           |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 78          |           |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 78          |           |
|  | 495         |           |
| tot 12c SetunMasterReceive 12cRedPtr Cnt T etr CLKI  | 100         |           |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL  | 56          |           |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  | 56          |           |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT | 897         |           |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  |             |           |

2014-10-14, 23:10:23+0530



| Name   | Input Value   |  |     |
|--|---|--|-----|
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 78  |  |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 495   |  |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 66  |  |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0   |  |     |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  | 78  |  |     |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  | 56  |  |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 78  |  |     |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC   | 0   |  |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 0   |  |     |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR  | 0   |  |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 1   |  |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 0   |  |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0   |  |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 0   |  |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 1   |  |     |
| gt I2c SetupMasterReceive I2cRegPtr Cnt T str.PD   | 0   |  |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 0   |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66  |  |     |
|  |   |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78  |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78  |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495   |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56  |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897   |  |     |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 98  |  |     |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 66  |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78  |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495   |  |     |
| gt I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 66  |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0   |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78  |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 56  |  |     |
|  | 78  |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   |   |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0   |  |     |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 0   |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0   |  |     |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  | 1   |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0   |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0   |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0   |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1   |  |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 0   |  |     |
| gt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 0   |  |     |
| Name   |   |  |     |
|  | Actual Value  | Expected Value   | Res |
|  | Actual Value  | Expected Value   | Res |
| igColPsInt_Buffer_Cnt_M_u08[0]   | 10  | 10   | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0]<br>DigColPsInt_Buffer_Cnt_M_u08[1]   | 10<br>20  | 10<br>20   | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0]<br>DigColPsInt_Buffer_Cnt_M_u08[1]<br>DigColPsInt_Buffer_Cnt_M_u08[2]  | 10<br>20<br>30  | 10<br>20<br>30   | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08   | 10<br>20<br>30<br>10  | 10<br>20<br>30<br>10   | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum  | 10<br>20<br>30<br>10<br>INIT_COMPLETE   | 10<br>20<br>30<br>10<br>INIT_COMPLETE  | Res |
| oigColPsInt_Buffer_Cnt_M_u08[0] oigColPsInt_Buffer_Cnt_M_u08[1] oigColPsInt_Buffer_Cnt_M_u08[2] oigColPsInt_CurrentSlave_Cnt_M_u08 oigColPsInt_CurrentStepNo_Cnt_M_enum oigColPsInt_PrevReqDataType_Cnt_M_u08  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0   | Res |
| oigColPsInt_Buffer_Cnt_M_u08[0]  OigColPsInt_Buffer_Cnt_M_u08[1]  OigColPsInt_Buffer_Cnt_M_u08[2]  OigColPsInt_CurrentSlave_Cnt_M_u08  OigColPsInt_CurrentStepNo_Cnt_M_enum  OigColPsInt_PrevReqDataType_Cnt_M_u08  OigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0  | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32)  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0   | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0  | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32)  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0  | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_Curt_T_u32) DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0   | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0  | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_SkipRegisterWrite_Cnt_M_lgc Dig | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0<br>0  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0<br>0   | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32) 2c_SetRecv(Length_Cnt_T_u32) 2c_SetupMasterReceive(DataLength_Cnt_T_u16) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0<br>0<br>0                                     | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0<br>0<br>0                                      | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_CurrentStepNo_Cnt_T_u32) DigColPsInt_SkipRegisterWrite_Cnt_T_u16)   | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0<br>0<br>0                                     | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0  | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_DigC | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0<br>0<br>0<br>0<br>0                           | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 0  | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_Di | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78  | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78   | Res |
| bigColPsInt_Buffer_Cnt_M_u08[0] bigColPsInt_Buffer_Cnt_M_u08[1] bigColPsInt_Buffer_Cnt_M_u08[2] bigColPsInt_CurrentSlave_Cnt_M_u08 bigColPsInt_CurrentStepNo_Cnt_M_enum bigColPsInt_PrevReqDataType_Cnt_M_u08 bigColPsInt_PrevReqDataType_Cnt_M_u08 bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_T_u16) bigColPsInt_SkipRegisterWrite_Cnt_T_u16) bigColPsInt_SkipRegisterWrite_Cnt_T_u16) bigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR bigColPsInt_SkipRegisterWrite_Cnt_T_str.IMR bigColPsInt_SkipRegisterWrite_Cnt_T_str.Str. bigColPsInt_SkipRegisterWrite_Cnt_T_str.CLKL   | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 495  | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 495   | Res |
| bigColPsInt_Buffer_Cnt_M_u08[0] bigColPsInt_Buffer_Cnt_M_u08[1] bigColPsInt_Buffer_Cnt_M_u08[2] bigColPsInt_CurrentSlave_Cnt_M_u08 bigColPsInt_CurrentStepNo_Cnt_M_enum bigColPsInt_PrevReqDataType_Cnt_M_u08 bigColPsInt_PrevReqDataType_Cnt_M_u08 bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_T_u16) bigColPsInt_SkipRegisterWrite_Cnt_T_u16) bigColPsInt_SkipRegisterWrite_Cnt_T_u16) bigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR bigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR bigColPsInt_SkipRegisterWrite_Cnt_T_str.Str. bigColPsInt_SkipRegisterWrite_Cnt_T_str.CLKL   | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 78 495 56                                   | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 78 495 56                                    | Res |
| bigColPsInt_Buffer_Cnt_M_u08[0] bigColPsInt_Buffer_Cnt_M_u08[1] bigColPsInt_Buffer_Cnt_M_u08[1] bigColPsInt_Buffer_Cnt_M_u08[2] bigColPsInt_CurrentSlave_Cnt_M_u08 bigColPsInt_CurrentStepNo_Cnt_M_enum bigColPsInt_PrevReqDataType_Cnt_M_u08 bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_T_u32) bigColPsInt_SkipRegisterWrite_Cnt_T_u16) bigColPsInt_SkipRegisterWrite_Cnt_T_u16) bigColPsInt_SkipRegisterWrite_Cnt_T_u16) bigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR bigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR bigColPsInt_SkipRegisterWrite_Cnt_T_str.STR bigColPsInt_SkipRegisterWrite_Cnt_T_str.CLKL bigColPsInt_Buffer_Cnt_T_str.CLKL bigColPsInt_Buffer_Cnt_T_str.CNT  | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 78 495 56 897                              | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 78 78 495 56 897                             | Res |
| bigColPsInt_Buffer_Cnt_M_u08[0] bigColPsInt_Buffer_Cnt_M_u08[1] bigColPsInt_Buffer_Cnt_M_u08[2] bigColPsInt_CurrentSlave_Cnt_M_u08 bigColPsInt_CurrentStepNo_Cnt_M_enum bigColPsInt_CurrentStepNo_Cnt_M_enum bigColPsInt_PrevReqDataType_Cnt_M_u08 bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SkipRegisterWrite_Cnt_T_u16) bigColPsInt_SkipRegisterWrite_Cnt_T_u16) bigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR bigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR bigColPsInt_SkipRegisterWrite_Cnt_T_str.STR bigColPsInt_SkipRegisterWrite_Cnt_T_str.CLKL bigColPsInt_SkipRegisterWrite_Cnt_T_str.CLKL bigColPsInt_SkipRegisterWrite_Cnt_T_str.CNT bigColPsInt_SkipRegisterWrite_Cnt_T_str.CNT bigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR   | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98                              | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 78 495 56 897 98                            | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR DigColPsInt_SkipRegisterWrite_Cnt_T_str.ClkL DigColPsInt_SkipRegisterWrite_Cnt_T_str.ClkL DigColPsInt_SkipRegisterWrite_Cnt_T_str.ClkL DigColPsInt_SkipRegister_Cnt_T_str.ClkL DigColPsInt_SkipRegister_Cnt_T_str.ClkL DigColPsInt_SkipRegister_Cnt_T_str.DRR DigColPsInt_DigColPsInt_SkipRegister_Cnt_T_str.DRR DigColPsInt_DigColPsInt_DigColPsInt_SkipRegister_Cnt_T_str.DRR DigColPsInt_DigC | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66                             | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66                            | Res |
| pigColPsInt_Buffer_Cnt_M_u08[0] pigColPsInt_Buffer_Cnt_M_u08[1] pigColPsInt_Buffer_Cnt_M_u08[2] pigColPsInt_Buffer_Cnt_M_u08[2] pigColPsInt_CurrentSlave_Cnt_M_u08 pigColPsInt_CurrentStepNo_Cnt_M_enum pigColPsInt_PrevReqDataType_Cnt_M_u08 pigColPsInt_SkipRegisterWrite_Cnt_M_Igc pigColPsInt_SkipRegisterWrite_Cnt_M_Igc pigColPsInt_SkipRegisterWrite_Cnt_M_Igc pigColPsInt_SkipRegisterWrite_Cnt_M_Igc pigColPsInt_SkipRegisterWrite_Cnt_M_Igc pigColPsInt_SkipRegisterWrite_Cnt_T_u16] pigColPsInt_SkipRegisterWrite_Cnt_T_u16] pigColPsInt_SkipRegisterWrite_Cnt_T_u16] pigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR pigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR pigColPsInt_SkipRegisterWrite_Cnt_T_str.CLKL pigColPsInt_SkipRegisterWrite_Cnt_T_str.CLKL pigColPsInt_SkipRegisterWrite_Cnt_T_str.CNT pigColPsInt_SkipRegisterWrite_Cnt_T_str.CNT pigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR pigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR pigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR pigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR pigColPsInt_SkipRegisterWrite_Cnt_T_str.DXR   | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78                        | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78                       | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR DigColPsInt_SkipRegisterWrite_Cnt_T_str.Clk DigColPsInt_SkipRegisterWrite_Cnt_T_str.Clk DigColPsInt_SkipRegisterWrite_Cnt_T_str.Clk DigColPsInt_SkipRegisterWrite_Cnt_T_str.CNT DigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR DigColPsInt_DigCo | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495                    | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495                   | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR DigColPsInt_SkipRegisterWrite_Cnt_T_str.ClkL DigColPsInt_SkipRegisterWrite_Cnt_T_str.ClkL DigColPsInt_SkipRegisterWrite_Cnt_T_str.CNT DigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR DigColPsInt_Dig | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495 66                 | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495 66                | Res |
| pigColPsInt_Buffer_Cnt_M_u08[0] pigColPsInt_Buffer_Cnt_M_u08[1] pigColPsInt_Buffer_Cnt_M_u08[2] pigColPsInt_Buffer_Cnt_M_u08[2] pigColPsInt_CurrentSlave_Cnt_M_u08 pigColPsInt_CurrentStepNo_Cnt_M_enum pigColPsInt_PrevReqDataType_Cnt_M_u08 pigColPsInt_PrevReqDataType_Cnt_M_u08 pigColPsInt_SkipRegisterWrite_Cnt_M_lgc pigColPsInt_SkipRegisterWrite_Cnt_M_lgc pigColPsInt_SkipRegisterWrite_Cnt_M_lgc pigColPsInt_SkipRegisterWrite_Cnt_M_lgc pigColPsInt_SkipRegisterWrite_Cnt_T_u16 pigColPsInt_SkipRegisterWrite_Cnt_T_u16 pigColPsInt_SkipRegisterWrite_Cnt_T_u16 pigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR pigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR pigColPsInt_SkipRegisterWrite_Cnt_T_str.CLKL pigColPsInt_SkipRegisterWrite_Cnt_T_str.CLKL pigColPsInt_SkipRegisterWrite_Cnt_T_str.CNT pigColPsInt_SkipRegisterWrite_Cnt_T_str.CNT pigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR pigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR pigColPsInt_SkipRegisterWrite_Cnt_T_str.DXR pigColPsInt_SkipRegisterWrite_Cnt_T_ | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495                    | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495                   | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_u16 DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR DigColPsInt_SkipRegisterWrite_Cnt_T_str.DKR DigColPsInt_SkipRegisterWrite_Cnt_T_str.CNT DigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR DigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR DigColPsInt_SkipRegisterWrite_Cnt_T_str.DRR DigColPsInt_DigColPsInt_DigColPsInt_DigColPsInt_DRR DigColPsInt_DigColPsInt_DRR DigColPsInt_DRR DigColP | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495 66                 | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495 66                | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32) 2c_SetRecv(Length_Cnt_T_u32) 2c_SetUpMasterTransmit(DataLength_Cnt_T_u16) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16) gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CKT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495 66 0               | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495 66 0              | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32) 2c_SetRecv(Length_Cnt_T_u32) 2c_SetUpMasterReceive(DataLength_Cnt_T_u16) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16) gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR  | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78            | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78           | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32) 2c_SettRecv(Length_Cnt_T_u32) 2c_SettpMasterReceive(DataLength_Cnt_T_u16) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16) gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 495 56 897 98 66 78 495 66 0 78 495 66 0 78 | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 495 56 897 98 66 78 495 66 0 78 495 66 78    | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32) 2c_SettRecv(Length_Cnt_T_u32) 2c_SettpMasterReceive(DataLength_Cnt_T_u16) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16) gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.OAR gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.JMR gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.CkL gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.CkL gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.CkL gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.ChT gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.DKR gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.DKDR gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.DKDR gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.DKDR gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.PSC gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.PDD11 gt_i2c_GetStatus_i2cRegPtr_Cnt_T_str.DMAC   | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 495 56 897 98 66 78 495 66 0 78 495 66 0 78 | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 495 66 78 | Res |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32) 2c_SettRecv(Length_Cnt_T_u32) 2c_SettpMasterReceive(DataLength_Cnt_T_u16) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16) gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DKR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11   | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 495 56 897 98 66 78 495 66 0 78 495 66 0 78 | 10 20 30 10 INIT_COMPLETE 0 0 0 0 0 0 0 0 0 66 78 495 56 897 98 66 78 495 66 0 78 495 66 78    | Res |

2014-10-14, 23:10:23+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT   |              | 0              | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  | 0            | 0              | <b>V</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD                     | 0            | 0              | Ž        |
| tgt I2c GetStatus I2cRegPtr Cnt T str.PSL  | 0            | 0              | ·        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | <b>V</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | <b>✓</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 98           | 98             |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                              | 78<br>495    | 78<br>495      | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | J        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 56           | 56             | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12   | 78           | 78             | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | <b>*</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                              | 0            | 0              | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 1            | 1              |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | <b>*</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 66           | 66             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR  | 78           | 78             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 78           | 78             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 495          | 495            | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 56           | 56             | <b>V</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 897          | 897            | <b>~</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 98<br>66     | 98<br>66       | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR<br>tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR                     | 78           | 78             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  | 495          | 495            | J        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 66           | 66             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 78           | 78             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 56           | 56             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 78           | 78             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              | _        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT                       | 0            | 0              | J        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | <b>*</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  |              | 0              | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | <b>~</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR   | 78           | 78             |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL  | 495<br>56    | <b>495 56</b>  | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT | 897          | 897            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | _        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | <b>~</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC   |              | 78             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 56           | 56             | <b>V</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12   | 78<br>0      | 78<br>0        |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN | 0            | 0              |          |
| tgt_125_56tapmasterreciserre_izerregi ii_Ont_i_sui.i ON  | ~            | ~              |          |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 0            | 0              | - tosuit |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN    | 1            | 1              |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT   | 0            | 0              | •        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.SET    | 0            | 0              |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 0            | 0              | •        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 1            | 1              | _        |
| tqt I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 0            | 0              | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0            | 0              | _        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | <b>✓</b> |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 78           | 78             | ~        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 78           | 78             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 56           | 56             | <b>✓</b> |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 897          | 897            | ~        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 98           | 98             | <b>✓</b> |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 66           | 66             | ~        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 78           | 78             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | Ī              | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | <b>✓</b> |

| T               |       |                   |       |      | • |
|-----------------|-------|-------------------|-------|------|---|
| Actual Function | Count | Expected Function | Count | Resu | t |
| I2c_GetStatus   | 1     | I2c_GetStatus     | 1     |      | • |

| Test Step 2.2 (Repeat Count = 1)             | ✓   |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 40  |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 50  |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 60  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 55  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08        | 2   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc      | 1   |
| I2c_GetStatus()                              | 554   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 5   |
| i2cREG1_temp                                 | target_i2cREG1_temp                             |
| k_ColSensorl2CAddress_Cnt_u08                | 20  |
| target_i2cREG1_temp.OAR                      | 567   |
| target_i2cREG1_temp.IMR                      | 44  |
| target_i2cREG1_temp.STR                      | 4444  |
| target_i2cREG1_temp.CLKL                     | 566   |
| target_i2cREG1_temp.CLKH                     | 4466  |
| target_i2cREG1_temp.CNT                      | 129   |
| target_i2cREG1_temp.DRR                      | 6   |
| target_i2cREG1_temp.SAR                      | 567   |
| target_i2cREG1_temp.DXR                      | 44  |
| target_i2cREG1_temp.MDR                      | 566   |
| target_i2cREG1_temp.IVR                      | 554   |
| target_i2cREG1_temp.EMDR                     | 1   |
| target_i2cREG1_temp.PSC                      | 44  |

2014-10-14, 23:10:23+0530



| DigCoiPsini_StartRequest                    |             | ( MAC ( Mac |
|---|-------------|-------------|
| Name  | Input Value |             |
| target i2cREG1 temp.PID11                   | 4466        |             |
| target_i2cREG1_temp.PID12                   | 44          |             |
|   |             |             |
| target_i2cREG1_temp.DMAC                    | 1           |             |
| target_i2cREG1_temp.FUN                     | 1           |             |
| target_i2cREG1_temp.DIR                     | 2           |             |
| target_i2cREG1_temp.DIN                     | 0           |             |
| target_i2cREG1_temp.DOUT                    | 1           |             |
| target_i2cREG1_temp.SET                     | 1           |             |
| target_i2cREG1_temp.CLR                     | 2           |             |
| target_i2cREG1_temp.ODR                     | 0           |             |
|   |             |             |
| target_i2cREG1_temp.PD                      | 3           |             |
| target_i2cREG1_temp.PSL                     | 3           |             |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR   | 567         |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44          |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR   | 4444        |             |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 566         |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |             |
|   |             |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT    | 129         |             |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR    | 6           |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR    | 567         |             |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR    | 44          |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR    | 566         |             |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR   | 554         |             |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FMDR   | 1           |             |
|   |             |             |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC    | 44          |             |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  | 4466        |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 44          |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 1           |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN    | 1           |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR    | 2           |             |
|   | 0           |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN    |             |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1           |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET    | 1           |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR   | 2           |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR   | 0           |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD    | 3           |             |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL   | 3           |             |
|   |             |             |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR        | 567         |             |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR        | 44          |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR        | 4444        |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       | 566         |             |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH       | 4466        |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT        | 129         |             |
|   | 6           |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR        |             |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR         | 567         |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         | 44          |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         | 566         |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         | 554         |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR        | 1           |             |
|   | 44          |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         |             |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       | 4466        |             |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       | 44          |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC        | 1           |             |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.FUN         | 1           |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         | 2           |             |
| gt I2c Send I2cRegPtr Cnt T str.DIN         | 0           |             |
| · · · ·                                     | 1           |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT        |             |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SET         | 1           |             |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR         | 2           |             |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR         | 0           |             |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.PD          | 3           |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         | 3           |             |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR      | 567         |             |
|   |             |             |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR      | 44          |             |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR      | 4444        |             |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL     | 566         |             |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH     | 4466        |             |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT      | 129         |             |
|   |             |             |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR      | 6           |             |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR      | 567         |             |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR      | 44          |             |
| gt_ize_octiveev_izervegi ti_ont_i_str.b/tiv |             |             |
| gg_lzc_octreev_lzchegf ti_ont_1_str.bkr     | 566         |             |

2014-10-14, 23:10:23+0530



DigColPsInt\_StartRequest

|   |                     | (                     | 10-10 |
|---|---------------------|-----------------------|-------|
| Name  | Input Value         |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR                                      | 1                   |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC                                       | 44                  |                       |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11                                     | 4466                |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12                                     | 44                  |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC                                      | 1                   |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN                                       | 1                   |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR                                       | 2                   |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN                                       | 0                   |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT                                      | 1                   |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET                                       | 1                   |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR                                       | 2                   |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR                                       | 0                   |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3                   |                       |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL                                       | 3                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                            | 567                 |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                            | 44                  |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR                            | 4444                |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                           | 566                 |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH                           | 4466                |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT                            | 129                 |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR                            | 6                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR                            | 567                 |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR                            | 44                  |                       |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR                            | 566                 |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR                            | 554                 |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR                           | 1                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC                            | 44                  |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11                          | 4466                |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12                          | 44                  |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC                           | 1                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN                            | 1                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR                            | 2                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN                            | 0                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT                           | 1                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET                            | 1                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR                            | 2                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR                            | 0                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD                             | 3                   |                       |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL                            | 3                   |                       |       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR                           | 567                 |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR                           | 44                  |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR                           | 4444                |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL                          | 566                 |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH                          | 4466                |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT                           | 129                 |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                           | 6                   |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR                           | 567                 |                       |       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR                           | 44                  |                       |       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR                           | 566                 |                       |       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR                           | 554                 |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR                          | 1                   |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC                           | 44                  |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                         | 4466                |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12                         | 44                  |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC                          | 1                   |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN                           | 1                   |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR                           | 2                   |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN                           | 0                   |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT                          | 1                   |                       |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET                           | 1                   |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR                           | 2                   |                       |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR                           | 0                   |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD                            | 3                   |                       |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL                           | 3                   |                       |       |
| Name  | Actual Value        | Expected Value        | Resul |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 34                  | 34                    | Nesul |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 50                  | 50                    |       |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 60                  | 60                    |       |
| DigColPsInt_GurrentSlave_Cnt_M_u08  | 20                  | 20                    |       |
|   |                     |                       |       |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ_SENSOR1_SETREG | READ_SENSOR1_SETREG 5 |       |
| DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkinRegisterWrite_Cnt_M_loc | 5                   | 0                     |       |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc I2c Send(Length Cnt T u32)            | 1                   | 1                     |       |
| 120 Ochu(Lengur Ont 1 d32)  |                     |                       |       |

 $I2c\_Send(Length\_Cnt\_T\_u32)$ 

2014-10-14, 23:10:23+0530



| Name   | Actual Value   | Expected Value | Result           |
|--|----------------|----------------|------------------|
| 12 *** ** ( * 3* 2* 2 2* * )   |                | 0              | <b>✓</b>         |
| _ ' ' ' ' ' ' ' ' ' ' ' ' ' ' ' ' ' ' '  | 0              | 0              | ~                |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR                                  | 567            | 567            | ~                |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR  | 44             | 44             | •                |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  | 4444           | 4444           | <b>✓</b>         |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 566            | 566            | ~                |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH   | 4466           | 4466           | ~                |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  | 129            | 129            | ~                |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  | 6              | 6              | ✓                |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 567            | 567            | ~                |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  | 44             | 44             | ✓                |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  | 566            | 566            | _                |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR  | 554            | 554<br>1       | ~                |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC                                     | 1 44           | 44             | ~                |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  | 4466           | 4466           | Ž                |
|  | 44             | 44             | <b>✓</b>         |
| tgt I2c GetStatus I2cRegPtr Cnt T str.DMAC   | 1              | 1              | ~                |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN  | 1              | 1              | ~                |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  | 2              | 2              | ~                |
|  | 0              | 0              | <b>✓</b>         |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1              | 1              | ~                |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET  | 1              | 1              | <b>✓</b>         |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR  | 2              | 2              | ~                |
| 0  | 0              | 0              | <b>✓</b>         |
| 0 0  |                | 3              | ~                |
| 0  | 3              | 3              | <b>V</b>         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567            | 567            | <b>✓</b>         |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | <b>44 4444</b> | <b>44 4444</b> | Ž                |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL   | 566            | 566            | ~                |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 4466           | 4466           | _                |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 129            | 129            | ~                |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   |                | 6              | ~                |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 567            | 567            | ~                |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 44             | 44             | ~                |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 566            | 566            | ~                |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 554            | 554            | ~                |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1              | 1              | ~                |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 44             | 44             | ~                |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 4466           | 4466           | <b>V</b>         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1              | 1              | <b>✓</b>         |
|  | 1              | 1              |                  |
|  | 2              | 2              | ~                |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 0              | 0              | ~                |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 1              | 1              | ~                |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1              | 1              | ~                |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 2              | 2              | ~                |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 0              | 0              | ~                |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3              | 3              | ~                |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   |                | 3              | ~                |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR  | 567            | 567            | ~                |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR  | 44             | 44             | _                |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  | 4444           | 4444           | <b>V</b>         |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL   | 566            | 566            | <b>✓</b>         |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 4466<br>129    | 4466<br>129    | Ž                |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 6              | 6              |                  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 567            | 567            | _                |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 44             | 44             | <b>✓</b>         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 566            | 566            | ~                |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 554            | 554            | <b>✓</b>         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 1              | 1              | •                |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 44             | 44             | <b>✓</b>         |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11  | 4466           | 4466           | ~                |
|  | 44             | 44             | <b>~</b>         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  |                |                |                  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1              | 1              | ~                |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1              | 1              | ~                |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR | 1<br>1<br>2    | 1 2            | <b>*</b>         |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR | 1              | 1              | <b>V V V V V</b> |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET               | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR               | 2            | 2              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR               | 0            | 0              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                | 3            | 3              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL               | 3            | 3              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 567          | 567            | •      |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.IMR    | 44           | 44             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 4444         | 4444           | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129          | 129            | •      |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DRR    | 6            | 6              | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR    | 567          | 567            | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR    | 44           | 44             |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR    | 566          | 566            |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR    | 554          | 554            |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC    | 44           | 44             |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           |        |
|   | 44           | 44             |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 1            | 1              |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   |              |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR    | 2            | 2              |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN    | 0            | 0              |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            | 1              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2            | 2              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0            | 0              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | •      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |        |

| Τ                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GetStatus           | 1     | I2c_GetStatus           | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c Send                | 1     | I2c Send                | 1     |          |

| Test Step 2.3 (Repeat Count = 1)     | ✓             |
|--------------------------------------|---------------|
| Name                                 | Input Value   |
| DigColPsInt_Buffer_Cnt_M_u08[0]      | 70            |
| DigColPsInt_Buffer_Cnt_M_u08[1]      | 80            |
| DigColPsInt_Buffer_Cnt_M_u08[2]      | 90            |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 60            |
| DigColPsInt_CurrentStepNo_Cnt_M_enum | INIT_COMPLETE |

2014-10-14, 23:10:23+0530



| DigCorsini_StartRequest   |   |
|---|---|
| Name  | Input Value   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 3   |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 0   |
| 2c_GetStatus()  | 766   |
| 2c_GetStatus(I2cRegPtr_Cnt_T_str)   | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str   |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | tgt_I2c_Send_I2cRegPtr_Cnt_T_str  |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)   | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str   |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str<br>tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08  | 3   |
| 2cREG1 temp   | target_i2cREG1_temp   |
| <_ColSensorl2CAddress_Cnt_u08   | 30  |
| arget_i2cREG1_temp.OAR  | 65  |
| arget_i2cREG1_temp.IMR  | 89  |
| arget_i2cREG1_temp.STR  | 67  |
| arget_i2cREG1_temp.CLKL   | 7   |
| arget_i2cREG1_temp.CLKH   | 577   |
| arget_i2cREG1_temp.CNT  | 88  |
| arget_i2cREG1_temp.DRR  | 23  |
| arget_i2cREG1_temp.SAR  | 65  |
| arget_i2cREG1_temp.DXR  | 89  |
| arget_i2cREG1_temp.MDR  | 7   |
| arget_i2cREG1_temp.IVR  | 44  |
| arget_i2cREG1_temp.EMDR   | 2   |
| arget_i2cREG1_temp.PSC  | 89  |
| arget_i2cREG1_temp.PID11  | 577   |
| arget_i2cREG1_temp.PID12  | 89  |
| arget_i2cREG1_temp.DMAC   | 2   |
| arget_i2cREG1_temp.FUN  | 0   |
| arget_i2cREG1_temp.DIR  | 0   |
| arget_i2cREG1_temp.DIN  | 1   |
| arget_i2cREG1_temp.DOUT   | 2   |
| arget_i2cREG1_temp.SET  | 2   |
| arget_i2cREG1_temp.CLR  | 0   |
| arget_i2cREG1_temp.ODR  | 1   |
| arget_i2cREG1_temp.PD   | 2   |
| arget_i2cREG1_temp.PSL  | 0   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR  | 65  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR  | 89  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR  | 67  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 7   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 577   |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  | 88  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  | 23  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 65  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  | 89  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR  | 7   |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  | 44  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR   | 2   |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  | 89  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 577   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 89  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2   |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN  | 0   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 2   |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  | 2   |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR  | 0   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD   | 2   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 0   |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 65  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 89  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 67  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 7   |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  | 577   |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 88  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 23  |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 65  |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 89  |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 7   |
| 32 323 32 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3   | 44  |

2014-10-14, 23:10:23+0530



| DigColPsini_StartRequest                            |             |  |
|---|-------------|--|
| Name  | Input Value |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR               | 2           |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                | 89          |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11              | 577         |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12               | 89          |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC               | 2           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                 | 0           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                 | 0           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                 | 1           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                | 2           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SET                 | 2           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                 | 0           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                 | 1           |  |
| gt I2c Send I2cRegPtr Cnt T str.PD                  | 2           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 0           |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR              | 65          |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR              | 89          |  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.NrR              | 67          |  |
|   | 7           |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL             | 577         |  |
| yt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH             |             |  |
| yt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT              | 88          |  |
| yt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              | 23          |  |
| yt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 65          |  |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR               | 89          |  |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 7           |  |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 44          |  |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 2           |  |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 89          |  |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 577         |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 89          |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 2           |  |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 0           |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 0           |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 1           |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 2           |  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET              | 2           |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 0           |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 1           |  |
| gt I2c SetRecv I2cRegPtr Cnt T str.PD               | 2           |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 0           |  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 65          |  |
| gt I2c SetupMasterReceive I2cRegPtr Cnt T str.IMR   | 89          |  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 67          |  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 7           |  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 577         |  |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT   | 88          |  |
|   | 23          |  |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   |             |  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 65          |  |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 89          |  |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 7           |  |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 44          |  |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 2           |  |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 89          |  |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 577         |  |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 89          |  |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2           |  |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0           |  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0           |  |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1           |  |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2           |  |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 2           |  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 0           |  |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1           |  |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 2           |  |
| yt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 0           |  |
| pt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 65          |  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89          |  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 67          |  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL | 7           |  |
|   | 577         |  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH |             |  |
| pt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 88          |  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 23          |  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65          |  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 89          |  |

2014-10-14, 23:10:23+0530



| <u> </u>  |                     |                     |          |
|---|---------------------|---------------------|----------|
| Name  | Input Value         |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7                   |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 44                  |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89                  |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 577                 |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89                  |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0                   |                     |          |
| Name  | Actual Value        | Expected Value      | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                       | 36                  | 36                  | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                       | 80                  | 80                  | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                       | 90                  | 90                  | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08                    | 30                  | 30                  | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                  | READ_SENSOR1_SETREG | READ_SENSOR1_SETREG | ~        |
| DigColPsInt_PrevReqDataType_Cnt_M_u08                 | 3                   | 3                   | ~        |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc               | 0                   | 0                   | ~        |
| I2c_Send(Length_Cnt_T_u32)                            | 1                   | 1                   | ~        |
| I2c_SetRecv(Length_Cnt_T_u32)                         | 0                   | 0                   | ~        |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)          | 0                   | 0                   | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)         | 1                   | 1                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR             | 65                  | 65                  | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR             | 89                  | 89                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR             | 67                  | 67                  | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL            | 7                   | 7                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 577                 | 577                 | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT             | 88                  | 88                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR             | 23                  | 23                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR             | 65                  | 65                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR             | 89                  | 89                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR             | 7                   | 7                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR             | 44                  | 44                  | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR            | 2                   | 2                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC             | 89                  | 89                  | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11           | 577                 | 577                 | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12           | 89                  | 89                  | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC            | 2                   | 2                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN             | 0                   | 0                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR             | 0                   | 0                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN             | 1                   | 1                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT            | 2                   | 2                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET             | 2                   | 2                   | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR             | 0                   | 0                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR             | 1                   | 1                   | <b>✓</b> |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD              | 2                   | 2                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL             | 0                   | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR                  | 65                  | 65                  |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                  | 89                  | 89                  | <b>✓</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR                  | 67                  | 67                  |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 7                   | 7                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 577                 | 577                 | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CNT                  | 88                  | 88                  | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR                  | 23                  | 23                  | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 65                  | 65                  | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR                  | 89                  | 89                  |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 7                   | 7                   | <b>✓</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR                  | 44                  | 44                  |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 2                   | 2                   | <b>~</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC                  | 89                  | 89                  | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 577                 | 577                 | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12                | 89                  | 89                  |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 2                   | 2                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 0                   | 0                   |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 0                   | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN                  | 1                   | 1                   |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT                 | 2                   | 2                   | <b>~</b> |
|   |                     |                     |          |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET  | 2            | 2              | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD                                    | 1 2          | 2              |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 0            | 0              |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 67           | 67             | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | · ·      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR   | 2            | 2              |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC                            | 89           | 89             |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 577          | 577            |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 89           | 89             |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              |          |
| tgt I2c SetRecv I2cRegPtr Cnt T str.FUN   | 0            | 0              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET   | 2            | 2              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD  | 2            | 2              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  | 67<br>7      | 67<br>7        |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL<br>tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  | 88           | 88             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 23           | 23             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 65           | 65             | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 89           | 89             | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 7            | 7              | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT      | 1 2          | 2              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET  | 2            | 2              |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR  | 0            | 0              |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | <b>~</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 44 2         | 2              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 89           | 89             |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11   | 577          | 577            |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 89           | 89             |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              |          |
|   | 0            | 0              |          |

2014-10-14, 23:10:23+0530



| DigColPsInt_ | _StartRequest |
|--------------|---------------|
|              |               |

| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT | 2            | 2              | ~      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ~      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  |              | 0              | ~      |

| Т                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GetStatus           | 1     | I2c_GetStatus           | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | -        |
| I2c Send                | 1     | I2c Send                | 1     | <b>✓</b> |

| Test Step 2.4 (Repeat Count = 1)            | I AM I  |
|---|---|
| Name  | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]             | 3   |
| DigColPsInt_Buffer_Cnt_M_u08[1]             | 6   |
| DigColPsInt_Buffer_Cnt_M_u08[2]             | 9   |
| DigColPsInt_CurrentSlave_Cnt_M_u08          | 69  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum        | INIT_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08       | 4   |
| DigColPsInt_SensInitialized_Cnt_M_lgc       | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc     | 1   |
| 2c_GetStatus()                              | 788   |
| 2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| ype_Cnt_T_u08                               | 1   |
| 2cREG1_temp                                 | target_i2cREG1_temp                             |
| _ColSensorl2CAddress_Cnt_u08                | 0   |
| arget_i2cREG1_temp.OAR                      | 10  |
| arget_i2cREG1_temp.IMR                      | 10  |
| arget i2cREG1 temp.STR                      | 1223  |
| arget_i2cREG1_temp.CLKL                     | 7846  |
| arget i2cREG1 temp.CLKH                     | 8974  |
| arget i2cREG1 temp.CNT                      | 98  |
| arget_i2cREG1_temp.DRR                      | 12  |
| arget_i2cREG1_temp.SAR                      | 10  |
| arget i2cREG1 temp.DXR                      | 10  |
| arget_i2cREG1_temp.MDR                      | 7846  |
| arget i2cREG1 temp.IVR                      | 55  |
| arget_i2cREG1_temp.EMDR                     | 1   |
| arget_i2cREG1_temp.PSC                      | 10  |
| arget_i2cREG1_temp.PID11                    | 8974  |
| arget_i2cREG1_temp.PID12                    | 10  |
| arget_i2cREG1_temp.DMAC                     | 1   |
|   | 1   |
| arget_i2cREG1_temp.FUN                      | 2   |
| arget_i2cREG1_temp.DIR                      | 1   |
| arget_i2cREG1_temp.DIN                      |   |
| arget_i2cREG1_temp.DOUT                     | 1   |
| arget_i2cREG1_temp.SET                      |   |
| arget_i2cREG1_temp.CLR                      | 2   |
| arget_i2cREG1_temp.ODR                      | 1   |
| arget_i2cREG1_temp.PD                       | 1   |
| arget_i2cREG1_temp.PSL                      | 1   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR    | 10  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR    | 10  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR    | 1223  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 7846  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 8974  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT    | 98  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR    | 12  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR    | 10  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR    | 10  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR    | 7846  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR    | 55  |

2014-10-14, 23:10:23+0530



| Name   | Input Value |  |
|--|-------------|--|
| gt I2c GetStatus I2cRegPtr Cnt T str.EMDR          | 1           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC           | 10          |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11         | 8974        |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12         | 10          |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC          | 1           |  |
|  | 1           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN           | 2           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR           |             |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN           | 1           |  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT          | 1           |  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET           | 1           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR           | 2           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR           | 1           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD            | 1           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL           | 1           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                | 10          |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                | 10          |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.STR                | 1223        |  |
|  |             |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL               | 7846        |  |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH               | 8974        |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                | 98          |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                | 12          |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                | 10          |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                | 10          |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                | 7846        |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                | 55          |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR               | 1           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                | 10          |  |
|  | 8974        |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11              |             |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12              | 10          |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC               | 1           |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                | 1           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                | 2           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                | 1           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT               | 1           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SET                | 1           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                | 2           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                | 1           |  |
| gt I2c Send I2cRegPtr Cnt T str.PD                 | 1           |  |
|  | 1           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                |             |  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR             | 10          |  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR             | 10          |  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR             | 1223        |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL            | 7846        |  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH            | 8974        |  |
| gt I2c SetRecv I2cRegPtr Cnt T str.CNT             | 98          |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 12          |  |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR             | 10          |  |
|  | 10          |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             |             |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR             | 7846        |  |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR             | 55          |  |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR            | 1           |  |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 10          |  |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 8974        |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12           | 10          |  |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 1           |  |
| t_12c_SetRecv_12cRegPtr_Cnt_T_str.FUN              | 1           |  |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR              | 2           |  |
|  | 1           |  |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              |             |  |
| yt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT            | 1           |  |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 1           |  |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR             | 2           |  |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR             | 1           |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD              | 1           |  |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 1           |  |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 10          |  |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 10          |  |
|  | 1223        |  |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   |             |  |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL | 7846        |  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH | 8974        |  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 98          |  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 12          |  |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 10          |  |
|  | 10          |  |

2014-10-14, 23:10:23+0530



| Input Value  |  |  |
|--|--|--|
| 7846   |  |  |
| 55   |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
| 1  |  |  |
| 1  |  |  |
| 1  |  |  |
| 2  |  |  |
| 1  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
| 12   |  |  |
| 10   |  |  |
| 10   |  |  |
| 7846   |  |  |
| 55   |  |  |
| 1  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
| 1  |  |  |
| 2  |  |  |
| 1  |  |  |
|  |  |  |
| 1  |  |  |
| 1  |  |  |
| 1 Actual Value   | Expected Value   | Result   |
| 1 Actual Value 32  | 32   | ~  |
| 1 Actual Value 32 6  | 32<br>6  |  |
| 1 Actual Value 32 6 9  | 32<br>6<br>9   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
| 1 Actual Value 32 6 9 0  | 32<br>6<br>9<br>0  | ~  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG  | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG   |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1  | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1  | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0  | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0   | 0  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1  | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0   |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1  | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0   |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1  | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0<br>1  |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 0  | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0<br>1  |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1  | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0<br>1<br>0   |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 1 1 10 10 1223   | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0<br>1<br>0<br>1<br>0   |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846   | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0<br>1<br>0<br>1<br>1<br>0<br>0<br>1<br>1<br>10<br>10<br>1223<br>7846                     |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974  | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0<br>1<br>0<br>0<br>1<br>1<br>10<br>10<br>10<br>1223<br>7846<br>8974                      |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974 98   | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0<br>1<br>0<br>0<br>1<br>1<br>10<br>10<br>10<br>1223<br>7846<br>8974<br>98                |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 0 1 1 0 10 10 1223 7846 8974 98 12                                   | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0<br>1<br>0<br>1<br>1<br>0<br>0<br>1<br>1<br>10<br>10<br>1223<br>7846<br>8974<br>98<br>12 |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974 98 12 10                                     | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0<br>1<br>0<br>0<br>1<br>1<br>10<br>10<br>1223<br>7846<br>8974<br>98<br>12                |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974 98 12 10 10 10 10                            | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0<br>1<br>0<br>0<br>1<br>1<br>10<br>10<br>1223<br>7846<br>8974<br>98<br>12<br>10<br>10    |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974 98 12 10 10 10 7846                          | 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 10 1223 7846 8974 98 12 10 10 10 7846  |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974 98 12 10 10 10 10                            | 32<br>6<br>9<br>0<br>READ_SENSOR1_SETREG<br>1<br>0<br>1<br>0<br>0<br>1<br>1<br>10<br>10<br>1223<br>7846<br>8974<br>98<br>12<br>10<br>10    |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974 98 12 10 10 7846 55                          | 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974 98 12 10 10 7846 55   |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974 98 12 10 10 7846 55                          | 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 10 1223 7846 8974 98 12 10 10 10 7846 55   |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974 98 12 10 10 7846 55 1                        | 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 10 1223 7846 8974 98 12 10 10 10 7846 55 1   |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974 98 12 10 10 7846 55 1 10 8974                | 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 10 1223 7846 8974 98 12 10 10 10 7846 55 1 10 8974   |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 1223 7846 8974 98 12 10 10 7846 55 1 1 10 8974 10           | 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 10 10 1223 7846 8974 98 12 10 10 7846 55 1 1 10 8974 10   |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 0 1 1 0 10 10 1223 7846 8974 98 12 10 10 7846 55 1 1 10 8974 10 11 2 | 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 0 1 1 10 10 1223 7846 8974 98 12 10 10 7846 55 1 1 10 8974 10 10 8974                           |  |
| 1 Actual Value 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 0 1 1 0 10 10 1223 7846 8974 98 12 10 10 7846 55 1 1 10 8974 10 11 1 | 32 6 9 0 READ_SENSOR1_SETREG 1 0 1 0 1 1 0 0 1 1 10 10 1223 7846 8974 98 12 10 10 10 7846 55 1 10 10 8974 10 10 8974                       |  |
|  | 7846 55 1 10 8974 10 1 1 1 2 1 1 1 1 2 1 1 1 1 1 1 1 1 1   | 7846 55 1 10 8974 10 1 11 2 11 2 11 11 2 11 11 10 10 10 10 1223 7846 8974 98 12 10 10 10 7846 55 1 1 10 10 7846 55 1 1 10 2 11 11 1 2 11 10 10 7846 55 1 |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET   | 1            | 1              | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR   | 1            | 2              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD                    | 1            | 1              |        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL   | 1            | 1              |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 10           | 10             |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 10           | 10             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 1223         | 1223           | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 7846         | 7846           | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 8974         | 8974           | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 98           | 98             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 12           | 12             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 10           | 10             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 10           | 10             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 7846         | 7846           | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 55           | 55             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1 10         | 1 10           |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 8974         | 8974           |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12                         | 10           | 10             |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              |        |
| tgt I2c Send I2cRegPtr Cnt T str.FUN  | 1            | 1              |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 2            | 2              |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET  | 1            | 1              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846           | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974           | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 98           | 98             | · ·    |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 12           | 12             |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10             |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR                       | 7846         | 7846           |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR   | 55           | 55             |        |
| tgt I2c SetRecv I2cRegPtr Cnt T str.EMDR  | 1            | 1              |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10             |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 8974         | 8974           |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 10           | 10             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 10           | 10             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 10           | 10             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 1223         | 1223           |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7846         | 7846           |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 8974<br>98   | 8974<br>98     |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR | 12           | 12             |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 10           | 10             |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 10           | 10             |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 7846         | 7846           |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 55           | 55             |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 10           | 10             |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 8974         | 8974           | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 10           | 10             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              |        |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN    | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2            | 2              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 1            | 1              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846           | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974           | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 98           | 98             | <b>~</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10             | <b>~</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846           | <b>~</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55             | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>~</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 8974         | 8974           | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 10           | 10             | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>~</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | <b>~</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | <b>✓</b> |

| Т                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| I2c_GetStatus           | 1     | I2c_GetStatus           | 1     | ~      |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~      |
| I2c_Send                | 1     | I2c_Send                | 1     | ~      |

| Test Step 2.5 (Repeat Count = 1)             | ✓   |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 11  |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 22  |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 33  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 33  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08        | 5   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc      | 0   |
| I2c_GetStatus()                              | 887   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 2   |
| i2cREG1_temp                                 | target_i2cREG1_temp                             |
| k_ColSensorl2CAddress_Cnt_u08                | 127   |
| target_i2cREG1_temp.OAR                      | 34  |
| target_i2cREG1_temp.IMR                      | 24  |
| target_i2cREG1_temp.STR                      | 455   |
| target_i2cREG1_temp.CLKL                     | 847   |
| target_i2cREG1_temp.CLKH                     | 987   |
| target_i2cREG1_temp.CNT                      | 487   |
| target_i2cREG1_temp.DRR                      | 34  |
| target_i2cREG1_temp.SAR                      | 34  |
| target_i2cREG1_temp.DXR                      | 24  |
| target_i2cREG1_temp.MDR                      | 847   |
| target_i2cREG1_temp.IVR                      | 56  |

2014-10-14, 23:10:23+0530



| Sector   Devict Common   Author  |   |             |
|--|---|-------------|
| Margin Content   Marg   | Name  | Input Value |
| Injury (1997) (1 | target_i2cREG1_temp.EMDR                    | 2           |
| Langer, DecRifol James FUN   | target i2cREG1 temp.PSC                     | 24          |
| Larger, 20-6801, Janes DIADO  1007, 20-6801, Janes PUN  101, Janes, 20-6801, Janes PUN  101, Janes, 20-6801, Janes PUN  101, Janes, 20-6801, Janes PUN  102, Janes, 20-6801, Janes DOM  103, Janes, 20-6801, Janes DOM  104, Janes, 20-6801, Janes DOM  105, Janes, 20-6801, Janes DOM  107, Janes, 20-6801, Janes PUN  108, J | target i2cREG1 temp.PID11                   | 987         |
| Langer, DerRoot   Semp DIMA  Tonger, DeRroot  |   | 24          |
| Langer LEARSCOL Lemb FLN  10 mong LEARSCOL Lemb FLN  10 mong LEARSCOL Lemb FLN  11 mong LEARSCOL Lemb FLN  12 mong LEARSCOL Lemb FLN  12 mong LEARSCOL Lemb FLN  13 mong LEARSCOL Lemb FLN  14 mong LEARSCOL Lemb FLN  15 mong LEARSCOL Lemb FLN  16 mong LEARSCOL Lemb FLN  17 mong LEARSCOL Lemb FLN  17 mong LEARSCOL Lemb FLN  18 mong LEARSCOL Lemb FLN  19 mong LEARSCOL Lemb FLN  19 mong LEARSCOL Lemb FLN  10 mong LEMB FLN  10 mong LEARSCOL Lemb FLN  10 mong LEMB  |   |             |
| Signature   Delication   Signature   Delication   Signature   Delication   Signature   Delication   Signature      |   |             |
| Signate   Discrete     |   |             |
| September   Sept   |   |             |
| September   Sept   |   |             |
| Image_CareField_prop ORF   |   |             |
| Barget   DecReick   Image   DecReick   DecReick   Image   DecReick     |   |             |
| taged_Delical_imap_PD  |   |             |
| Integral DeRick   Interp PSI   2   10   12   10   12   10   12   10   12   10   12   10   12   10   10   |   |             |
| 192   12 Cellstatus   12 Cel   |   |             |
| 1907.120. Collistation_Dischapting_CollTub_DISTR   24    907.120. Collistation_College@CollTub_COLK   547    907.120. Collistation_College@CollTub_COLK   547    907.120. Collistation_College@CollTub_DISTR   548    907.120. Collistation_College@CollTub_DISTR   549    907.120. Collistation_College@CollTub_DISTR   547    907.120. Collistation_College@CollTub_DISTR   547    907.120. Collistation_College@CollTub_DISTR   547    907.120. Collistation_College@CollTub_DISTR   547    907.120. Collistation_College@CollTub_DISTR   549    907.120   |   |             |
| 19, 12, Cellstans, 12 Action   17, 10 C      |   |             |
| ### 100 C. Gerbland, Echelogine C. H. J. FOC IAH  19 J. C. Gerbland, Echelogin |   |             |
| Sectionary   Decisionary   D   |   |             |
| Sec   Dec Celebrahas   Deckepher Cont   Set CONT   |   |             |
| Sq.  |   |             |
| 10   12 C. Ostfoliania   12 Centegrity Cont   1 str DNR  |   |             |
| 19   12 C. Gelfstatus   20-Regift Cont   1st DNR   847   10   20 C. Gelfstatus   20-Regift Cont   1st DNR   847   10   20 C. Gelfstatus   20-Regift Cont   1st DNR   92   10   20 C. Gelfstatus   20-Regift Cont   1st DNR   92   10   20 C. Gelfstatus   20-Regift Cont   1st DNR   92   10   20 C. Gelfstatus   20-Regift Cont   1st DNR   93   10   20 C. Gelfstatus   20-Regift Cont   1st DNR   94   10   20 C. Gelfstatus   20-Regift Cont   1st DNR   94   10   20 C. Gelfstatus   20-Regift Cont   1st DNR   94   10   20 C. Gelfstatus   20-Regift Cont   1st DNR   94   10   20 C. Gelfstatus   20-Regift Cont   1st DNR   95   10   20 C. Gelfstatus   20 C. Gelfstatus   20 C. Gelfstatus   20 C. Gelfstatus   2   |   |             |
| SQL RG. Gellatius,   2018-ptp. Cot.   1 st MDR   56     U. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   2     U. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   2     U. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   2     U. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   2     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   2     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   2     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   2     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   2     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   2     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   3     U. L. C. Gellatius,   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.   1 st EMDR   4     U. L. C. Send   2018-ptp. Cot.     |   |             |
| top Liz. CedeStatus. JecRepPt. Cnl.T., str. EMBR 2  top Liz. CedeStatus. JecRepPt. Cnl.T., str. EMBR 2  top Liz. CedeStatus. JecRepPt. Cnl.T., str. EMBR 3  top Liz. CedeStatus. JecRepPt. Cnl.T., str. EMBR 4  top Liz. CedeStatu |   |             |
| Sq. Exc. Cestishus   2008epth Cot.    str. PDIS   12. Cestishus   2008epth Cot.    str. PDIS   13. Exc. Cestishus   2008epth Cot.    str. PDIS   14. Cestishus   2008epth Cot.    str. PDIS   15. Cestishus   2008epth Cot.    str. DDIS   16. Cestishus   2009epth Cot.    str. DDIS   16. Cesti   |   |             |
| For   Line Collishins   Scriegiff   Coll   T. SEP   Did  |   |             |
| Fig. 12   CestStatus   ZeRegPP Cnt_T st PID11   97   |   |             |
| Full Ze, GelfStatus J. ZeRegPT, Cnt T_ str. DMAC         2           Str. J. Ze, GelfStatus J. ZeRegPT, Cnt T_ str. DMAC         2           Str. J. Ze, GelfStatus J. ZeRegPT, Cnt T_ str. DMA         3           Str. J. Ze, GelfStatus J. ZeRegPT, Cnt T_ str. DMA         3           Str. J. ZeregPT, Cnt T_ str. PMB         2           Str. J. ZeregPT, Cnt T_ str. PMB         2           Str. J. ZeregPT, Cnt T_ str. PMB         2           Str. J. ZeregPT, Cnt T_ str. PMR         24           Str. J. ZeregPT, Cnt T_ str. JMR         24           Str. J. ZeregPT, Cnt T_ str. JMR         24           Str. J. ZeregPT, ZeregPT, Cnt T_ str. CLK         847           Str. J. ZeregPT, ZeregPT, Cnt T_ str. DMR         34           Str. J. ZeregPT, ZeregPT, Cnt T_ str. DMR         34           Str. J. ZeregPT, Zere   |   |             |
| SULPAC   GeSilsteins   ZeRegiPriCnt_T str DNAC   2   | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11 |             |
| Fig. 122_GefStatus_12cRepPtr_Cnt_strDN   0   1   1   1   1   1   1   1   1   1   | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12 |             |
| Sgl_ 122, GefSlatus_   ZeRegPt_CnT_str.DIN   3   10   122   GefSlatus_   ZeRegPt_CnT_str.DIN   3   10   122   GefSlatus_   ZeRegPt_CnT_str.DIN   3   10   122   123      | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| Ingl. E.g. GelSattus   ZeRegPtr Cnt T_str DNT   2   2   2   2   2   2   2   2   2  | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| Section   Sect   | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR   | 3           |
|  | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN   | 3           |
| Institute   Inst   | tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  | 2           |
| Total   Tota   | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET   | 2           |
| tgt_12c_GetStatus_12cRegPtr_Cnt_TstrPD         2           tgt_12c_GetStatus_12cRegPtr_Cnt_TstrPD         2           tgt_12c_Send_12cRegPtr_Cnt_TstrDAR         34           tgt_12c_Send_12cRegPtr_Cnt_TstrDAR         34           tgt_12c_Send_12cRegPtr_Cnt_TstrDAR         455           tgt_12c_Send_12cRegPtr_Cnt_TstrDAR         457           tgt_12c_Send_12cRegPtr_Cnt_TstrDAR         487           tgt_12c_Send_12cRegPtr_Cnt_TstrDAR         947           tgt_12c_Send_12cRegPtr_Cnt_TstrDAR         34           tgt_12c_Send_12cRegPtr_Cnt_TstrDAR         36           tgt_12c_Send_12cRegPtr_Cnt_TstrDAR         32           tgt_12c_Send_12cRegPtr_Cnt_TstrDAR         2           tgt_12c_Send_12cRegPtr_Cnt_TstrDAAC         2           tgt_12c_Send_12cRegPtr_Cnt_TstrDAAC         2           tgt_12c_Send_12cRegPtr_Cnt_TstrDAAC         3           tgt_12c_Send_12cRegPtr_Cnt_TstrDAAC         3           tgt_12c_Send  | tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR   | 3           |
| tgt_12c_GefStatus_12cRegPtr_Cnt_T_str.DAR         24           tgt_12c_Send_12cRegPtr_Cnt_T_str.DAR         34           tgt_12c_Send_12cRegPtr_Cnt_T_str.DAR         24           tgt_12c_Send_12cRegPtr_Cnt_T_str.DLR         455           tgt_12c_Send_12cRegPtr_Cnt_T_str.CLKL         847           tgt_12c_Send_12cRegPtr_Cnt_T_str.DLR         487           tgt_12c_Send_12cRegPtr_Cnt_T_str.DRR         34           tgt_12c_Send_12cRegPtr_Cnt_T_str.DRR         36           tgt_12c_Send_12cRegPtr_Cnt_T_str.DRR         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.DRR         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.DIAC         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.DIR         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.DIR         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.DIR         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.DIR         3     <   | tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR   | 3           |
| tgt_12c_Send_12cRegPtr_Cnt_T_str.DAR         34           tgt_12c_Send_12cRegPtr_Cnt_T_str.IMR         24           tgt_12c_Send_12cRegPtr_Cnt_T_str.Str.Str.Str.Str.         455           tgt_12c_Send_12cRegPtr_Cnt_T_str.CLKL         847           tgt_12c_Send_12cRegPtr_Cnt_T_str.CLKH         987           tgt_12c_Send_12cRegPtr_Cnt_T_str.CLKH         987           tgt_12c_Send_12cRegPtr_Cnt_T_str.CLXH         487           tgt_12c_Send_12cRegPtr_Cnt_T_str.DKR         34           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         34           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         24           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         347           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         347           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         347           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         347           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         347           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         247           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         248           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         248           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         248           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         248           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR <td>tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD</td> <td>2</td>   | tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD    | 2           |
| tg1_12c_Send_12cRegPtr_Cnt_T_str.IMR         24           tg1_12c_Send_12cRegPtr_Cnt_T_str.CtxL         455           tg1_12c_Send_12cRegPtr_Cnt_T_str.CtxL         847           tg1_12c_Send_12cRegPtr_Cnt_T_str.CtxL         987           tg1_12c_Send_12cRegPtr_Cnt_T_str.CtxT         487           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNR         34           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNR         34           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNR         24           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNR         847           tg1_12c_Send_12cRegPtr_Cnt_T_str.MDR         847           tg1_12c_Send_12cRegPtr_Cnt_T_str.EMDR         2           tg1_12c_Send_12cRegPtr_Cnt_T_str.EMDR         2           tg1_12c_Send_12cRegPtr_Cnt_T_str.BPDC         24           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNA         2           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNA         2           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNA         2           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNA         2           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNA         3           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNA         3           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNA         3           tg1_12c_Send_12cRegPtr_Cnt_T_str.DNA         3           tg1_12c_Send_12cRegPtr_Cnt_T_str.Str.DNA         3  | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL   | 2           |
| tgt_12c_Send_12cRegPtr_Cnt_T_str.STR         455           tgt_12c_Send_12cRegPtr_Cnt_T_str.CLKL         847           tgt_12c_Send_12cRegPtr_Cnt_T_str.CKH         987           tgt_12c_Send_12cRegPtr_Cnt_T_str.CKH         987           tgt_12c_Send_12cRegPtr_Cnt_T_str.CKH         487           tgt_12c_Send_12cRegPtr_Cnt_T_str.DKR         34           tgt_12c_Send_12cRegPtr_Cnt_T_str.DXR         24           tgt_12c_Send_12cRegPtr_Cnt_T_str.DNR         24           tgt_12c_Send_12cRegPtr_Cnt_T_str.DNR         847           tgt_12c_Send_12cRegPtr_Cnt_T_str.BMDR         987           tgt_12c_Send_12cRegPtr_Cnt_T_str.EMDR         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.PiD11         987           tgt_12c_Send_12cRegPtr_Cnt_T_str.PiD12         24           tgt_12c_Send_12cRegPtr_Cnt_T_str.DMAC         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.DNAC         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.DN         0           tgt_12c_Send_12cRegPtr_Cnt_T_str.DN         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.DN         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.DN         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.DN         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.DN         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.DN         3 <td>tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR</td> <td>34</td>  | tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR        | 34          |
| tgl. 12c. Send. 12cRegPtr_Cnt_T str.CLKL       847         tgl. 12c. Send. 12cRegPtr_Cnt_T str.CLKH       987         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DRR       487         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DRR       34         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DRR       24         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DRR       24         tgl. 12c. Send. 12cRegPtr_Cnt_T str.MDR       847         tgl. 12c. Send. 12cRegPtr_Cnt_T str.EMDR       25         tgl. 12c. Send. 12cRegPtr_Cnt_T str.EMDR       2         tgl. 12c. Send. 12cRegPtr_Cnt_T str.PDD11       987         tgl. 12c. Send. 12cRegPtr_Cnt_T str.PID12       24         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DNAC       2         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DNN       0         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DNN       3         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DNN       3         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DN       3         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DOUT       2         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DOUT       2         tgl. 12c. Send. 12cRegPtr_Cnt_T str.CLR       3         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DOR       3         tgl. 12c. Send. 12cRegPtr_Cnt_T str.DNA       34         tgl. 12c. Sendevor 12cRegPtr_Cnt_T str.DAR       34  | tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR        | 24          |
| tg   | tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR        | 455         |
| tgl. 12c_Send_12cRegPtr_Cnt_T_str.DRR         34           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DRR         34           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DAR         34           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DAR         24           tgl. 12c_Send_12cRegPtr_Cnt_T_str.MDR         24           tgl. 12c_Send_12cRegPtr_Cnt_T_str.MDR         847           tgl. 12c_Send_12cRegPtr_Cnt_T_str.MDR         2           tgl. 12c_Send_12cRegPtr_Cnt_T_str.MDR         2           tgl. 12c_Send_12cRegPtr_Cnt_T_str.MDR         2           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DDT         987           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DDT         24           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DMAC         2           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DIN         0           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DIN         3           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DUT         2           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DUT         2           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DUT         2           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DUT         3           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DAR         3           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DAR         3           tgl. 12c_Send_12cRegPtr_Cnt_T_str.DAR         34           tgl. 12c_SetRecv_12cRegPtr_Cnt_T_str.Str.DAR   | tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       | 847         |
| tgl_12c_Send_12cRegPtr_Cnt_T_str.DRR         34           tgl_12c_Send_12cRegPtr_Cnt_T_str.SAR         34           tgl_12c_Send_12cRegPtr_Cnt_T_str.DVR         24           tgl_12c_Send_12cRegPtr_Cnt_T_str.MDR         847           tgl_12c_Send_12cRegPtr_Cnt_T_str.EMDR         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.EMDR         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.EMDR         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.PID11         987           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID12         24           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID12         24           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID18         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID18         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID18         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID18         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOUT         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOUT         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOR         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOR         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DA         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.DA         34           tgl_12c_SetRecv_12cRegPtr_Cnt_T_str.DA         34           tgl_12c_SetRecv_12cRegPtr_Cnt_T_str.DA         34 <td>tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH</td> <td>987</td>   | tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       | 987         |
| tgl_12c_Send_12cRegPtr_Cnt_T_str.DRR         34           tgl_12c_Send_12cRegPtr_Cnt_T_str.SAR         34           tgl_12c_Send_12cRegPtr_Cnt_T_str.DVR         24           tgl_12c_Send_12cRegPtr_Cnt_T_str.MDR         847           tgl_12c_Send_12cRegPtr_Cnt_T_str.EMDR         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.EMDR         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.EMDR         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.PID11         987           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID12         24           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID12         24           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID18         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID18         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID18         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DID18         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOUT         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOUT         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOR         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOR         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DA         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.DA         34           tgl_12c_SetRecv_12cRegPtr_Cnt_T_str.DA         34           tgl_12c_SetRecv_12cRegPtr_Cnt_T_str.DA         34 <td>tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT</td> <td>487</td>  | tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT        | 487         |
| tgl_12c_Send_12cRegPtr_Cnt_T_str.DXR         34           tgl_12c_Send_12cRegPtr_Cnt_T_str.DXR         24           tgl_12c_Send_12cRegPtr_Cnt_T_str.MDR         847           tgl_12c_Send_12cRegPtr_Cnt_T_str.MDR         56           tgl_12c_Send_12cRegPtr_Cnt_T_str.EMDR         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.PDC         24           tgl_12c_Send_12cRegPtr_Cnt_T_str.PD111         987           tgl_12c_Send_12cRegPtr_Cnt_T_str.DMAC         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.DMAC         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.DIN         0           tgl_12c_Send_12cRegPtr_Cnt_T_str.DIN         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOUT         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOUT         2           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOR         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOR         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOR         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOR         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOR         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.DOR         3           tgl_12c_Send_12cRegPtr_Cnt_T_str.STR         4           tgl_12c_SetRecv_12cRegPtr_Cnt_T_str.STR         45           tgl_12c_SetRecv_12cRegPtr_Cnt_T_str.Ctkl         847     <   | tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR        | 34          |
| tgt_12c_Send_12cRegPtr_Cnt_T_str.MDR         24           tgt_12c_Send_12cRegPtr_Cnt_T_str.MDR         847           tgt_12c_Send_12cRegPtr_Cnt_T_str.VR         56           tgt_12c_Send_12cRegPtr_Cnt_T_str.EMDR         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.PSC         24           tgt_12c_Send_12cRegPtr_Cnt_T_str.PID11         987           tgt_12c_Send_12cRegPtr_Cnt_T_str.PID12         24           tgt_12c_Send_12cRegPtr_Cnt_T_str.DNAC         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.DNAC         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.DN         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.DN         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.DOT         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.DOT         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.CR         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.CDR         3           tgt_12c_Send_12cRegPtr_Cnt_T_str.DDR         2           tgt_12c_Send_12cRegPtr_Cnt_T_str.DAR         3           tgt_12c_SetRecv_12cRegPtr_Cnt_T_str.OAR         34           tgt_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR         34           tgt_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR         455           tgt_12c_SetRecv_12cRegPtr_Cnt_T_str.CKL         847           tgt_12c_SetRecv_12cRegPtr_Cnt_T_str.CNT         487 </td <td></td> <td>34</td>   |   | 34          |
| tgl_!2c_Send_!2cRegPtr_Cnt_T_str.MDR       847         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.WR       56         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.EMDR       2         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.PDC       24         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.PID11       987         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.PID12       24         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC       2         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC       2         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       3         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       3         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.DOIT       2         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT       2         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       3         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.DOR       3         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.DR       3         tgl_!2c_Send_!2cRegPtr_Cnt_T_str.DAR       34         tgl_!2c_SetReov_!2cRegPtr_Cnt_T_str.DAR       34         tgl_!2c_SetReov_!2cRegPtr_Cnt_T_str.STR       455         tgl_!2c_SetReov_!2cRegPtr_Cnt_T_str.CLK       847         tgl_!2c_SetReov_!2cRegPtr_Cnt_T_str.CLK       847         tgl_!2c_SetReov_!2cRegPtr_Cnt_T_str.CNT       487         tgl_!2c_SetReov_!2cRegPtr_Cnt_T_str.CNT       487         tgl_!2c_SetReov_!2cRegPtr_Cnt_T_str  |   | 24          |
| tgt_12c_Send_12cRegPtr_Cnt_T_str.IVR   |   |             |
| tgt_12c_Send_12cRegPtr_Cnt_T_str.EMDR  |   |             |
| tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PID11       987         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PID12       24         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       0         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIT       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIT       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIT       2         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DIT       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DIT       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLK       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DIT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DIT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DIT   |   |             |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 987  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 24  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC 2  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT 2  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOR 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOR 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOR 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOR 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOR 3  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DAR 34  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DAR 34  tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR 455  tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL 847  tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL 847  tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL 847  tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL 847  tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR 34  tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR 34  tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR 34  tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR 34  tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR 34  |   |             |
| tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DID12       24         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       0         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DUT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DDR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DDR       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DAR       34         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DAR       34  |   |             |
| tgt_!Zc_Send_!ZcRegPtr_Cnt_T_str.DMAC       2         tgt_!Zc_Send_!ZcRegPtr_Cnt_T_str.DIN       0         tgt_!Zc_Send_!ZcRegPtr_Cnt_T_str.DIR       3         tgt_!Zc_Send_!ZcRegPtr_Cnt_T_str.DIN       3         tgt_!Zc_Send_!ZcRegPtr_Cnt_T_str.DOUT       2         tgt_!Zc_Send_!ZcRegPtr_Cnt_T_str.DOUT       2         tgt_!Zc_Send_!ZcRegPtr_Cnt_T_str.CLR       3         tgt_!Zc_Send_!ZcRegPtr_Cnt_T_str.DDR       3         tgt_!Zc_Send_!ZcRegPtr_Cnt_T_str.DDR       3         tgt_!Zc_Send_!ZcRegPtr_Cnt_T_str.DD       2         tgt_!Zc_Send_!ZcRegPtr_Cnt_T_str.DAR       34         tgt_!Zc_SetRecv_!ZcRegPtr_Cnt_T_str.DAR       34         tgt_!Zc_SetRecv_!ZcRegPtr_Cnt_T_str.STR       455         tgt_!Zc_SetRecv_!ZcRegPtr_Cnt_T_str.CLKL       847         tgt_!Zc_SetRecv_!ZcRegPtr_Cnt_T_str.CLK       847         tgt_!Zc_SetRecv_!ZcRegPtr_Cnt_T_str.CNT       487         tgt_!Zc_SetRecv_!ZcRegPtr_Cnt_T_str.DAR       34         tgt_!Zc_SetRecv_!ZcRegPtr_Cnt_T_str.DAR       34         tgt_!Zc_SetRecv_!ZcRegPtr_Cnt_T_str.DAR       34         tgt_!Zc_SetRecv_!ZcRegPtr_Cnt_T_str.DAR       34         tgt_!Zc_SetRecv_!ZcRegPtr_Cnt_T_str.DAR       34   |   |             |
| tgt_!2c_send_!2cRegPtr_Cnt_T_str.FUN       0         tgt_!2c_send_!2cRegPtr_Cnt_T_str.DIR       3         tgt_!2c_send_!2cRegPtr_Cnt_T_str.DIN       3         tgt_!2c_send_!2cRegPtr_Cnt_T_str.DOUT       2         tgt_!2c_send_!2cRegPtr_Cnt_T_str.SET       2         tgt_!2c_send_!2cRegPtr_Cnt_T_str.CLR       3         tgt_!2c_send_!2cRegPtr_Cnt_T_str.DDR       3         tgt_!2c_send_!2cRegPtr_Cnt_T_str.DD       2         tgt_!2c_send_!2cRegPtr_Cnt_T_str.DAR       34         tgt_!2c_setRecv_!2cRegPtr_Cnt_T_str.DAR       34         tgt_!2c_setRecv_!2cRegPtr_Cnt_T_str.IMR       24         tgt_!2c_setRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_setRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_setRecv_!2cRegPtr_Cnt_T_str.CLKL       987         tgt_!2c_setRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_setRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_setRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_setRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_setRecv_!2cRegPtr_Cnt_T_str.SAR       34  |   |             |
| tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DUT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.SET       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PD       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       2         tgt_!2c_SetRecv_!2cRegPtr_Cnt_Tstr.OAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.IMR       24         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34  |   |             |
| tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.SET       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PD       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       2         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.OAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.IMR       24         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34  |   |             |
| tgt_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.SET       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PD       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       2         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.OAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.IMR       24         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34   |   |             |
| tgt_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.CDR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PD       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       2         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.OAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.IMR       24         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34   |   |             |
| tgt_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PD       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       2         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.OAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.IMR       24         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34   |   |             |
| tgt_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       3         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PD       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       2         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.OAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.IMR       24         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34  |   |             |
| tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PD       2         tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       2         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.OAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.IMR       24         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34   |   |             |
| tgt_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       2         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.OAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.IMR       24         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34   |   |             |
| tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.OAR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.IMR       24         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34  |   |             |
| tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.IMR       24         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34   |   |             |
| tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR       455         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34  |   |             |
| tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL       847         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34  |   |             |
| tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKH       987         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34   |   |             |
| tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT       487         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR       34         tgt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SAR       34  |   |             |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR 34 tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR 34  |   |             |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR 34   | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT     | 487         |
| 0  | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR     | 34          |
| tgt I2c SetRecv I2cReqPtr Cnt T str.DXR 24   | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR     |             |
| <u> </u>   | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR     | 24          |

2014-10-14, 23:10:23+0530



DigColPsInt\_StartRequest

|   |                           | • • •                 |        |
|---|---------------------------|-----------------------|--------|
| Name  | Input Value               |                       |        |
|   |                           |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 847                       |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 56                        |                       |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 2                         |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 24                        |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 987                       |                       |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   | 24                        |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 2                         |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 0                         |                       |        |
|   | 3                         |                       |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR   |                           |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 3                         |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 2                         |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 2                         |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 3                         |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3                         |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 2                         |                       |        |
|   | 2                         |                       |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   |                           |                       |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 34                        |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 24                        |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 455                       |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 847                       |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 987                       |                       |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.CNT  | 487                       |                       |        |
|   |                           |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 34                        |                       |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 34                        |                       |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 24                        |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 847                       |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 56                        |                       |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.EMDR   | 2                         |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 24                        |                       |        |
|   |                           |                       |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  | 987                       |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 24                        |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2                         |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 0                         |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 3                         |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 3                         |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2                         |                       |        |
|   |                           |                       |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET  | 2                         |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 3                         |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 3                         |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 2                         |                       |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 2                         |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 34                        |                       |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 24                        |                       |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 455                       |                       |        |
|   |                           |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 847                       |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 987                       |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 487                       |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 34                        |                       |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 34                        |                       |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 24                        |                       |        |
|   |                           |                       |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 847                       |                       |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 56                        |                       |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 2                         |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 24                        |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 987                       |                       |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12   | 24                        |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2                         |                       |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 0                         |                       |        |
|   |                           |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3                         |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3                         |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2                         |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2                         |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3                         |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3                         |                       |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  | 2                         |                       |        |
| tgt_izo_Octupiviaster framsmit_izchegntt_Ont_1_Stf.PD   |                           |                       |        |
| tot 10- Octob Martin Transport 10 D. D. C. T. (1997)  |                           |                       |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 2                         |                       |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  Name   | 2 Actual Value            | Expected Value        | Result |
|   |                           | Expected Value 30     | Result |
| Name DigColPsInt_Buffer_Cnt_M_u08[0]  | Actual Value<br>30        | 30                    | ~      |
| Name DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]  | Actual Value 30 22        | 30<br>22              |        |
| Name DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]                                    | Actual Value 30 22 33     | 30<br>22<br>33        |        |
| Name DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 | Actual Value 30 22 33 127 | 30<br>22<br>33<br>127 |        |
| Name DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]                                    | Actual Value 30 22 33     | 30<br>22<br>33        | Result |

2014-10-14, 23:10:23+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 0            | 0              | ~        |
| I2c_Send(Length_Cnt_T_u32)   | 1 0          | 0              | 7        |
| I2c_SetRecv(Length_Cnt_T_u32) I2c SetupMasterReceive(DataLength Cnt T u16)   | 0            | 0              | -        |
| l2c SetupMasterTransmit(DataLength Cnt T u16)  | 1            | 1              | Ĵ        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR  | 34           | 34             | <b>✓</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR  | 24           | 24             | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR  | 455          | 455            | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 847          | 847            | -        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH   | 987          | 987            | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT  | 487          | 487            | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  | 34           | 34             | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 34           | 34             | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  | 24           | 24             | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR  | 847          | 847            | _        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR  | 56           | 56             | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  | 24           | 24             |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  | 987<br>24    | 987            |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c GetStatus_l2cRegPtr_Cnt_T_str.DMAC                                   | 2            | 2              |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN  | 0            | 0              |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  | 3            | 3              | Ĭ        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  | 3            | 3              |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 2            | 2              | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 34           | 34             | -        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 24           | 24             | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 455          | 455            | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 847          | 847            | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 987          | 987            | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 487          | 487            | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 34           | 34             | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 34           | 34             | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 24           | 24             | <b>•</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 847          | 847            |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 56           | 56<br>2        | V        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 24           | 24             | j        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 987          | 987            |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 24           | 24             |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | -        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 2            | 2              | -        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | -        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 34           | 34             | -        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 24           | 24             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 455          | 455            | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 847          | 847            | _        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 987          | 987            | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 487          | 487            | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 34           | 34             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 34<br>24     | 34<br>24       | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR  | 847          | 847            |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  | 56           | 56             |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR  | 2            | 2              | Ĭ        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 24           | 24             |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11  | 987          | 987            |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 24           | 24             |          |
|  | 2            | 2              |          |
| tgt I2c SetRecv I2cRegPtr Cnt T str.DMAC   | 2            |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC tat_l2c_SetRecv_l2cReaPtr_Cnt_T_str.FUN   |              | 0              | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR | 0 3          |                | •        |



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
|   | 3            | 3              | Result   |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | -        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR | 3            | 3              |          |
| tgt I2c SetRecv I2cRegPtr Cnt T str.ODR   | 3            | 3              | -        |
| · · · ·   | 2            | 2              |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD  | 2            | 2              | -        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 34           | 34             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                              | 24           | 24             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                              | 455          | 455            |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR                              |              | 847            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                             | 847          | 987            |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH                             | 987          |                | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT                              | 487          | 487            |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR                              | 34           | 34             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR                              | 34           | 34             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR                              | 24           | 24             | <b>V</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR                              | 847          | 847            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR                              | 56           | 56             | <b>V</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR                             | 2            | 2              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC                              | 24           | 24             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11                            | 987          | 987            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12                            | 24           | 24             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC                             | 2            | 2              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN                              | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR                              | 3            | 3              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN                              | 3            | 3              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT                             | 2            | 2              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET                              | 2            | 2              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR                              | 3            | 3              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR                              | 3            | 3              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD                               | 2            | 2              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL                              | 2            | 2              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                             | 34           | 34             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR                             | 24           | 24             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR                             | 455          | 455            | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL                            | 847          | 847            | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH                            | 987          | 987            | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT                             | 487          | 487            | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR                             | 34           | 34             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR                             | 34           | 34             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR                             | 24           | 24             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR                             | 847          | 847            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR                             | 56           | 56             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR                            | 2            | 2              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC                             | 24           | 24             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                           | 987          | 987            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12                           | 24           | 24             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC                            | 2            | 2              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN                             | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR                             | 3            | 3              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN                             | 3            | 3              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT                            | 2            | 2              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET                             | 2            | 2              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR                             | 3            | 3              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR                             | 3            | 3              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD                              | 2            | 2              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL                             | 2            | 2              | ~        |
|   |              |                |          |

| au                      |       |                         | V     |          |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GetStatus           | 1     | I2c_GetStatus           | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | -        |
| I2c Send                | 1     | I2c Send                | 1     | -        |

| Test Step 2.6 (Repeat Count = 1) | <b>✓</b>    |
|----------------------------------|-------------|
| Name                             | Input Value |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 44          |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 55          |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 66          |

DigColPsInt\_StartRequest

2014-10-14, 23:10:23+0530



| DigCoiPsini_Stankequest  |   |
|--|---|
| lame   | Input Value   |
| igColPsInt_CurrentSlave_Cnt_M_u08  | 55  |
| igColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_COMPLETE   |
| igColPsInt_PrevReqDataType_Cnt_M_u08   | 0   |
| gColPsInt_SensInitialized_Cnt_M_lgc  | 1   |
| ligColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 1   |
| tc_GetStatus()   | 655   |
| c_GetStatus(I2cRegPtr_Cnt_T_str)   | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str                                   |
| c_Send(I2cRegPtr_Cnt_T_str) c_SetRecv(I2cRegPtr_Cnt_T_str)                         | tgt_l2c_Send_l2cRegPtr_Cnt_T_str<br>tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str |
| c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str                          |
| c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str                         |
| /pe_Cnt_T_u08  | 3   |
| cREG1_temp   | target_i2cREG1_temp   |
| _ColSensorI2CAddress_Cnt_u08   | 55  |
| rget_i2cREG1_temp.OAR  | 55  |
| rget_i2cREG1_temp.IMR  | 66  |
| rget_i2cREG1_temp.STR  | 556   |
| rget_i2cREG1_temp.CLKL   | 2309  |
| rget_i2cREG1_temp.CLKH   | 1204  |
| rget_i2cREG1_temp.CNT  | 87  |
| rget_i2cREG1_temp.DRR  | 67  |
| rget_i2cREG1_temp.SAR  | 55  |
| rget_i2cREG1_temp.DXR  | 66  |
| rget_i2cREG1_temp.MDR  | 2309  |
| rget_i2cREG1_temp.IVR  | 5   |
| rget_i2cREG1_temp.EMDR   | 3   |
| rget_i2cREG1_temp.PSC  | 66  |
| rget_i2cREG1_temp.PID11  | 1204  |
| rget_i2cREG1_temp.PID12  | 66  |
| rget_i2cREG1_temp.DMAC   | 3   |
| rget_i2cREG1_temp.FUN  | 1   |
| rget_i2cREG1_temp.DIR rget_i2cREG1_temp.DIN  | 2   |
| rget i2cREG1 temp.DOUT   | 3   |
| rget_i2cREG1_temp.SET  | 3   |
| rget_i2cREG1_temp.CLR  | 1   |
| rget_i2cREG1_temp.ODR  | 2   |
| rget_i2cREG1_temp.PD   | 3   |
| rget i2cREG1 temp.PSL  | 3   |
| pt I2c GetStatus I2cRegPtr Cnt T str.OAR   | 55  |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66  |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR  | 556   |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309  |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204  |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87  |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67  |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 55  |
| t_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  | 66  |
| t_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  | 2309  |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR  | 5   |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3   |
| t_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  | 66  |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204  |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66  |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3   |
| t_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN  | 1   |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1   |
| t_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  | 2   |
| t_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT   | 3   |
| t_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  | 3   |
| t_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR<br>t_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR | 2   |
| t_l2c_GetStatus_l2cRegPtr_Cnt_1_str.DDR<br>t_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD  | 3   |
| t_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL  | 3   |
| t_l2c_GetStatus_l2cRegPtr_Cnt_1_str.PSL<br>t_l2c_Send_l2cRegPtr_Cnt_T_str.OAR      | 55  |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.UAR  t_l2c_Send_l2cRegPtr_Cnt_T_str.IMR             | 66  |
| t_l2c_Send_l2cRegPtr_Cnt_1_str.lmR<br>t_l2c_Send_l2cRegPtr_Cnt_T_str.STR           | 556   |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 2309  |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  | 1204  |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 87  |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 67  |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 55  |
| ,  | **  |

2014-10-14, 23:10:23+0530



DigColPsInt\_StartRequest Input Value tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.MDR 2309 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IVR 5 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.EMDR 3 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSC 66 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID11 1204 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID12 66 tgt I2c Send I2cRegPtr Cnt T str.DMAC 3 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.FUN 1 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIR  $tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIN$ 2 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DOUT 3  $tgt\_l2c\_Send\_l2cRegPtr\_Cnt\_T\_str.SET$ 3 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLR  $tgt\_l2c\_Send\_l2cRegPtr\_Cnt\_T\_str.ODR$ 2 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PD 3 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSL 3 tgt\_l2c\_SetRecv\_l2cRegPtr\_Cnt\_T\_str.OAR 55 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IMR 66 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.STR 556 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKL 2309 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKH 1204 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CNT 87 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DRR 67 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.SAR 55 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DXR 66 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.MDR 2309 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IVR 5  $tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.EMDR$ 3 tat I2c SetRecv I2cReaPtr Cnt T str.PSC 66 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PID11 1204 tgt I2c SetRecv I2cRegPtr Cnt T str.PID12 66 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DMAC 3 tgt I2c SetRecv I2cRegPtr Cnt T str.FUN 1 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DIR 1 tgt\_l2c\_SetRecv\_l2cRegPtr\_Cnt\_T\_str.DIN 2 3  $tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DOUT$ tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.SET 3 tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLR 1 tgt\_l2c\_SetRecv\_l2cRegPtr\_Cnt\_T\_str.ODR 2 3 tgt I2c SetRecv I2cRegPtr Cnt T str.PD tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PSL 3 tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.OAR 55 tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.IMR 66 tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.STR 556  $tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 2309 tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.CLKH 1204  $tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.CNT$ 87 tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DRR 67 tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.SAR 55 tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DXR 66 tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR 2309 tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.IVR 5 tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.EMDR 3 tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.PSC 66 tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.PID11 1204  $tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.PID12$ 66 tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.DMAC 3  $tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.FUN$ 1 tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DIR 1  $tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DIN$ 2 tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DOUT 3 3 tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.SET  $tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.CLR$ 1 tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.ODR 2 tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.PD 3 3 tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.PSL tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.OAR 55 tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR 66 tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.STR 556 tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKL 2309 tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKH 1204 tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.CNT 87

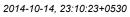
67

tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DRR

2014-10-14, 23:10:23+0530



| Name   | Input Value         |                     |          |
|--|---------------------|---------------------|----------|
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR  | 55                  |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 66                  |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 2309                |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 3                   |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC | 66                  |                     |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11  | 1204                |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 66                  |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC   | 3                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1                   |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  | 2                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3                   |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 3                   |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 2                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3                   |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  | 3                   |                     |          |
| Name   | Actual Value        | Expected Value      | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 36                  | 36                  | -        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 55                  | 55                  | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 66                  | 66                  | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 55                  | 55                  | •        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_SENSOR1_SETREG | READ_SENSOR1_SETREG |          |
| DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc                            | 0                   | 0                   |          |
| I2c_Send(Length_Cnt_T_u32)   | 1                   | 1                   |          |
| I2c_SetRecv(Length_Cnt_T_u32)  | 0                   | 0                   | -        |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)   | 0                   | 0                   | -        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 1                   | 1                   | -        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  | 55                  | 55                  | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66                  | 66                  | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR  | 556                 | 556                 | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309                | 2309                |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204                | 1204                | <b>•</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87                  | 87                  |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  | 67<br>55            | 67<br>55            |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR                      | 66                  | 66                  |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2309                | 2309                |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR  | 5                   | 5                   | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR   | 3                   | 3                   | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66                  | 66                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204                | 1204                | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66                  | 66                  | <b>-</b> |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC   | 3                   | 3                   | · ·      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN  | 1                   | 1                   |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN                      | 2                   | 2                   |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3                   | 3                   |          |
| tgt I2c GetStatus I2cRegPtr Cnt T str.SET  | 3                   | 3                   | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1                   | 1                   | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR  | 2                   | 2                   | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD   | 3                   | 3                   | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3                   | 3                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55                  | 55                  | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 66                  | 66                  | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 556                 | 556                 | · ·      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309<br>1204        | 2309<br>1204        |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                               | 87                  | 87                  |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 67                  | 67                  |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55                  | 55                  | <b>✓</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66                  | 66                  | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309                | 2309                | <b>✓</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 5                   | 5                   | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3                   | 3                   | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66                  | 66                  | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204                | 1204                | <b>✓</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66                  | 66                  | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3                   | 3                   |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR                                | 1                   | 1                   |          |
| 3  | ı'                  |                     |          |





| Name   | Actual Value     | Expected Value   | Result   |
|--|------------------|------------------|----------|
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN   | 2                | 2                | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3                | 3                | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                              | 3                | 3                |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 2                | 2                |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 3                | 3                |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                | 3                |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55               | 55               |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66               | 66               | -        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556              | 556              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309             | 2309             | -        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 1204             | 1204             | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87               | 87               | <b>~</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67               | 67               | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55               | 55               | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66               | 66               | <b>✓</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309             | 2309             | <u> </u> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5                | 5                | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 3                | 3                | <u> </u> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66               | 66               | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204             | 1204             |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 66               | 66               |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 1                | 1                | · ·      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR                        | 1                | 1                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  | 2                | 2                |          |
| tgt I2c SetRecv I2cRegPtr Cnt T str.DOUT   | 3                | 3                |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3                | 3                | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1                | 1                | -        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2                | 2                | <b>✓</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3                | 3                | <b>✓</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3                | 3                | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55               | 55               | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66               | 66               | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556              | 556              | <b>~</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309             | 2309             | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204             | 1204             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT   | 87               | 87               | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR   | 67               | 67               | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55               | 55               | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR   | 66               | 66               | <b>~</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR   | 2309             | 2309             | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR   | 5 3              | 5 3              | · ·      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC | 66               | 66               |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11   | 1204             | 1204             |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12   | 66               | 66               |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3                | 3                |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN   | 1                | 1                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1                | 1                | •        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN   | 2                | 2                | -        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3                | 3                | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3                | 3                | -        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1                | 1                | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2                | 2                | -        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3                | 3                | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3                | 3                | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 55               | 55               | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66               | 66               | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  | 556              | 556              | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL   | 2309             | 2309             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 1204             | 1204             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 87               | 87               | <u> </u> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  | 67               | 67               | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR  | 55               | 55               | <u> </u> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 66               | 66               | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 2309             | 2309             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 5                | 5                | •        |
| tet 10e Cetum Meeter Transcrit 10-DDt- O-1 T 1 T10-D   | 3                | 3                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR   | 66               | 66               | - 4      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  | 66               | 66               |          |
|  | 66<br>1204<br>66 | 66<br>1204<br>66 |          |

2014-10-14, 23:10:23+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT | 3            | 3              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  | 3            | 3              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ✓        |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GetStatus           | 1     | I2c_GetStatus           | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |

| Test Step 2.7 (Repeat Count = 1)             | ✓   |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 66  |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 77  |
| DigColPsInt Buffer Cnt M u08[2]              | 88  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 11  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08        | 0   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt SkipRegisterWrite Cnt M Igc      | 0   |
| I2c_GetStatus()                              | 123   |
| I2c GetStatus(I2cRegPtr Cnt T str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c Send(I2cRegPtr Cnt T str)                | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 1   |
| i2cREG1_temp                                 | target_i2cREG1_temp                             |
| k ColSensorl2CAddress Cnt u08                | 40  |
| target i2cREG1 temp.OAR                      | 66  |
| target_i2cREG1_temp.IMR                      | 78  |
| target i2cREG1 temp.STR                      | 78  |
| target i2cREG1 temp.CLKL                     | 495   |
| target_i2cREG1_temp.CLKH                     | 56  |
| target i2cREG1 temp.CNT                      | 897   |
| target_i2cREG1_temp.DRR                      | 98  |
| target i2cREG1 temp.SAR                      | 66  |
| target_i2cREG1_temp.DXR                      | 78  |
| target_i2cREG1_temp.MDR                      | 495   |
| target i2cREG1 temp.IVR                      | 66  |
| target i2cREG1 temp.EMDR                     | 0   |
| target_i2cREG1_temp.PSC                      | 78  |
| target_i2cREG1_temp.PID11                    | 56  |
| target_i2cREG1_temp.PID12                    | 78  |
| target_i2cREG1_temp.DMAC                     | 0   |
| target_i2cREG1_temp.FUN                      | 0   |
| target_i2cREG1_temp.DIR                      | 0   |
| target_i2cREG1_temp.DIN                      | 1   |
| target_i2cREG1_temp.DOUT                     | 0   |
| target_i2cREG1_temp.SET                      | 0   |
| target_i2cREG1_temp.CLR                      | 0   |
| target_i2cREG1_temp.ODR                      | 1   |
| target_i2cREG1_temp.PD                       | 0   |
| target_i2cREG1_temp.PSL                      | 0   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR    | 66  |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR    | 78  |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR    | 78  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 495   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 56  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT    | 897   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR    | 98  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR    | 66  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR    | 78  |
|  |   |

2014-10-14, 23:10:23+0530



| DigColPsint_Stankequest                             |             | al Citato |
|---|-------------|-----------|
| Name  | Input Value |           |
| tgt I2c GetStatus I2cRegPtr Cnt T str.MDR           | 495         |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR           | 66          |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR          | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC           | 78          |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11         | 56          |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12         | 78          |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC          | 0           |           |
|   | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN           |             |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR           | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN           | 1           |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT          | 0           |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET           | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR           | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR           | 1           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD            | 0           |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL           | 0           |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR                | 66          |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR                | 78          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR                | 78          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL               | 495         |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH               | 56          |           |
| tgt I2c Send I2cRegPtr Cnt T str.CNT                | 897         |           |
|   |             |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                | 98          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                | 66          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                | 78          |           |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR                 | 495         |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR                | 66          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR               | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                | 78          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11              | 56          |           |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12               | 78          |           |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                | 0           |           |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                 | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                | 1           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT               | 0           |           |
|   | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET                | 0           |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR                |             |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                | 1           |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD                 | 0           |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL                | 0           |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR             | 66          |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR             | 78          |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR              | 78          |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL             | 495         |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH             | 56          |           |
| gt I2c SetRecv I2cRegPtr Cnt T str.CNT              | 897         |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              | 98          |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 66          |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 78          |           |
| gt I2c SetRecv I2cRegPtr Cnt T str.MDR              | 495         |           |
|   | 66          |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              |             |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 0           |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 78          |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 56          |           |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12            | 78          |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 0           |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 0           |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 0           |           |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN              | 1           |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 0           |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 0           |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 0           |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 1           |           |
|   | 0           |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               |             |           |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 0           |           |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 66          |           |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 78          |           |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR   | 78          |           |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL | 495         |           |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 56          |           |
|   |             |           |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 897         |           |

2014-10-14, 23:10:23+0530



| Name   | Input Value                                 |                                |     |
|--|---|--------------------------------|-----|
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR   | 66  |                                |     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR   | 78  |                                |     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR   | 495   |                                |     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 66  |                                |     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  | 0   |                                |     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 78  |                                |     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 56  |                                |     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 78  |                                |     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 0   |                                |     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0   |                                |     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0   |                                |     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1   |                                |     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT  | 0   |                                |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0   |                                |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 0   |                                |     |
| gt I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR  | 1   |                                |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 0   |                                |     |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 0   |                                |     |
| gt I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 66  |                                |     |
| gt I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 78  |                                |     |
|  |   |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78  |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495   |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56  |                                |     |
| pt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897   |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98  |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66  |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78  |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495   |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66  |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0   |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78  |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 56  |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 78  |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0   |                                |     |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 0   |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0   |                                |     |
|  |   |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1   |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0   |                                |     |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 0   |                                |     |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 0   |                                |     |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 1   |                                |     |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 0   |                                |     |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 0   |                                |     |
| lame   | Actual Value                                | Expected Value                 | Res |
| igColPsInt_Buffer_Cnt_M_u08[0]   | 32  | 32                             |     |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 77  | 77                             |     |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 88  | 88                             |     |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 40  | 40                             |     |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_SENSOR1_SETREG                         | READ_SENSOR1_SETREG            |     |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 1   | 1                              |     |
|  | 0   | 0                              |     |
| DigColPsInt_SkipRegisterWrite_Cnt_M_Igc  | 1   | 1                              |     |
| 2c_Send(Length_Cnt_T_u32)  |   |                                |     |
| 2c_SetRecv(Length_Cnt_T_u32)   | 0   | 0                              |     |
| 2c_SetupMasterReceive(DataLength_Cnt_T_u16)  | 0   | 0                              |     |
| 2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1   | 1                              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR   | 66  | 66                             |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR   | 78  | 78                             |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR   | 78  | 78                             |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 495   | 495                            |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 56  | 56                             |     |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT   | 897   | 897                            |     |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR   | 98  | 98                             |     |
|  |   | 66                             |     |
| gt_I2c_GetStatus_I2cRegPtr Cnt T str.SAR   | 66  | 78                             |     |
|  | 78  |                                |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR   | 78  | 495                            |     |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR<br>gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR   | 78<br>495                                   | 495                            |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR   | 78<br>495<br>66                             | 66                             |     |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR<br>pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR<br>pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR<br>pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 78<br>495<br>66<br>0                        | 66<br>0                        |     |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  | 78<br>495<br>66<br>0<br>78                  | 66<br>0<br>78                  |     |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11   | 78<br>495<br>66<br>0<br>78<br>56            | 66<br>0<br>78<br>56            |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11 gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12    | 78<br>495<br>66<br>0<br>78<br>56<br>78      | 66<br>0<br>78<br>56<br>78      |     |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC | 78<br>495<br>66<br>0<br>78<br>56<br>78<br>0 | 66<br>0<br>78<br>56<br>78<br>0 |     |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  | 78<br>495<br>66<br>0<br>78<br>56<br>78      | 66<br>0<br>78<br>56<br>78      |     |

2014-10-14, 23:10:23+0530



| Name   | Actual Value  | Expected Value | Result |
|--|---------------|----------------|--------|
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1             | 1              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 0             | 0              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR                    | 0             | 0              |        |
| tgt I2c GetStatus I2cRegPtr Cnt T str.ODR  | 1             | 1              |        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD   | 0             | 0              |        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL  | 0             | 0              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 66            | 66             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 78            | 78             | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 78            | 78             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 495           | 495            | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  | 56            | 56             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 98            | 897<br>98      |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR                              | 66            | 66             |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 78            | 78             |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 495           | 495            |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 66            | 66             |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0             | 0              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 78            | 78             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 56            | 56             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 78            | 78             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0             | 0              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0             | 0              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR   | 0             | 0              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN   | 1             | 1              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 0             | 0              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 0             | 0              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 0             | 0              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD                               | 0             | 0              |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   | 0             | 0              |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR  | 66            | 66             |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 78            | 78             | -      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 78            | 78             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 495           | 495            | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 56            | 56             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 897           | 897            | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 98            | 98             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 66            | 66             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 78            | 78             | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  | 495           | 495            | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR  | 66            | 66<br>0        |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC                       | 0<br>78       | 78             |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11  | 56            | 56             |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 78            | 78             |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 0             | 0              |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 0             | 0              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 0             | 0              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 1             | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 0             | 0              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 0             | 0              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0             | 0              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  | 1             | 1              | ~      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD   | 0             | 0              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 0             | 0              | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR   | 66            | 66             | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR   | 78            | 78             |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL | 78<br>495     | 78<br>495      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  | 56            | 56             |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT   | 897           | 897            |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 98            | 98             |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 66            | 66             | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR   | 78            | 78             | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR   | 495           | 495            | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 66            | 66             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0             | 0              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 78            | 78             | •      |
|  |               |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11   | 56            | 56             | ~      |
|  | 56<br>78<br>0 | 56<br>78<br>0  |        |

 $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.MDR$ 

tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IVR

 $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.EMDR$ 

tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSC

 $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID11$ 

tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12

tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC

tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.FUN

tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIR

 $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN$ 

 $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET$ 

tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR

tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.ODR

tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD

tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.PSL

I2c\_Send

tot I2c SetupMasterTransmit I2cReqPtr Cnt T str.DOUT

2014-10-14, 23:10:23+0530



**> > > >** 

DigColPsInt\_StartRequest **Actual Value Expected Value** tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.FUN tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.DIR tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DIN tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.DOUT tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.SET tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.CLR tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.ODR tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.PD tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.PSL  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.OAR$  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IMR$  $tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.STR$ tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKL  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKH$ tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.CNT tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DRR  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SAR$ tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.DXR 

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GetStatus           | 1     | I2c_GetStatus           | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | •        |
| I2c_SetupMasterTransmit | 1     | l2c_SetupMasterTransmit | 1     | •        |

I2c\_Send

| Test Step 2.8 (Repeat Count = 1)             | <u> </u>  |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 40  |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 50  |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 60  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 12  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08        | 5   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc      | 1   |
| I2c_GetStatus()                              | 766   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 1   |
| i2cREG1_temp                                 | target_i2cREG1_temp                             |
| k_ColSensorl2CAddress_Cnt_u08                | 55  |
| target_i2cREG1_temp.OAR                      | 567   |
| target_i2cREG1_temp.IMR                      | 44  |
| target_i2cREG1_temp.STR                      | 4444  |
| target_i2cREG1_temp.CLKL                     | 566   |
| target_i2cREG1_temp.CLKH                     | 4466  |
| target_i2cREG1_temp.CNT                      | 129   |
| target_i2cREG1_temp.DRR                      | 6   |
| target_i2cREG1_temp.SAR                      | 567   |
| target_i2cREG1_temp.DXR                      | 44  |

2014-10-14, 23:10:23+0530



| DigColPsini_StartRequest                    |             | GEO   Cal |
|---|-------------|-----------|
| Name  | Input Value |           |
| target i2cREG1 temp.MDR                     | 566         |           |
| target_i2cREG1_temp.IVR                     | 554         |           |
| target_i2cREG1_temp.EMDR                    | 1           |           |
| target_i2cREG1_temp.PSC                     | 44          |           |
| target_i2cREG1_temp.PID11                   | 4466        |           |
| target_i2cREG1_temp.PID12                   | 44          |           |
| target i2cREG1 temp.DMAC                    | 1           |           |
|   | 1           |           |
| target_i2cREG1_temp.FUN                     |             |           |
| target_i2cREG1_temp.DIR                     | 2 0         |           |
| target_i2cREG1_temp.DIN                     |             |           |
| target_i2cREG1_temp.DOUT                    | 1           |           |
| target_i2cREG1_temp.SET                     | 1           |           |
| target_i2cREG1_temp.CLR                     | 2           |           |
| target_i2cREG1_temp.ODR                     | 0           |           |
| target_i2cREG1_temp.PD                      | 3           |           |
| target_i2cREG1_temp.PSL                     | 3           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR   | 567         |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44          |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR   | 4444        |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 566         |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT   | 129         |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR   | 6           |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR   | 567         |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR   | 44          |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR   | 566         |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR   | 554         |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC   | 44          |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11 | 4466        |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12 | 44          |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1           |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN   | 1           |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR   | 2           |           |
|   | 0           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN   | 1           |           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 1           |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET   | 2           |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR   |             |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR   | 0           |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD    | 3           |           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL   | 3           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR        | 567         |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR        | 44          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR        | 4444        |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       | 566         |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       | 4466        |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT        | 129         |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR        | 6           |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR        | 567         |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR        | 44          |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR        | 566         |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR        | 554         |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       | 1           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC        | 44          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11      | 4466        |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12      | 44          |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       | 1           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN        | 1           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR        | 2           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN        | 0           |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT       | 1           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET        | 1           |           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR        | 2           |           |
|   | 0           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR        |             |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD         | 3           |           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL        | 3           |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR     | 567         |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR     | 44          |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR     | 4444        |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL    | 566         |           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH    | 4466        |           |
|   |             |           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT     | 129         |           |

2014-10-14, 23:10:23+0530



DigColPsInt\_StartRequest

| Name  | Input Value  |                |        |
|---|--------------|----------------|--------|
|   | <u> </u>     |                |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR               | 567          |                |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR               | 44           |                |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR               | 566          |                |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR               | 554          |                |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR              | 1            |                |        |
|   |              |                |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC               | 44           |                |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11             | 4466         |                |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12             | 44           |                |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC              | 1            |                |        |
|   | 1            |                |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN               |              |                |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR               | 2            |                |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN               | 0            |                |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT              | 1            |                |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET               | 1            |                |        |
|   | 2            |                |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR               |              |                |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR               | 0            |                |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD                | 3            |                |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL               | 3            |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 567          |                |        |
|   |              |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR    | 44           |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 4444         |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566          |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466         |                |        |
|   |              |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129          |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR    | 6            |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR    | 567          |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR    | 44           |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR    | 566          |                |        |
|   |              |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR    | 554          |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 1            |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44           |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         |                |        |
|   |              |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 44           |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN    | 1            |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2            |                |        |
|   | 0            |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    |              |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 1            |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR    | 2            |                |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 0            |                |        |
| ·   | 3            |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     |              |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL    | 3            |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 567          |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 4444         |                |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  |              |                |        |
|   | 566          |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 4466         |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129          |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 6            |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          |                |        |
|   |              |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 566          |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 554          |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 44           |                |        |
|   |              |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 4466         |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 1            |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 1            |                |        |
|   | 2            |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   |              |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 0            |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            |                |        |
|   |              |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            |                |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD    | 3            |                |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            |                |        |
| Name  | Actual Value | Expected Value | Result |
|   |              | ·              |        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                       | 32           | 32             |        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                       | 50           | 50             | -      |
| DigColPsInt_Buffer_Cnt_M_u08[2]                       | 60           | 60             | ~      |
| DisColDelat CurrentClave Cat M v00                    | 55           | 55             |        |
| DigColPsInt_CurrentSlave_Cnt_M_u08                    | ออ           | 33             | •      |

2014-10-14, 23:10:23+0530



| Name  | Actual Value        | Expected Value      | Resul       |
|---|---------------------|---------------------|-------------|
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ_SENSOR1_SETREG | READ_SENSOR1_SETREG |             |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 1                   | 1                   | •           |
| DigColPsInt_SkipRegisterWrite_Cnt_M_Igc   | 0                   | 0                   | •           |
| I2c_Send(Length_Cnt_T_u32)  | 1                   | 1                   | •           |
| I2c_SetRecv(Length_Cnt_T_u32)   | 0                   | 0                   | •           |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)  | 0                   | 0                   | •           |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)                                       | 1                   | 1                   |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR   | 567                 | 567                 | •           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44                  | 44                  |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR   | 4444                | 4444                | · · · · · · |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 566                 | 566                 |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 4466                | 4466                | •           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT   | 129                 | 129                 |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR   | 6                   | 6                   |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR   | 567                 | 567                 |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR   | 44                  | 44                  |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR   | 566                 | 566                 |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR   | 554                 | 554                 |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1                   | 1                   |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC   | 44                  | 44                  |             |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11   | 4466                | 4466                |             |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12   | 44                  | 44                  |             |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  | 1                   | 1                   |             |
|   | 1                   | 1                   |             |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR | 2                   | 2                   |             |
|   | 0                   | 0                   |             |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN   |                     | 1                   |             |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  | 1                   |                     |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET   | 1                   | 1                   | •           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR   | 2                   | 2                   | •           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR   | 0                   | 0                   | •           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD  | 3                   | 3                   | •           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL   | 3                   | 3                   | •           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 567                 | 567                 | •           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 44                  | 44                  | •           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 4444                | 4444                | •           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566                 | 566                 | •           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466                | 4466                | •           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 129                 | 129                 | · ·         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 6                   | 6                   |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567                 | 567                 | •           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 44                  | 44                  |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 566                 | 566                 |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 554                 | 554                 |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1                   | 1                   |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 44                  | 44                  |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 4466                | 4466                |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 44                  | 44                  |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1                   | 1                   |             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1                   | 1                   |             |
|   | 2                   | 2                   |             |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN           | 0                   | 0                   |             |
|   | 1                   | 1                   |             |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT   | 1                   | 1                   |             |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET  |                     |                     |             |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR  | 2                   | 2                   |             |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  | 0                   | 0                   | `           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3                   | 3                   | •           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 3                   | 3                   | •           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 567                 | 567                 | •           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 44                  | 44                  | •           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 4444                | 4444                | •           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 566                 | 566                 | •           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 4466                | 4466                | •           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 129                 | 129                 | •           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 6                   | 6                   | •           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   | 567                 | 567                 | •           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 44                  | 44                  | •           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 566                 | 566                 |             |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR   | 554                 | 554                 |             |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 1                   | 1                   |             |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 44                  | 44                  |             |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 4466                | 4466                |             |
| ~   |                     | 44                  |             |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 44                  |                     |             |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | Result   |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | -        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | -        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | <b>V</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 2            | 2              |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | -        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>~</b> |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.OAR  | 567          | 567            | -        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | -        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 566          | 566            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ¥ 4      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ¥ 4      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | <b>Y</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 44           | 44             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | V        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR | 2            | 2              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | -        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT   | 1            | 1              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 1            | 1              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 2            | 2              |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD  | 3            | 3              |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>~</b> |
| GCOMPHICOLOTTATIONIC_IZOTOGI II_ONC_I_SULT OL   | \*           | , ·            |          |

| τ                       |       |                         | V     |          |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GetStatus           | 1     | I2c_GetStatus           | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c Send                | 1     | I2c Send                | 1     | <b>✓</b> |

| Test Step 2.9 (Repeat Count = 1) | ✓           |
|----------------------------------|-------------|
| Name                             | Input Value |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 70          |

2014-10-14, 23:10:23+0530



| <del> </del>                                |   |
|---|---|
| Name  | Input Value                                     |
| igColPsInt_Buffer_Cnt_M_u08[1]              | 80  |
| igColPsInt_Buffer_Cnt_M_u08[2]              | 90  |
| igColPsInt_CurrentSlave_Cnt_M_u08           | 45  |
| igColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_COMPLETE                                   |
| igColPsInt_PrevReqDataType_Cnt_M_u08        | 3   |
| igColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc     | 0   |
| 2c_GetStatus()                              | 886   |
| 2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_l2c_Send_l2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| ype_Cnt_T_u08                               | 1   |
| 2cREG1_temp                                 | target_i2cREG1_temp                             |
| _ColSensorI2CAddress_Cnt_u08                | 60  |
| arget_i2cREG1_temp.OAR                      | 65  |
| urget_i2cREG1_temp.IMR                      | 89  |
| rget_i2cREG1_temp.STR                       | 67  |
| rget_i2cREG1_temp.CLKL                      | 7   |
| rget_i2cREG1_temp.CLKH                      | 577   |
| rget_i2cREG1_temp.CNT                       | 88  |
| arget_i2cREG1_temp.DRR                      | 23  |
| arget_i2cREG1_temp.SAR                      | 65  |
| arget_i2cREG1_temp.DXR                      | 89  |
| irget_i2cREG1_temp.MDR                      | 7   |
| arget_i2cREG1_temp.IVR                      | 44  |
| arget_i2cREG1_temp.EMDR                     | 2   |
| arget_i2cREG1_temp.PSC                      | 89  |
| arget_i2cREG1_temp.PID11                    | 577   |
| arget_i2cREG1_temp.PID12                    | 89  |
| arget_i2cREG1_temp.DMAC                     | 2   |
| arget_i2cREG1_temp.FUN                      | 0   |
| arget_i2cREG1_temp.DIR                      | 0   |
| arget_i2cREG1_temp.DIN                      | 1   |
| arget_i2cREG1_temp.DOUT                     | 2   |
| arget_i2cREG1_temp.SET                      | 2   |
| arget_i2cREG1_temp.CLR                      | 0   |
| arget_i2cREG1_temp.ODR                      | 1   |
| arget_i2cREG1_temp.PD                       | 2   |
| arget_i2cREG1_temp.PSL                      | 0   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR    | 65  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR    | 89  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR    | 67  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 7   |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 577   |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT    | 88  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR    | 23  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR    | 65  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR    | 89  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR    | 7   |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR    | 44  |
| yt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2   |
| ıt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC    | 89  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 577   |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 89  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2   |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN    | 0   |
| yt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR    | 0   |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN     | 1   |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT    | 2   |
| yt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET    | 2   |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR     | 0   |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR     | 1   |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD     | 2   |
| yt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL    | 0   |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         | 65  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         | 89  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.STR         | 67  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL        | 7   |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH        | 577   |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT         | 88  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR         | 23  |

2014-10-14, 23:10:23+0530



| DigColPsini_Stankequest                                   |             | TALCITATE OF THE PROPERTY OF T |
|---|-------------|--|
| Name  | Input Value |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                      | 65          |  |
| tgt I2c Send I2cRegPtr Cnt T str.DXR                      | 89          |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                      | 7           |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                      | 44          |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                     | 2           |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                      | 89          |  |
|   | 577         |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                    | 89          |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                    |             |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC                     | 2           |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                      | 0           |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR                      | 0           |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                      | 1           |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT                     | 2           |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET                      | 2           |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                      | 0           |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                      | 1           |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD                       | 2           |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                      | 0           |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR                   | 65          |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR                   | 89          |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR                   | 67          |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL                  | 7           |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH                  | 577         |  |
| tgt I2c SetRecv I2cRegPtr Cnt T str.CNT                   | 88          |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR                   | 23          |  |
| tgt I2c SetRecv I2cRegPtr Cnt T str.SAR                   | 65          |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR                   | 89          |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR                   | 7           |  |
|   |             |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR                   | 44          |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR                  | 2           |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC                   | 89          |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11                 | 577         |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12                 | 89          |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC                  | 2           |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN                   | 0           |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR                   | 0           |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN                   | 1           |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT                  | 2           |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET                   | 2           |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR                   | 0           |  |
| tgt I2c SetRecv I2cRegPtr Cnt T str.ODR                   | 1           |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                    | 2           |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL                   | 0           |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR        | 65          |  |
|   |             |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR        | 89          |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR        | 67          |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL       | 7           |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       | 577         |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT        | 88          |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR        | 23          |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR        | 65          |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR        | 89          |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR        | 7           |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR        | 44          |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       | 2           |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC        | 89          |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11      | 577         |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12      | 89          |  |
|   | 2           |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC       |             |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN        | 0           |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR        | 0           |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN        | 1           |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT       | 2           |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET        | 2           |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR        | 0           |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR        | 1           |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD         | 2           |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL        | 0           |  |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR       | 65          |  |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR       | 89          |  |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR       | 67          |  |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL      | 7           |  |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH      | 577         |  |
| 191_120_Octupiniastor transmit_1201/cgr tt_Ont_1_5tt.OLNF | 011         |  |

2014-10-14, 23:10:23+0530



| Name   | Input Value         |                     |          |
|--|---------------------|---------------------|----------|
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 88                  |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  | 23                  |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65                  |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 89                  |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7                   |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 44                  |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 2                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 89                  |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 577                 |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC | 89                  |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN  | 0                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2                   |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 0                   |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 1                   |                     |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 2                   |                     |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0                   |                     |          |
| Name   | Actual Value        | Expected Value      | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 32                  | 32                  | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 80                  | 80                  | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 90                  | 90                  | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 60                  | 60                  | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_SENSOR1_SETREG | READ_SENSOR1_SETREG | ~        |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 1                   | 1                   | ~        |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 0                   | 0                   | ~        |
| I2c_Send(Length_Cnt_T_u32)   | 1                   | 1                   | <b>*</b> |
| I2c_SetRecv(Length_Cnt_T_u32)  | 0                   | 0                   | <b>*</b> |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)   | 0                   | 0                   | · ·      |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 65                  | 1<br>65             | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR                        | 89                  | 89                  |          |
| tgt I2c GetStatus I2cRegPtr Cnt T str.STR  | 67                  | 67                  |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 7                   | 7                   |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 577                 | 577                 | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT  | 88                  | 88                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  | 23                  | 23                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 65                  | 65                  | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  | 89                  | 89                  | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  | 7                   | 7                   | <b>✓</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR  | 44                  | 44                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2                   | 2                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  | 89                  | 89                  | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  | 577                 | 577                 | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 89                  | 89                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2                   | 2                   | <b>✓</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0                   | 0                   | <b>V</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0                   | 0                   | · ·      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT                       | 2                   | 2                   |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  | 2                   | 2                   |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR  | 0                   | 0                   |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1                   | 1                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD   | 2                   | 2                   | <b>✓</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 0                   | 0                   | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 65                  | 65                  | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 89                  | 89                  | <b>✓</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 67                  | 67                  | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 7                   | 7                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 577                 | 577                 | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 88                  | 88                  | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 23                  | 23                  | <b>*</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 65                  | 65                  | <b>*</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 89                  | 89                  | <b>V</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 7                   | 7                   | <b>V</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 44                  | 44                  | <b>*</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  | 2                   | 2                   | <b>*</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 89                  | 89                  | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12                              | 577<br>89           | 577<br>89           |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC  | 2                   | 2                   | ~        |
| G. 1-0_0010_12010gr tr_oft_1_0tt.blvtrto   | -                   |                     |          |
| 0.D  |                     |                     |          |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | <b>~</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT                              | 2            | 2              | - V      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ,        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | <b>~</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 67           | 67<br>7        | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH                       | 7<br>577     | 577            | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 88           | 88             |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | <b>✓</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | <b>V</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 577          | 577<br>89      | <b>✓</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 89           | 2              | , v      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN                        | 0            | 0              | ·        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD  | 2            | 2              | <b>V</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR   | 65<br>89     | 65<br>89       | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 67           | 67             | -        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 88           | 88             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 23           | 23             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 65           | 65             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 89           | 89             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 7 44         | 7 44           |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | -        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | -        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | - V      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD   | 2            | 2              | <b>~</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR | 23           | 88<br>23       | 9        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | <b>~</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89<br>  577  | 89             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11   |              | 577            |          |

tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.ODR

 $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD$ 

 $tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.PSL$ 

DigColPsInt\_StartRequest

2014-10-14, 23:10:23+0530

1

2

0



Actual Value **Expected Value** tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12 89 89  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC$ 2 tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.FUN 0 0  $tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.DIR$ 0 0 tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.DIN 1 1  $tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.DOUT$ 2 2 tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET 2 2  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR$ 0 0

1

2

0

| T                       |       |                         |       | ✓        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GetStatus           | 1     | I2c_GetStatus           | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |

| est Step 2.10 (Repeat Count = 1)              |   |
|---|---|
| lame  | Input Value                                     |
| ligColPsInt_Buffer_Cnt_M_u08[0]               | 3   |
| ligColPsInt_Buffer_Cnt_M_u08[1]               | 6   |
| ligColPsInt_Buffer_Cnt_M_u08[2]               | 9   |
| ligColPsInt_CurrentSlave_Cnt_M_u08            | 77  |
| ligColPsInt_CurrentStepNo_Cnt_M_enum          | INIT_COMPLETE                                   |
| ligColPsInt_PrevReqDataType_Cnt_M_u08         | 1   |
| ligColPsInt_SensInitialized_Cnt_M_lgc         | 1   |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc        | 1   |
| 2c_GetStatus()                                | 0   |
| 2c_GetStatus(I2cRegPtr_Cnt_T_str)             | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_Send(I2cRegPtr_Cnt_T_str)                  | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)               | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)    | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| ype_Cnt_T_u08                                 | 1   |
| 2cREG1 temp                                   | target i2cREG1 temp                             |
| ColSensorI2CAddress Cnt u08                   | 69  |
| arget i2cREG1 temp.OAR                        | 54  |
| arget i2cREG1 temp.IMR                        | 66  |
| arget i2cREG1 temp.STR                        | 8   |
| arget_i2cREG1_temp.CLKL                       | 554   |
| arget_i2cREG1_temp.CLKH                       | 344   |
| arget i2cREG1 temp.CNT                        | 123   |
| · ·   | 45  |
| arget_j2cREG1_temp.DRR arget_i2cREG1_temp.SAR | 54  |
| ·   | 66  |
| arget_i2cREG1_temp.DXR                        |   |
| arget_i2cREG1_temp.MDR                        | 554   |
| arget_i2cREG1_temp.IVR                        | 788   |
| arget_i2cREG1_temp.EMDR                       | 3   |
| arget_i2cREG1_temp.PSC                        | 66  |
| arget_i2cREG1_temp.PID11                      | 344   |
| arget_i2cREG1_temp.PID12                      | 66  |
| arget_i2cREG1_temp.DMAC                       | 3   |
| arget_i2cREG1_temp.FUN                        | 1   |
| arget_i2cREG1_temp.DIR                        | 3   |
| arget_i2cREG1_temp.DIN                        | 2   |
| arget_i2cREG1_temp.DOUT                       | 3   |
| arget_i2cREG1_temp.SET                        | 3   |
| arget_i2cREG1_temp.CLR                        | 3   |
| arget_i2cREG1_temp.ODR                        | 2   |
| arget_i2cREG1_temp.PD                         | 1   |
| arget_i2cREG1_temp.PSL                        | 2   |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR      | 54  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR      | 66  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR      | 8   |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL     | 554   |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH     | 344   |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT      | 123   |
| ,   | 45  |

2014-10-14, 23:10:23+0530



| DigColPsInt_StartRequest   | MACI        | ناسر |
|--|-------------|------|
| Name   | Input Value |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR   | 54          |      |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR   | 66          |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR   | 554         |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR   | 788         |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3           |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66          |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11   | 344         |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66          |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3           |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1           |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR   | 3           |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2           |      |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  | 3           |      |
|  |             |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET   | 3           |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR   | 3           |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2           |      |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD  | 1           |      |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL   | 2           |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 54          |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66          |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 8           |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 554         |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 344         |      |
| yt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 123         |      |
| pt 12c Send 12cRegPtr Cnt T str.DRR  | 45          |      |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 54          |      |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 66          |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 554         |      |
|  | 788         |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 3           |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   |             |      |
| yt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66          |      |
| yt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 344         |      |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66          |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3           |      |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.FUN  | 1           |      |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 3           |      |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN  | 2           |      |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT   | 3           |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3           |      |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR  | 3           |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2           |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 1           |      |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 2           |      |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 54          |      |
| t_12c_SetRecv_12cRegPtr_Cnt_T_str.IMR  | 66          |      |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  | 8           |      |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL   | 554         |      |
|  |             |      |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 344         |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 123         |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 45          |      |
| ıt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 54          |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66          |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 554         |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 788         |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3           |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66          |      |
| ıt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 344         |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66          |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3           |      |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN  | 1           |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 3           |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2           |      |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 3           |      |
|  | 3           |      |
| tt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET   |             |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 3           |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2           |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 1           |      |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 2           |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 54          |      |
| ji_ize_octupiviasteri/cocive_izer/cgr ti_ont_i_str.o/i/  |             |      |
|  | 66          |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66<br>8     |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL |             |      |

2014-10-14, 23:10:23+0530



| DigColPsini_Stankequest   |                      |                      | CILAIU |
|---|----------------------|----------------------|--------|
| Name  | Input Value          |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 123                  |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 45                   |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 54                   |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR     | 554                  |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR  | 788                  |                      |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.EMDR   | 3                    |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66                   |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344                  |                      |        |
| tgt I2c SetupMasterReceive I2cReqPtr Cnt T str.PID12  | 66                   |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3                    |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1                    |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 3                    |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 2                    |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 3                    |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET  | 3                    |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 3                    |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 2                    |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD   | 1                    |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL<br>tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR | 54                   |                      |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 66                   |                      |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.Nrk  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  | 8                    |                      |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 554                  |                      |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 344                  |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123                  |                      |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 45                   |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54                   |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66                   |                      |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 554                  |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788                  |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3                    |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66                   |                      |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11   | 344                  |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 66                   |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3                    |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 3                    |                      |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 2                    |                      |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT   | 3                    |                      |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 3                    |                      |        |
| tqt I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 3                    |                      |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 2                    |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 1                    |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2                    |                      |        |
| Name  | Actual Value         | Expected Value       | Result |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 3                    | 3                    | -      |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 6                    | 6                    | •      |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 9                    | 9                    | -      |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 69                   | 69                   | ~      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ_SENSOR1_GETDATA | READ_SENSOR1_GETDATA | ~      |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 1                    | 1                    | •      |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 1                    | 1                    | •      |
| I2c_SetRecv(Length_Cnt_T_u32)   | 2                    | 2                    | •      |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)  | 2                    | 2                    | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR   | 54<br>66             | 54<br>66             | ¥      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR                       | 8                    | 8                    |        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 554                  | 554                  |        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  | 344                  | 344                  |        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT   | 123                  | 123                  |        |
| tgt I2c GetStatus I2cRegPtr Cnt T str.DRR   | 45                   | 45                   | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR   | 54                   | 54                   | -      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66                   | 66                   | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR   | 554                  | 554                  | -      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR   | 788                  | 788                  | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3                    | 3                    | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66                   | 66                   | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11   | 344                  | 344                  |        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66                   | 66                   | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3                    | 3                    | ~      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1                    | 1                    | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR   | 3                    | 3                    |        |
|   |                      |                      |        |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ·      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR                   | 3            | 3              |        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              |        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 54           | 54             | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR  | 8            | 8              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 554          | 554            | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 344          | 344            | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 123          | 123            | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  | 45           | 45             | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR  | 54           | 54             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66<br>554    | 66<br>554      | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                             | 788          | 788            |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  | 66           | 66             |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID11  | 344          | 344            | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12  | 66           | 66             |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 2            | 2              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ·      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL  | 554          | 554<br>344     |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT                      | 123          | 123            |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 45           | 45             |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   | 54           | 54             |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 66           | 66             |        |
| tgt I2c SetRecv I2cRegPtr Cnt T str.MDR   | 554          | 554            |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 344          | 344            | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD  | 2            | 1 2            | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL   | 54           | 54             |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 66           | 66             |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR | 8            | 8              |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL   | 554          | 554            |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH   | 344          | 344            |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  | 123          | 123            | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 45           | 45             | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 54           | 54             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 554          | 554            | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 788          | 788            | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344          | 344            | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              |        |

tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.PSL

DigColPsInt\_StartRequest

2014-10-14, 23:10:23+0530



**Actual Value Expected Value** tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.FUN tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.DIR tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DIN tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.DOUT tgt I2c SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.SET tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.CLR tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.ODR tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.PD tgt\_l2c\_SetupMasterReceive\_l2cRegPtr\_Cnt\_T\_str.PSL  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.OAR$  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IMR$  $tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.STR$ tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKL  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKH$ tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.CNT tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DRR  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SAR$ tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.DXR  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.MDR$ tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IVR  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.EMDR$ **V** tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSC  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID11$ tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12 tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.FUN tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIR  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN$ tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  $tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET$ tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR tgt\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.ODR tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD 

| Т                      |       |                        |       | V        |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| I2c_GetStatus          | 1     | I2c_GetStatus          | 1     | ~        |
| SetupRead              | 1     | SetupRead              | 1     | •        |
| I2c_SetupMasterReceive | 1     | l2c_SetupMasterReceive | 1     | ~        |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | <b>✓</b> |

| Test Step 2.11 (Repeat Count = 1)            | ✓   |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 11  |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 22  |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 33  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 65  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08        | 2   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc      | 0   |
| I2c_GetStatus()                              | 65535   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 2   |
| i2cREG1_temp                                 | target_i2cREG1_temp                             |
| k_ColSensorl2CAddress_Cnt_u08                | 33  |
| target_i2cREG1_temp.OAR                      | 3   |
| target_i2cREG1_temp.IMR                      | 100   |
| target_i2cREG1_temp.STR                      | 7788  |
| target_i2cREG1_temp.CLKL                     | 2767  |
| target_i2cREG1_temp.CLKH                     | 556   |
| target_i2cREG1_temp.CNT                      | 564   |
| target_i2cREG1_temp.DRR                      | 88  |
| target_i2cREG1_temp.SAR                      | 3   |
| target_i2cREG1_temp.DXR                      | 100   |

2014-10-14, 23:10:23+0530



| DigColFSini_StartRequeSt                   |             |  |
|--|-------------|--|
| Name                                       | Input Value |  |
| target_i2cREG1_temp.MDR                    | 2767        |  |
| arget_i2cREG1_temp.IVR                     | 9           |  |
| arget_i2cREG1_temp.EMDR                    | 0           |  |
| arget i2cREG1 temp.PSC                     | 100         |  |
| arget_i2cREG1_temp.PID11                   | 556         |  |
| target_i2cREG1_temp.PID12                  | 100         |  |
| arget i2cREG1_temp.DMAC                    | 2           |  |
|  | 0           |  |
| arget_i2cREG1_temp.FUN                     | 1           |  |
| arget_i2cREG1_temp.DIR                     |             |  |
| target_i2cREG1_temp.DIN                    | 3           |  |
| arget_i2cREG1_temp.DOUT                    | 2           |  |
| arget_i2cREG1_temp.SET                     | 0           |  |
| arget_i2cREG1_temp.CLR                     | 1           |  |
| arget_i2cREG1_temp.ODR                     | 3           |  |
| arget_i2cREG1_temp.PD                      | 0           |  |
| arget_i2cREG1_temp.PSL                     | 3           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR   | 3           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR   | 100         |  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR   | 7788        |  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 2767        |  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  | 556         |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT   | 564         |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR   | 88          |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR   | 3           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR   | 100         |  |
| gt I2c GetStatus I2cRegPtr Cnt T str.MDR   | 2767        |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR   | 9           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 0           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC   | 100         |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11 | 556         |  |
|  | 100         |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12 |             |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN   | 3           |  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  | 2           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET   | 0           |  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR   | 1           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR   | 3           |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD    | 0           |  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL   | 3           |  |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR        | 3           |  |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR        | 100         |  |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.STR        | 7788        |  |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL       | 2767        |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       | 556         |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT        | 564         |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR        | 88          |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR        | 3           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR        | 100         |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR        | 2767        |  |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR        | 9           |  |
|  | 0           |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       | 100         |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC        |             |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11      | 556         |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12      | 100         |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       | 2           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN        | 0           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR        | 1           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN        | 3           |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       | 2           |  |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.SET         | 0           |  |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR        | 1           |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR        | 3           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PD         | 0           |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL        | 3           |  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR     | 3           |  |
|  |             |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR     | 100         |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR     | 7788        |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL    | 2767        |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH    | 556         |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT     | 564         |  |
|  | 88          |  |

2014-10-14, 23:10:23+0530



| Name  | Input Value  |                |          |
|---|--------------|----------------|----------|
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR               | 3            |                |          |
|   | 100          |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR               |              |                |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR               | 2767         |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR               | 9            |                |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR              | 0            |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC               | 100          |                |          |
|   |              |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11             | 556          |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12             | 100          |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC              | 2            |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN               | 0            |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR               | 1            |                |          |
| tgt I2c SetRecv I2cRegPtr Cnt T str.DIN               | 3            |                |          |
|   |              |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT              | 2            |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET               | 0            |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR               | 1            |                |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR               | 3            |                |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                | 0            |                |          |
|   |              |                |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL               | 3            |                |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR    | 3            |                |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR    | 100          |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 7788         |                |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL   | 2767         |                |          |
|   |              |                |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH   | 556          |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 564          |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 88           |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 3            |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 100          |                |          |
|   |              |                |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR    | 2767         |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 9            |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0            |                |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC    | 100          |                |          |
|   | 556          |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  |              |                |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 100          |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            |                |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR    | 1            |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 3            |                |          |
|   | 2            |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   |              |                |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET    | 0            |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            |                |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 3            |                |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD     | 0            |                |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL    | 3            |                |          |
|   |              |                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 3            |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 100          |                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 7788         |                |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 2767         |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 556          |                |          |
|   |              |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 564          |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 88           |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 3            |                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 100          |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2767         |                |          |
|   |              |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 9            |                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 0            |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 100          |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 556          |                |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 100          |                |          |
|   | 2            |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  |              |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            |                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 1            |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            |                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 2            |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            |                |          |
|   |              |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            |                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 3            |                |          |
| Name  | Actual Value | Expected Value | Result   |
|   |              | •              | Nesult   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                       | 11           | 11             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                       | 22           | 22             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                       | 33           | 33             | •        |
|   |              |                |          |
| DigColPsInt_CurrentSlave_Cnt_M_u08                    | 65           | 65             | <b>✓</b> |

2014-10-14, 23:10:23+0530



| Name  | Actual Value  | Expected Value | Res |
|---|---------------|----------------|-----|
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_COMPLETE | INIT_COMPLETE  |     |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 2             | 2              |     |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 0             | 0              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR  | 3             | 3              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR  | 100           | 100            |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR  | 7788          | 7788           |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2767          | 2767           |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 556           | 556            |     |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  | 564           | 564            |     |
|   | 88            | 88             |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  |               |                |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 3             | 3              |     |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  | 100           | 100            |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2767          | 2767           |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR  | 9             | 9              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 0             | 0              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC  | 100           | 100            |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 556           | 556            |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 100           | 100            |     |
| gt I2c GetStatus I2cRegPtr Cnt T str.DMAC   | 2             | 2              |     |
|   |               |                |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0             | 0              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1             | 1              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN  | 3             | 3              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 2             | 2              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET  | 0             | 0              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1             | 1              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR  | 3             | 3              |     |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD   | 0             | 0              |     |
| gt_12c_GetStatus_12cRegPtr_Cnt_1_str.PD<br>gt_12c_GetStatus_12cRegPtr_Cnt_T_str.PSL | 3             | 3              |     |
|   |               |                |     |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 3             | 3              |     |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 100           | 100            |     |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 7788          | 7788           |     |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2767          | 2767           |     |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 556           | 556            |     |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 564           | 564            |     |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 88            | 88             |     |
|   | 3             | 3              |     |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   |               |                |     |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 100           | 100            |     |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 2767          | 2767           |     |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 9             | 9              |     |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  | 0             | 0              |     |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 100           | 100            |     |
| gt I2c Send I2cRegPtr Cnt T str.PID11   | 556           | 556            |     |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 100           | 100            |     |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2             | 2              |     |
|   |               |                |     |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0             | 0              |     |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1             | 1              |     |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3             | 3              |     |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2             | 2              |     |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0             | 0              |     |
| yt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1             | 1              |     |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 3             | 3              |     |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.PD   | 0             | 0              |     |
|   |               |                |     |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3             | 3              |     |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 3             | 3              |     |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 100           | 100            |     |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 7788          | 7788           |     |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2767          | 2767           |     |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 556           | 556            |     |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 564           | 564            |     |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 88            | 88             |     |
|   | 3             | 3              |     |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   |               |                |     |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 100           | 100            |     |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2767          | 2767           |     |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 9             | 9              |     |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 0             | 0              |     |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 100           | 100            |     |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 556           | 556            |     |
|   | 100           | 100            |     |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   |               |                |     |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 2             | 2              |     |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 0             | 0              |     |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1             | 1              |     |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 3             | 3              |     |
|   |               | 2              |     |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET   | 0            | 0              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3              | •      |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.IMR  | 100          | 100            | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           | •      |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL   | 2767         | 2767           | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 556          | 556            |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | •      |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DRR  | 88           | 88             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 100          | 100            |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR  | 2767         | 2767           |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR  | 9            | 9              |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  | 100          | 100            |        |
|   | 556          | 556            |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 | 100          | 100            |        |
|   | 2            |                |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   |              | 2              |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN  | 0            | 0              |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 100          | 100            | •      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           | •      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 564          | 564            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | •      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | •      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |        |

| T               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
| I2c_GetStatus   | 1     | I2c_GetStatus     | 1     | ~        |

| Test Step 2.12 (Repeat Count = 1)       |                                | <b>✓</b> |
|---|--------------------------------|----------|
| Name                                    | Input Value                    |          |
| DigColPsInt_Buffer_Cnt_M_u08[0]         | 44                             |          |
| DigColPsInt_Buffer_Cnt_M_u08[1]         | 55                             |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]         | 66                             |          |
| DigColPsInt_CurrentSlave_Cnt_M_u08      | 78                             |          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum    | INIT_SENSOR1_READEXTERR_SETREG |          |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 3                              |          |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1                              |          |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc | 1                              |          |

DigColPsInt\_StartRequest

2014-10-14, 23:10:23+0530



Input Value I2c GetStatus() 4000 I2c\_GetStatus(I2cRegPtr\_Cnt\_T\_str) tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str I2c Send(I2cRegPtr Cnt T str) tgt I2c Send I2cRegPtr Cnt T str I2c\_SetRecv(I2cRegPtr\_Cnt\_T\_str) tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str I2c SetupMasterReceive(I2cRegPtr Cnt T str) tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str I2c\_SetupMasterTransmit(I2cRegPtr\_Cnt\_T\_str) tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str Type Cnt T u08 3 i2cREG1\_temp target\_i2cREG1\_temp k\_ColSensorl2CAddress\_Cnt\_u08 55 target i2cREG1 temp.OAR 678 target\_i2cREG1\_temp.IMR 45 66 target i2cREG1 temp.STR target\_i2cREG1\_temp.CLKL 56 target\_i2cREG1\_temp.CLKH 6788 target\_i2cREG1\_temp.CNT 7878 12 target i2cREG1 temp.DRR target\_i2cREG1\_temp.SAR 678 target\_i2cREG1\_temp.DXR 45 target\_i2cREG1\_temp.MDR 56 target\_i2cREG1\_temp.IVR 778 target\_i2cREG1\_temp.EMDR target\_i2cREG1\_temp.PSC 45 target\_i2cREG1\_temp.PID11 6788 target\_i2cREG1\_temp.PID12 45 target\_i2cREG1\_temp.DMAC target\_i2cREG1\_temp.FUN 1 target\_i2cREG1\_temp.DIR 0 target\_i2cREG1\_temp.DIN 1 target i2cREG1 temp.DOUT 1 target\_i2cREG1\_temp.SET 1 target i2cREG1 temp.CLR 0 target\_i2cREG1\_temp.ODR 1 target i2cREG1 temp.PD 2 target\_i2cREG1\_temp.PSL 1 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.OAR 678 45  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.IMR$  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.STR$ 66  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 56 tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.CLKH 6788 tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.CNT 7878 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DRR 12 tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.SAR 678 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DXR 45 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.MDR 56  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.IVR$ 778 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.EMDR 1 tgt I2c GetStatus I2cRegPtr Cnt T str.PSC 45 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PID11 6788 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PID12 45 tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.DMAC 1 tgt I2c GetStatus I2cRegPtr Cnt T str.FUN 1 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DIR 0 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DIN tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DOUT 1 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.SET  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.CLR$ 0 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.ODR tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PD 2 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PSL tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.OAR 678 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR 45 66 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.STR tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKL 56  $tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 6788 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CNT 7878 12 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DRR tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SAR 678 tgt I2c Send I2cRegPtr Cnt T str.DXR 45 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.MDR 56 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IVR 778 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.EMDR tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSC 45  $tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID11$ 6788

2014-10-14, 23:10:23+0530



| DigCoiPsini_StartRequest  |                       |
|---|-----------------------|
| Name  | Input Value           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 45                    |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1                     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1                     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0                     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1                     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1                     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1                     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0                     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1                     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 2                     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 1                     |
| tgt I2c SetRecv I2cRegPtr Cnt T str.OAR   | 678                   |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR   | 45                    |
|   | 66                    |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   |                       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL  | 56                    |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH  | 6788                  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 7878                  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 12                    |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   | 678                   |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 45                    |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 56                    |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 778                   |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 1                     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 45                    |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 6788                  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   | 45                    |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC  | 1                     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1                     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 0                     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1                     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 1                     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1                     |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 0                     |
|   | 1                     |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 2                     |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD  | 1                     |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL   |                       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 678                   |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR  | 45                    |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  | 66                    |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 56                    |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH   | 6788                  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 7878                  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 12                    |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 678                   |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 45                    |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 56                    |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 778                   |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 1                     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  | 45                    |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  | 6788                  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 45                    |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC   | 1                     |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN  | 1                     |
|   | 0                     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  |                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 1                     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1                     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET  | 1                     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR  | 0                     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  | 1                     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD   | 2                     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 1                     |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 678                   |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 45                    |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 66                    |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 56                    |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 6788                  |
|   | 7878                  |
|   |                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   |                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT<br>tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  | 12                    |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 12<br>678             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 12<br>678<br>45       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR | 12<br>678<br>45<br>56 |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 12<br>678<br>45       |

2014-10-14, 23:10:23+0530



| 3  |                                |                                |          |
|--|--------------------------------|--------------------------------|----------|
| Name   | Input Value                    |                                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  | 45                             |                                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 6788                           |                                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC | 45<br>1                        |                                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN  | 1                              |                                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0                              |                                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1                              |                                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT   | 1                              |                                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  | 1                              |                                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 0                              |                                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1                              |                                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 2                              |                                |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  | 1                              |                                | 1        |
| Name   | Actual Value                   | Expected Value                 | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 44                             | 44                             | <b>•</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 55<br>66                       | 55                             | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08   | 78                             | 78                             | -        |
| DigColPsInt CurrentStepNo Cnt M enum   | INIT_SENSOR1_READEXTERR_SETREG | INIT_SENSOR1_READEXTERR_SETREG | J        |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 3                              | 3                              | -        |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 1                              | 1                              | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR  | 678                            | 678                            | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  | 45                             | 45                             | -        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  | 66                             | 66                             | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 56                             | 56                             | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 6788                           | 6788                           | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  | 7878                           | 7878                           | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  | 12                             | 12                             | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 678                            | 678                            | · ·      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  | 45<br>56                       | 56<br>56                       |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR                        | 778                            | 778                            |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 1                              | 1                              | J        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC  | 45                             | 45                             | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 6788                           | 6788                           | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 45                             | 45                             | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 1                              | 1                              | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1                              | 1                              | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  | 0                              | 0                              | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  | 1                              | 1                              | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1                              | 1                              | · ·      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET  | 0                              | 0                              | J        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR                        | 1                              | 1                              |          |
| tgt I2c GetStatus I2cRegPtr Cnt T str.PD   | 2                              | 2                              | ,        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 1                              | 1                              | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 678                            | 678                            | -        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 45                             | 45                             | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 66                             | 66                             | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 56                             | 56                             | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  | 6788                           | 6788                           | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 7878                           | 7878                           | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 12                             | 12                             | · ·      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR<br>tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR                               | 678<br>45                      | 678<br>45                      | J        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 56                             | 56                             |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 778                            | 778                            |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  | 1                              | 1                              | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 45                             | 45                             | -        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 6788                           | 6788                           | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 45                             | 45                             | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 1                              | 1                              | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                              | 1                              | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0                              | 0                              | <b>V</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1                              | 1                              | - V      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1                              | 1                              |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET<br>tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR                               | 0                              | 0                              | -        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 1                              | 1                              |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2                              | 2                              | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 1                              | 1                              | -        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 678                            | 678                            | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 45                             | 45                             | -        |
|  |                                |                                |          |

2014-10-14, 23:10:23+0530



| Name   | Actual Value | Expected Value | Resu |
|--|--------------|----------------|------|
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 66           | 66             |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 56           | 56             | •    |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 6788         | 6788           | •    |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 7878         | 7878           | •    |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | •    |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 678          | 678            | ,    |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 45           | 45             |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR<br>gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR                           | 56<br>778    | 56<br>778      |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_1_str.tvk gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR                             | 1            | 1              |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 45           | 45             |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 6788         | 6788           |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 45           | 45             |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 0            | 0              |      |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 1            | 1              |      |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | •    |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL   | 1            | 1              |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 678          | 678            |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 45           | 45             |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  | 66           | 66             |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL   | 56           | 56             |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH   | 6788         | 6788           | •    |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  | 7878         | 7878           | •    |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 12           | 12             | •    |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 678          | 678            | •    |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 45           | 45             | •    |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 56           | 56             | •    |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 778          | 778            | •    |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | •    |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  | 45           | 45             | •    |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  | 6788         | 6788           | •    |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 45           | 45             | •    |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | •    |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •    |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | •    |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | •    |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 1            | 1              |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 678          | 678            |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 45<br>66     | 45             |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 56           | 66<br>56       |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL<br>gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH | 6788         | 6788           |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_I_str.CLKH  gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT    | 7878         | 7878           |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_I_str.CN1  gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR     | 12           | 12             |      |
|  | 678          | 678            |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR      | 45           | 45             |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtt_Cnt_T_str.MDR  gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR     | 56           | 56             |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtt_Cnt_T_str.IVR   | 778          | 778            |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtt_Cnt_T_str.FMDR  | 1            | 1              |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtt_Cnt_T_str.PSC  gt_l2c_SetupMasterTransmit_l2cRegPtt_Cnt_T_str.PSC     | 45           | 45             |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 6788         | 6788           |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 45           | 45             |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              |      |
| ○  |              | 1              |      |



| Τ               |       |                          |       | V      |
|-----------------|-------|--------------------------|-------|--------|
| Actual Function | Count | Expected Function        | Count | Result |
| *none*          | 0     | *** No Call Expected *** | 0     | -      |

| Test Step 2.13 (Repeat Count = 1)                      |   |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]                        | 10  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                        | 20  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                        | 30  |
| DigColPsInt_CurrentSlave_Cnt_M_u08                     | 40  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                   | INIT_NOT_INITIALIZED                            |
| DigColPsInt_PrevReqDataType_Cnt_M_u08                  | 1   |
| DigColPsInt_SensInitialized_Cnt_M_lgc                  | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc                | 0   |
| 2c_GetStatus()   | 123   |
| 2c_GetStatus(I2cRegPtr_Cnt_T_str)                      | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_Send(I2cRegPtr_Cnt_T_str)                           | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                        | tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)             | tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)            | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| ype_Cnt_T_u08  |   |
| 2cREG1_temp  | target_i2cREG1_temp                             |
| _ColSensorl2CAddress_Cnt_u08<br>arget_i2cREG1_temp.OAR | 66  |
| arget_i2cREG1_temp.IMR                                 | 78  |
| arget_i2cREG1_temp.fiMR<br>arget_i2cREG1_temp.STR      | 78  |
| arget i2cREG1_temp.CLKL                                | 495   |
| arget i2cREG1_temp.CLKH                                | 56  |
| arget i2cREG1_temp.CNT                                 | 897   |
| arget_i2cREG1_temp.DRR                                 | 98  |
| arget_i2cREG1_temp.SAR                                 | 66  |
| arget i2cREG1 temp.DXR                                 | 78  |
| arget i2cREG1 temp.MDR                                 | 495   |
| arget_i2cREG1_temp.IVR                                 | 66  |
| arget_i2cREG1_temp.EMDR                                | 0   |
| arget i2cREG1 temp.PSC                                 | 78  |
| arget i2cREG1 temp.PID11                               | 56  |
| arget_i2cREG1_temp.PID12                               | 78  |
| arget_i2cREG1_temp.DMAC                                | 0   |
| arget_i2cREG1_temp.FUN                                 | 0   |
| arget_i2cREG1_temp.DIR                                 | 0   |
| arget_i2cREG1_temp.DIN                                 | 1   |
| arget_i2cREG1_temp.DOUT                                | 0   |
| arget_i2cREG1_temp.SET                                 | 0   |
| arget_i2cREG1_temp.CLR                                 | 0   |
| arget_i2cREG1_temp.ODR                                 | 1   |
| arget_i2cREG1_temp.PD                                  | 0   |
| arget_i2cREG1_temp.PSL                                 | 0   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR               | 66  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR               | 78  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR               | 78  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL              | 495   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH              | 56  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT               | 897   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR               | 98  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR               | 66  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR               | 78  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR               | 495   |
| pt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR               | 66  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR              | 0   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC               | 78  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11             | 56  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12             | 78  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC              | 0   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN               | 0   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR               | 0   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN               | 1   |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT              | 0   |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET               | 0   |

2014-10-14, 23:10:23+0530



| Name Input Value tgt I2c GetStatus I2cRegPtr Cnt T str.ODR 1  |  |
|---|--|
| ·   |  |
|   |  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD 0  |  |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL 0   |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR 66   |  |
| tgt I2c Send I2cRegPtr Cnt T str.IMR 78   |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR 78   |  |
|   |  |
|   |  |
|   |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CNT 897  |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR 66   |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR 78   |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR 495  |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR 66   |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR 0   |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC 78   |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 56   |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 78   |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC 0   |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN 0  |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR 0  |  |
| tgt I2c Send I2cRegPtr Cnt T str.DIN  |  |
| 0 0   |  |
| 0 0   |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET 0  |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR 0  |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  |  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD 0   |  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL 0  |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR 66  |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR 78  |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR 78  |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL 495  |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH 56   |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT 897   |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR 98  |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR 66  |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR 78  |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR 495   |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR 66  |  |
| tgt I2c SetRecv I2cRegPtr Cnt T str.EMDR 0  |  |
|   |  |
| 0 0   |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 56  |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 78  |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC 0  |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN 0   |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR 0   |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN 1   |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT 0  |  |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET 0   |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR 0   |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD 0  |  |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL 0   |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR 66   |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR 78   |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR 78   |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL 495   |  |
|   |  |
|   |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT 897  |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR 98   |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR 66   |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR 78   |  |
|   |  |
|   |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR 66   |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR 66   |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR     66       tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR     0       tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC     78   |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR         66           tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR         0           tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC         78           tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11         56   |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       66         tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       0         tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       78         tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       56         tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       78   |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       66         tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       0         tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       78         tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       56         tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       78         tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       0   |  |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR         66           tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR         0           tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC         78           tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11         56           tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12         78           tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC         0           tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN         0  |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR         66           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR         0           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC         78           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11         56           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12         78           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC         0           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN         0           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR         0 |  |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR         66           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR         0           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC         78           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11         56           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12         78           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC         0           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN         0  |  |

2014-10-14, 23:10:23+0530



| DigColPsint_StartRequest   |   | [GEC]  | CHU    |
|--|---|--|--------|
| Name   | Input Value   |  |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 0   |  |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR   | 0   |  |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR<br>tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD  | 0   |  |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL   | 0   |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 66  |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 78  |  |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  | 78  |  |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL   | 495   |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 56  |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 98<br>98  |  |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR  | 98  |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 78  |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 495   |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 66  |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0   |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 78  |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 56  |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 78  |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 0   |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0   |  |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  | 1   |  |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT   | 0   |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0   |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0   |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1   |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0   |  |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0   |  |        |
| Name   | Actual Value  | Expected Value   | Result |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10  | 10   | •      |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20  | 20   | •      |
| DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08   | 30<br>40  | 30<br>40   |        |
| DigCoir sint_Currentsiave_Crit ivi doo   | 40  | 40   | •      |
|  | INIT NOT INITIALIZED  | INIT NOT INITIALIZED   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_NOT_INITIALIZED  1   | INIT_NOT_INITIALIZED  1  |        |
|  |   |  |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08   | 1   | 1  | •      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 1<br>0<br>66<br>78  | 1 0  |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR   | 1<br>0<br>66<br>78<br>78  | 1<br>0<br>66<br>78<br>78   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 1<br>0<br>66<br>78<br>78<br>495   | 1<br>0<br>66<br>78<br>78<br>495  |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 1<br>0<br>66<br>78<br>78<br>495<br>56   | 1<br>0<br>66<br>78<br>78<br>495<br>56  |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897  | 1<br>0<br>66<br>78<br>78<br>495<br>56  |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR   | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897  | 1<br>0<br>66<br>78<br>78<br>495<br>56  |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR   | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495   | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495  | 0      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78   | 0      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78  | 1<br>0<br>666<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56  |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78                                | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78                                | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78                                | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78                                | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78                                | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR   | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78                                | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>0<br>78<br>56<br>78<br>0<br>0<br>0            | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>0<br>78<br>56<br>78<br>0<br>0<br>0                     |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>0<br>78<br>56<br>78<br>0<br>0<br>0            | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>0<br>78<br>56<br>78<br>0<br>0<br>0                     |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR   | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>0<br>78<br>56<br>78<br>0<br>0<br>0<br>0       | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>0<br>78<br>56<br>78<br>0<br>0<br>0<br>0                |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDI11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIMC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  | 1<br>0<br>666<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>0<br>78<br>56<br>78<br>0<br>0<br>0<br>0<br>1 | 1<br>0<br>66<br>78<br>78<br>495<br>56<br>897<br>98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78<br>0<br>0<br>0<br>1<br>0<br>0<br>0<br>1 |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 0 1 0 0 0 1   | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 0 1 0 0 0 66   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PBD  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PBD  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PBD11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DINAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DINAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 0 1 0 0 66 78   | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 0 1 0 0 66 78  |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.NDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.NDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DINAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DAR  | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 0 1 0 0 66 78   | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 0 1 0 0 66 78 78   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PBD  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PBD  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PBD11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DINAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DINAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 0 1 0 0 66 78   | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 0 1 0 0 66 78  |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DD  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DAR  | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 0 1 0 0 66 78 78 78 495                                   | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 0 1 0 0 66 78 78 78 495  |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLK  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLK  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLK                    | 1 0 666 78 78 495 566 897 98 666 78 495 666 0 0 78 566 78 0 0 0 0 1 0 0 0 0 0 1 1 0 0 0 666 78 78 78 495 566                      | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 0 1 0 0 66 78 78 78 495 56   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DINAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL | 1 0 666 78 78 495 566 897 98 666 78 78 495 566 897 98 696 78 78 78 78 78 78 78 78 78 78 78 78 78                                  | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 1 0 0 66 78 78 495 56 897 98                                       |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PIDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DL  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DL  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DL  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DLR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DLR  | 1 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 66 78 78 495 56 897 98                                       | 1 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 0 1 0 0 0 1 0 0 66 78 78 495 56 897 98                                   |        |

2014-10-14, 23:10:23+0530



| Name                                     | Actual Value | Expected Value | Result      |
|--|--------------|----------------|-------------|
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR     | 66           | 66             | <b>4</b> // |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR    | 0            | 0              | //          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC     | 78           | 78             | // 🗸        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 56           | 56             | // 🗸        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12   | 78           | 78             | _// 🗸       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC    | 0            | 0              | // •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.FUN     | 0            | 0              | // 🗸        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR     | 0            | 0 //           | ✓           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN     | 1            | 1 //           | ✓           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT    | 0            | 0 //           | ✓           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET     | 0            | 0 //           | ✓           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR     | 0            | 0 //           | ✓           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR     | 1            | 1 //           | ✓           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD      | 0            | 0 //           | ✓           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL     | 0            | 0 //           | ✓           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR  | 66           | 66             | ✓           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 78           | 78 //          | ✓           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  | 78           | 78 //          | ✓           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL | 495          | 495//          | ✓           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH | 56           |                | ✓           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 897          | <b>/6</b> 97   |             |



2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | <b>✓</b> |

| T               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | ~        |

| Test Step 2.14 (Repeat Count = 1)               |   |
|---|---|
| Name  | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 40  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 50  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 60  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 55  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 2   |
| DigColPsInt_SensInitialized_Cnt_M_lgc           | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1   |
| I2c_GetStatus()                                 | 554   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)              | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c Send(I2cRegPtr Cnt T str)                   | tgt I2c Send I2cRegPtr Cnt T str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Type Cnt T u08                                  | 4   |
| i2cREG1 temp                                    | target i2cREG1 temp                             |
| k_ColSensorl2CAddress_Cnt_u08                   | 20  |
| target i2cREG1 temp.OAR                         | 567   |
| target i2cREG1 temp.IMR                         | 44  |
| target i2cREG1 temp.STR                         | 4444  |
| target i2cREG1 temp.CLKL                        | 566   |
| target_i2cREG1_temp.CLKH                        | 4466  |
| target i2cREG1 temp.CNT                         | 129   |
| target i2cREG1 temp.DRR                         | 6   |
| target_i2cREG1_temp.SAR                         | 567   |
| target i2cREG1 temp.DXR                         | 44  |
| target i2cREG1 temp.MDR                         | 566   |
| target i2cREG1 temp.IVR                         | 554   |
| target i2cREG1 temp.EMDR                        | 1   |
| target i2cREG1 temp.PSC                         | 44  |
| target i2cREG1 temp.PID11                       | 4466  |
| target i2cREG1 temp.PID12                       | 44  |
| target i2cREG1 temp.DMAC                        | 1   |
| target_i2cREG1_temp.FUN                         | 1   |
| target_i2cREG1_temp.DIR                         | 2   |
| target_i2cREG1_temp.DIN                         | 0   |
| target i2cREG1 temp.DOUT                        | 1   |
| target i2cREG1_temp.SET                         | 1   |
| target_lzcReG1_temp.Se1 target i2cReG1_temp.CLR | 2   |
| target_i2cREG1_temp.ODR                         | 0   |
| · ·   | 3   |
| target_i2cREG1_temp.PD                          | 3 3   |
| target_i2cREG1_temp.PSL                         | 567   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR       | · ·   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR       | 44  |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR       | 4444  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL      | 566   |

2014-10-14, 23:10:23+0530



| DigColPsInt_StartRequest                           |             | TOACILAL |
|--|-------------|----------|
| Name   | Input Value |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH         | 4466        |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT          | 129         |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR          | 6           |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR          | 567         |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR          | 44          |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR          | 566         |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR          | 554         |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR         | 1           |          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC           | 44          |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11        | 4466        |          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12         | 44          |          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC          | 1           |          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN           | 1           |          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR           | 2           |          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN           | 0           |          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT          | 1           |          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET           | 1           |          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR           | 2           |          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR           | 0           |          |
| gt I2c GetStatus I2cRegPtr Cnt T str.PD            | 3           |          |
|  | 3           |          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL           |             |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR               | 567         |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                | 44          |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.STR                | 4444        |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL               | 566         |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH               | 4466        |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                | 129         |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                | 6           |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                | 567         |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                | 44          |          |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR                | 566         |          |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR                | 554         |          |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR               | 1           |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                | 44          |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11              | 4466        |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12             | 44          |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC              | 1           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN               | 1           |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                | 2           |          |
| tgt I2c Send I2cRegPtr Cnt T str.DIN               | 0           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT              | 1           |          |
| tgt I2c Send I2cRegPtr Cnt T str.SET               | 1           |          |
| tgt I2c Send I2cRegPtr Cnt T str.CLR               | 2           |          |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR                | 0           |          |
|  | 3           |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PD                 |             |          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                | 3           |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR             | 567         |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR             | 44          |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR             | 4444        |          |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL            | 566         |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH            | 4466        |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT             | 129         |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 6           |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR             | 567         |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             | 44          |          |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR             | 566         |          |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR             | 554         |          |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR            | 1           |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC             | 44          |          |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11           | 4466        |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12           | 44          |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC            | 1           |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN             | 1           |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR             | 2           |          |
|  | 0           |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN             | 1           |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT            |             |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET             | 1           |          |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR             | 2           |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR             | 0           |          |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD              | 3           |          |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL             | 3           |          |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 567         |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR | 44          |          |

2014-10-14, 23:10:23+0530



|   |                             | 1                           | - 10-10  |
|---|-----------------------------|-----------------------------|----------|
| Name  | Input Value                 |                             |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  | 4444                        |                             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566                         |                             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466                        |                             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 129                         |                             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 6                           |                             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 567                         |                             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 44                          |                             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 566                         |                             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 554                         |                             |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 1                           |                             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 44                          |                             |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  | 4466                        |                             |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 1                           |                             |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN  | 1                           |                             |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR  | 2                           |                             |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN  | 0                           |                             |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 1                           |                             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 1                           |                             |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR  | 2                           |                             |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR  | 0                           |                             |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.PD   | 3                           |                             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3                           |                             |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 567                         |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44                          |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444                        |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566                         |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466                        |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129                         |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567                         |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44                          |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566                         |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554                         |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44                          |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 4466                        |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 44                          |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1                           |                             |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 1                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0                           |                             |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  | 3                           |                             |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 3                           |                             |          |
| Name  | Actual Value                | Expected Value              | Result   |
|   | 38                          | 38                          | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt Buffer Cnt M u08[1]   | 50                          | 50                          |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 60                          | 60                          |          |
| DigColPsInt CurrentSlave Cnt M u08  | 20                          | 20                          |          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ SENSOR1 SETREG         | READ_SENSOR1_SETREG         |          |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 4                           | 4                           | _        |
| DigColPsInt SkipRegisterWrite Cnt M Igc   | 0                           | 0                           |          |
| I2c_Send(Length_Cnt_T_u32)  | 1                           | 1                           | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR   | 567                         | 567                         |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44                          | 44                          | <b>~</b> |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR   | 4444                        | 4444                        |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 566                         | 566                         | <b>✓</b> |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  | 4466                        | 4466                        | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT   | 129                         | 129                         | •        |
|   | 6                           | 6                           | _        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR   |                             | 507                         |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_I_str.DRR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR   | 567                         | 567                         | •        |
|   | 567<br>44                   | 44                          | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR   |                             |                             |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR   | 44                          | 44                          | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR   | 44<br>566                   | 44<br>566                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR   | 44<br>566<br>554            | 44<br>566<br>554            | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  | 44<br>566<br>554<br>1       | 44<br>566<br>554<br>1       | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC | 44<br>566<br>554<br>1<br>44 | 44<br>566<br>554<br>1<br>44 |          |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              |        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              |        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  | 1            | 1              |        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR   | 2            | 2              |        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR   | 0            | 0              |        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567            |        |
| tgt I2c Send I2cRegPtr Cnt T str.IMR  | 44           | 44             |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  | 566          | 566            | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1 2          | 1 2            |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |        |
|   | 1            | 1              |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetRecv_l2cRegPtr_Cnt_T str.CLR   | 2            | 2              |        |
|   | 0            | 0              |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              |        |
|   | 567          | 567            |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR   | 44           | 44             |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.NR  tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  | 129          | 129            |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 6            | 6              |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 567          | 567            |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 44           | 44             |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 566          | 566            |        |
| .gsoctopinactori tocorro_izortogi ti_Ont_i_sti.iviDit   |              | 554            |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str IVR  | 554          |                |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR tgt l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  | 554          | 1              |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC |              |                |        |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2            | 2              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0            | 0              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2            | 2              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0            | 0              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GetStatus           | 1     | I2c_GetStatus           | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c Send                | 1     | I2c Send                | 1     | <b>✓</b> |

| Test Step 2.15 (Repeat Count = 1)            | <b>✓</b>  |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 70  |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 80  |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 90  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 60  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08        | 3   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc      | 0   |
| I2c_GetStatus()                              | 766   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_l2c_Send_l2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 3   |
| i2cREG1_temp                                 | target_i2cREG1_temp                             |
| k_ColSensorl2CAddress_Cnt_u08                | 30  |
| target_i2cREG1_temp.OAR                      | 65  |
| target_i2cREG1_temp.IMR                      | 89  |
| target_i2cREG1_temp.STR                      | 67  |
| target_i2cREG1_temp.CLKL                     | 7   |
| target_i2cREG1_temp.CLKH                     | 577   |
| target_i2cREG1_temp.CNT                      | 88  |
| target_i2cREG1_temp.DRR                      | 23  |

2014-10-14, 23:10:23+0530



| DigColFSini_Stankequest  | TOTAL TOTAL         |
|--|---------------------|
| Name   | Input Value         |
| target i2cREG1 temp.SAR  | 65                  |
| target_i2cREG1_temp.DXR  | 89                  |
| target_i2cREG1_temp.MDR  | 7                   |
| target i2cREG1 temp.IVR  | 44                  |
| target_i2cREG1_temp.EMDR   | 2                   |
| target_i2cREG1_temp.PSC  | 89                  |
| target_i2cREG1_temp.PID11  | 577                 |
| target_i2cREG1_temp.PID12  | 89                  |
| target_i2cREG1_temp.DMAC   | 2                   |
|  | 0                   |
| target_i2cREG1_temp.FUN  | 0                   |
| target_i2cREG1_temp.DIR  | 1                   |
| target_i2cREG1_temp.DIN  |                     |
| target_i2cREG1_temp.DOUT   | 2                   |
| target_i2cREG1_temp.SET  | 2                   |
| target_i2cREG1_temp.CLR  | 0                   |
| target_i2cREG1_temp.ODR  | 1                   |
| target_i2cREG1_temp.PD   | 2                   |
| target_i2cREG1_temp.PSL  | 0                   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR  | 65                  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR  | 89                  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR  | 67                  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 7                   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 577                 |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  | 88                  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  | 23                  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 65                  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  | 89                  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR  | 7                   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR  | 44                  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2                   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC  | 89                  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 577                 |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 89                  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2                   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0                   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0                   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1                   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT   | 2                   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  | 2                   |
|  | 0                   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR  |                     |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1                   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD   | 2                   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 0                   |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 65                  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 89                  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 67                  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 7                   |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 577                 |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 88                  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 23                  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 65                  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 89                  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 7                   |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 44                  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  | 2                   |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 89                  |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 577                 |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 89                  |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC  | 2                   |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0                   |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0                   |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1                   |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2                   |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 2                   |
|  | 0                   |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   |                     |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 1                   |
| tet 12e Cond 12eDecDte Cot T -t-DD   | 2                   |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 2                   |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0                   |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL<br>tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 0<br>65             |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 0<br>65<br>89       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR | 0<br>65<br>89<br>67 |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 0<br>65<br>89       |

2014-10-14, 23:10:23+0530



| Name   | Input Value            |                      |        |
|--|------------------------|----------------------|--------|
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 88                     |                      |        |
|  |                        |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 23                     |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 65                     |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 89                     |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 7                      |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 44                     |                      |        |
|  |                        |                      |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 2                      |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 89                     |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 577                    |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 89                     |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 2                      |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 0                      |                      |        |
|  |                        |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 0                      |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 1                      |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 2                      |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 2                      |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0                      |                      |        |
|  | 1                      |                      |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  |                        |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 2                      |                      |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 0                      |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 65                     |                      |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.IMR   | 89                     |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 67                     |                      |        |
|  | 7                      |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  |                        |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 577                    |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 88                     |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 23                     |                      |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR   | 65                     |                      |        |
|  | 89                     |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR   |                        |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR   | 7                      |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR   | 44                     |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  | 2                      |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 89                     |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 577                    |                      |        |
|  | 89                     |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12   |                        |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC  | 2                      |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0                      |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0                      |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1                      |                      |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT  | 2                      |                      |        |
|  |                        |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 2                      |                      |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR   | 0                      |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 1                      |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 2                      |                      |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 0                      |                      |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR  | 65                     |                      |        |
|  |                        |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89                     |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 67                     |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 7                      |                      |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH   | 577                    |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 88                     |                      |        |
|  | 23                     |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  |                        |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65                     |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 89                     |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7                      |                      |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR  | 44                     |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 2                      |                      |        |
|  |                        |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 89                     |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 577                    |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 89                     |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2                      |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0                      |                      |        |
|  | 0                      |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  |                        |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1                      |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2                      |                      |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2                      |                      |        |
|  | 0                      |                      |        |
| tot I2c SetupMasterTransmit I2cRegPtr Cnt T str CLR  |                        |                      |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 1                      |                      |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 1                      |                      |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR<br>tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  | 2                      |                      |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  |                        |                      |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR<br>tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  | 2                      | Expected Value       | Result |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name | 2<br>0<br>Actual Value | •                    | Result |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL       | 2                      | Expected Value 36 80 | Result |

2014-10-14, 23:10:23+0530



| Name   | Actual Value        | Expected Value      | Result   |
|--|---------------------|---------------------|----------|
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 90                  | 90                  | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 30                  | 30                  | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_SENSOR1_SETREG | READ_SENSOR1_SETREG | ~        |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 3                   | 3                   | <b>*</b> |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 0                   | 0                   | · ·      |
| I2c_Send(Length_Cnt_T_u32)   | 1                   | 1                   | · ·      |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 65                  | 1<br>65             |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  | 89                  | 89                  |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.NWN  tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR | 67                  | 67                  |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 7                   | 7                   |          |
| tgt I2c GetStatus I2cRegPtr Cnt T str.CLKH   | 577                 | 577                 | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT  | 88                  | 88                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  | 23                  | 23                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 65                  | 65                  | <b>✓</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  | 89                  | 89                  | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR  | 7                   | 7                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR  | 44                  | 44                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2                   | 2                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC  | 89                  | 89                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 577                 | 577                 | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 89                  | 89                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2                   | 2                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0                   | 0                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0                   | 0                   | _        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1                   | 1                   | <b>Y</b> |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT   | 2                   | 2                   | <b>V</b> |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  | 0                   | 0                   | · ·      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR  | 1                   | 1                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR  | 2                   | 2                   |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL   | 0                   | 0                   |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 65                  | 65                  |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 89                  | 89                  | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 67                  | 67                  |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 7                   | 7                   | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 577                 | 577                 | _        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 88                  | 88                  | ~        |
| tgt I2c Send I2cRegPtr Cnt T str.DRR   | 23                  | 23                  | <b>✓</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 65                  | 65                  | <b>✓</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 89                  | 89                  | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 7                   | 7                   | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 44                  | 44                  | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2                   | 2                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 89                  | 89                  | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 577                 | 577                 | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 89                  | 89                  | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2                   | 2                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0                   | 0                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0                   | 0                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1                   | 1                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 2                   | 2                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 2                   | 2                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 0                   | 0                   | <b>V</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 1                   | 1                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0                   | 0                   |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 65                  | 65                  | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 89                  | 89                  |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR      | 67                  | 67                  |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 7                   | 7                   |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 577                 | 577                 | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 88                  | 88                  | _        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 23                  | 23                  | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 65                  | 65                  | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 89                  | 89                  | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 7                   | 7                   | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 44                  | 44                  | ·        |
|  | 2                   | 2                   | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   |                     |                     |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_1_str.EMDR  tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC    | 89                  | 89                  | <b>✓</b> |
|  | 89<br>577           | 89<br>577           |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  |                     |                     | ~        |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | Result   |
| tgt I2c SetRecv I2cRegPtr Cnt T str.DIR   | 0            | 0              |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | -        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | _        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | •        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.STR  | 67           | 67             | ~        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL   | 7            | 7              | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 88           | 88             | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 23           | 23             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 65           | 65             | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 89           | 89             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 7            | 7              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.lVR  | 44           | 44             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 67           | 67             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | -        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | <b>V</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 577          | 577            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 89           | 89             | ¥        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | Ž        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>V</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | -        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | -        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR | 2            | 2              |          |
| tgt_lzc_SetupMasterTransmit_lzcRegPtr_Cnt_1_str.PD  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL | 0            | 0              | -        |
| tgt_izc_oetupiviastei Harisiiiit_izchegnti_Offt_f_Str.PSL   | U            | U              | •        |

| Т                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GetStatus           | 1     | I2c_GetStatus           | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c Send                | 1     | I2c Send                | 1     | -        |

| Test Step 2.16 (Repeat Count = 1) | ✓           |
|-----------------------------------|-------------|
| Name                              | Input Value |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 44          |

DigColPsInt\_StartRequest

2014-10-14, 23:10:23+0530



Input Value DigColPsInt\_Buffer\_Cnt\_M\_u08[1] 55 DigColPsInt\_Buffer\_Cnt\_M\_u08[2] DigColPsInt\_CurrentSlave\_Cnt\_M\_u08 55 DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum INIT\_SENSOR2\_CHECKSTAT\_READ DigColPsInt\_PrevReqDataType\_Cnt\_M\_u08 0 DigColPsInt\_SensInitialized\_Cnt\_M\_lgc 0 DigColPsInt\_SkipRegisterWrite\_Cnt\_M\_lgc 1 I2c GetStatus() 655 I2c\_GetStatus(I2cRegPtr\_Cnt\_T\_str) tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str I2c\_Send(I2cRegPtr\_Cnt\_T\_str) tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str I2c\_SetRecv(I2cRegPtr\_Cnt\_T\_str) I2c SetupMasterReceive(I2cRegPtr Cnt T str) tgt\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str I2c\_SetupMasterTransmit(I2cRegPtr\_Cnt\_T\_str) tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str Type Cnt T u08 3 i2cREG1\_temp target\_i2cREG1\_temp k\_ColSensorl2CAddress\_Cnt\_u08 55 target\_i2cREG1\_temp.OAR 55 target\_i2cREG1\_temp.IMR 66 target\_i2cREG1\_temp.STR 556 target\_i2cREG1\_temp.CLKL 2309 target\_i2cREG1\_temp.CLKH 1204 target\_i2cREG1\_temp.CNT 87 target\_i2cREG1\_temp.DRR 67 target\_i2cREG1\_temp.SAR 55 66 target\_i2cREG1\_temp.DXR target\_i2cREG1\_temp.MDR 2309 target\_i2cREG1\_temp.IVR 5 target\_i2cREG1\_temp.EMDR 3 target i2cREG1 temp.PSC 66 target\_i2cREG1\_temp.PID11 1204 66 target i2cREG1 temp.PID12 target\_i2cREG1\_temp.DMAC 3 target i2cREG1 temp.FUN 1 target\_i2cREG1\_temp.DIR 1 2 target\_i2cREG1\_temp.DIN target i2cREG1 temp.DOUT 3 target\_i2cREG1\_temp.SET 3 target\_i2cREG1\_temp.CLR target\_i2cREG1\_temp.ODR 2 target i2cREG1 temp.PD 3 target\_i2cREG1\_temp.PSL 3 tqt I2c GetStatus I2cRegPtr Cnt T str.OAR 55 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.IMR 66 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.STR 556 2309  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.CLKL$ tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.CLKH 1204 87 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.CNT tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DRR 67  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.SAR$ 55 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DXR 66 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.MDR 2309 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.IVR 5 tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.EMDR 3 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PSC 66 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PID11 1204 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PID12 66 tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.DMAC 3  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.FUN$ 1 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DIR 1 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DIN 2 tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.DOUT 3 3 tgt I2c GetStatus I2cRegPtr Cnt T str.SET  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.CLR$ 1 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.ODR 2 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PD 3 tgt I2c GetStatus I2cRegPtr Cnt T str.PSL 3 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.OAR 55 tgt I2c Send I2cRegPtr Cnt T str.IMR 66 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.STR 556 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKL 2309 1204  $tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKH$ tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CNT 87  $tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DRR$ 67

2014-10-14, 23:10:23+0530



| DigCoiPSIII_StaftRequeSt   |                         | TOLOTTO |
|--|-------------------------|---------|
| Name   | Input Value             |         |
| gt I2c Send I2cRegPtr Cnt T str.SAR  | 55                      |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66                      |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309                    |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5                       |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3                       |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66                      |         |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.PID11  | 1204                    |         |
|  | 66                      |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 3                       |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   |                         |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1                       |         |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 1                       |         |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN  | 2                       |         |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT   | 3                       |         |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.SET  | 3                       |         |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR  | 1                       |         |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  | 2                       |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3                       |         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3                       |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55                      |         |
| yt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66                      |         |
| pt I2c SetRecv I2cRegPtr Cnt T str.STR   | 556                     |         |
|  | 2309                    |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  |                         |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 1204                    |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 87                      |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67                      |         |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55                      |         |
| pt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66                      |         |
| yt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309                    |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5                       |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3                       |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66                      |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204                    |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66                      |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3                       |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1                       |         |
|  | 1                       |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   |                         |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2                       |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3                       |         |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET   | 3                       |         |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 1                       |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2                       |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3                       |         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3                       |         |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55                      |         |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66                      |         |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556                     |         |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309                    |         |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH   | 1204                    |         |
|  |                         |         |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87                      |         |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 67                      |         |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55                      |         |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66                      |         |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2309                    |         |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 5                       |         |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3                       |         |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66                      |         |
| pt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204                    |         |
| t_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12   | 66                      |         |
| t_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC  | 3                       |         |
| t I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN   | 1                       |         |
| ,  | 1                       |         |
| t_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR   |                         |         |
| t_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2                       |         |
| t_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT  | 3                       |         |
|  | 3                       |         |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 14                      |         |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 1                       |         |
| t_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET<br>t_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR   | 2                       |         |
| pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET  pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR  pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  |                         |         |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 2                       |         |
| pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL   | 3                       |         |
| pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR   | 2<br>3<br>3<br>55       |         |
| pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL pt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR pt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR pt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 2<br>3<br>3<br>55<br>66 |         |
| at_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET at_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR at_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR at_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD at_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL at_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR at_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR at_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR at_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR at_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 2<br>3<br>3<br>55       |         |

2014-10-14, 23:10:23+0530



| N   | In and Males                |                             |          |
|---|-----------------------------|-----------------------------|----------|
| Name  | Input Value                 |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87<br>67                    |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 55                          |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66                          |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR | 2309                        |                             |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 5                           |                             |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 3                           |                             |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 66                          |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 1204                        |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 66                          |                             |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 3                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3                           |                             |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 1                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3                           |                             |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3                           |                             |          |
| Name  | Actual Value                | Expected Value              | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 44                          | 44                          | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 55                          | 55                          | •        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 66                          | 66                          | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 55                          | 55                          | •        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_CHECKSTAT_READ | INIT_SENSOR2_CHECKSTAT_READ | •        |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 0                           | 0                           | •        |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 1                           | 1                           | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55                          | 55                          | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR   | 66                          | 66                          | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR   | 556                         | 556                         | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309                        | 2309                        | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204                        | 1204                        | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87                          | 87                          | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR   | 67                          | 67                          | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR   | 55                          | 55                          | <b>V</b> |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR   | 66                          | 66                          | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309                        | 2309                        | <b>*</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR                    | 3                           | 3                           |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC   | 66                          | 66                          | -        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11   | 1204                        | 1204                        |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12   | 66                          | 66                          | -        |
| tgt   I2c GetStatus   I2cRegPtr Cnt T str.DMAC  | 3                           | 3                           |          |
| tgt I2c GetStatus I2cRegPtr Cnt T str.FUN   | 1                           | 1                           | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1                           | 1                           |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2                           | 2                           | <b>✓</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3                           | 3                           | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET   | 3                           | 3                           | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1                           | 1                           | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR   | 2                           | 2                           | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD  | 3                           | 3                           | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3                           | 3                           | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55                          | 55                          | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66                          | 66                          | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556                         | 556                         | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309                        | 2309                        | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204                        | 1204                        | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87                          | 87                          | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67                          | 67                          | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55                          | 55                          | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 66                          | 66                          | <b>V</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  | 2309                        | 2309                        | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  | 3                           | 5                           | <b>*</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR   | 66                          | 66                          | Ž        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  | 1204                        | 1204                        | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                           | 66                          | 66                          |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC   | 3                           | 3                           | -        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.FUN  | 1                           | 1                           |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 1                           | 1                           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2                           | 2                           | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3                           | 3                           | ~        |
|   |                             |                             |          |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Resul |
|---|--------------|----------------|-------|
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | •     |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66<br>556    | 66<br>556      |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 2309         | 2309           |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH                     | 1204         | 1204           |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 87           | 87             |       |
| tgt I2c SetRecv I2cRegPtr Cnt T str.DRR   | 67           | 67             |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   | 55           | 55             |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR   | 5            | 5              |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •     |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | •     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •     |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | •     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | •     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | •     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | •     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | •     |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | •     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | •     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | •     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | •     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | •     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | •     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | •     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | •     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | •     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | •     |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •     |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1 2          | 1 2            |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR | 2            | 2              |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD | 3            | 3              |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtt_Cnt_T_str.PD  tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL | 3            | 3              |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.P3L   | 55           | 55             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 66           | 66             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 556          | 556            |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 55           | 55             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 66           | 66             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12   | 66           | 66             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |       |
| 0   |              | 1              |       |

2014-10-14, 23:10:23+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ~      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 3            | 3              | ~      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ~      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~      |

| T               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | ~        |

| Test Step 2.17 (Repeat Count = 1)            | <b>✓</b>  |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 66  |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 77  |
| DigColPsInt Buffer Cnt M u08[2]              | 88  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 11  |
|  |   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_SENSOR2_EXTREADADDRREG_SENDCMD 0           |
| DigColPsInt_PrevReqDataType_Cnt_M_u08        | 1   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 0   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc      | 123   |
| I2c_GetStatus()                              | tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           |   |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_l2c_Send_l2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 1   |
| i2cREG1_temp                                 | target_i2cREG1_temp                             |
| k_ColSensorl2CAddress_Cnt_u08                | 40  |
| target_i2cREG1_temp.OAR                      | 66  |
| target_i2cREG1_temp.IMR                      | 78  |
| target_i2cREG1_temp.STR                      | 78  |
| target_i2cREG1_temp.CLKL                     | 495   |
| target_i2cREG1_temp.CLKH                     | 56  |
| target_i2cREG1_temp.CNT                      | 897   |
| target_i2cREG1_temp.DRR                      | 98  |
| target_i2cREG1_temp.SAR                      | 66  |
| target_i2cREG1_temp.DXR                      | 78  |
| target_i2cREG1_temp.MDR                      | 495   |
| target_i2cREG1_temp.IVR                      | 66  |
| target_i2cREG1_temp.EMDR                     | 0   |
| target_i2cREG1_temp.PSC                      | 78  |
| target_i2cREG1_temp.PID11                    | 56  |
| target_i2cREG1_temp.PID12                    | 78  |
| target_i2cREG1_temp.DMAC                     | 0   |
| target_i2cREG1_temp.FUN                      | 0   |
| target_i2cREG1_temp.DIR                      | 0   |
| target_i2cREG1_temp.DIN                      | 1   |
| target_i2cREG1_temp.DOUT                     | 0   |
| target_i2cREG1_temp.SET                      | 0   |
| target_i2cREG1_temp.CLR                      | 0   |
| target_i2cREG1_temp.ODR                      | 1   |
| target_i2cREG1_temp.PD                       | 0   |
| target_i2cREG1_temp.PSL                      | 0   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR    | 66  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR    | 78  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR    | 78  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 495   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 56  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT    | 897   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR    | 98  |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR    | 66  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR    | 78  |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR    | 495   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.lVR    | 66  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 0   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC    | 78  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 56  |
|  |   |

2014-10-14, 23:10:23+0530



| Name   | Input Value |
|--|-------------|
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  | 78          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 0           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  | 1           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET  | 0 0         |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR  | 1           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD   | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 66          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 78          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 78          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 495         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 56          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 897         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 98          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 66          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 78          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 495         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 66          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 78          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 56          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 78          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  | 1           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 66          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 78          |
| tgt I2c SetRecv I2cRegPtr Cnt T str.STR  | 78          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 495         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 56          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 897         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 98          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 66          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR  | 78          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 495         |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR  | 66          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 78          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 56          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 78          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN  | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  | 1           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  |             |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL   | 0           |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR   | 66          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR   | 78          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR   | 78          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL  | 495         |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  | 56          |
|  | 897         |
| tqt I2c SetupMasterReceive I2cReaPtr Cnt T str.CNT   |             |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT tgt_l2c SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 98          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR   | 98 66       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  |             |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR   | 66          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR | 66<br>78    |

2014-10-14, 23:10:23+0530



| Name   | Input Value   |   |      |
|--|---|---|------|
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC   | 78  |   |      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 56  |   |      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 78  |   |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 0   |   |      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0   |   |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR  | 0   |   |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN  | 1   |   |      |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 0   |   |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0   |   |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 0   |   |      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 1   |   |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 0   |   |      |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 0   |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66  |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78  |   |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 78  |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495   |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56  |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897   |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98  |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66  |   |      |
| gt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 78  |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495   |   |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 66  |   |      |
|  | 0   |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78  |   |      |
|  | 56  |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 78  |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   |   |   |      |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0   |   |      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0   |   |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0   |   |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 1   |   |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 0   |   |      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0   |   |      |
|  |   |   |      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0   |   |      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR<br>tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1   |   |      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR<br>tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 1 0   |   |      |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR<br>tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 1   |   |      |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR<br>gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD<br>gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  | 1 0   | Expected Value  | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  | 1<br>0<br>0   | Expected Value 66   | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]   | 1<br>0<br>0<br>Actual Value   | •   | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  | 1<br>0<br>0<br><b>Actual Value</b><br>66  | 66  | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]  | 1<br>0<br>0<br><b>Actual Value</b><br>66<br>77                                    | 66<br>77  | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08   | 1<br>0<br>0<br><b>Actual Value</b><br>66<br>77<br>88<br>11                        | 66<br>77<br>88  | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Vame  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08   | 1<br>0<br>0<br><b>Actual Value</b><br>66<br>77<br>88<br>11                        | 66<br>77<br>88<br>11  | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08   | 1 0 0 <b>Actual Value</b> 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN             | 66<br>77<br>88<br>11<br>INIT SENSOR2 EXTREADADDRREG SEN   | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 1 0 0 Actual Value 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0                | 66<br>77<br>88<br>11<br>INIT SENSOR2 EXTREADADDRREG SEN<br>0<br>0   | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Vame  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  | 1 0 0 Actual Value 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0                  | 66<br>77<br>88<br>11<br>INIT SENSOR2 EXTREADADDRREG SEN<br>0  | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Vame  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR   | 1 0 0 0 <b>Actual Value</b> 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 | 66<br>77<br>88<br>11<br>INIT SENSOR2 EXTREADADDRREG SEN<br>0<br>0<br>66<br>78                                   | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Vame  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.JMR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  | 1 0 0 0   | 66<br>77<br>88<br>11<br>INIT SENSOR2 EXTREADADDRREG SEN<br>0<br>0<br>66<br>78<br>78                             | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Vame  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.JMR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 1 0 0 0   | 66<br>77<br>88<br>11<br>INIT SENSOR2 EXTREADADDRREG SEN<br>0<br>0<br>66<br>78<br>78<br>495                      | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Vame  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.JMR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 1 0 0 0   | 66<br>77<br>88<br>11<br>INIT SENSOR2 EXTREADADDRREG SEN<br>0<br>0<br>66<br>78<br>78<br>495<br>56                | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Vame  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.JMR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  | 1 0 0 0   | 66<br>77<br>88<br>11<br>INIT SENSOR2 EXTREADADDRREG SEN<br>0<br>0<br>66<br>78<br>78<br>495<br>56                | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Vame  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.JMR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR   | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98  | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Vame  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.JMR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66                                       | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Vame  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.BTR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR   | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78                                    | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_StipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495                                | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_StreRegPtr_Cnt_M_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66                             | Res  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0                           | Res  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR   | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66                             | Res  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR  | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0                           | Res  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CkT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11   | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78                        | Res  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD11 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  | 1 0 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56                     | Res  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD11 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC   | 1 0 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78                  | Res  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.JMR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLK gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PUNAC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PUNAC  | 1 0 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 78               | Res  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLK gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD1 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDDAC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PUN gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 0 78 495 66 0 78 56 78                | Res  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DVR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DVR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DVR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIAC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIAC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIAC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  | 1 0 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0              | Res  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLK gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  | 1 0 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1          | Res  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT   | 1 0 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0      | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNAC gt_l2c_GetStatus_l2c | 1 0 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 0 1        | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_CurrentStave_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDAC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDAC gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1          | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DNR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR gt_l2c_GetStatus_l2cRegPtr_Cnt_T | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 70 0 0 1 0 0 1      | Resi |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDDR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PDD12 gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUR gt_l2c_GetStatus_l2cRegPtr_C | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 78 495 56 897 98 66 78 495 66 0 78 56 70 0 0 1 0 0 0 1 | Resi |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1 0 0 0   | 66 77 88 11 INIT SENSOR2 EXTREADADDRREG SEN 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 70 0 0 1 0 0 1      | Resi |

2014-10-14, 23:10:23+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | <b>*</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CNT                             | 56<br>897    | 56<br>897      | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | ,        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | <b>✓</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 56<br>  78   | 56<br>78       | <b>*</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12<br>tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC                        | 0            | 0              | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | <b>✓</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   | 0<br>66      | 0              | <b>*</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR                        | 78           | 66<br>78       | Ž        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.NTR  | 78           | 78             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 495          | 495            | -        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 56           | 56             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 897          | 897            | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 98           | 98             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 66           | 66             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 78           | 78             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 495          | 495            | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 66           | 66             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 0<br>  78    | 0<br>78        | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11                      | 56           | 56             |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 78           | 78             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 0            | 0              | <b>V</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | -        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD                         | 0            | 0              |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 98<br>66     | 98             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 78           | 66<br>78       | Ž        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | -        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11   | 56           | 56             | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12   | 78           | 78             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>V</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET | 0            | 0              |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | <b>V</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~        |
|  |              |                |          |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 78           | 78             | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | •        |

| Τ               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | ~        |

| Test Step 2.18 (Repeat Count = 1)            | <b>✓</b>  |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt Buffer Cnt M u08[0]              | 0   |
| DigColPsInt Buffer Cnt M u08[1]              | 0   |
| DigColPsInt Buffer Cnt M u08[2]              | 0   |
| DigColPsInt CurrentSlave Cnt M u08           | 0   |
| DigColPsInt CurrentStepNo Cnt M enum         | INIT NOT INITIALIZED                            |
| DigColPsInt PrevRegDataType Cnt M u08        | 0   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 0   |
| DigColPsInt SkipRegisterWrite Cnt M Igc      | 0   |
| I2c GetStatus()                              | 0   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 0   |
| i2cREG1_temp                                 | target_i2cREG1_temp                             |
| k_ColSensorl2CAddress_Cnt_u08                | 0   |
| target_i2cREG1_temp.OAR                      | 0   |
| target_i2cREG1_temp.IMR                      | 0   |
| target_i2cREG1_temp.STR                      | 0   |
| target_i2cREG1_temp.CLKL                     | 0   |
| target_i2cREG1_temp.CLKH                     | 0   |
| target_i2cREG1_temp.CNT                      | 0   |
| target_i2cREG1_temp.DRR                      | 0   |
| target_i2cREG1_temp.SAR                      | 0   |
| target_i2cREG1_temp.DXR                      | 0   |
| target_i2cREG1_temp.MDR                      | 0   |
| target_i2cREG1_temp.IVR                      | 0   |
| target_i2cREG1_temp.EMDR                     | 0   |
| target_i2cREG1_temp.PSC                      | 0   |
| target_i2cREG1_temp.PID11                    | 0   |
| target_i2cREG1_temp.PID12                    | 0   |
| target_i2cREG1_temp.DMAC                     | 0   |
| target_i2cREG1_temp.FUN                      | 0   |
| target_i2cREG1_temp.DIR                      | 0   |
| target_i2cREG1_temp.DIN                      | 0   |
| target_i2cREG1_temp.DOUT                     | 0   |
| target_i2cREG1_temp.SET                      | 0   |
|  |   |

2014-10-14, 23:10:23+0530



| Name   | Input Value |
|--|-------------|
| target_i2cREG1_temp.CLR  | 0           |
| target_i2cREG1_temp.ODR  | 0           |
| target_i2cREG1_temp.PD   | 0           |
| target_i2cREG1_temp.PSL  | 0           |
|  | 0           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  |             |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  | 0           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL                                       | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH                                       | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR                                       | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11                                      | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12                                      | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC                                       | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN  | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT                                       | 0           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  | 0           |
| tgt I2c GetStatus I2cRegPtr Cnt T str.CLR  | 0           |
|  | 0           |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR  |             |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD   | 0           |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC  | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN   | 0           |
|  |             |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0           |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 0           |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL   | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR  | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 0           |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11  | 0           |
|  | 0           |
| tat I2c SetRecy I2cReaPtr Cnt T etr DID12  | l o         |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN | 0           |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   |             |

2014-10-14, 23:10:23+0530



| Name   | Input Value   |  |                                       |
|--|---|--|---------------------------------------|
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 0   |  |                                       |
|  |   |  |                                       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 0   |  |                                       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0   |  |                                       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  | 0   |  |                                       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 0   |  |                                       |
| tgt I2c SetRecv I2cRegPtr Cnt T str.PSL  | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 0   |  |                                       |
|  | '   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 0   |  |                                       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR   | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 0   |  |                                       |
|  | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   |   |  |                                       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR   | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0   |  |                                       |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC   | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 0   |  |                                       |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.PID12   | 0   |  |                                       |
|  |   |  |                                       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC  | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0   |  |                                       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR   | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 0   |  |                                       |
|  | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 0   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 0   |  |                                       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR  | 0   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 0   |  |                                       |
|  |   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 0   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 0   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 0   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 0   |  |                                       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR  | 0   |  |                                       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR  | 0   |  |                                       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR  | 0   |  |                                       |
| ·  |   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 0   |  |                                       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR   | 0   |  |                                       |
| .a   |   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  | 0   |  |                                       |
|  | 0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  | 0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  | 0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC   | 0 0 0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 0<br>0<br>0<br>0  |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0<br>0<br>0<br>0  |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0<br>0<br>0<br>0<br>0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0<br>0<br>0<br>0  |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0<br>0<br>0<br>0<br>0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  | 0<br>0<br>0<br>0<br>0<br>0  |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 0<br>0<br>0<br>0<br>0<br>0<br>0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR  | 0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0  |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR  | 0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0   | Expected Value   | Result                                |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0  | Expected Value   | Result 🗸                              |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL Name   | 0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0                                      | •  | Result                                |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]   | 0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0                       | 0  | ~                                     |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[2]   | 0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0                       | 0 0  | ٠<br>٧<br>٧                           |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08  | 0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0<br>0                       | 0<br>0<br>0<br>0   | * * * * * * * * * * * * * * * * * * * |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_enum  | 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 <b>Actual Value</b> 0 0 0 0 INIT_NOT_INITIALIZED                                | 0<br>0<br>0<br>0<br>INIT_NOT_INITIALIZED                 | · · · · · · · · · · · · · · · · · · · |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08  | 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 Actual Value 0 0 0 INIT_NOT_INITIALIZED 0                                       | 0 0 0 0 INIT_NOT_INITIALIZED 0                           | \<br>\<br>\<br>\<br>\                 |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DM tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08   | 0   | 0 0 0 INIT_NOT_INITIALIZED 0 0                           | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08  | 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 Actual Value 0 0 0 INIT_NOT_INITIALIZED 0                                       | 0 0 0 0 INIT_NOT_INITIALIZED 0                           | \<br>\<br>\<br>\<br>\                 |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DM tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08   | 0   | 0 0 0 INIT_NOT_INITIALIZED 0 0                           | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR   | 0   | 0 0 0 INIT_NOT_INITIALIZED 0 0 0 0                       | · · · · · · · · · · · · · · · · · · · |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR   | 0   | 0 0 0 INIT_NOT_INITIALIZED 0 0 0 0 0 0                   | · · · · · · · · · · · · · · · · · · · |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 0   | 0 0 0 INIT_NOT_INITIALIZED 0 0 0 0 0 0 0                 | · · · · · · · · · · · · · · · · · · · |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlepNo_Cnt_M_enum DigColPsInt_CurrentSlepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 0   | 0 0 0 INIT_NOT_INITIALIZED 0 0 0 0 0 0 0 0 0             | · · · · · · · · · · · · · · · · · · · |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSleve_Cnt_M_u08 DigColPsInt_CurrentSleve_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT | 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 Actual Value 0 0 0 INIT_NOT_INITIALIZED 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 | 0 0 0 INIT_NOT_INITIALIZED 0 0 0 0 0 0 0 0 0 0 0 0       | · · · · · · · · · · · · · · · · · · · |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlepNo_Cnt_M_enum DigColPsInt_CurrentSlepNo_Cnt_M_enum DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 0   | 0 0 0 INIT_NOT_INITIALIZED 0 0 0 0 0 0 0 0 0             | · · · · · · · · · · · · · · · · · · · |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSleve_Cnt_M_u08 DigColPsInt_CurrentSleve_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT | 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 Actual Value 0 0 0 INIT_NOT_INITIALIZED 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 | 0 0 0 INIT_NOT_INITIALIZED 0 0 0 0 0 0 0 0 0 0 0 0       | · · · · · · · · · · · · · · · · · · · |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSleve_Cnt_M_u08 DigColPsInt_CurrentSleve_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR | 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 Actual Value 0 0 0 INIT_NOT_INITIALIZED 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0   | 0 0 0 INIT_NOT_INITIALIZED 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 | · · · · · · · · · · · · · · · · · · · |

2014-10-14, 23:10:23+0530





| N   | A -4:1 V-I:  | From a stand Walter | D14      |
|---|--------------|---------------------|----------|
| Name  | Actual Value | Expected Value      | Result   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR | 0            | 0                   |          |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FMDR  | 0            | 0                   |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC   | 0            | 0                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11   | 0            | 0                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12   | 0            | 0                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  | 0            | 0                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN   | 0            | 0                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN   | 0            | 0                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  | 0            | 0                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET   | 0            | 0                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR   | 0            | 0                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0                   | <b>V</b> |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD  | 0            | 0                   | · ·      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0                   |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR           | 0            | 0                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 0            | 0                   |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 0            | 0                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 0            | 0                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 0            | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  | 0            | 0                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 0            | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 0            | 0                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 0            | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  | 0            | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR   | 0            | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  | 0            | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID11  | 0            | 0                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 0            | 0                   | - 4      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0                   |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR<br>tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN        | 0            | 0                   | J        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0            | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR  | 0            | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  | 0            | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD   | 0            | 0                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 0            | 0                   | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR   | 0            | 0                   | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR   | 0            | 0                   | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 0            | 0                   | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 0            | 0                   | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 0            | 0                   | <b>V</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 0            | 0                   | -        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR     | 0            | 0                   | Ž        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 0            | 0                   | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 0            | 0                   | -        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 0            | 0                   | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 0            | 0                   | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 0            | 0                   | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 0            | 0                   | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   | 0            | 0                   | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0                   | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0                   | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0                   | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN   | 0            | 0                   | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 0            | 0                   |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 0            | 0                   |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0                   | <b>✓</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD      | 0            | 0                   |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL   | 0            | 0                   | <b>J</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                                  | 0            | 0                   |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                                  | 0            | 0                   | <b>V</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR                                  | 0            | 0                   | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                                 | 0            | 0                   | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH                                 | 0            | 0                   | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT                                  | 0            | 0                   | <b>~</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR                                  | 0            | 0                   | ~        |
|   |              |                     |          |

2014-10-14, 23:10:23+0530



| DigCoiPsint_StartRequest                              |              | <u> </u>       | adollar  |
|---|--------------|----------------|----------|
| Name  | Actual Value | Expected Value | Result   |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 0            | 0              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR    | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 0            | 0              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR    | 0            | 0              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC    | 0            | 0              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 0            | 0              | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            | 0              | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0            | 0              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN    | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 0            | 0              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~        |

| T               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | ~        |

| Test Step 2.19 (Repeat Count = 1)            | 🗸   |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 255   |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 255   |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 255   |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 127   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | READ_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08        | 5   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc      | 1   |
| I2c_GetStatus()                              | 65535   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 5   |
| i2cREG1_temp                                 | target_i2cREG1_temp                             |
| k_ColSensorl2CAddress_Cnt_u08                | 127   |
| target_i2cREG1_temp.OAR                      | 1023  |
| target_i2cREG1_temp.IMR                      | 255   |
| target_i2cREG1_temp.STR                      | 32767   |

2014-10-14, 23:10:23+0530



| DigColPsini_StartRequest  | [ WACT      |
|---|-------------|
| Name  | Input Value |
| arget_i2cREG1_temp.CLKL   | 65535       |
| arget i2cREG1 temp.CLKH   | 65535       |
| arget_i2cREG1_temp.CNT  | 65535       |
| arget_i2cREG1_temp.DRR  | 255         |
| arget_i2cREG1_temp.SAR  | 1023        |
| arget_i2cREG1_temp.DXR  | 255         |
| arget_i2cREG1_temp.MDR  | 65535       |
|   | 4095        |
| arget_i2cREG1_temp.IVR  | 3           |
| arget_i2cREG1_temp.EMDR   |             |
| arget_i2cREG1_temp.PSC  | 255         |
| arget_i2cREG1_temp.PID11  | 65535       |
| arget_i2cREG1_temp.PID12  | 255         |
| arget_i2cREG1_temp.DMAC   | 3           |
| arget_i2cREG1_temp.FUN  | 1           |
| arget_i2cREG1_temp.DIR  | 3           |
| arget_i2cREG1_temp.DIN  | 3           |
| arget_i2cREG1_temp.DOUT   | 3           |
| arget_i2cREG1_temp.SET  | 3           |
| arget_i2cREG1_temp.CLR  | 3           |
| arget_i2cREG1_temp.ODR  | 3           |
| arget_i2cREG1_temp.PD   | 3           |
| arget_i2cREG1_temp.PSL  | 3           |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR                                      | 1023        |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR                                      | 255         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR                                      | 32767       |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL                                     | 65535       |
| t_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH                                      | 65535       |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT                                      | 65535       |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR                                      | 255         |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR                                      | 1023        |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR                                      | 255         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR                                      | 65535       |
|   |             |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR                                      | 4095        |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR                                     | 3           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC                                      | 255         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11                                    | 65535       |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12                                    | 255         |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC                                     | 3           |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN                                      | 1           |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR                                      | 3           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN                                      | 3           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT                                     | 3           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET                                      | 3           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR                                      | 3           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR                                      | 3           |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD                                       | 3           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL                                      | 3           |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 1023        |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 255         |
| yt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 32767       |
| yt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 65535       |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 65535       |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.CNT  | 65535       |
|   | 255         |
| tt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 1023        |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  |             |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 255         |
| yt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 65535       |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 4095        |
| yt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  | 255         |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.PID11  | 65535       |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 255         |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| ıt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3           |
| yt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3           |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| yt_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3           |
| gt_l2c_send_l2cRegPtr_Cnt_T_str.CLR   | 3           |
|   | 3           |
| yt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3 3         |
|   | 1.5         |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL<br>gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR | 1023        |

2014-10-14, 23:10:23+0530



| Name   |  |             |
|--|--|-------------|
| MILOS Services (2008)Phy Cot T is CLUM   | Name   | Input Value |
| MILOS Services (2008)Phy Cot T is CLUM   | tat I2c SetRecv I2cReaPtr Cnt T str.IMR              | •           |
| March 2007   Mar   | ,              |             |
| March   Desired   Desire   |  |             |
| March   1985     |  |             |
|  |  |             |
|  | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT              | 65535       |
| William   Desire      | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              | 255         |
| Mile   December   Cartery   Try   A MADER   1995    | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 1023        |
| 10   22  | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 255         |
| 10   22  |  | 65535       |
| 100_PC_SARROW_DEP_COT_J = MENON   100_   |  |             |
| 19.   Dec. Series Proc.   17.   17.   18.   18.  |  |             |
| 00. D. Selfeco (287eght Conf.) # LPD102         288           01. D. Selfeco (287eght Conf.) # LPD102         288           01. D. Selfeco (287eght Conf.) # LPD104         3           01. D. Selfeco (287eght Conf.) # LPD104         3           01. D. Selfeco (287eght Conf.) # LPD101         3           01. D. Selfeco (287eght Conf.) # LPD10         3           01. D. Selfeco (287eght Conf.) # LPD1         4           01. D. Selfeco (287eght Conf.) # LPD1   |  |             |
| 100_P. Series   Calegory Cont.   Series   Seri   |  |             |
| 18.   12. Selfeev   2018-ppip   Col.   1. striDMAC   3   1   1   1   1   1   1   1   1   1   |  |             |
| 10,   12,   12,   13,   14,   14,   15,   14,   15,   14,   15,   14,   15,   14,   15,   14,   15,   14,   15,   14,   15,   14,   15,   14,   15,   14,   15,   14,   15,    | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 255         |
| 10.00   10.0   | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 3           |
| March   Dec   Selfano   Collegif   Celt   Land DUT   | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 1           |
| Section   Company   Comp   | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 3           |
| Section   Company   Comp   |  | 3           |
| 192   25 Serillow   25 Febrush   25 Februs   |  |             |
| Selface   ZeRopPir CH_T   SHOON  |  |             |
| 19   12   Serfence   12   Se   |  |             |
| Section   Sect   |  |             |
| 19, 12, 25, 24, 25, 24, 25, 27, 27, 27, 27, 27, 27, 27, 27, 27, 27   |  |             |
| 102   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   225     102   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   225     102   25. SelsphAssirReceve   22-RepPr   Crt   _ str CLK   2555     102   25. SelsphAssirReceve   22-RepPr   Crt   _ str CLK   2555     103   25. SelsphAssirReceve   22-RepPr   Crt   _ str CLK   2555     104   25. SelsphAssirReceve   22-RepPr   Crt   _ str CLK   2555     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve   22-RepPr   Crt   _ str DRR   255     105   25. SelsphAssirReceve      | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 3           |
| 10] I.Z., SetuphlasterReceive J. 20RepPt. Cnt. J. str. STR         25 ft           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. CLKL         65355           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. CLKL         65355           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. CLKL         65355           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. SAR         10535           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. SAR         1023           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         255           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         255           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         4095           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. PDI 1         65535           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. PDI 1         65535           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. PDI 1         255           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         3           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         3           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         3           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         3           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         3           10] Z.S., SetuphlasterReceive J. 20R   | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 3           |
| 10] I.Z., SetuphlasterReceive J. 20RepPt. Cnt. J. str. STR         25 ft           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. CLKL         65355           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. CLKL         65355           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. CLKL         65355           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. SAR         10535           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. SAR         1023           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         255           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         255           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         4095           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. PDI 1         65535           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. PDI 1         65535           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. PDI 1         255           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         3           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         3           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         3           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         3           10] Z.S., SetuphlasterReceive J. 20RepPt. Cnt. J. str. DNR         3           10] Z.S., SetuphlasterReceive J. 20R   | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 1023        |
| 10   20. SetupMasterReceive   20-RepPt Ort   1 str CLK     10   20. SetupMasterReceive   20-RepPt Ort   1 str DRR     10   20. SetupMasterReceive   20-RepPt   |  |             |
| Spring   S   |  |             |
| Spirits   SethipMasterReceive   ZeRegPtr_Cnt_T_strCNT   65535  |  |             |
| Sp. 12.C. SchupMasterReceive   ZcRegPtr. Cnt.   1. str. DNT  |  |             |
| Specific Content   |  |             |
| 1022   |  |             |
|  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 255         |
| Geographics   SchupMasterReceive   ZeRegPtr_Cnt_1_str.WR   4095     IgL_2C_SelupMasterReceive   ZeRegPtr_Cnt_1_str.WR   4095     IgL_2C_SelupMasterReceive   ZeRegPtr_Cnt_1_str.WR   3     IgL_2C_SelupMasterReceive   ZeRegPtr_Cnt_1_str.BDMR   3     IgL_2C_SelupMasterReceive   ZeRegPtr_Cnt_1_str.BDMR   3     IgL_2C_SelupMasterReceive   ZeRegPtr_Cnt_1_str.DDM   56535     IgL_2C_SelupMasterReceive   ZeRegPtr_Cnt_1_str.DDM   3     IgL_2C_SelupMasterReceive   ZeRegPtr_Cnt_1_str.DDM   1     IgL_2C_SelupMasterReceive   ZeRegPtr_Cnt_1_str.DDM   1     IgL_2C_SelupMasterReceive   ZeRegPtr_Cnt_1_str.DDM   1     IgL_2C_SelupMasterReceive   ZeRegPtr_Cnt_1_str.DDM   3     Igl_2C_SelupMasterTransmil   ZeRegPtr_Cnt_1_str.DDM   3     Igl_2C_SelupMasterTransmil   ZeRegPtr_Cnt_1_str.DDM   4     Igl_2C_SelupMasterTransmil   ZeRegPtr_Cnt_1_str.DDM   5     Igl_2C_Sel   | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 1023        |
| tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PMR         4095           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PMR         3           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PDR         255           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PDR1         65535           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PDR1         255           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PDR         3           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.DDR         3           tgl, Zc, SetupMasterCecive, J2cRegPtr, CnLT_str.DDR         3           tgl, Zc, SetupMasterCecive, J2cRegPtr, CnLT_str.DDR         3           tgl, Zc, SetupMasterTransmit, J2cRegPtr, CnLT_str.DDR         255           tgl, Zc, SetupMasterTransmit, J2cRegPtr, CnLT_str.DDR  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 255         |
| tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PMR         4095           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PMR         3           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PDR         255           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PDR1         65535           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PDR1         255           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.PDR         3           tgl, Zc, SetupMasterReceive, J2cRegPtr, CnLT_str.DDR         3           tgl, Zc, SetupMasterCecive, J2cRegPtr, CnLT_str.DDR         3           tgl, Zc, SetupMasterCecive, J2cRegPtr, CnLT_str.DDR         3           tgl, Zc, SetupMasterTransmit, J2cRegPtr, CnLT_str.DDR         255           tgl, Zc, SetupMasterTransmit, J2cRegPtr, CnLT_str.DDR  | tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 65535       |
| Igl. Jzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.EMDR         3           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.PSC         255           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.PID11         65635           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.PID12         255           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.DMAC         3           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.DMAC         3           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.DMAC         3           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.DIDN         3           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.DIDN         3           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.DCLT         3           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.DCLT         3           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.DCLR         3           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.DCLR         3           Igl. Zzc. SetupMasterReceive_IzcRegPtr_Cnt_T str.DCLR         3           Igl. Zzc. SetupMasterTransmal_IzcRegPtr_Cnt_T str.DRL         3           Igl. Zzc. SetupMasterTransmal_IzcRegPtr_Cnt_T str.DR  |  |             |
| Igl Lze _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.PSC         255           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.PID11         65535           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DID12         255           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIMAC         3           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         1           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         3           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         3           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         3           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         3           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         3           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         3           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         3           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         3           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         3           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         3           Igt _ Zec _ SetupMasterReceive   ZcRegPtr_ Cnt_T str.DIM         1023           Igt _ Zec _ SetupMasterTransmt_ ZcRegPtr_ Cnt_T str.DIM         1023           Igt _ Zec _ SetupMasterTransmt_ ZcRegPtr_ Cnt_T str.DIM         65535  |  |             |
| Set   Inc.   Set   |  |             |
| Igt 12c SetupMasterReceive 12cRegPtr_Cnt_Tstr.PID12         255           Igt 12c SetupMasterReceive 12cRegPtr_Cnt_Tstr.DMAC         3           Igt 12c SetupMasterReceive 12cRegPtr_Cnt_Tstr.DM         1           Igt 12c SetupMasterReceive 12cRegPtr_Cnt_Tstr.DM         3           Igt 12c SetupMasterTransmit_12cRegPtr_Cnt_Tstr.DM         3           Igt 12c SetupMasterTransmit_12cRegPtr_Cnt_Tstr.DMR         25           Igt 12c SetupMasterTransmit_12cRegPtr_Cnt_Tstr.DMR         25           Igt 12c SetupMasterTransmit_12cRegPtr_Cnt_Tstr.CLKH         65535           Igt 12c SetupMasterTransmit_12cRegPtr_Cnt_Tstr.DMR         255           Igt 12c SetupMasterTransmit_12cRegPtr_Cnt_Tstr.DMR         255           Igt 12c SetupMasterTransmit_12cRegPtr_Cnt_Tstr.DMR         3           Igt 12c SetupMas   |  |             |
| Igt 12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.DMAC         3           Igt 12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.DNN         1           Igt 12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.DNN         1           Igt 12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.DNN         3           Igt 12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.DNN         3           Igt 12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.DNT         3           Igt 12c_SetupMasterTansmil_2cRegPtr_Cnt_Tstr.DNT         1023           Igt 12c_SetupMasterTansmil_2cRegPtr_Cnt_Tstr.DNT         255           Igt 12c_SetupMasterTansmil_2cRegPtr_Cnt_Tstr.CNT         65535           Igt 12c_SetupMasterTansmil_2cRegPtr_Cnt_Tstr.CNT         65535           Igt 12c_SetupMasterTansmil_2cRegPtr_Cnt_Tstr.DNT         255           Igt 12c_SetupMasterTansmil_2cRegPtr_Cnt_Tstr.DNT         255           Igt 12c_SetupMasterTansmil_2cRegPtr_Cnt_Tstr.DNT         255           Igt 12c_SetupMasterTansmil_2cRegPtr_Cnt_Tstr.DNT         4095           Igt 12c_Setup   |  |             |
| Igit   Izo   SetupMasterReceive   IzoRegPtr_Cnt_T_str.DN   1   Igit   Izo   SetupMasterReceive   IzoRegPtr_Cnt_T_str.DN   3   Igit   Izo   SetupMasterReceive   IzoRegPtr_Cnt_T_str.DN   3   Igit   Izo   SetupMasterReceive   IzoRegPtr_Cnt_T_str.DN   3   Igit   Izo   SetupMasterReceive   IzoRegPtr_Cnt_T_str.DC   3   Igit   Izo   SetupMasterReceive   IzoRegPtr_Cnt_T_str.DC   3   Igit   Izo   SetupMasterReceive   IzoRegPtr_Cnt_T_str.DC   3   Igit   Izo   SetupMasterReceive   IzoRegPtr_Cnt_T_str.DD   3   Igit   Izo   SetupMasterReceive   IzoRegPtr_Cnt_T_str.DA   Igit   Izo   SetupMasterTransmit   IzoRegPtr_Cnt_T_str.DA   Igit   Izo   SetupMasterTransmit   IzoRegPtr_Cnt_T_str.DA   Igit   Izo   SetupMasterTransmit   IzoRegPtr_Cnt_T_str.DA   Igit   Igit   Izo   SetupMasterTransmit   IzoRegPtr_Cnt_T_str.DA   Igit   Igit   Igit   Izo   SetupMasterTransmit   IzoRegPtr_Cnt_T_str.DA   Igit    | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 255         |
| Igt_Izc_SetupMasterReceive_IzcRegPtr_Cnt_T_str.DIR   3   1   1   1   2   2   3   1   1   2   3   3   3   3   3   3   3   3   3   | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| tgl_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         3           tgl_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         3           tgl_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SET         3           tgl_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DLR         3           tgl_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         3           tgl_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         3           tgl_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         3           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.DAR         1023           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.DAR         1023           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.STR         32767           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.CLKL         65535           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.CLKL         65535           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.DAR         255           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.DAR         255           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.DAR         255           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.DAR         255           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.DAR         3           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.EMDR         3           tgl_12c_SetupMasterTransmt_12cRegPtr_Cnt_T_str.DDI1         65535 </td <td>tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN</td> <td>1</td>   | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| Igt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN   3   1gt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOUT   3   1gt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SET   3   3   1gt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DLR   3   1gt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR   3   1gt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR   3   1gt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR   3   1gt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR   3   1gt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR   1gt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR   1gt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR   1gt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR   32r67   1gt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL   65535   1gt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL   65535   1gt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL   65535   1gt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR   255   1gt_12c_SetupMasterTransmit_12c   | tqt I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR   | 3           |
| tgt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOUT         3           tgt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SET         3           tgt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CDR         3           tgt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         3           tgt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         3           tgt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR         1023           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         1023           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         1023           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         65535           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         65535           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR <t< td=""><td></td><td>3</td></t<>   |  | 3           |
| tgl_2c_SetupMasterReceive_I2cRegPtr_Cntstr.SET         3           tgl_2c_SetupMasterReceive_I2cRegPtr_Cntstr.DDR         3           tgl_2c_SetupMasterReceive_I2cRegPtr_Cntstr.DDR         3           tgl_2c_SetupMasterReceive_I2cRegPtr_Cntstr.DDR         3           tgl_2c_SetupMasterReceive_I2cRegPtr_Cntstr.DAR         1023           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.DAR         1023           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.MR         255           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.STR         32767           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.CLKL         65535           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.CLKL         65535           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.DRR         255           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.DRR         255           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.DRR         255           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.DRR         255           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.DRR         255           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.DRR         3           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.DRR         3           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.DRR         255           tgl_2c_SetupMasterTransmit_I2cRegPtr_Cntstr.DRR         255 <t< td=""><td></td><td></td></t<>  |  |             |
| tgt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.ODR         3           tgt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PDR         3           tgt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PDR         3           tgt_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR         1023           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.ADR         1023           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MR         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CkL         65535           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CkL         65535           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         65535           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         3           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         3           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         3           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         3   |  |             |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD         3           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD         3           tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL         3           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR         1023           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MIR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR         32767           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CtkL         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CtkH         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR         3           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR         3           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID1         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         1           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   |  |             |
| tg_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PD         3           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.OAR         1023           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.OAR         1023           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         65535           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         65535           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT         65535           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         65535           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         65535           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         4095           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PBDA         3           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11         65535           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DINC         3           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         1           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN <t< td=""><td></td><td></td></t<>  |  |             |
| tgl_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PSL         3           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.OAR         1023           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.BIR         255           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         65535           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         65535           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT         65535           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT         65535           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         255           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         255           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         65535           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR         65535           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         3           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PDT         65535           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PDT         65535           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         65535           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR         3           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR         3           tgl_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.D  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   |             |
| tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.OAR         1023           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.IMR         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR         32767           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         65535           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT         65535           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         65535           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         4095           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR         3           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PDC         255           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PDC         3           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DINC         3           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         3           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         3           tg_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT         3   | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 3           |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR         32767           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNR         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR         4595           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR         3           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12         3           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         3           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         3           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR         32767           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR         4095           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR         3           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11         65535           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12         255           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12         3           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         3           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         3           tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_s  | tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR  | 1023        |
| tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  32767  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  65535  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  65535  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  65535  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  255  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  255  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  255  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  255  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  255  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  255  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  255  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  3  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNR  3  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNC  255  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID1  255  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID2  255  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID2  3  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  3  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  3  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  3  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  3  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  3  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  3  tgl_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_s |  | 255         |
| tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         65535           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CKH         65535           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT         65535           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         1023           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR         65535           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         4095           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11         65535           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12         255           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DINC         3           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         1           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         3           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT         3           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET         3           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SCLR         3           tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN </td <td></td> <td></td>   |  |             |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.CLKH         65535           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.CNT         65535           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         255           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.SAR         1023           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.DDXR         255           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.MDR         65535           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.NDR         65535           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.NDR         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.PSC         255           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.PDI11         65535           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.PDI12         255           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.DID12         255           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.DMAC         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.DIN         1           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.DIN         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.DOUT         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.SET         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.CLR         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.CDR         3 </td <td></td> <td></td>  |  |             |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT         65535           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         255           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.SAR         1023           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         255           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.MDR         255           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.MDR         65535           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PRC         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PBC         255           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PID11         65535           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PID12         255           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIAC         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN         1           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIR         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DOUT         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.SET         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DOR         3           tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DOR         3   |  |             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  |  |             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 255  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 255  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 65535  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 4095  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 255  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 65535  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12 255  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 1  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DCR 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DCR 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DCR 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DCR 3   |  |             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  |  |             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 255 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 65535 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 255 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12 255 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 1 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DET 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DET 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DER 3   | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 1023        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 255 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 65535 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 255 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12 255 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 1 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DET 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DET 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DER 3   | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 255         |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR 4095  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 255  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 65535  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 255  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DET 3  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DER 3  | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 65535       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 255 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 65535 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 255 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 1 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DLR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CDR 3   |  |             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PlD11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 1 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CDR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CDR 3   |  |             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  |  |             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  |  |             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN 1 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CDR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CDR 3   |  |             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN 1 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 3   |  |             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 3   | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC | 3           |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 3   | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 3   |  | 3           |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 3 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 3   |  |             |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET 3 tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR 3 tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR 3  |  |             |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR 3 tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR 3  |  |             |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 3  |  |             |
|  |  |             |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD 3   |  |             |
|  | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3           |

2014-10-14, 23:10:23+0530



DigColPsInt\_StartRequest Input Value tgt\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL **Actual Value Expected Value** Result Name DigColPsInt\_Buffer\_Cnt\_M\_u08[0] DigColPsInt\_Buffer\_Cnt\_M\_u08[1] DigColPsInt\_Buffer\_Cnt\_M\_u08[2] DigColPsInt\_CurrentSlave\_Cnt\_M\_u08 READ\_COMPLETE  ${\tt DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum}$ READ COMPLETE DigColPsInt\_PrevReqDataType\_Cnt\_M\_u08 DigColPsInt\_SkipRegisterWrite\_Cnt\_M\_Igc tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.OAR tat I2c GetStatus I2cReaPtr Cnt T str.IMR  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.STR$ tat I2c GetStatus I2cReaPtr Cnt T str.CLKL tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.CLKH tgt I2c GetStatus I2cRegPtr Cnt T str.CNT tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DRR tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.SAR  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DXR$ tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.MDR tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.IVR tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.EMDR tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PSC tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.PID11 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PID12 tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DMAC tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.FUN tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DIR tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DIN  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DOUT$ tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.SET  $tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.CLR$ tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.ODR tat I2c GetStatus I2cRegPtr Cnt T str.PD tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PSL tgt I2c Send I2cRegPtr Cnt T str.OAR tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR tgt I2c Send I2cRegPtr Cnt T str.STR tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKL tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKH  $tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CNT$ tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DRR  $tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SAR$ tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DXR tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.MDR tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IVR  $tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.EMDR$ tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSC tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID11 tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID12 tgt\_l2c\_Send\_l2cRegPtr\_Cnt\_T\_str.DMAC tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.FUN tgt I2c Send I2cRegPtr Cnt T str.DIR  $tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIN$ tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DOUT tgt I2c Send I2cRegPtr Cnt T str.SET tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLR tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.ODR tgt\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PD tgt I2c Send I2cRegPtr Cnt T str.PSL tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.OAR tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IMR  $tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.STR$ tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKL 

 $tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 

tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CNT

tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DRR

tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.SAR

 $tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DXR$ 

tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.MDR

tgt\_l2c\_SetRecv\_l2cRegPtr\_Cnt\_T\_str.IVR tgt\_l2c\_SetRecv\_l2cRegPtr\_Cnt\_T\_str.EMDR

tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PSC

tgt\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PID11

2014-10-14, 23:10:23+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 255          | 255            | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>✓</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ✓        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | <b>✓</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | <b>✓</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | <b>✓</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 1023         | 1023           | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 255          | 255            | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 32767        | 32767          | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 65535        | 65535          | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 65535        | 65535          | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT   | 65535        | 65535          | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 255          | 255            | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 1023         | 1023           | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 255          | 255            | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 65535        | 65535          | <b>✓</b> |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR   | 4095         | 4095           | _        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>✓</b> |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC   | 255          | 255            | _        |
| tgt I2c SetupMasterReceive I2cReqPtr Cnt T str.PID11   | 65535        | 65535          | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 255          | 255            |          |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC  | 3            | 3              | <b>✓</b> |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN   | 1            | 1              |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | <b>✓</b> |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR   | 3            | 3              |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 1023         | 1023           | <u> </u> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 255          | 255            |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR  | 32767        | 32767          | <u> </u> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 65535        | 65535          |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 65535        | 65535          | -        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT  | 65535        | 65535          |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 255          | 255            | -        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 1023         | 1023           |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 255          | 255            |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 65535        | 65535          |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 4095         | 4095           |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  | 255          | 255            | ~        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11  | 65535        | 65535          |          |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12  | 255          | 255            | •        |
|  | 3            | 3              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN | 1            | 3              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  | 3            | 3              |          |
| tgt I2c SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              |          |
|  | 3            | 3              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT   |              |                |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | · ·      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | - J      |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 3            | 3              | -        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>✓</b> |

| Τ               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
| I2c_GetStatus   | 1     | I2c_GetStatus     | 1     | ~        |



#### **Test Case 3: Path Test**

Description

Test Vector Description:

TS3.1"((DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == TRUE) && (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum >= INIT\_COMPLETE))=True ((Status\_Cnt\_T\_u16 & l2C\_BUSBUSY) == 0U)=True ((Type\_Cnt\_T\_u08 == D\_ANGLEDATA\_CNT\_U08) && (DigColPsInt\_PrevReqDataType\_Cnt\_M\_u08 == D\_ANGLEDATA\_CNT\_U08))=False ((Type\_Cnt\_T\_u08 > D\_NONE\_CNT\_U08) && (Type\_Cnt\_T\_u08 <= D\_STATUSREG\_CNT\_U08))=False" (TS3.2"((DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == TRUE) && (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum >= INIT\_COMPLETE))=True ((Status\_Cnt\_T\_u16 & l2C\_BUSBUSY) == 0U)=True ((Type\_Cnt\_T\_u08 == D\_ANGLEDATA\_CNT\_U08)) && (DigColPsInt\_PrevReqDataType\_Cnt\_M\_u08 == D\_ANGLEDATA\_CNT\_U08))=False ((Type\_Cnt\_T\_u08 > D\_NONE\_CNT\_U08) && (Type\_Cnt\_T\_u08 <= D\_STATUSREG\_CNT\_U08))=True" (TS3.3"((DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == TRUE) && (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum >= INIT\_COMPLETE))=True ((Type\_Cnt\_T\_u08 == D\_ANGLEDATA\_CNT\_U08)) && (DigColPsInt\_PrevReqDataType\_Cnt\_M\_u08 == D\_ANGLEDATA\_CNT\_U08))=True" (TS3.4"((DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == TRUE) && (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum >= INIT\_COMPLETE))=True ((Status\_Cnt\_T\_u16 & l2C\_BUSBUSY) == 0U)=False" (DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == TRUE) && (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum >= INIT\_COMPLETE))=True ((Status\_Cnt\_T\_u16 & l2C\_BUSBUSY) == 0U)=False" (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum >= INIT\_COMPLETE))=False (Status\_Cnt\_T\_u16 & l2C\_BUSBUSY) == 0U)=False" (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum >= INIT\_COMPLETE))=False

| Test Step 3.1 (Repeat Count = 1)             | ✓   |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 10  |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 20  |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 30  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 40  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08        | 1   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_Igc      | 0   |
| I2c_GetStatus()                              | 123   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 0   |
| i2cREG1_temp                                 | target_i2cREG1_temp                             |
| k_ColSensorl2CAddress_Cnt_u08                | 10  |
| target_i2cREG1_temp.OAR                      | 66  |
| target_i2cREG1_temp.IMR                      | 78  |
| target_i2cREG1_temp.STR                      | 78  |
| target_i2cREG1_temp.CLKL                     | 495   |
| target_i2cREG1_temp.CLKH                     | 56  |
| target_i2cREG1_temp.CNT                      | 897   |
| target_i2cREG1_temp.DRR                      | 98  |
| target_i2cREG1_temp.SAR                      | 66  |
| target_i2cREG1_temp.DXR                      | 78  |
| target_i2cREG1_temp.MDR                      | 495   |
| target_i2cREG1_temp.IVR                      | 66  |
| target_i2cREG1_temp.EMDR                     | 0   |
| target_i2cREG1_temp.PSC                      | 78  |
| target_i2cREG1_temp.PID11                    | 56  |
| target_i2cREG1_temp.PID12                    | 78  |
| target_i2cREG1_temp.DMAC                     | 0   |
| target_i2cREG1_temp.FUN                      | 0   |
| target_i2cREG1_temp.DIR                      | 0   |
| target_i2cREG1_temp.DIN                      | 1   |
| target_i2cREG1_temp.DOUT                     | 0   |
| target_i2cREG1_temp.SET                      | 0   |
| target_i2cREG1_temp.CLR                      | 0   |
| target_i2cREG1_temp.ODR                      | 1   |
| target_i2cREG1_temp.PD                       | 0   |
| target_i2cREG1_temp.PSL                      | 0   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR    | 66  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR    | 78  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR    | 78  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 495   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 56  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT    | 897   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR    | 98  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR    | 66  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR    | 78  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR    | 495   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR    | 66  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 0   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC    | 78  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 56  |

2014-10-14, 23:10:23+0530



| DigColPsini_StartRequest                            |             | 1 1 2 1 2 1 2 |
|---|-------------|---------------|
| Name  | Input Value |               |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12         | 78          |               |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC          | 0           |               |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN           | 0           |               |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR           | 0           |               |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN           | 1           |               |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT          | 0           |               |
|   | 0           |               |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET           | 0           |               |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR           |             |               |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR           | 1           |               |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD            | 0           |               |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSL           | 0           |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                | 66          |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                | 78          |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR                | 78          |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL               | 495         |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH               | 56          |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                | 897         |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                | 98          |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                | 66          |               |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR                | 78          |               |
|   |             |               |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR                | 495         |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                | 66          |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR               | 0           |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                | 78          |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11              | 56          |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12              | 78          |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC               | 0           |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                | 0           |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                | 0           |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                | 1           |               |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT               | 0           |               |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET                | 0           |               |
|   | 0           |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                |             |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                | 1           |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD                 | 0           |               |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                | 0           |               |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR             | 66          |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR             | 78          |               |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR             | 78          |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL            | 495         |               |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH            | 56          |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT             | 897         |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 98          |               |
| tgt I2c SetRecv I2cRegPtr Cnt T str.SAR             | 66          |               |
| tgt I2c SetRecv I2cRegPtr Cnt T str.DXR             | 78          |               |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR             | 495         |               |
|   | 66          |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR             |             |               |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 0           |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC             | 78          |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11           | 56          |               |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 78          |               |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 0           |               |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN              | 0           |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR             | 0           |               |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN              | 1           |               |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 0           |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET             | 0           |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR             | 0           |               |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR              | 1           |               |
|   | 0           |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD              |             |               |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL             | 0           |               |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 66          |               |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR  | 78          |               |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  | 78          |               |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL | 495         |               |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH | 56          |               |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 897         |               |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 98          |               |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 66          |               |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 78          |               |
|   | 495         |               |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  |             |               |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR  | 66          |               |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR | 0           |               |

2014-10-14, 23:10:23+0530



| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC   | Input Value   |  |                                       |
|--|---|--|---------------------------------------|
|  | 78  |  |                                       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11   | 56  |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 78  |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0   |  |                                       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR   | 0   |  |                                       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN   | 1   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 0   |  |                                       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR   | 1   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 0   |  |                                       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 0   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 66  |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 78  |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 78  |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL   | 495<br>56   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 897   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  | 98  |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 66  |  |                                       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR  | 78  |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 495   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 66  |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 78  |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 56  |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 78  |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 0   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT   | 0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  | 0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 0   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1   |  |                                       |
|  | 0   |  |                                       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0   |  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 0   |  |                                       |
|  |   | Expected Value   | Result                                |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]   | 0 Actual Value  | 10   | ~                                     |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  | 0 Actual Value 10 20  | 10<br>20   | Ž                                     |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]   | 0 Actual Value 10 20 30   | 10<br>20<br>30   | *                                     |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08   | 0 Actual Value 10 20 30 10  | 10<br>20<br>30<br>10   | • • • • • • • • • • • • • • • • • • • |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum   | 0 Actual Value 10 20 30 10 INIT_COMPLETE  | 10<br>20<br>30<br>10<br>INIT_COMPLETE  | *                                     |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0   | • • • • • • • • • • • • • • • • • • • |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0   | • • • • • • • • • • • • • • • • • • • |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0   |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66   | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0<br>66  |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78   | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0<br>66<br>78                                  |                                       |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.STR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897  | 10<br>20<br>30<br>10<br>INIT_COMPLETE<br>0<br>0<br>66<br>78<br>78                            | 0                                     |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.STR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CNT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897  | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897  |                                       |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.STR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CNT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66  | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98   |                                       |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.STR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CNT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78   | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78                                   |                                       |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.STR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CNT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495                                       | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495                               |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.NDR   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66                                    | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66                            |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.NDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.NDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.NDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0                                  | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0                          |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_igc  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.BMR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 495 56 897 98 66 78 495 66 0 78                                  | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0                          |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.NR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.NR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56                            | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56                    |                                       |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.STR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKH  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.MDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.MDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.EMDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.EMDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PID11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PID11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PID11  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 495 56 897 98 66 78 495 66 0 78                                  | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0                          |                                       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.NR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.NR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78                         | 10 20 30 10 INIT_COMPLETE 0 0 66 78 495 56 897 98 66 78 495 66 0 78 56 78                    |                                       |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.STR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CNT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.MDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.BNDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.EMDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.EMDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PID11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PID12  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DMAC  | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78                         | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78                 |                                       |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.ENR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKH  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.MDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.MDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.EMDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.EMDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PID11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PID12  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DMAC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.FUN   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 495 66 0 78                   | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78                 |                                       |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.ENR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.EMDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.EMDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.EMDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDD11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PID12  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DMAC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 495 66 0 78                   | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78                 |                                       |
| tgt_!2c_SetupMasterTransmit_i2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_SkipRegisterWrite_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.STR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CkL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CkL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CkH  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DXR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDD11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PID11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DMAC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIR   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1                 | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 495 60 0 1            |                                       |
| tgt_!2c_SetupMasterTransmit_i2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_SkipRegisterWrite_Cnt_M_log  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKH  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.MDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PSC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PSC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PID11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DI11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIAC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIAC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIAC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLR   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 495 66 0 0 0 0 1 0 0 0 0      | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 0 0       |                                       |
| tgt_!2c_SetupMasterTransmit_i2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_SkipRegisterWrite_Cnt_M_log  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKH  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDD1  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PD11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN1  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 495 66 0 0 1 0 0 1 1 0 0 0 1  | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1         |                                       |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_SkipRegisterWrite_Cnt_M_log  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDD11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PID11  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUR   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 78 0 0 0 1 0 0 1 0 1 0 0      | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 70 0 0 0 1 0 0 1   |                                       |
| tgt_!2c_SetupMasterTransmit_i2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_T_str.OAR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.AR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CkI tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CkI tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DkR tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PiD11 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PiD11 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.Din1 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.Din2 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.Din3 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.Din4 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.Din5 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.Din6 tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DOUT | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 0 0 1 | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 70 0 0 0 1 0 0 0 1 |                                       |
| tgt_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.OAR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.ARR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CLKL  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.CNT  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DRR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.MDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDR  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDD1  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.PDD1  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNAC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DNAC  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DIN  tgt_!2c_GetStatus_!2cRegPtr_Cnt_T_str.DUT   | 0 Actual Value 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 78 0 0 0 1 0 0 1 0 1 0 0      | 10 20 30 10 INIT_COMPLETE 0 0 66 78 78 495 56 897 98 66 78 495 66 0 78 56 70 0 0 0 1 0 0 1   |                                       |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result  |
|---|--------------|----------------|---------|
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 78           | 78             | •       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 495          | 495            | •       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 56           | 56             | •       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CNT  | 897          | 897            |         |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  | 98           | 98             |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 66<br>78     | 66<br>78       |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 495          | 495            |         |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR<br>tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR                            | 66           | 66             |         |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              |         |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  | 78           | 78             |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 56           | 56             |         |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12  | 78           | 78             |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              |         |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 0            | 0              |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              |         |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              |         |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD   | 0            | 0              |         |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 0            | 0              |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             |         |
| tgt I2c SetRecv I2cRegPtr Cnt T str.IMR   | 78           | 78             |         |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 78           | 78             |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            |         |
| tgt I2c SetRecv I2cRegPtr Cnt T str.CLKH  | 56           | 56             |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            |         |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 98           | 98             |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             |         |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 495          | 495            |         |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR   | 66           | 66             |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 56           | 56             |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 78           | 78             |         |
| tgt I2c SetRecv I2cRegPtr Cnt T str.DMAC  | 0            | 0              |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              |         |
| tgt I2c SetRecv I2cRegPtr Cnt T str.DIN   | 1            | 1              | •       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | •       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              |         |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              |         |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 66           | 66             |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 78           | 78             |         |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  | 78           | 78             |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 495          | 495            |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 56           | 56             |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 897          | 897            | •       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 98           | 98             |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 66           | 66             |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 78           | 78             |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 495          | 495            |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 66           | 66             |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 78           | 78             |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 56           | 56             | •       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 78           | 78             |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              |         |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN  | 1            | 1              |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              |         |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              |         |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR  | 0            | 0              |         |
|   |              |                |         |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR  | 1            | 1              | - I • • |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR<br>tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD | 0            | 0              |         |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ✓        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | <b>~</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD    | 0            | 0              | <b>✓</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~        |

| Τ               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
| I2c_GetStatus   | 1     | I2c_GetStatus     | 1     | •        |

| Name         Input Value           DigColPsInt_Buffer_Cnt_M_u08[0]         40           DigColPsInt_Buffer_Cnt_M_u08[1]         50           DigColPsInt_Buffer_Cnt_M_u08[2]         60           DigColPsInt_CurrentSlave_Cnt_M_u08         55           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_COMPLETE           DigColPsInt_PrevReqDataType_Cnt_M_u08         2           DigColPsInt_SensInitialized_Cnt_M_lgc         1           DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         1           12c_GetStatus()         554           12c_GetStatus(l2cRegPtr_Cnt_T_str)         tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str           12c_Send(l2cRegPtr_Cnt_T_str)         tgt_l2c_Send_l2cRegPtr_Cnt_T_str           12c_SetRecv(l2cRegPtr_Cnt_T_str)         tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str           12c_SetPRecv(l2cRegPtr_Cnt_T_str)         tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str           12c_SetupMasterReceive(l2cRegPtr_Cnt_T_str)         tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str  | Test Step 3.2 (Repeat Count = 1)             | <b>✓</b>  |
|--|--|---|
| DigCoPisht   Buffer_Cnt_M_u08[1]   50     DigCoPisht   Buffer_Cnt_M_u08[2]   60     DigCoPisht   Buffer_Cnt_M_u08[2]   60     DigCoPisht   CurrentSierve_Cnt_M_u08   55     DigCoPisht_CurrentSierve_Cnt_M_u08   55     DigCoPisht_CurrentSierve_Cnt_M_u08   2     DigCoPisht_Sensitialized_Cnt_M_u08   2     DigCoPisht_Sensitialized_Cnt_M_u08   2     DigCoPisht_Sensitialized_Cnt_M_u08   2     DigCoPisht_Sensitialized_Cnt_M_u08   1     Liz_CoEstiatus(CategoPir_Cnt_T_str)   1     Liz_Coestiatus(CategoPir_Cnt_ |  | Input Value                                     |
| DigCoPisin   Buffer_Cnt_M u08 1  |  |   |
| DigCoIPsint Buffer_Cnt_M_u08[2]         60           DigCoIPsint_CurrentSiave_Cnt_M_u08         55           DigCoIPsint_PrevRecDataType_Cnt_M_u08         2           DigCoIPsint_Sensinitalized_Cnt_M_lgc         1           DigCoIPsint_ShipRegisterWrite_Cnt_M lgc         1           Lize_GetStatus()         554           Lize_GetStatus()         554           Lize_GetStatus()CRegPtr_Cnt_T_str)         tg_Lize_GetStatus_J2cRegPtr_Cnt_T_str           Lize_GetStatus()CRegPtr_Cnt_T_str)         tg_Lize_GetStatus_J2cRegPtr_Cnt_T_str           Lize_SetupMasterReceive(IzeRegPtr_Cnt_T_str)         tg_Lize_Send_IzeRegPtr_Cnt_T_str           Lize_SetupMasterTransmit(IzeRegPtr_Cnt_T_str)         tg_Lize_SetupMasterTransmit(IzeRegPtr_Cnt_T_str)           <   |  | 50  |
| DigCoPaint_CurrentSiave_Cnt_M_u08         55           DigCoPaint_CurrentSiave_Cnt_M_enum         INT_COMPLETE           DigCoPaint_SerkeQbataType_Cnt_M_u08         2           DigCoPaint_Seinshidaized_Cnt_M_lgc         1           DigCoPaint_SkipRejsterWrite_Cnt_M_lgc         1           12c_GetSlatus()         554           12c_GetSlatus()         554           12c_Send()2cRegPtr_Cnt_T_str)         1g_L2c_Send_12cRegPtr_Cnt_T_str           12c_SentPev(12cRegPtr_Cnt_T_str)         1g_L2c_Send_12cRegPtr_Cnt_T_str           12c_SentPev(12cRegPtr_Cnt_T_str)         1g_L2c_SentPev(12cRegPtr_Cnt_T_str           12c_SetUpMasterReceive(12cRegPtr_Cnt_T_str)         1g_L2c_SetupMasterTransmit(12cRegPtr_Cnt_T_str           12c_SetUpMasterTransmit(12cRegPtr_Cnt_T_str)   |  | 60  |
| DigColPsint_CurrentStepNo_Cnt_M_enum         INIT_COMPLETE           DigColPsint_PrevRepDataType_Cnt_M_u08         2           DigColPsint_SkipRegisterWrite_Cnt_M_u0c         1           DigColPsint_SkipRegisterWrite_Cnt_M_u0c         1           Use_GetStatus()         554           Use_GetStatus()         554           Use_GetStatus()         Use_Loc GetStatus _ LocRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_LocRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_Send_UzeRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_Send_UzeRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_Send_UzeRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_Send_UzeRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_Send_UzeRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_Send_UzeRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_Low_UzeRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_Low_UzeRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_Low_UzeRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_Low_UzeRegPtr_Cnt_T_str           Use_Send(UzeRegPtr_Cnt_T_str)         Use_Low_UzeRegPtr_Cnt_T_str         Use_Low_UzeRegPtr_Cnt_T_str           Us  |  |   |
| DigCoPIsht_PrevReqDataType_CnLM_u0s         1           DigCoPIsht_Sensihitalized_Cnt_M_lgc         1           12c_GetStatus()         554           12c_GetStatus()         554           12c_GetStatus()2RegPtr_Cnt_T_str)         tgt_12c_GetStatus()2RegPtr_Cnt_T_str           12c_Send()2RegPtr_Cnt_T_str)         tgt_12c_Send()2RegPtr_Cnt_T_str           12c_SetUpMasterReceive()2RegPtr_Cnt_T_str)         tgt_12c_SetUpMasterReceive()2RegPtr_Cnt_T_str           12c_SetUpMasterReceive()2RegPtr_Cnt_T_str)         tgt_12c_SetUpMasterReceive()2RegPtr_Cnt_T_str           12c_SetUpMasterTransmit()2RegPtr_Cnt_T_str         tgt_12c_SetUpMasterTransmit()2RegPtr_Cnt_T_str           12c_SetEGT_Lemp_DXR  |  | INIT COMPLETE                                   |
| DigCoIPsint_SkintPkintsed_Cnt_M.lgc         1           DigCoIPsint_SkintPkeipsiterVinte_Cnt_M.lgc         1           12c_GeIStatus(12cRegPtr_Cnt_T_str)         554           12c_GeIStatus(12cRegPtr_Cnt_T_str)         tgt_12c_GeIStatus_12cRegPtr_Cnt_T_str           12c_Sent(12cRegPtr_Cnt_T_str)         tgt_12c_Sent_Excep_12cRegPtr_Cnt_T_str           12c_SetLev(12cRegPtr_Cnt_T_str)         tgt_12c_SetLev(12cRegPtr_Cnt_T_str           12c_SetLev(12cRegPtr_Cnt_T_str)         tgt_1  |  |   |
| DigColPsint_SkipRegisterWrite_Cnt_M_lgc         1           12c_GelStatus()         554           12c_GelStatus()         554           12c_GelStatus(2cRegPtr_Cnt_T_str)         tgt_12c_Send_12cRegPtr_Cnt_T str           12c_Send(12cRegPtr_Cnt_T_str)         tgt_12c_Send_12cRegPtr_Cnt_T str           12c_SetUpMasterReceive(12cRegPtr_Cnt_T_str)         tgt_12c_SetUpMasterPransmit_12cRegPtr_Cnt_T str           12c_SetUpMasterReceive(12cRegPtr_Cnt_T_str)         tgt_12c_SetUpMasterPransmit_12cRegPtr_Cnt_T str           12c_SetUpMasterTransmit_(12cRegPtr_Cnt_T_str)         tgt_12c_SetUpMasterPransmit_12cRegPtr_Cnt_T_str           12c_SetUpMasterTransmit_(12cRegPtr_Cnt_T_str)         tgt_12c_SetUpMasterPransmit_12cRegPtr_Cnt_T_str           12c_SetUpMasterTransmit_(12cRegPtr_Cnt_T_str)         tgt_12c_SetUpMasterPransmit_12cRegPtr_Cnt_T_str           12c_SetUpMasterTransmit_12cRegPtr_Cnt_T_str         tgt_12c_SetUpMasterPransmit_12cRegPtr_Cnt_T_str           12c_SetUpMasterTransmit_12cRegPtr_Cnt_T_str         tgt_12c_SetUpMasterTransmit_12cRegPtr_Cnt_T_str           12c_SetUpMasterTransmit_12cRegPtr_Cnt_T_str         tgt_12c_SetUpMasterTransmit_12cRegPtr_Cnt_T_str           12c_SetUpMasterTransmit_12cRegPtr_Cnt_T_str         tgt_12c_SetUpMasterTransmit_12cRegPtr_Cnt_T_str           12c_SetUpMasterTransmit_12cRegPtr_Cnt_T_str         tgt_12c_SetUpMasterTransmit_12cRegPtr_Cnt_T_str           12c_SetUpMasterTransmit_12cRegPtr_Cnt_T_str         tgt_12c_SetUpMasterTransmit_1  | DigColPsInt SensInitialized Cnt M Igc        | 1   |
| 2c_GetStatus ZcRegPtr_Cnt_T_str)   |  | 1   |
| 12c_Send(12cRegPtr_Cnt_T_str)         tgt_12c_Send_12cRegPtr_Cnt_T_str           12c_SetRew(12cRegPtr_Cnt_T_str)         tgt_12c_SetRew(12cRegPtr_Cnt_T_str           12c_SetUpMasterReceive(12cRegPtr_Cnt_T_str)         tgt_12c_SetupMasterTransmit(12cRegPtr_Cnt_T_str           12c_SetupMasterTransmit(12cRegPtr_Cnt_T_str)         tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str           12c_SetupMasterTransmit(12cRegPtr_Cnt_T_str)         tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str           12c_SetupMasterTransmit(12cRegPtr_Cnt_T_str)         tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str           12c_SetupMasterTransmit(12cRegPtr_Cnt_T_str)         tgt_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str           12c_SetupMasterTransmit(12cRegPtr_Cnt_T_str)         tgt_12c_Set_1emp           12c_Set_1_temp         tgt_12c_Set_1_temp           12c_Set_1_temp         44           12c_Set_1_temp_DAR         44           12c_Set_1_temp_DCR         44           12c_Set_1_temp_DCR         44           12c_Set_1_temp_DRR         56           12c_Set_1_temp_DRR         56           12c_Set_1_temp_DRR         44           12c_Set_1_temp_DRR         44           12c_Set_1_temp_DRR         44           12c_Set_1_temp_DIDR         44           12c_Set_1_temp_DIDR         44           12c_Set_1_temp_DIDR  | I2c_GetStatus()                              | 554   |
| 12c_SetRecv(!2cRegPtr_Cnt_Tstr)         tgt_!2c_SetRecv_!2cRegPtr_Cnt_Tstr           12c_SetupMasterReceive(!2cRegPtr_Cnt_Tstr)         tgt_!2c_SetupMasterReceive(!2cRegPtr_Cnt_Tstr)           12c_SetupMasterTransmit(!2cRegPtr_Cnt_Tstr)         tgt_!2c_SetupMasterTransmit(!2cRegPtr_Cnt_Tstr)           Type_Cnt_T_u08         5           12cREG1_temp         target_!2cREG1_temp           k_ColSensor!2cAddress_Cnt_u08         20           target_!2cREG1_temp_IMR         44           target_!2cREG1_temp_STR         4444           target_!2cREG1_temp_CLKL         566           target_!2cREG1_temp_CLKH         4466           target_!2cREG1_temp_DRR         6           target_!2cREG1_temp_DRR         567           target_!2cREG1_temp_DRR         4466           target_!2cREG1_temp_DRR         6           target_!2cREG1_temp_DRR         44           target_!2cREG1_temp_DRDR         44           target_!2cREG1_temp_DDR         44           targ   | I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| 12c_SetupMasterReceive(12cRegPtr_Cnt_T_str)         tgl_2c_SetupMasterReceive[12cRegPtr_Cnt_T_str]           12c_SetupMasterTransmit(12cRegPtr_Cnt_T_str)         tgl_2c_SetupMasterTransmit[12cRegPtr_Cnt_T_str]           Type_Cnt_T_u08         5           12c_SetupMasterTransmit(12cRegPtr_Cnt_T_str)         5           12c_REG1_temp         4           12c_SetSe1_temp_OAR         567           12c_SetSe1_temp_LNR         444           12c_SetSe1_temp_CLKL         566           12c_SetSe1_temp_CLKH         4466           12c_SetSe1_temp_DLR         6           12c_SetSe1_temp_DRR         6           12c_SetSe1_temp_DRR         44           12c_SetSe1_temp_DXR         44           12c_SetSe1_temp_PRC         44           12c_SetSe1_temp_PRC         44           12c_SetSe1_temp_PRC         44           12c_SetSetSet_temp_PD12         44           12c_SetSetSet_temp_DMAC         1           12c_SetSetSet_temp_DMAC         <   | I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_l2c_Send_l2cRegPtr_Cnt_T_str                |
| i2c_SetupMasterTransmit(i2cRegPtr_Cnt_T_str)         tgt_i2c_SetupMasterTransmit_i2cRegPtr_Cnt_T_str           Type_Cnt_T_u08         5           i2cREG1_temp         target_i2cREG1_temp           k_ColSensoriZcAddress_Cnt_u08         20           target_i2cREG1_temp_DAR         44           target_i2cREG1_temp_BIMR         444           target_i2cREG1_temp_CTLKI         566           target_i2cREG1_temp_CLKH         4466           target_i2cREG1_temp_DRR         6           target_i2cREG1_temp_DRR         6           target_i2cREG1_temp_DXR         44           target_i2cREG1_temp_DXR         44           target_i2cREG1_temp_DXR         567           target_i2cREG1_temp_DXR         44           target_i2cREG1_temp_DXR         44           target_i2cREG1_temp_DXR         566           target_i2cREG1_temp_PXR         566           target_i2cREG1_temp_DXR         44           target_i2cREG1_temp_PXR         564           target_i2cREG1_temp_PXR         44           target_i2cREG1_temp_PXC         44           target_i2cREG1_temp_PXD         446           target_i2cREG1_temp_DINAC         1           target_i2cREG1_temp_DMAC         1           target_i2cREG1_temp_DIN  | I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| Type_Cnt_T_u08         5           i2cREG1_temp         target_i2cREG1_temp           k_Colsensorl2CAddress_Cnt_u08         20           target_i2cREG1_temp_OAR         567           target_i2cREG1_temp_IMR         44           target_i2cREG1_temp_CLK         566           target_i2cREG1_temp_CLK         466           target_i2cREG1_temp_CLKH         446           target_i2cREG1_temp_DCR         129           target_i2cREG1_temp_DRR         6           target_i2cREG1_temp_DAR         44           target_i2cREG1_temp_DAR         44           target_i2cREG1_temp_DAR         44           target_i2cREG1_temp_DAR         566           target_i2cREG1_temp_DAR         44           target_i2cREG1_temp_DAR         44           target_i2cREG1_temp_PDR         44           target_i2cREG1_   | I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| i2cREG1_temp         target_i2cREG1_temp           k_ColSensorl2CAddress_Cnt_u08         20           target_i2cREG1_temp_OAR         567           target_i2cREG1_temp_IMR         44           target_i2cREG1_temp_STR         44444           target_i2cREG1_temp_CLKL         566           target_i2cREG1_temp_CLKH         4466           target_i2cREG1_temp_DRR         6           target_i2cREG1_temp_DRR         6           target_i2cREG1_temp_DAR         44           target_i2cREG1_temp_DAR         44           target_i2cREG1_temp_MDR         566           target_i2cREG1_temp_MDR         566           target_i2cREG1_temp_MDR         44           target_i2cREG1_temp_EMDR         1           target_i2cREG1_temp_EMDR         44           target_i2cREG1_temp_PDC         44           target_i2cREG1_temp_PDMC         4466           target_i2cREG1_temp_PDMAC         44           target_i2cREG1_temp_PDMAC         1           target_i2cREG1_temp_FUN         1           target_i2cREG1_temp_FUN         2           target_i2cREG1_temp_DIR         2           target_i2cREG1_temp_DIN         0           target_i2cREG1_temp_DOUT         1   | I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| k_ColSensorl2CAddress_Cnt_u08         20           target_i2cREG1_temp.OAR         567           target_i2cREG1_temp.IMR         44           target_i2cREG1_temp.STR         4444           target_i2cREG1_temp.CLKL         566           target_i2cREG1_temp.CLKH         4466           target_i2cREG1_temp.DRT         6           target_i2cREG1_temp.DRR         567           target_i2cREG1_temp.DXR         44           target_i2cREG1_temp.DXR         44           target_i2cREG1_temp.MDR         566           target_i2cREG1_temp.MDR         566           target_i2cREG1_temp.MDR         44           target_i2cREG1_temp.MDR         44           target_i2cREG1_temp.EMDR         1           target_i2cREG1_temp.PSC         44           target_i2cREG1_temp.PID11         4466           target_i2cREG1_temp.PID12         44           target_i2cREG1_temp.PID12         42           target_i2cREG1_temp.FUN         1           target_i2cREG1_temp.FUN         2           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DOUT         1  | Type_Cnt_T_u08                               | 5   |
| target_izcREG1_temp.OAR         567           target_izcREG1_temp.IMR         44           target_izcREG1_temp.CTR         4444           target_izcREG1_temp.CLKL         566           target_izcREG1_temp.CLKH         4466           target_izcREG1_temp.CNT         129           target_izcREG1_temp.DRR         6           target_izcREG1_temp.DXR         44           target_izcREG1_temp.DXR         44           target_izcREG1_temp.MDR         566           target_izcREG1_temp.WR         554           target_izcREG1_temp.EMDR         1           target_izcREG1_temp.PSC         44           target_izcREG1_temp.PID11         4466           target_izcREG1_temp.PID12         44           target_izcREG1_temp.PID12         44           target_izcREG1_temp.DINAC         1           target_izcREG1_temp.FUN         1           target_izcREG1_temp.FUN         1           target_izcREG1_temp.FUN         2           target_izcREG1_temp.DIR         2           target_izcREG1_temp.DIR         0           target_izcREG1_temp.DOUT         1  | i2cREG1_temp                                 | target_i2cREG1_temp                             |
| target_i2cREG1_temp.IMR         44           target_i2cREG1_temp.STR         4444           target_i2cREG1_temp.CLKL         566           target_i2cREG1_temp.CLKH         4466           target_i2cREG1_temp.CNT         129           target_i2cREG1_temp.DRR         6           target_i2cREG1_temp.DRR         44           target_i2cREG1_temp.DXR         44           target_i2cREG1_temp.MDR         566           target_i2cREG1_temp.IVR         554           target_i2cREG1_temp.EMDR         1           target_i2cREG1_temp.PSC         44           target_i2cREG1_temp.PID11         4466           target_i2cREG1_temp.PID12         44           target_i2cREG1_temp.DIMAC         1           target_i2cREG1_temp.DMAC         1           target_i2cREG1_temp.FUN         1           target_i2cREG1_temp.FUN         2           target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DOUT         1   | k_ColSensorl2CAddress_Cnt_u08                | 20  |
| target_i2cREG1_temp.STR         4444           target_i2cREG1_temp.CLKL         566           target_i2cREG1_temp.CLKH         4466           target_i2cREG1_temp.DNT         129           target_i2cREG1_temp.DRR         6           target_i2cREG1_temp.DXR         44           target_i2cREG1_temp.DXR         44           target_i2cREG1_temp.MDR         566           target_i2cREG1_temp.EMDR         1           target_i2cREG1_temp.EMDR         4           target_i2cREG1_temp.PSC         44           target_i2cREG1_temp.PID11         4466           target_i2cREG1_temp.PID12         44           target_i2cREG1_temp.DMAC         1           target_i2cREG1_temp.FUN         1           target_i2cREG1_temp.FUN         1           target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DOUT         1   | target_i2cREG1_temp.OAR                      | 567   |
| target_i2cREG1_temp.CLKL         566           target_i2cREG1_temp.CLKH         4466           target_i2cREG1_temp.CNT         129           target_i2cREG1_temp.DRR         6           target_i2cREG1_temp.SAR         567           target_i2cREG1_temp.DXR         44           target_i2cREG1_temp.MDR         566           target_i2cREG1_temp.EMDR         1           target_i2cREG1_temp.PSC         44           target_i2cREG1_temp.PSC         44           target_i2cREG1_temp.PID11         4466           target_i2cREG1_temp.DMAC         4           target_i2cREG1_temp.DMAC         1           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DOUT         1   | target_i2cREG1_temp.IMR                      | 44  |
| target_i2cREG1_temp.CLKH         4466           target_i2cREG1_temp.DRR         6           target_i2cREG1_temp.DRR         567           target_i2cREG1_temp.DXR         44           target_i2cREG1_temp.MDR         566           target_i2cREG1_temp.IVR         554           target_i2cREG1_temp.EMDR         1           target_i2cREG1_temp.PSC         44           target_i2cREG1_temp.PID11         4466           target_i2cREG1_temp.DMAC         4           target_i2cREG1_temp.DMAC         1           target_i2cREG1_temp.FUN         1           target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DOUT         1   | target_i2cREG1_temp.STR                      | 4444  |
| target_i2cREG1_temp.CNT         129           target_i2cREG1_temp.DRR         6           target_i2cREG1_temp.SAR         567           target_i2cREG1_temp.DXR         44           target_i2cREG1_temp.MDR         566           target_i2cREG1_temp.IVR         554           target_i2cREG1_temp.EMDR         1           target_i2cREG1_temp.PSC         44           target_i2cREG1_temp.PID11         4466           target_i2cREG1_temp.DMAC         1           target_i2cREG1_temp.FUN         1           target_i2cREG1_temp.FUN         1           target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DOUT         1  | target_i2cREG1_temp.CLKL                     | 566   |
| target_i2cREG1_temp.DRR         6           target_i2cREG1_temp.SAR         567           target_i2cREG1_temp.DXR         44           target_i2cREG1_temp.MDR         566           target_i2cREG1_temp.IVR         554           target_i2cREG1_temp.EMDR         1           target_i2cREG1_temp.PSC         44           target_i2cREG1_temp.PID11         4466           target_i2cREG1_temp.PID12         44           target_i2cREG1_temp.DMAC         1           target_i2cREG1_temp.FUN         1           target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DOUT         1   | target_i2cREG1_temp.CLKH                     | 4466  |
| target_i2cREG1_temp.SAR       567         target_i2cREG1_temp.DXR       44         target_i2cREG1_temp.MDR       566         target_i2cREG1_temp.EMDR       1         target_i2cREG1_temp.PSC       44         target_i2cREG1_temp.PID11       4466         target_i2cREG1_temp.PID12       44         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       2         target_i2cREG1_temp.DIR       2         target_i2cREG1_temp.DIN       0         target_i2cREG1_temp.DOUT       1   | target_i2cREG1_temp.CNT                      | 129   |
| target_i2cREG1_temp.DXR       44         target_i2cREG1_temp.MDR       566         target_i2cREG1_temp.IVR       554         target_i2cREG1_temp.EMDR       1         target_i2cREG1_temp.PSC       44         target_i2cREG1_temp.PID11       4466         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       2         target_i2cREG1_temp.DIR       0         target_i2cREG1_temp.DOUT       1   | target_i2cREG1_temp.DRR                      | 6   |
| target_i2cREG1_temp.MDR       566         target_i2cREG1_temp.IVR       554         target_i2cREG1_temp.EMDR       1         target_i2cREG1_temp.PSC       44         target_i2cREG1_temp.PID11       4466         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       2         target_i2cREG1_temp.DIR       0         target_i2cREG1_temp.DOUT       1  | target_i2cREG1_temp.SAR                      | 567   |
| target_i2cREG1_temp.IVR       554         target_i2cREG1_temp.EMDR       1         target_i2cREG1_temp.PSC       44         target_i2cREG1_temp.PID11       4466         target_i2cREG1_temp.PID12       44         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       2         target_i2cREG1_temp.DIN       0         target_i2cREG1_temp.DOUT       1  | target_i2cREG1_temp.DXR                      | 44  |
| target_i2cREG1_temp.EMDR       1         target_i2cREG1_temp.PSC       44         target_i2cREG1_temp.PID11       4466         target_i2cREG1_temp.PID12       44         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       2         target_i2cREG1_temp.DIN       0         target_i2cREG1_temp.DOUT       1  | target_i2cREG1_temp.MDR                      | 566   |
| target_i2cREG1_temp.PSC       44         target_i2cREG1_temp.PID11       4466         target_i2cREG1_temp.PID12       44         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       2         target_i2cREG1_temp.DIN       0         target_i2cREG1_temp.DOUT       1   | target_i2cREG1_temp.IVR                      | 554   |
| target_i2cREG1_temp.PID11       4466         target_i2cREG1_temp.PID12       44         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       2         target_i2cREG1_temp.DIN       0         target_i2cREG1_temp.DOUT       1  | target_i2cREG1_temp.EMDR                     | 1   |
| target_i2cREG1_temp.PID12       44         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       2         target_i2cREG1_temp.DIN       0         target_i2cREG1_temp.DOUT       1   | target_i2cREG1_temp.PSC                      | 44  |
| target_i2cREG1_temp.DMAC         1           target_i2cREG1_temp.FUN         1           target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DOUT         1  | target_i2cREG1_temp.PID11                    | 4466  |
| target_i2cREG1_temp.FUN 1 target_i2cREG1_temp.DIR 2 target_i2cREG1_temp.DIN 0 target_i2cREG1_temp.DOUT 1   | target_i2cREG1_temp.PID12                    | 44  |
| target_i2cREG1_temp.DIR 2 target_i2cREG1_temp.DIN 0 target_i2cREG1_temp.DOUT 1   | target_i2cREG1_temp.DMAC                     | 1   |
| target_i2cREG1_temp.DIN 0 target_i2cREG1_temp.DOUT 1   | target_i2cREG1_temp.FUN                      | 1   |
| target_i2cREG1_temp.DOUT 1   | target_i2cREG1_temp.DIR                      | 2   |
| 0.2 · · · · 2  | target_i2cREG1_temp.DIN                      | 0   |
| target_i2cREG1_temp.SET 1  | target_i2cREG1_temp.DOUT                     |   |
|  | target_i2cREG1_temp.SET                      | 1   |

2014-10-14, 23:10:23+0530



| DigColPsirit_StartRequest   |             | ( MAC ( MV |
|---|-------------|------------|
| Name  | Input Value |            |
| target_i2cREG1_temp.CLR   | 2           |            |
| target i2cREG1 temp.ODR   | 0           |            |
| target_i2cREG1_temp.PD  | 3           |            |
| target_i2cREG1_temp.PSL   | 3           |            |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR   | 567         |            |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44          |            |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR   | 4444        |            |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 566         |            |
|   |             |            |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |            |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CNT   | 129         |            |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR   | 6           |            |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR   | 567         |            |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR   | 44          |            |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR  | 566         |            |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR   | 554         |            |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 1           |            |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC  | 44          |            |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  | 4466        |            |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 44          |            |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 1           |            |
|   | 1           |            |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR | 2           |            |
|   |             |            |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN   | 0           |            |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  | 1           |            |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET  | 1           |            |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR  | 2           |            |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR  | 0           |            |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD   | 3           |            |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3           |            |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567         |            |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 44          |            |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 4444        |            |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 566         |            |
|   | 4466        |            |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 129         |            |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  |             |            |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  | 6           |            |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567         |            |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 44          |            |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 566         |            |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 554         |            |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1           |            |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 44          |            |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 4466        |            |
| gt I2c Send I2cRegPtr Cnt T str.PID12   | 44          |            |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 1           |            |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1           |            |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 2           |            |
|   | 0           |            |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   |             |            |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1           |            |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1           |            |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 2           |            |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 0           |            |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 3           |            |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3           |            |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR  | 567         |            |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR  | 44          |            |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 4444        |            |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 566         |            |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |            |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 129         |            |
|   | 6           |            |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  |             |            |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 567         |            |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 44          |            |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  | 566         |            |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR  | 554         |            |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 1           |            |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 44          |            |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 4466        |            |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 44          |            |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1           |            |
|   | 1           |            |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  |             |            |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  | 2           |            |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 0           |            |

2014-10-14, 23:10:23+0530



| Name   | Input Value         |                     |        |
|--|---------------------|---------------------|--------|
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 1                   |                     |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 1                   |                     |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 2                   |                     |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  | 0                   |                     |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3                   |                     |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3                   |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 567                 |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 44                  |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 4444                |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 566                 |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 4466                |                     |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR    | 129<br>6            |                     |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR   | 567                 |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 44                  |                     |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 566                 |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 554                 |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 1                   |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 44                  |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 4466                |                     |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.PID12   | 44                  |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 1                   |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1                   |                     |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR   | 2                   |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 0                   |                     |        |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT  | 1                   |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 1                   |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 2                   |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 0                   |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3                   |                     |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3                   |                     |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR  | 567                 |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 44                  |                     |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  | 4444                |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 566                 |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 4466                |                     |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 129                 |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 6                   |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 567                 |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 44                  |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 566                 |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 554                 |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 1                   |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 44                  |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 4466                |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 44                  |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 1                   |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1                   |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 2                   |                     |        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 0                   |                     |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET | 1                   |                     |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SE1  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR | 2                   |                     |        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR | 0                   |                     |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD   | 3                   |                     |        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL  | 3                   |                     |        |
| Name   | Actual Value        | Expected Value      | Result |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 34                  | 34                  | result |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 50                  | 50                  | ~      |
| DigColPsInt Buffer Cnt M u08[2]  | 60                  | 60                  | _      |
| DigColPsInt CurrentSlave Cnt M u08   | 20                  | 20                  | •      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_SENSOR1_SETREG | READ_SENSOR1_SETREG | -      |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 5                   | 5                   | ~      |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 0                   | 0                   | ~      |
| I2c_Send(Length_Cnt_T_u32)   | 1                   | 1                   | ~      |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 1                   | 1                   | ~      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  | 567                 | 567                 | ~      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  | 44                  | 44                  | ~      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  | 4444                | 4444                | ~      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 566                 | 566                 | ~      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 4466                | 4466                | ~      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT  | 129                 | 129                 | ~      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  | 6                   | 6                   | ~      |
|  |                     |                     |        |

2014-10-14, 23:10:23+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR   | 566          | 566<br>554     | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR                  | 554          | 1              |          |
| tgt I2c GetStatus I2cRegPtr Cnt T str.PSC   | 44           | 44             |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | <b>~</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | •        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | •        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD  | 3            | 3 3            |          |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL   | 567          | 567            |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR                             | 44           | 44             |          |
| tgt I2c Send I2cRegPtr Cnt T str.STR  | 4444         | 4444           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 566          | 566            | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | ·        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR                             | 2            | 2              |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIN  | 0            | 0              |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR                       | 567<br>44    | 567<br>44      |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 566          | 566            |          |
| tgt I2c SetRecv I2cRegPtr Cnt T str.IVR   | 554          | 554            |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | •        |
| tgt I2c SetRecv I2cRegPtr Cnt T str.PID11   | 4466         | 4466           | -        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | •        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD  | 3            | 3              | •        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR | 567<br>44    | 567<br>44      |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           |          |
| -g00tapaoto toootto_120ttog: ti_Offt_1_3ti.Offt   | 1777         | . 177          |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | <b>-</b> |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129          | 129            | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6            | 6              | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567          | 567            | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR    | 44           | 44             | -        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR    | 566          | 566            | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR    | 554          | 554            | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC    | 44           | 44             | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2            | 2              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0            | 0              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET    | 1            | 1              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR    | 2            | 2              | •        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR    | 0            | 0              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD     | 3            | 3              | •        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | •        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | •        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD    | 3            | 3              | -        |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 3            | 3              | •        |

| Τ                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GetStatus           | 1     | I2c_GetStatus           | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | l2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | ~        |

| Test Step 3.3 (Repeat Count = 1)             | 🗸   |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 3   |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 6   |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 9   |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 77  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08        | 1   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc      | 1   |
| I2c_GetStatus()                              | 0   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 1   |

2014-10-14, 23:10:23+0530



| DigCorsini_StartRequest                      |                     |  |
|--|---------------------|--|
| Name   | Input Value         |  |
| 2cREG1_temp                                  | target_i2cREG1_temp |  |
| ColSensorI2CAddress_Cnt_u08                  | 69                  |  |
| arget_i2cREG1_temp.OAR                       | 54                  |  |
| arget_i2cREG1_temp.IMR                       | 66                  |  |
| arget_i2cREG1_temp.STR                       | 8                   |  |
| arget_i2cREG1_temp.CLKL                      | 554                 |  |
| arget_i2cREG1_temp.CLKH                      | 344                 |  |
| arget_i2cREG1_temp.CNT                       | 123                 |  |
| arget_i2cREG1_temp.DRR                       | 45                  |  |
| arget i2cREG1 temp.SAR                       | 54                  |  |
| arget_i2cREG1_temp.DXR                       | 66                  |  |
| arget_i2cREG1_temp.MDR                       | 554                 |  |
| arget_i2cREG1_temp.IVR                       | 788                 |  |
| arget_i2cREG1_temp.EMDR                      | 3                   |  |
| arget_i2cREG1_temp.PSC                       | 66                  |  |
| arget i2cREG1 temp.PID11                     | 344                 |  |
| arget_i2cREG1_temp.PID12                     | 66                  |  |
| arget_i2cREG1_temp.DMAC                      | 3                   |  |
|  | 1                   |  |
| arget_i2cREG1_temp.FUN                       |                     |  |
| arget_i2cREG1_temp.DIR                       | 3                   |  |
| arget_i2cREG1_temp.DIN                       | 2                   |  |
| arget_i2cREG1_temp.DOUT                      | 3                   |  |
| arget_i2cREG1_temp.SET                       | 3                   |  |
| arget_i2cREG1_temp.CLR                       | 3                   |  |
| arget_i2cREG1_temp.ODR                       | 2                   |  |
| arget_i2cREG1_temp.PD                        | 1                   |  |
| arget_i2cREG1_temp.PSL                       | 2                   |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR     | 54                  |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR     | 66                  |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR     | 8                   |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL    | 554                 |  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH    | 344                 |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT     | 123                 |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR     | 45                  |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR     | 54                  |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR     | 66                  |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR     | 554                 |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR     | 788                 |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR    | 3                   |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC     | 66                  |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11   | 344                 |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66                  |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC    | 3                   |  |
| gt   12c GetStatus   12cRegPtr Cnt T str.FUN | 1                   |  |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR     | 3                   |  |
|  | 2                   |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN     |                     |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT    | 3                   |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET     | 3                   |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR     | 3                   |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR     | 2                   |  |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD      | 1                   |  |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL     | 2                   |  |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.OAR           | 54                  |  |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.IMR           | 66                  |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 8                   |  |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL          | 554                 |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 344                 |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 123                 |  |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.DRR           | 45                  |  |
| t_l2c_Send_l2cRegPtr_Cnt_T_str.SAR           | 54                  |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 66                  |  |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.MDR           | 554                 |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 788                 |  |
| ıt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 3                   |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 66                  |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 344                 |  |
| pt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12        | 66                  |  |
|  | 3                   |  |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC          |                     |  |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.FUN           | 1                   |  |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.DIR           | 3                   |  |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2                   |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3                   |  |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 3                   |  |

2014-10-14, 23:10:23+0530



| gt_!2c_Send_!2cRegPtr_Cnt_T_str.CLR gt_!2c_Send_!2cRegPtr_Cnt_T_str.DDR gt_!2c_Send_!2cRegPtr_Cnt_T_str.DDR gt_!2c_Send_!2cRegPtr_Cnt_T_str.PD gt_!2c_Send_!2cRegPtr_Cnt_T_str.PSL gt_!2c_Send_!2cRegPtr_Cnt_T_str.DAR gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.MR gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKL gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CNT gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DRR gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DXR gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DXR gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.MDR gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.PDC gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.PDD1 gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.PDC1 gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.PD11 gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DNAC gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DNAC gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DNAC gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DNAC gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DIN gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DIN gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DIN gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DUT gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DOUT gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SET gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLR gt_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DOUT  | Input Value  3 2 1 2 54 66 8 554 344 123 45 54 66 554 788 3 66 344 66 3 1 1 3 2 3 3                                      |
|--|--|
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR gt_l2c_Send_l2cRegPtr_Cnt_T_str.DDR gt_l2c_Send_l2cRegPtr_Cnt_T_str.PD gt_l2c_Send_l2cRegPtr_Cnt_T_str.PD gt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL gt_l2c_SentRecv_l2cRegPtr_Cnt_T_str.OAR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR | 3 2 1 2 54 66 8 554 344 123 45 54 66 554 788 3 66 344 66 3 1 3 2 3 3   |
| gt_i2c_Send_i2cRegPtr_Cnt_T_str.ODR gt_i2c_Send_i2cRegPtr_Cnt_T_str.PD gt_i2c_Send_i2cRegPtr_Cnt_T_str.PSL gt_i2c_Send_i2cRegPtr_Cnt_T_str.OAR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.OAR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.STR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CkL gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CkL gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CkH gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.ChT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DRR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DRR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DXR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PiD11 gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PiD12 gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DMAC gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DMAC gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.SET gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CLR  | 2 1 2 54 66 8 554 344 123 45 54 66 554 788 3 66 344 66 3 1 1 3 2   |
| gt_i2c_Send_i2cRegPtr_Cnt_T_str.PD  gt_i2c_Send_i2cRegPtr_Cnt_T_str.PSL  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.OAR  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MR  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.STR  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CLKL  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CLKL  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CNT  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DRR  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DRR  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DRR  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DXR  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DXR  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PID12  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PID12  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DMAC  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DMAC  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIN  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIN  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIN  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIN  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.SET  gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CLR   | 1 2 54 66 8 554 344 123 45 554 66 6 554 788 3 66 344 66 3 3 1 1 3 2 2 3 3 3 3  |
| gt_i2c_Send_i2cRegPtr_Cnt_T_str.PSL gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.OAR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.IMR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.STR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CkL gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CkL gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CkH gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DKR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DKR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DXR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DXR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.EMDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PiD11 gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PiD11 gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DMAC gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DMAC gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DiR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.SET gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CLR  | 2 54 66 8 554 344 123 45 54 66 554 788 3 66 344 66 3 1 1 3 2   |
| gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.OAR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.IMR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.STR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CLKL gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CLKH gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CNT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DRR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DRR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DXR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DXR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.EMDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PDC gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PD11 gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PD112 gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DMAC gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DMAC gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.SET gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.SET   | 54<br>66<br>8<br>554<br>344<br>123<br>45<br>54<br>66<br>554<br>788<br>3<br>66<br>344<br>66<br>3<br>1<br>3<br>2<br>3<br>3 |
| gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.IMR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.STR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CLKL gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CLKH gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.CNT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DRR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DRR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DXR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.MDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.EMDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.EMDR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PiD11 gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PiD11 gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.PiD12 gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DMAC gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DMAC gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIR gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIN gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DIN gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.DUT gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.SET gt_i2c_SetRecv_i2cRegPtr_Cnt_T_str.SET  | 66 8 554 344 123 45 54 66 554 788 3 66 344 66 3 1 1 3 2  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.WR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 8 554 344 123 45 54 66 554 788 3 66 344 66 3 1 1 3 2   |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PDD1 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 554 344 123 45 54 66 554 788 3 66 344 66 3 1 1 3 2   |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.WR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PDC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PDD11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 344 123 45 54 66 554 788 3 66 344 66 3 1 1 3 2   |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 123 45 54 66 554 788 3 66 344 66 3 1 1 3 2   |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 45 54 66 554 788 3 66 344 66 3 1 1 3 2 3 3   |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 54<br>66<br>554<br>788<br>3<br>66<br>344<br>66<br>3<br>1<br>3<br>2<br>3  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 66<br>554<br>788<br>3<br>66<br>344<br>66<br>3<br>1<br>3<br>2<br>3  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 554 788 3 66 344 66 3 1 3 2 3 3  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 788 3 66 344 66 3 1 3 2 3 3  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 3<br>66<br>344<br>66<br>3<br>1<br>3<br>2<br>3<br>3   |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 66<br>344<br>66<br>3<br>1<br>3<br>2<br>3<br>3  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 344<br>66<br>3<br>1<br>3<br>2<br>3<br>3  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 66<br>3<br>1<br>3<br>2<br>3<br>3   |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 3<br>1<br>3<br>2<br>3<br>3   |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 1<br>3<br>2<br>3<br>3  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR<br>gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN<br>gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT<br>gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET<br>gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 3<br>2<br>3<br>3   |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 2<br>3<br>3  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 3 3  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET<br>gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 3  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET<br>gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   |  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   |  |
|  | 3  |
|  | 2  |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 1  |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL   | 2  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 54   |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 8  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 554  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 344  |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  | 123  |
|  | 45   |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 54   |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  |  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66   |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 554  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 788  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66   |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  | 344  |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 66   |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC   | 3  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 3  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 2  |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 3  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 3  |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR  | 3  |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  | 2  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 1  |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 2  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54   |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| gt I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 8  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 344  |
| gt   12c   | 123  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  | 45   |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 54   |
|  | 66   |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   |  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 66   |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 344  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 66   |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 3  |
| gt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 1  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3  |
| gt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2  |

2014-10-14, 23:10:23+0530



| Name   | Input Value          |                      |          |
|--|----------------------|----------------------|----------|
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT                                 | 3                    |                      |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET                                  | 3                    |                      |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR                                  | 3                    |                      |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR                                  | 2                    |                      |          |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD                                   | 1                    |                      |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL                                  | 2                    | I=                   | l        |
| Name   | Actual Value         | Expected Value       | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]                      | 6                    | 6                    | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 9                    | 9                    |          |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 69                   | 69                   | <b>~</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_SENSOR1_GETDATA | READ_SENSOR1_GETDATA | ~        |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 1                    | 1                    | ~        |
| DigColPsInt_SkipRegisterWrite_Cnt_M_Igc  | 1                    | 1                    | ~        |
| I2c_SetRecv(Length_Cnt_T_u32)  | 2                    | 2                    | ~        |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)   | 2                    | 2                    | <b>V</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR  | 54<br>66             | 54<br>66             | <b>V</b> |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  | 8                    | 8                    | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 554                  | 554                  | _        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 344                  | 344                  | <b>✓</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT  | 123                  | 123                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR  | 45                   | 45                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 54                   | 54                   | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66                   | 66                   | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  | 554                  | 554                  | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR  | 788<br>3             | 788<br>3             | <b>V</b> |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC | 66                   | 66                   | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 344                  | 344                  | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66                   | 66                   | <b>~</b> |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3                    | 3                    | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1                    | 1                    | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR  | 3                    | 3                    | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2                    | 2                    | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT   | 3                    | 3                    | ~        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET  | 3                    | 3                    | ~        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR  | 3 2                  | 3 2                  | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD   | 1                    | 1                    | -        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 2                    | 2                    | <b>~</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 54                   | 54                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 66                   | 66                   | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 8                    | 8                    | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 554                  | 554                  | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  | 344                  | 344                  | <b>V</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 123<br>45            | 123<br>45            |          |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR            | 54                   | 54                   |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66                   | 66                   | -        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 554                  | 554                  | <b>~</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 788                  | 788                  | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  | 3                    | 3                    | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66                   | 66                   | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 344                  | 344                  | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12   | 66                   | 66                   | •        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 1                    | 1                    | <b>*</b> |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.FUN tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR            | 3                    | 3                    |          |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2                    | 2                    | _        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 3                    | 3                    | <b>~</b> |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3                    | 3                    | ~        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 3                    | 3                    | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2                    | 2                    | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 1                    | 1                    | ~        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 2                    | 2                    | <b>V</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 54                   | 54                   | <b>V</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 8                    | 66<br>8              | <b>✓</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL     | 554                  | 554                  |          |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 344                  | 344                  | <b>*</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 123                  | 123                  | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 45                   | 45                   | <b>✓</b> |
|  |                      |                      |          |

2014-10-14, 23:10:23+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | <b>✓</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>✓</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 344          | 344            | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>~</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | <b>~</b> |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>~</b> |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | · ·      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | ~        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 1            | 2              |          |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 2            |                |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 54<br>66     | 54<br>66       |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR  | 8            | 8              |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  | 554          | 8<br>554       |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH     | 344          | 344            |          |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  | 123          | 123            | _        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 45           | 45             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 54           | 54             | ·        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 554          | 554            | <b>*</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 788          | 788            |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | <b>~</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344          | 344            | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             |          |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | ~        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              | ✓        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL  | 2            | 2              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | <b>~</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | <b>~</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | <b>Y</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>~</b> |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 66           | 66             |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11   | 344          | 344            | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12   | 66           | 66             |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 3            | 3              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | -        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN<br>tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT | 3            | 3              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_I_str.D001 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET    | 3            | 3              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SE1  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR    | 3            | 3              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | -        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  | 1            | 1              |          |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | _        |
| tgottapmaotor franching_leortogr ti_Ont1_str.f OL   | 14           | <b>-</b>       |          |



| T                      |       |                        |       | <b>✓</b> |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| I2c_GetStatus          | 1     | I2c_GetStatus          | 1     | ~        |
| SetupRead              | 1     | SetupRead              | 1     | <b>✓</b> |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | ~        |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | <b>✓</b> |

| Test Step 3.4 (Repeat Count = 1)             |   |
|--|---|
| Name   | Input Value                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 11  |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 22  |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 33  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 65  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_COMPLETE                                   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08        | 2   |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 1   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc      | 0   |
| I2c_GetStatus()                              | 65535   |
| I2c_GetStatus(I2cRegPtr_Cnt_T_str)           | tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | tgt_l2c_Send_l2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)             | tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| Type_Cnt_T_u08                               | 2   |
| i2cREG1_temp                                 | target_i2cREG1_temp                             |
| k_ColSensorl2CAddress_Cnt_u08                | 33  |
| target_i2cREG1_temp.OAR                      | 3   |
| target_i2cREG1_temp.IMR                      | 100   |
| target_i2cREG1_temp.STR                      | 7788  |
| target_i2cREG1_temp.CLKL                     | 2767  |
| target_i2cREG1_temp.CLKH                     | 556   |
| target_i2cREG1_temp.CNT                      | 564   |
| target_i2cREG1_temp.DRR                      | 88  |
| target_i2cREG1_temp.SAR                      | 3   |
| target_i2cREG1_temp.DXR                      | 100   |
| target_i2cREG1_temp.MDR                      | 2767  |
| target_i2cREG1_temp.IVR                      | 9   |
| target_i2cREG1_temp.EMDR                     | 0   |
| target_i2cREG1_temp.PSC                      | 100   |
| target_i2cREG1_temp.PID11                    | 556   |
| target_i2cREG1_temp.PID12                    | 100   |
| target_i2cREG1_temp.DMAC                     | 2   |
| target_i2cREG1_temp.FUN                      | 0   |
| target_i2cREG1_temp.DIR                      | 1   |
| target_i2cREG1_temp.DIN                      | 3   |
| target_i2cREG1_temp.DOUT                     | 2   |
| target_i2cREG1_temp.SET                      | 0   |
| target_i2cREG1_temp.CLR                      | 1   |
| target_i2cREG1_temp.ODR                      | 3   |
| target_i2cREG1_temp.PD                       | 0   |
| target_i2cREG1_temp.PSL                      | 3   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.OAR    | 3   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR    | 100   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR    | 7788  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2767  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 556   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT    | 564   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR    | 88  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR    | 3   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR    | 100   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR    | 2767  |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR    | 9   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 0   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC    | 100   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11  | 556   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12  | 100   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2   |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN    | 0   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR    | 1   |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN    | 3   |

2014-10-14, 23:10:23+0530



| DigColFSint_StartRequest   |             | 71000 |
|--|-------------|-------|
| Name   | Input Value |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT   | 2           |       |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET  | 0           |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR  | 1           |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.ODR  | 3           |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD   | 0           |       |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3           |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 3           |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 100         |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 7788        |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 2767        |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  | 556         |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 564         |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 88          |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 3           |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 100         |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 2767        |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 9           |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  | 0           |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 100         |       |
|  | 556         |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 100         |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 2           |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  |             |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0           |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1           |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3           |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 2           |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0           |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 1           |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 3           |       |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.PD   | 0           |       |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3           |       |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 3           |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 100         |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 7788        |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2767        |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 556         |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 564         |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 88          |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 3           |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 100         |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  | 2767        |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR  | 9           |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 0           |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 100         |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 556         |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 100         |       |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC  | 2           |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 0           |       |
|  | 1           |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR<br>tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN                       | 3           |       |
|  | 2           |       |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 0           |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  |             |       |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1           |       |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3           |       |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0           |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3           |       |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 3           |       |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR  | 100         |       |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  | 7788        |       |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2767        |       |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 556         |       |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 564         |       |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 88          |       |
| gt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 3           |       |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 100         |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2767        |       |
| gt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 9           |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0           |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 100         |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 556         |       |
|  |             |       |
| tat I2c SetupMasterReceive I2cReaPtr Cnt T str PID12   | 100         |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC | 2           |       |

2014-10-14, 23:10:23+0530



| DigColPsInt_StartRequest   |  | 102  | Clab  |
|--|--|--|-------|
| Name   | Input Value  |  |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR   | 1  |  |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN   | 3  |  |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2  |  |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR  | 0  |  |       |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR   | 3  |  |       |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.PD  | 0  |  |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3  |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 3  |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 100  |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 7788   |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 2767   |  |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 556<br>564   |  |       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 88   |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 3  |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 100  |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2767   |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 9  |  |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR   | 0  |  |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  | 100<br>556   |  |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  | 100  |  |       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC   | 2  |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0  |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1  |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3  |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2  |  |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0  |  |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 1  |  |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 3  |  |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  | 3  |  |       |
| Name   | Actual Value   | Expected Value   | Resul |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 11   | 11   |       |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 22   | 22   | •     |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 33   | 33   | •     |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 65   | 65   | •     |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_COMPLETE  | INIT_COMPLETE  | •     |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 0  | 0  |       |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc tgt I2c GetStatus I2cRegPtr Cnt T str.OAR  | 3  | 3  |       |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR  | 100  | 100  |       |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR  | 7788   | 7788   | •     |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 2767   | 2767   | •     |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 556  | 556  | •     |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT  |  | 330  |       |
|  | 564  | 564  | •     |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DRR  | 88   | 564<br>88  | •     |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR  | 88<br>3  | 564<br>88<br>3   | •     |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  | 88<br>3<br>100   | 564<br>88<br>3<br>100  |       |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.MDR  | 88<br>3<br>100<br>2767   | 564<br>88<br>3<br>100<br>2767  | •     |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR  | 88<br>3<br>100   | 564<br>88<br>3<br>100  | •     |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  | 88<br>3<br>100<br>2767<br>9  | 564<br>88<br>3<br>100<br>2767<br>9   |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR   | 88<br>3<br>100<br>2767<br>9  | 564<br>88<br>3<br>100<br>2767<br>9   | •     |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  | 88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100  | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556  |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC   | 88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2   | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100   |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PUN   | 88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2   | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2  |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PUN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.FUN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  | 88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1   | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0   |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PUN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR   | 88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1   | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1  |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PUN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  | 88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1   | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0   |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PUN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR   | 88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1   | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3   |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIM  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  | 88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2   | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2  |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SET  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR   | 88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2<br>0<br>1                               | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2<br>0<br>1<br>3                                       |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DCR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD  | 88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2<br>0<br>1<br>3<br>2                     | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2<br>0<br>1<br>3<br>0<br>3                             |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.WR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PBC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  | 88 3 100 2767 9 0 100 556 100 2 0 1 1 3 2 0 1 3 0 3 3  | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2<br>0<br>1<br>3<br>0<br>3<br>3                        |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DCUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IMR | 88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2<br>0<br>1<br>3<br>0<br>3<br>0<br>3<br>3 | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2<br>0<br>1<br>3<br>0<br>3<br>1<br>0<br>3<br>1         |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.JMR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 88 3 100 2767 9 0 100 556 100 2 0 1 1 3 2 0 1 3 0 3 3 100 7788   | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2<br>0<br>1<br>3<br>0<br>3<br>3<br>100<br>7788         |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 88 3 100 2767 9 0 100 556 100 2 0 1 1 3 2 0 1 3 0 3 3 100 7788 2767  | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2<br>0<br>1<br>3<br>0<br>3<br>3<br>100<br>7788<br>2767 |       |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.SAR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DXR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.MDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IVR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.EMDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PSC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID11  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PID12  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DMAC  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DUT  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DDR  tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DAR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.JMR  tgt_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 88 3 100 2767 9 0 100 556 100 2 0 1 1 3 2 0 1 3 0 3 3 100 7788   | 564<br>88<br>3<br>100<br>2767<br>9<br>0<br>100<br>556<br>100<br>2<br>0<br>1<br>3<br>2<br>0<br>1<br>3<br>0<br>3<br>3<br>100<br>7788         |       |

2014-10-14, 23:10:23+0530



| Name   | Actual Value | Expected Value | Resul |
|--|--------------|----------------|-------|
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR                                       | 3            | 3              | •     |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR                                       | 100          | 100            | •     |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                       | 2767         | 2767           |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR                                       | 9            | 9              |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC | 100          | 100            |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                     | 556          | 556            |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PID12                                     | 100          | 100            |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC                                      | 2            | 2              |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.FUN                                       | 0            | 0              |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                                       | 1            | 1              |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                                       | 3            | 3              |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT                                      | 2            | 2              |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET                                       | 0            | 0              |       |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                                       | 1            | 1              |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR                                       | 3            | 3              |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 0            | 0              |       |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSL                                       | 3            | 3              | ٠,    |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR                                    | 3            | 3              |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR                                    | 100          | 100            |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR                                    | 7788         | 7788           |       |
| tgt I2c SetRecv I2cRegPtr Cnt T str.CLKL                                   | 2767         | 2767           |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH                                   | 556          | 556            |       |
| tgt I2c SetRecv I2cRegPtr Cnt T str.CNT                                    | 564          | 564            |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR                                    | 88           | 88             |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR                                    | 3            | 3              |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR                                    | 100          | 100            |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR                                    | 2767         | 2767           |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR                                    | 9            | 9              |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR                                   | 0            | 0              |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC                                    | 100          | 100            |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11                                  | 556          | 556            |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12                                  | 100          | 100            |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC                                   | 2            | 2              |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN                                    | 0            | 0              |       |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR                                    | 1            | 1              |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN                                    | 3            | 3              |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT                                   | 2            | 2              |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET                                    | 0            | 0              |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR                                    | 1            | 1              |       |
| tgt I2c SetRecv I2cRegPtr Cnt T str.ODR                                    | 3            | 3              |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                                     | 0            | 0              |       |
| tgt I2c SetRecv I2cRegPtr Cnt T str.PSL                                    | 3            | 3              |       |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.OAR                         | 3            | 3              |       |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.IMR                         | 100          | 100            |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR                         | 7788         | 7788           | ٠,    |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                        | 2767         | 2767           |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH                        | 556          | 556            |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT                         | 564          | 564            |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR                         | 88           | 88             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR                         | 3            | 3              |       |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.DXR                         | 100          | 100            |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR                         | 2767         | 2767           |       |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR                         | 9            | 9              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR                        | 0            | 0              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC                         | 100          | 100            | ٠,    |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11                       | 556          | 556            |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12                       | 100          | 100            |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC                        | 2            | 2              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN                         | 0            | 0              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR                         | 1            | 1              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN                         | 3            | 3              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT                        | 2            | 2              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET                         | 0            | 0              |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR                         | 1            | 1              |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR                         | 3            | 3              |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD                          | 0            | 0              |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL                         | 3            | 3              |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR                        | 3            | 3              |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR                        | 100          | 100            |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR                        | 7788         | 7788           |       |
| .g=o_octapmaotor francinit_izortogr ti_ont_1_str.o11\                      |              | 2767           |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL                       | 2767         | //h/           | •     |

# AILS REPORT

#### 2014-10-14, 23:10:23+0530

Request



|                                  | Actual Value | Expected Value | Result   |
|----------------------------------|--------------|----------------|----------|
| insmit_I2cRegPtr_Cnt_T_str.CNT   | 564          | 564            | ~        |
| insmit_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | •        |
| insmit_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | ~        |
| insmit_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | •        |
| insmit_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | ~        |
| insmit_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | ~        |
| insmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| insmit_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | ~        |
| insmit_I2cRegPtr_Cnt_T_str.PID11 | 556          | 556            | ~        |
| insmit_I2cRegPtr_Cnt_T_str.PID12 | 100          | 100            | ~        |
| insmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| insmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| insmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| insmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ~        |
| insmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| insmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| insmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| insmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ~        |
| insmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~        |
| insmit_I2cRegPtr_Cnt_T_str.PSL   | 3            |                | ~        |
|                                  |              |                |          |

Y V3.1.9, report template V2.1

2014-10-14, 23:10:23+0530



| DigColPsInt_StartRequest   | TAACICA     |
|--|-------------|
| Name   | Input Value |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.STR   | 556         |
| gt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| gt I2c GetStatus I2cRegPtr Cnt T str.MDR   | 2309        |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204        |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66          |
|  | 3           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR   |             |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET   | 3           |
| gt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PD  | 3           |
| pt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55          |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556         |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55          |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5           |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
|  | 66          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  |             |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| gt_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 1           |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3           |
| pt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1           |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2           |
| gt_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3           |
| t_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| ıt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556         |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 87          |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 67          |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 55          |
|  | 66          |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR  | 2309        |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  |             |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR  | 5           |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 3           |
| t_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 66          |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| t_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1           |
| (  | 2           |
|  |             |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN   | 3           |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN<br>gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 3 3         |
| gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT gt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  |             |
| gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR gt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR | 3           |

2014-10-14, 23:10:23+0530



DigColPsInt\_StartRequest

| <u> </u>   |                             |                             |       |
|--|-----------------------------|-----------------------------|-------|
| Name   | Input Value                 |                             |       |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3                           |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55                          |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66                          |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556                         |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309                        |                             |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  | 1204<br>87                  |                             |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR      | 67                          |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55                          |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66                          |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309                        |                             |       |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR   | 5                           |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3                           |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66                          |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 1204                        |                             |       |
| tgt I2c SetupMasterReceive I2cRegPtr Cnt T str.PID12   | 66                          |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3                           |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1                           |                             |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR   | 1                           |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2                           |                             |       |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT  | 3                           |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3                           |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1                           |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2                           |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3                           |                             |       |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3                           |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 55                          |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66                          |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556                         |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 2309                        |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 1204                        |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 87                          |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 67                          |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 55                          |                             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 66                          |                             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 2309                        |                             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 5                           |                             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR   | 3                           |                             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  | 66<br>1204                  |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 66                          |                             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T str.DMAC | 3                           |                             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN  | 1                           |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1                           |                             |       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN  | 2                           |                             |       |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT   | 3                           |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3                           |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1                           |                             |       |
| tgt I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR  | 2                           |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3                           |                             |       |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3                           |                             |       |
| Name   | Actual Value                | Expected Value              | Resul |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 44                          | 44                          | ,     |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 55                          | 55                          | •     |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 66                          | 66                          | •     |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 55                          | 55                          | •     |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR2_CHECKSTAT_READ | INIT_SENSOR2_CHECKSTAT_READ | ٠,    |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 0                           | 0                           |       |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 1                           | 1                           | •     |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.OAR  | 55                          | 55                          | •     |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.IMR  | 66                          | 66                          | •     |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.STR  | 556                         | 556                         | •     |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 2309                        | 2309                        | •     |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.CLKH   | 1204                        | 1204                        | •     |
| test 12a CatCtatus 12aDaaDts Cat T -t-CNT  | 0.7                         | 07                          | I .   |

87

67

55

66

5

3

66

1204

2309

87

67

55

66

5

3

66

1204

2309

tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.CNT

tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DRR

tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.SAR

tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.DXR

tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.MDR

tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.IVR

tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.EMDR

tgt\_I2c\_GetStatus\_I2cRegPtr\_Cnt\_T\_str.PSC

 $tgt\_l2c\_GetStatus\_l2cRegPtr\_Cnt\_T\_str.PID11$ 

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1 2          | 2              |        |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DIN tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.DOUT                  | 3            | 3              |        |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •      |
| tgt_l2c_GetStatus_l2cRegPtr_Cnt_T_str.PD  | 3            | 3              | •      |
| tgt_I2c_GetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87<br>67     | 87<br>67       |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DRR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SAR                             | 55           | 55             |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 66           | 66             |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  | 5            | 5              |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |        |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •      |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | •      |
| tgt_l2c_Send_l2cRegPtr_Cnt_T_str.ODR tgt_l2c_Send_l2cRegPtr_Cnt_T_str.PD                              | 2 3          | 3              |        |
| tgt_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •      |
| tgt I2c SetRecv I2cRegPtr Cnt T str.STR   | 556          | 556            | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 3<br>66      | 66             | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 1204         | 1204           |        |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12                   | 1204         | 66             |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              |        |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •      |
| tgt_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | •      |
| tgt_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •      |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | •      |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR | 87<br>67     | 87<br>67       |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_I_str.DRR tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR | 55           | 55             |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 66           | 66             |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |        |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR  | 5            | 5              |        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |        |

2014-10-14, 23:10:23+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | <b>✓</b> |
| tgt_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | <b>✓</b> |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ✓        |
| tgt_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ✓        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| tgt_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>✓</b> |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| tgt_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

| T               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | •        |

2014-10-14, 23:01:56+0530



DigColPsInt\_Init

 Project
 DigColPsInt

 Module
 DigColPsInt

 Test Object
 DigColPsInt\_Init

#### Instrumentation: Test Object Only

| Statement (C0) Coverage | 100 % |
|-------------------------|-------|
| Branch (C1) Coverage    | 100 % |

#### **Statistics**

| Total Testcases | 1 |   |
|-----------------|---|---|
| Successful      | 1 | ✓ |
| Failed          | 0 |   |
| Not Executed    | 0 |   |

#### **Module Properties**

| Project Root Directory | D:\Synergy_Work_Area\C1xx_DigColPs  |
|------------------------|---|
| Configuration File     | D:\Synergy_Work_Area\C1xx_DigColPs\UnitTestEnv\config\TMS570_GCC_UDE_CCS4_Config.xml  |
| Target Environment     | TI TMS 570 PLS UDE (Default)  |
| Kind of Test           | Unit Test   |
| Linker Options         |   |
| Source File(s)         |   |
| File                   | \$(PROJECTROOT)\DigColPs\src\Sa_DigColPsInt.c   |
| Compiler Options       | -D_DATA_ACCESS= -Dconst= -DSTATIC= -Dinline= -I\$(PROJECTROOT)\DigColPs\utp\contract -I\$(PROJECTROOT)\DigColPs\utp\contract -I\$(PROJECTROOT)\DigColPs\utp\contract\Sa_DigColPs -I\$(PROJECTROOT)\DigColPs\include -I\$(PROJECTROOT)\StdDef\include -I\$(PROJECTROOT)\StdDef\include\TMS570_HerculesRegs -I\$(Compiler Install Path)\include |

| Comments/Description/Spe | ecification |
|--------------------------|-------------|
| Name                     | Text        |



Module 'DigColPsInt' 

Name of Tester:Priti Mangalekar Code File(s) Under Test:Sa\_DigColPsInt.c Code File(s) Version:7

Module Design Document:DigColPsInt\_MDD.docx Module Design Document Version:8

Data Dictionary Version:9 Unit Test Plan Version:2

Ontil Test Fiall Version:2
Optimization Level:Level 2
Compiler (CodeGen) Version:TMS470\_4.9.5
Model Type:Excel Macro
Model Version:Nexteer EPS Unit Test Tool 2.7d/EPS Library 1.30
Total FLASH Used (Bytes):N/A
Total RAM Used (Bytes):N/A

Total CALS Used (Bytes):N/A Special Test Requirements: Test Date:10/13/2014 Comments:

NOTE 1: In """DigColPsInt\_StartRequest""" function, path """(Type\_Cnt\_T\_u08 > D\_NONE\_CNT\_U08) = TRUE && (Type\_Cnt\_T\_u08 <= D\_STATUSREG\_CNT\_U08) = FALSE""" cannot be covered because range of """Type\_Cnt\_T\_u08""" is '0-5' and value of """D\_STATUSREG\_CNT\_U08""" is '34'.

NOTE2: In function ""DigColPsInt\_GetData"",""DigColPsInt\_StartRequest"" and ""DigColPsInt\_InterruptNotification"" values for """12c\_SetRecv(Length\_Cnt\_T\_u32)""", """12c\_SetStatus(Status\_Cnt\_T\_u16)""", """12c\_SetUpMasterReceive(DataLength\_Cnt\_T\_u16)""" and 12c\_SetupMasterTransmit(DataLength\_Cnt\_T\_u16) are ignored in few vectors as they

are taking garbage value when they are not updated with expected value in particular vector.

NOTE3: The return value of """"DigColPsInt\_GetData""" function is going out of range, anomaly """6156""" is raised for the same.

NOTE4:Range of DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum is considered as 0 to 36, as enum DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum is of type CommStepType which is of 37 elements.

NOTE5:In function ""DigColPsInt\_InterruptNotification"", path ""Case I2C\_RECV\_OVERRUN: True"" cannot be covered because range of ""Flags\_Cnt\_T\_b16"" is 0 to 64 given in MDD.

NOTE6:In function ""DigColPsInt\_InterruptNotification"", output variable ""DigColPsInt\_AttempOccurForCustDatRead\_Cnt\_M\_u08"" is going out

of range.'

| Attributes            |  |
|-----------------------|--|
| Name                  | Value  |
| Compiler Install Path | \$(ProgramFiles)\Texas Instruments\ccsv4\tools\compiler\tms470_4.9.5       |
| Float Precision       | 9  |
| InitObjDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\obj                         |
| InitSrcDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\src                         |
| Linker File           | \$(PROJECTROOT)\UnitTestEnv\static_build_files\sys_link.cmd                |
| Makefile Template     | \$(PROJECTROOT)\UnitTestEnv\config\Nexteer_ts_make_ude_ti_tms570.tpl       |
| Target Install Path   | \$(Compiler Install Path)\include  |
| Time Unit             | Cycles   |
| Timer Enabled         | false  |
| Timer Prescale        | 0  |
| Timer Resolution      | 1  |
| UDE Config File       | \$(PROJECTROOT)\UnitTestEnv\config\TMS570_UDE_12PIN_JTAG.cfg               |
| Workspace File        | D:\Synergy_Work_Area\Clxx_DigColPs\UnitTestEnv\config\UDE_TMS570_DEBUG.WSP |



#### Test Case 1: Boundary Test

Description

Test Vector Description:

TS1.1GetSystemTime\_mS\_u32=min TS1.2GetSystemTime\_mS\_u32=max TS1.3GetSystemTime\_mS\_u32=mid TS1.4All min TS1.5All max

| Test Step 1.1 (Repeat Count = 1)   |   |  |                                       |  |  |
|--|---|--|---------------------------------------|--|--|
| Name   | Input Value   |  |                                       |  |  |
| GetSystemTime_mS_u32(CurrentTime)  | target_GetSystemTime_mS_u32   | target_GetSystemTime_mS_u32_CurrentTime  |                                       |  |  |
| I2c_Enable(I2cRegPtr_Cnt_T_str)  | target_l2c_Enable_l2cRegPtr_C   |  |                                       |  |  |
| I2c_EnableNotification(I2cRegPtr_Cnt_T_str)  |   | target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str  |                                       |  |  |
| I2c_Init(I2cRegPtr_Cnt_T_str)  |   | target_l2c_Init_l2cRegPtr_Cnt_T_str  |                                       |  |  |
| I2c_SetCount(I2cRegPtr_Cnt_T_str)  |   | target_I2c_SetCount_I2cRegPtr_Cnt_T_str  |                                       |  |  |
| i2cREG1_temp   | target_i2cREG1_temp   | target_i2cREG1_temp  |                                       |  |  |
| target_GetSystemTime_mS_u32_CurrentTime  |   | 0  |                                       |  |  |
| target_i2cREG1_temp.OAR  | 23  |  |                                       |  |  |
| target_i2cREG1_temp.IMR  | 10  |  |                                       |  |  |
| target_i2cREG1_temp.STR  | 1000  |  |                                       |  |  |
| target_i2cREG1_temp.CLKL   | 666   |  |                                       |  |  |
| target_i2cREG1_temp.CLKH   | 7587  |  |                                       |  |  |
| target_i2cREG1_temp.CNT  | 356   |  |                                       |  |  |
| target_i2cREG1_temp.DRR  | 98  |  |                                       |  |  |
| target_i2cREG1_temp.SAR  | 876   |  |                                       |  |  |
| target_i2cREG1_temp.DXR  | 98  |  |                                       |  |  |
| target_i2cREG1_temp.MDR  | 764   |  |                                       |  |  |
| target_i2cREG1_temp.IVR  | 736   |  |                                       |  |  |
| target_i2cREG1_temp.EMDR   | 1   |  |                                       |  |  |
| target_i2cREG1_temp.PSC  | 33  |  |                                       |  |  |
| target_i2cREG1_temp.PID11  | 7   |  |                                       |  |  |
| target_i2cREG1_temp.PID12  | 12  |  |                                       |  |  |
| target_i2cREG1_temp.DMAC   | 1   |  |                                       |  |  |
| target_i2cREG1_temp.FUN  | 1   |  |                                       |  |  |
| target_i2cREG1_temp.DIR  | 1   |  |                                       |  |  |
| target_i2cREG1_temp.DIN  | 1   |  |                                       |  |  |
| target_i2cREG1_temp.DOUT   | 1   |  |                                       |  |  |
| target_i2cREG1_temp.SET  | 0   |  |                                       |  |  |
| target_i2cREG1_temp.CLR  | 0   |  |                                       |  |  |
| target_i2cREG1_temp.ODR  | 1   |  |                                       |  |  |
| target_i2cREG1_temp.PD   | 0   |  |                                       |  |  |
|  | -   |  |                                       |  |  |
| target_i2cREG1_temp.PSL  | 1   |  |                                       |  |  |
| target_i2cREG1_temp.PSL  | ·   | Expected Value   | Posult                                |  |  |
| Name   | Actual Value  | Expected Value   |                                       |  |  |
| Name DigColPsInt_I2CHwCustData_Uls_M_u16   | Actual Value 511  | 511  | ~                                     |  |  |
| Name DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_InitialTime_mS_M_u32  | Actual Value 511 0  | 511<br>0   | Result                                |  |  |
| Name DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_InitialTime_mS_M_u32 I2c_EnableNotification(Flags_Cnt_T_b32)  | Actual Value 511 0 63   | 511<br>0<br>63   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |  |  |
| Name DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_InitialTime_mS_M_u32 I2c_EnableNotification(Flags_Cnt_T_b32) I2c_SetCount(Count_Cnt_T_u16)  | Actual Value 511 0 63 2   | 511<br>0<br>63<br>2  | 0                                     |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR   | Actual Value 511 0 63 2 23  | 511<br>0<br>63<br>2<br>23  |                                       |  |  |
| Name DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_InitialTime_mS_M_u32 I2c_EnableNotification(Flags_Cnt_T_b32) I2c_SetCount(Count_Cnt_T_u16) target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  | Actual Value 511 0 63 2 23 10   | 511<br>0<br>63<br>2<br>23<br>10  |                                       |  |  |
| Name DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_InitialTime_mS_M_u32 I2c_EnableNotification(Flags_Cnt_T_b32) I2c_SetCount(Count_Cnt_T_u16) target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  | Actual Value 511 0 63 2 23 10 1000  | 511<br>0<br>63<br>2<br>23<br>10  |                                       |  |  |
| Name DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_InitialTime_mS_M_u32 I2c_EnableNotification(Flags_Cnt_T_b32) I2c_SetCount(Count_Cnt_T_u16) target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL   | Actual Value 511 0 63 2 23 10 1000 666  | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666   |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL   | Actual Value 511 0 63 2 23 10 1000 666 7587   | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587   |                                       |  |  |
| Name DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_InitialTime_mS_M_u32 I2c_EnableNotification(Flags_Cnt_T_b32) I2c_SetCount(Count_Cnt_T_u16) target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT   | Actual Value 511 0 63 2 23 10 1000 666 7587 356   | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587<br>356  |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR   | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98  | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587<br>356<br>98  |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.SAR   | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876                                    | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587<br>356<br>98<br>876                                     |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.SAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR   | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98                                 | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587<br>356<br>98<br>876                                     |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.SAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR   | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764                             | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587<br>356<br>98<br>876<br>98                               |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.MDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736                         | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587<br>356<br>98<br>876<br>98<br>764<br>736                 |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.SAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR   | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764                             | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587<br>356<br>98<br>876<br>98                               |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.MDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736                         | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587<br>356<br>98<br>876<br>98<br>764<br>736                 |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.MDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736                         | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587<br>356<br>98<br>876<br>98<br>764<br>736                 |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.MDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1                       | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587<br>356<br>98<br>876<br>98<br>764<br>736<br>1            |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.MDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PSC  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11  | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 876 1 33 7                      | 511<br>0<br>63<br>2<br>23<br>10<br>1000<br>666<br>7587<br>356<br>98<br>876<br>98<br>764<br>736<br>1<br>33<br>7 |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.UMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PSC  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11   | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 876 1 33 7                      | 511 0 63 2 23 10 1000 666 7587 356 98 876 98 8764 736 1 33 7   |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.UMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DNR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DNR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PSC  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DMAC   | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12               | 511 0 63 2 23 10 1000 666 7587 356 98 876 98 876 1 33 7 12   |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PSC  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PUN  | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1             | 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1   |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DMAC  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PUN  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PUN  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PUN  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PUN  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PUN  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PUN  | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1 1           | 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1 1   |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.WDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIAC  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DMAC  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PUN  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR  | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1 1 1         | 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1 1   |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DNR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DNR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.NDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.WDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PIDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DMAC  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DMAC  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR  | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1 1 1 1       | 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1 1 1   |                                       |  |  |
| Name  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DNR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DMAC  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DNAC  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIN  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIN  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIN  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DOUT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DOUT   | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1 1 1 1 1     | 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1 1 1 1   |                                       |  |  |
| DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitialTime_mS_M_u32  I2c_EnableNotification(Flags_Cnt_T_b32)  I2c_SetCount(Count_Cnt_T_u16)  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DNR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PDDR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PDD11  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PDD12  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIN1  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIN1  target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DUN1  target_I2c | Actual Value 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1 1 1 1 1 0 0 | 511 0 63 2 23 10 1000 666 7587 356 98 876 98 764 736 1 33 7 12 1 1 1 1 1 0 0                                   | ~                                     |  |  |

2014-10-14, 23:01:56+0530

DigColPsInt\_Init



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PSL                                   | 1            | 1              |          |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.OAR   | 23           | 23             | •        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.STR   | 1000         | 1000           | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.CLKL  | 666          | 666            | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.CLKH  | 7587         | 7587           | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.CNT   | 356          | 356            | <b>V</b> |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | <b>V</b> |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.SAR   | 876          | 876            | <b>V</b> |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DXR   | 98<br>764    | 98<br>764      |          |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.MDR target_I2c_Enable_I2cRegPtr_Cnt_T_str.IVR     | 736          | 736            | -        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              |          |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PSC   | 33           | 33             | <b>✓</b> |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PID11   | 7            | 7              | -        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PID12   | 12           | 12             | <b>✓</b> |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | <b>Y</b> |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.ODR   | 0            | 1 0            |          |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.PD  | 1            | 1              | -        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PSL<br>target_I2c_Init_I2cRegPtr_Cnt_T_str.OAR    | 23           | 23             |          |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | -        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.STR   | 1000         | 1000           |          |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.CLKL  | 666          | 666            | <b>V</b> |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.CLKH  | 7587         | 7587           | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.CNT   | 356          | 356            | <b>~</b> |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.SAR   | 876          | 876            | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.DXR   | 98           | 98             | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.MDR   | 764          | 764            | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.IVR   | 736          | 736            | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PSC   | 33           | 33             | <b>Y</b> |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PID11   | 7            | 7              | ¥        |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.PID12   | 12           | 12             | -        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.DMAC target_I2c_Init_I2cRegPtr_Cnt_T_str.FUN        | 1            | 1              |          |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.DIR   | 1            | 1              |          |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | <b>~</b> |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | <b>V</b> |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | <b>✓</b> |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.OAR   | 23           | 23             | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.STR   | 1000         | 1000           | <b>V</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.CLKL  | 666          | 666            |          |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.CLKH  | 7587         | 7587           |          |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.CNT   | 356<br>98    | 356<br>98      | -        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetCount_I2cRegPtr_Cnt_T_str.SAR | 876          | 876            |          |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DXR   | 98           | 98             |          |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.MDR   | 764          | 764            |          |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.IVR   | 736          | 736            | <b>~</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PSC   | 33           | 33             | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PID11   | 7            | 7              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PID12   | 12           | 12             | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | -        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.SET   | 0            | 0              |          |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.CLR   | V            | V              |          |

DigColPsInt\_Init

2014-10-14, 23:01:56+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.ODR | 1            | 1              | ✓        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | <b>✓</b> |
| target I2c SetCount I2cRegPtr Cnt T str.PSL | 1            | 1              | <b>✓</b> |

| T                      |       |                        |       | J.     |
|------------------------|-------|------------------------|-------|--------|
| Actual Function        | Count | Expected Function      | Count | Result |
| I2c_Init               | 1     | I2c_Init               | 1     | ~      |
| I2c_SetCount           | 1     | I2c_SetCount           | 1     | ~      |
| I2c_EnableNotification | 1     | I2c_EnableNotification | 1     | ~      |
| I2c_Enable             | 1     | I2c_Enable             | 1     | •      |
| GetSystemTime_mS_u32   | 1     | GetSystemTime_mS_u32   | 1     | ~      |

| Test Step 1.2 (Repeat Count = 1)                        |   |                | ~        |  |
|---|---|----------------|----------|--|
| Name  | Input Value                                       |                |          |  |
| GetSystemTime_mS_u32(CurrentTime)                       | target_GetSystemTime_mS_u32_CurrentTime           |                |          |  |
| I2c_Enable(I2cRegPtr_Cnt_T_str)                         | target_I2c_Enable_I2cRegPtr_Cnt_T_str             |                |          |  |
| I2c_EnableNotification(I2cRegPtr_Cnt_T_str)             | target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str |                |          |  |
| I2c_Init(I2cRegPtr_Cnt_T_str)                           | target_l2c_Init_l2cRegPtr_Cnt_T_str               |                |          |  |
| I2c_SetCount(I2cRegPtr_Cnt_T_str)                       | target_I2c_SetCount_I2cRegPtr_Cnt_T_str           |                |          |  |
| i2cREG1_temp  | target_i2cREG1_temp                               |                |          |  |
| target_GetSystemTime_mS_u32_CurrentTime                 | 4294967295  |                |          |  |
| target_i2cREG1_temp.OAR                                 | 456   |                |          |  |
| target_i2cREG1_temp.IMR                                 | 66  |                |          |  |
| target_i2cREG1_temp.STR                                 | 56  |                |          |  |
| target_i2cREG1_temp.CLKL                                | 4555  |                |          |  |
| target_i2cREG1_temp.CLKH                                | 987   |                |          |  |
| target i2cREG1 temp.CNT                                 | 87  |                |          |  |
| target_i2cREG1_temp.DRR                                 | 54  |                |          |  |
| target_i2cREG1_temp.SAR                                 | 1000  |                |          |  |
| target_i2cREG1_temp.DXR                                 | 45  |                |          |  |
| target_i2cREG1_temp.MDR                                 | 98  |                |          |  |
| target_i2cREG1_temp.IVR                                 | 332   |                |          |  |
| target_i2cREG1_temp.EMDR                                | 2   |                |          |  |
| target_i2cREG1_temp.PSC                                 | 4   |                |          |  |
| target_i2cREG1_temp.PID11                               | 7788  |                |          |  |
| target_i2cREG1_temp.PID12                               | 34  |                |          |  |
| target_i2cREG1_temp.DMAC                                | 2   |                |          |  |
| target_i2cREG1_temp.FUN                                 | 0   |                |          |  |
| target_i2cREG1_temp.DIR                                 | 2   |                |          |  |
| target_i2cREG1_temp.DIN                                 | 2   |                |          |  |
| target_i2cREG1_temp.DOUT                                | 3   |                |          |  |
|   | 3 3   |                |          |  |
| target_i2cREG1_temp.SET                                 | 3   |                |          |  |
| target_i2cREG1_temp.CLR                                 | 2   |                |          |  |
| target_i2cREG1_temp.ODR                                 |   |                |          |  |
| target_i2cREG1_temp.PD                                  | 0   |                |          |  |
| target_i2cREG1_temp.PSL                                 |   | I=             |          |  |
| Name  | Actual Value                                      | Expected Value | Result   |  |
| DigColPsInt_I2CHwCustData_Uls_M_u16                     | 511   | 511            | ~        |  |
| DigColPsInt_InitialTime_mS_M_u32                        | 4294967295  | 4294967295     | ~        |  |
| I2c_EnableNotification(Flags_Cnt_T_b32)                 | 63  | 63             | ~        |  |
| I2c_SetCount(Count_Cnt_T_u16)                           | 2   | 2              | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR   | 456   | 456            | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR   | 66  | 66             | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR   | 56  | 56             | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL  | 4555  | 4555           | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  | 987   | 987            | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT   | 87  | 87             | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR   | 54  | 54             | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.SAR   | 1000  | 1000           | •        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR   | 45  | 45             | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.MDR   | 98  | 98             | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR   | 332   | 332            | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  | 2   | 2              | ~        |  |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.PSC   | 4   | 4              | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11 | 7788  | 7788           | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12 | 34  | 34             | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DMAC  | 2   | 2              | <b>✓</b> |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.FUN   | 0   | 0              | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR   | 2   | 2              | <b>✓</b> |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIN   | 2   | 2              | ~        |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIN   | 2   | 2              | _        |  |

2014-10-14, 23:01:56+0530



DigColPsInt\_Init

| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DOUT | 3            | 3              | ✓        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | <b>✓</b> |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | ✓        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              | ✓        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | •        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.OAR              | 456          | 456            | ✓        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.IMR              | 66           | 66             | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.STR              | 56           | 56             | ✓        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.CLKL             | 4555         | 4555           | <b>✓</b> |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.CLKH             | 987          | 987            | ✓        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.CNT              | 87           | 87             | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DRR              | 54           | 54             | ✓        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.SAR              | 1000         | 1000           | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DXR              | 45           | 45             |          |
|  |              |                |          |

2014-10-14, 23:01:56+0530



DigColPsInt\_Init

| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ~        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.DOUT | 3            | 3              | ~        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ~        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              | •        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | <b>✓</b> |

| Τ                      |       |                        |       |        |
|------------------------|-------|------------------------|-------|--------|
| Actual Function        | Count | Expected Function      | Count | Result |
| I2c_Init               | 1     | I2c_Init               | 1     | ~      |
| I2c_SetCount           | 1     | I2c_SetCount           | 1     | ~      |
| I2c_EnableNotification | 1     | I2c_EnableNotification | 1     | ~      |
| I2c_Enable             | 1     | I2c_Enable             | 1     | ~      |
| GetSystemTime_mS_u32   | 1     | GetSystemTime_mS_u32   | 1     | ~      |

| Name   | Input Value                         |   |      |  |  |
|--|-------------------------------------|---|------|--|--|
| GetSystemTime_mS_u32(CurrentTime)                      | target_GetSystemTime_mS_u3          | 32 CurrentTime                          |      |  |  |
| I2c_Enable(I2cRegPtr_Cnt_T_str)                        |                                     | target_I2c_Enable_I2cRegPtr_Cnt_T_str   |      |  |  |
| I2c EnableNotification(I2cRegPtr Cnt T str)            |                                     | target_I2c_Enable_I2cRegPtr_Cnt_T_str   |      |  |  |
| I2c_Init(I2cRegPtr_Cnt_T_str)                          | target_I2c_Init_I2cRegPtr_Cnt_T_str |   |      |  |  |
| I2c_SetCount(I2cRegPtr_Cnt_T_str)                      |                                     | target_I2c_SetCount_I2cRegPtr_Cnt_T_str |      |  |  |
| i2cREG1_temp   | target_i2cREG1_temp                 |   |      |  |  |
| target_GetSystemTime_mS_u32_CurrentTime                | 1457865                             |   |      |  |  |
| target_i2cREG1_temp.OAR                                | 66                                  |   |      |  |  |
| target_i2cREG1_temp.IMR                                | 125                                 |   |      |  |  |
| target i2cREG1 temp.STR                                | 44                                  |   |      |  |  |
| target_i2cREG1_temp.CLKL                               | 566                                 |   |      |  |  |
| target_i2cREG1_temp.CLKH                               | 3298                                |   |      |  |  |
| target_i2cREG1_temp.CNT                                | 455                                 |   |      |  |  |
| target_i2cREG1_temp.DRR                                |                                     | 6                                       |      |  |  |
| target_i2cREG1_temp.SAR                                |                                     | 123                                     |      |  |  |
| target_i2cREG1_temp.DXR                                | 7                                   |   |      |  |  |
| target_i2cREG1_temp.MDR                                | 2                                   |   |      |  |  |
| target_i2cREG1_temp.IVR                                | 66                                  |   |      |  |  |
| target_i2cREG1_temp.EMDR                               | 3                                   |   |      |  |  |
| target_i2cREG1_temp.PSC                                | 75                                  |   |      |  |  |
| target_i2cREG1_temp.PID11                              | 5444                                |   |      |  |  |
| target_i2cREG1_temp.PID12                              | 76                                  |   |      |  |  |
| target i2cREG1 temp.DMAC                               | 0                                   |   |      |  |  |
| target_i2cREG1_temp.FUN                                | 1                                   |   |      |  |  |
| target_i2cREG1_temp.DIR                                | 0                                   |   |      |  |  |
| target i2cREG1 temp.DIN                                | 3                                   |   |      |  |  |
| target_i2cREG1_temp.DOUT                               | 2                                   |   |      |  |  |
| target_i2cREG1_temp.SET                                | 1                                   |   |      |  |  |
| target_i2cREG1_temp.CLR                                | 2                                   | i i                                     |      |  |  |
| target_i2cREG1_temp.ODR                                | 3                                   |   |      |  |  |
| target_i2cREG1_temp.PD                                 | 2                                   |   |      |  |  |
| target_i2cREG1_temp.PSL                                | 3                                   |   |      |  |  |
| Name   | Actual Value                        | Expected Value                          | Pagu |  |  |
|  |                                     | Expected Value                          | Resu |  |  |
| DigColPsInt_I2CHwCustData_Uls_M_u16                    | 511                                 | 511                                     |      |  |  |
| DigColPsInt_InitialTime_mS_M_u32                       | 1457865                             | 1457865                                 |      |  |  |
| I2c_EnableNotification(Flags_Cnt_T_b32)                | 63                                  | 63                                      |      |  |  |
| I2c_SetCount(Count_Cnt_T_u16)                          | 2                                   | 2                                       |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  | 66                                  | 66                                      |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  | 125                                 | 125                                     |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  | 44                                  | 44                                      |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL | 566                                 | 566                                     |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH | 3298                                | 3298                                    |      |  |  |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.CNT  | 455                                 | 455                                     |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  | 6                                   | 6                                       |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.SAR  | 123                                 | 123                                     |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  | 7                                   | 7                                       |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.MDR  | 2                                   | 2                                       |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  | 66                                  | 66                                      |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR | 3                                   | 3                                       |      |  |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PSC  | 75                                  | 75                                      |      |  |  |

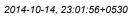
2014-10-14, 23:01:56+0530



DigColPsInt\_Init

| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12 | 76           | 76             | •        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ✓        |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | •        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | •        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | •        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | •        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | <b>✓</b> |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ~        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | ✓        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.OAR               | 66           | 66             | •        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.IMR               | 125          | 125            | •        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.STR               | 44           | 44             |          |

DigColPsInt\_Init





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.PSC   | 75           | 75             | ✓        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.PID11 | 5444         | 5444           | ✓        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.PID12 | 76           | 76             | ✓        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ✓        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ✓        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ✓        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ✓        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ✓        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ✓        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ✓        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ✓        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.PD    | 2            | 2              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

| Τ                      |       |                        |       |          |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| I2c_Init               | 1     | I2c_Init               | 1     | ~        |
| I2c_SetCount           | 1     | I2c_SetCount           | 1     | ~        |
| I2c_EnableNotification | 1     | I2c_EnableNotification | 1     | ~        |
| I2c_Enable             | 1     | I2c_Enable             | 1     | <b>✓</b> |
| GetSystemTime_mS_u32   | 1     | GetSystemTime_mS_u32   | 1     | ~        |

| Test Step 1.4 (Repeat Count = 1) Name                  | Input Value                    |                                       |      |  |
|--|--------------------------------|---------------------------------------|------|--|
| GetSystemTime_mS_u32(CurrentTime)                      | target_GetSystemTime_mS_u3     | 32 CurrentTime                        |      |  |
| I2c_Enable(I2cRegPtr_Cnt_T_str)                        |                                | target_l2c_Enable_l2cRegPtr_Cnt_T_str |      |  |
| I2c EnableNotification(I2cReqPtr Cnt T str)            |                                | target_l2c_Enable_i2cRegPti_Cnt_i_str |      |  |
| I2c_Init(I2cRegPtr_Cnt_T_str)                          | target_l2c_Init_l2cRegPtr_Cnt_ | <u> </u>                              |      |  |
| I2c_SetCount(I2cRegPtr_Cnt_T_str)                      | target_l2c_SetCount_l2cRegPt   |                                       |      |  |
| i2cREG1 temp   | target i2cREG1 temp            |                                       |      |  |
| target_GetSystemTime_mS_u32_CurrentTime                | 0                              |                                       |      |  |
| target_i2cREG1_temp.OAR                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.IMR                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.STR                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.CLKL                               | 0                              |                                       |      |  |
| target_i2cREG1_temp.CLKH                               | 0                              |                                       |      |  |
| target_i2cREG1_temp.CNT                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.DRR                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.SAR                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.DXR                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.MDR                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.IVR                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.EMDR                               | 0                              |                                       |      |  |
| target_i2cREG1_temp.PSC                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.PID11                              | 0                              |                                       |      |  |
| target_i2cREG1_temp.PID12                              | 0                              |                                       |      |  |
| target_i2cREG1_temp.DMAC                               | 0                              |                                       |      |  |
| target_i2cREG1_temp.FUN                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.DIR                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.DIN                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.DOUT                               | 0                              |                                       |      |  |
| target_i2cREG1_temp.SET                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.CLR                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.ODR                                | 0                              |                                       |      |  |
| target_i2cREG1_temp.PD                                 | 0                              |                                       |      |  |
| target_i2cREG1_temp.PSL                                | 0                              |                                       |      |  |
| Name   | Actual Value                   | Expected Value                        | Resu |  |
| DigColPsInt_I2CHwCustData_Uls_M_u16                    | 511                            | 511                                   | •    |  |
| DigColPsInt_InitialTime_mS_M_u32                       | 0                              | 0                                     | •    |  |
| I2c_EnableNotification(Flags_Cnt_T_b32)                | 63                             | 63                                    | •    |  |
| I2c_SetCount(Count_Cnt_T_u16)                          | 2                              | 2                                     | •    |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  | 0                              | 0                                     | •    |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  | 0                              | 0                                     | •    |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  | 0                              | 0                                     | •    |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL | 0                              | 0                                     | •    |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH | 0                              | 0                                     |      |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CNT  | 0                              | 0                                     |      |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DRR  | 0                              | 0                                     |      |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.SAR  | 0                              | 0                                     |      |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DXR  | 0                              | 0                                     | •    |  |

2014-10-14, 23:01:56+0530





| N  | A street Webse | From a set of Walter | D14      |
|--|----------------|----------------------|----------|
| Name   | Actual Value   | Expected Value 0     | Result   |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.MDR target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR  | 0              | 0                    | J        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR   | 0              | 0                    | ~        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PSC  | 0              | 0                    | ~        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11  | 0              | 0                    | ~        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12  | 0              | 0                    | ~        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DMAC   | 0              | 0                    | ~        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.FUN  | 0              | 0                    | ~        |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.DIR  | 0              | 0                    | ~        |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.DIN target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.DOUT | 0              | 0                    |          |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.SET  | 0              | 0                    |          |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLR  | 0              | 0                    | ~        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.ODR  | 0              | 0                    | ~        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PD   | 0              | 0                    | ~        |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PSL  | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.OAR  | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.IMR  | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.STR  | 0              | 0                    | ~        |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.CLKL   | 0              | 0                    | ~        |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.CLKH   | 0              | 0                    | · ·      |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.CNT target_l2c_Enable_l2cRegPtr_Cnt_T_str.DRR                          | 0              | 0                    |          |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DRR target_I2c_Enable_I2cRegPtr_Cnt_T_str.SAR                          | 0              | 0                    | -        |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.DXR  | 0              | 0                    | <b>V</b> |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.MDR  | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.IVR  | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.EMDR   | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PSC  | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PID11  | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PID12  | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DMAC   | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.FUN  | 0              | 0                    | ~        |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.DIR  | 0              | 0                    |          |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.DIN target_l2c_Enable_l2cRegPtr_Cnt_T_str.DOUT                         | 0              | 0                    | J        |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.SET  | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.CLR  | 0              | 0                    | -        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.ODR  | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PD   | 0              | 0                    | ~        |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PSL  | 0              | 0                    | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.OAR  | 0              | 0                    | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.IMR  | 0              | 0                    | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.STR  | 0              | 0                    | ~        |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.CLKL   | 0              | 0                    | · ·      |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Init_l2cRegPtr_Cnt_T_str.CNT                             | 0              | 0                    | -        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.DRR  | 0              | 0                    | J        |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.SAR  | 0              | 0                    | ~        |
| target I2c Init I2cRegPtr Cnt T str.DXR  | 0              | 0                    | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.MDR  | 0              | 0                    | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.IVR  | 0              | 0                    | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.EMDR   | 0              | 0                    | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PSC  | 0              | 0                    | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PID11  | 0              | 0                    | ~        |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.PID12  | 0              | 0                    | · ·      |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.DMAC   | 0              | 0                    | · ·      |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.FUN target_l2c_Init_l2cRegPtr_Cnt_T_str.DIR                              | 0              | 0                    |          |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.DIN  | 0              | 0                    |          |
| target_12c_Init_12cRegPtr_Cnt_T_str.DOUT   | 0              | 0                    | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.SET  | 0              | 0                    | ~        |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.CLR  | 0              | 0                    | <b>✓</b> |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.ODR  | 0              | 0                    | ~        |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PD   | 0              | 0                    | <b>✓</b> |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PSL  | 0              | 0                    | ~        |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.OAR  | 0              | 0                    | <b>~</b> |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.IMR  | 0              | 0                    | <b>Y</b> |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.STR  | 0              | 0                    | V        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.CLKL   | 0              | 0                    |          |
| target_l2c_SetCount_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetCount_l2cRegPtr_Cnt_T_str.CNT                     | 0              | 0                    | 9        |
| target_12c_SetCount_12cRegPtr_Cnt_T_str.DRR  | 0              | 0                    | <b>V</b> |
| 0  |                |                      |          |

2014-10-14, 23:01:56+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.SAR   | 0            | 0              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DXR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.MDR   | 0            | 0              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.IVR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PSC   | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PID11 | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PID12 | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | <b>✓</b> |
| target_I2c_SetCount_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | <b>✓</b> |

| T                      |       |                        |       | V        |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| I2c_Init               | 1     | I2c_Init               | 1     | ~        |
| I2c_SetCount           | 1     | I2c_SetCount           | 1     | <b>✓</b> |
| I2c_EnableNotification | 1     | I2c_EnableNotification | 1     | ~        |
| I2c_Enable             | 1     | I2c_Enable             | 1     | <b>✓</b> |
| GetSystemTime_mS_u32   | 1     | GetSystemTime_mS_u32   | 1     | <b>✓</b> |

| Name   | Input Value                           |   |       |  |
|--|---------------------------------------|---|-------|--|
| GetSystemTime_mS_u32(CurrentTime)                      | · · · · · · · · · · · · · · · · · · · | target_GetSystemTime_mS_u32_CurrentTime |       |  |
| I2c_Enable(I2cRegPtr_Cnt_T_str)                        | target I2c Enable I2cRegPtr           |   |       |  |
| l2c_EnableNotification(l2cRegPtr_Cnt_T_str)            | target_I2c_EnableNotification         |   |       |  |
| I2c_Init(I2cRegPtr_Cnt_T_str)                          | target_I2c_Init_I2cRegPtr_Cn          | •                                       |       |  |
| I2c_SetCount(I2cRegPtr_Cnt_T_str)                      | target_I2c_SetCount_I2cRegI           |   |       |  |
| i2cREG1 temp   | target_i2cREG1_temp                   |   |       |  |
| target_GetSystemTime_mS_u32_CurrentTime                | 4294967295                            |   |       |  |
| target_i2cREG1_temp.OAR                                | 1023                                  |   |       |  |
| target_i2cREG1_temp.IMR                                | 255                                   |   |       |  |
| target_i2cREG1_temp.STR                                | 32767                                 |   |       |  |
| target_i2cREG1_temp.CLKL                               | 65535                                 |   |       |  |
| target_i2cREG1_temp.CLKH                               | 65535                                 |   |       |  |
| target_i2cREG1_temp.CNT                                | 65535                                 |   |       |  |
| target_i2cREG1_temp.DRR                                | 255                                   |   |       |  |
| target_i2cREG1_temp.SAR                                | 1023                                  |   |       |  |
| target_i2cREG1_temp.DXR                                | 255                                   |   |       |  |
| target_i2cREG1_temp.MDR                                | 65535                                 |   |       |  |
| target_i2cREG1_temp.IVR                                | 4095                                  |   |       |  |
| target_i2cREG1_temp.EMDR                               | 3                                     |   |       |  |
| target_i2cREG1_temp.PSC                                | 255                                   | 255                                     |       |  |
| target_i2cREG1_temp.PID11                              | 65535                                 | 65535                                   |       |  |
| target_i2cREG1_temp.PID12                              | 255                                   | 255                                     |       |  |
| target_i2cREG1_temp.DMAC                               | 3                                     |   |       |  |
| target_i2cREG1_temp.FUN                                | 1                                     |   |       |  |
| target_i2cREG1_temp.DIR                                | 3                                     | 3                                       |       |  |
| target_i2cREG1_temp.DIN                                | 3                                     |   |       |  |
| target_i2cREG1_temp.DOUT                               | 3                                     |   |       |  |
| target_i2cREG1_temp.SET                                | 3                                     |   |       |  |
| target_i2cREG1_temp.CLR                                | 3                                     |   |       |  |
| target_i2cREG1_temp.ODR                                | 3                                     |   |       |  |
| target_i2cREG1_temp.PD                                 | 3                                     |   |       |  |
| target_i2cREG1_temp.PSL                                | 3                                     |   |       |  |
| Name   | Actual Value                          | Expected Value                          | Resul |  |
| DigColPsInt_I2CHwCustData_Uls_M_u16                    | 511                                   | 511                                     |       |  |
| DigColPsInt_InitialTime_mS_M_u32                       | 4294967295                            | 4294967295                              | •     |  |
| I2c_EnableNotification(Flags_Cnt_T_b32)                | 63                                    | 63                                      | •     |  |
| I2c_SetCount(Count_Cnt_T_u16)                          | 2                                     | 2                                       | •     |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.OAR  | 1023                                  | 1023                                    | •     |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IMR  | 255                                   | 255                                     | •     |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.STR  | 32767                                 | 32767                                   | •     |  |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKL | 65535                                 | 65535                                   |       |  |

2014-10-14, 23:01:56+0530

DigColPsInt\_Init



| Name  | Actual Value                                | Expected Value                                   | Result                                |
|---|---|--|---------------------------------------|
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLKH  | 65535                                       | 65535  | ~                                     |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.CNT   | 65535                                       | 65535  | <b>V</b>                              |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.DRR target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.SAR   | 255<br>1023                                 | 255<br>1023                                      | ~                                     |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.DXR   | 255   | 255  | J                                     |
| target I2c EnableNotification I2cRegPtr Cnt T str.MDR   | 65535                                       | 65535  | <b>✓</b>                              |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.IVR   | 4095  | 4095   | <b>✓</b>                              |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.EMDR  | 3   | 3  | <b>✓</b>                              |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PSC   | 255   | 255  | ~                                     |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID11   | 65535                                       | 65535  | ~                                     |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PID12   | 255   | 255  | ~                                     |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.DMAC  | 3   | 3  | ~                                     |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.FUN   | 1   | 1  | ~                                     |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.DIR target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.DIN   | 3   | 3  |                                       |
| target_12c_EnableNotification_12cRegPtr_Cnt_T_str.DOUT  | 3   | 3  | ~                                     |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.SET   | 3   | 3  | _                                     |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.CLR   | 3   | 3  | ~                                     |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.ODR   | 3   | 3  | ~                                     |
| target_I2c_EnableNotification_I2cRegPtr_Cnt_T_str.PD  | 3   | 3  | ~                                     |
| target_l2c_EnableNotification_l2cRegPtr_Cnt_T_str.PSL   | 3   | 3  | ~                                     |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.OAR   | 1023  | 1023   | <b>✓</b>                              |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.IMR   | 255   | 255  | ~                                     |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.STR   | 32767                                       | 32767  | <b>V</b>                              |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.CLKL  | 65535                                       | 65535  | •                                     |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.CLKH  | 65535<br>65535                              | 65535<br>65535                                   | J                                     |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.CNT target_I2c_Enable_I2cRegPtr_Cnt_T_str.DRR   | 255   | 255  | · ·                                   |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.SAR   | 1023  | 1023   | J                                     |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DXR   | 255   | 255  | <b>✓</b>                              |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.MDR   | 65535                                       | 65535  | ~                                     |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.IVR   | 4095  | 4095   | <b>✓</b>                              |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.EMDR  | 3   | 3  | ~                                     |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PSC   | 255   | 255  | ~                                     |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PID11   | 65535                                       | 65535  | ~                                     |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PID12   | 255   | 255  | <b>V</b>                              |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.DMAC  | 3<br>1                                      | 3  | •                                     |
| target_l2c_Enable_l2cRegPtr_Cnt_T_str.FUN   | 3   | 3  |                                       |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.DIR target_I2c_Enable_I2cRegPtr_Cnt_T_str.DIN   | 3   | 3  | _                                     |
| target I2c Enable I2cRegPtr Cnt T str.DOUT  | 3   | 3  |                                       |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.SET   | 3   | 3  | <b>~</b>                              |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.CLR   | 3   | 3  | ~                                     |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.ODR   | 3   | 3  | ~                                     |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PD  | 3   | 3  | ~                                     |
| target_I2c_Enable_I2cRegPtr_Cnt_T_str.PSL   | 3   | 3  | ~                                     |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.OAR   | 1023  | 1023   |                                       |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.IMR   | 255   | 255  | ~                                     |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.STR target_l2c_Init_l2cRegPtr_Cnt_T_str.CLKL  | 32767<br>65535                              | 32767<br>65535                                   | · ·                                   |
| target I2c Init I2cRegPtr Cnt T str.CLKH  | 65535                                       | 65535  | J                                     |
| target_12c_Init_12cRegPtr_Cnt_T_str.CNT   | 65535                                       | 65535  | ~                                     |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.DRR   | 255   | 255  | ~                                     |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.SAR   | 1023  | 1023   | ~                                     |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.DXR   | 255   | 255  | ~                                     |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.MDR   | 65535                                       | 65535  | ~                                     |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.IVR   | 4095  | 4095   | ~                                     |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.EMDR  | 3   | 3  | ✓                                     |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PSC   | 255   | 255  | ~                                     |
|   | 65535                                       | 65535  | ~                                     |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PID11   |   |  |                                       |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PID12   | 255   | 255  | <b>V</b>                              |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PID12<br>target_I2c_Init_I2cRegPtr_Cnt_T_str.DMAC   | 255<br>3                                    | 255<br>3   | <b>V</b>                              |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Init_I2cRegPtr_Cnt_T_str.DMAC target_I2c_Init_I2cRegPtr_Cnt_T_str.FUN  | 255<br>3<br>1                               | 255<br>3<br>1                                    | * * * * * * * * * * * * * * * * * * * |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Init_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Init_l2cRegPtr_Cnt_T_str.FUN target_l2c_Init_l2cRegPtr_Cnt_T_str.DIR  | 255<br>3                                    | 255<br>3   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_I2c_Init_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Init_I2cRegPtr_Cnt_T_str.DMAC target_I2c_Init_I2cRegPtr_Cnt_T_str.FUN  | 255<br>3<br>1<br>3                          | 255<br>3<br>1<br>3                               | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Init_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Init_l2cRegPtr_Cnt_T_str.FUN target_l2c_Init_l2cRegPtr_Cnt_T_str.DIR target_l2c_Init_l2cRegPtr_Cnt_T_str.DIN  | 255<br>3<br>1<br>3<br>3                     | 255<br>3<br>1<br>3<br>3                          | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Init_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Init_l2cRegPtr_Cnt_T_str.FUN target_l2c_Init_l2cRegPtr_Cnt_T_str.DIR target_l2c_Init_l2cRegPtr_Cnt_T_str.DIN target_l2c_Init_l2cRegPtr_Cnt_T_str.DUT  | 255<br>3<br>1<br>3<br>3<br>3                | 255<br>3<br>1<br>3<br>3<br>3                     | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Init_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Init_l2cRegPtr_Cnt_T_str.FUN target_l2c_Init_l2cRegPtr_Cnt_T_str.DIR target_l2c_Init_l2cRegPtr_Cnt_T_str.DIN target_l2c_Init_l2cRegPtr_Cnt_T_str.DOUT target_l2c_Init_l2cRegPtr_Cnt_T_str.SET   | 255<br>3<br>1<br>3<br>3<br>3<br>3<br>3<br>3 | 255<br>3<br>1<br>3<br>3<br>3<br>3<br>3<br>3<br>3 | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Init_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Init_l2cRegPtr_Cnt_T_str.DIR target_l2c_Init_l2cRegPtr_Cnt_T_str.DIR target_l2c_Init_l2cRegPtr_Cnt_T_str.DIN target_l2c_Init_l2cRegPtr_Cnt_T_str.DOUT target_l2c_Init_l2cRegPtr_Cnt_T_str.SET target_l2c_Init_l2cRegPtr_Cnt_T_str.CLR target_l2c_Init_l2cRegPtr_Cnt_T_str.ODR target_l2c_Init_l2cRegPtr_Cnt_T_str.ODR target_l2c_Init_l2cRegPtr_Cnt_T_str.PD  | 255 3 1 3 3 3 3 3 3 3 3 3 3                 | 255 3 1 3 3 3 3 3 3 3 3 3 3                      | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Init_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Init_l2cRegPtr_Cnt_T_str.FUN target_l2c_Init_l2cRegPtr_Cnt_T_str.DIR target_l2c_Init_l2cRegPtr_Cnt_T_str.DUT target_l2c_Init_l2cRegPtr_Cnt_T_str.SET target_l2c_Init_l2cRegPtr_Cnt_T_str.CLR target_l2c_Init_l2cRegPtr_Cnt_T_str.ODR target_l2c_Init_l2cRegPtr_Cnt_T_str.DDR target_l2c_Init_l2cRegPtr_Cnt_T_str.DDR target_l2c_Init_l2cRegPtr_Cnt_T_str.PD target_l2c_Init_l2cRegPtr_Cnt_T_str.PSL | 255 3 1 3 3 3 3 3 3 3 3 3 3 3               | 255 3 1 3 3 3 3 3 3 3 3 3 3 3 3                  | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Init_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Init_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Init_l2cRegPtr_Cnt_T_str.DIN target_l2c_Init_l2cRegPtr_Cnt_T_str.DIR target_l2c_Init_l2cRegPtr_Cnt_T_str.DIN target_l2c_Init_l2cRegPtr_Cnt_T_str.DOUT target_l2c_Init_l2cRegPtr_Cnt_T_str.SET target_l2c_Init_l2cRegPtr_Cnt_T_str.CLR target_l2c_Init_l2cRegPtr_Cnt_T_str.ODR target_l2c_Init_l2cRegPtr_Cnt_T_str.ODR target_l2c_Init_l2cRegPtr_Cnt_T_str.PD  | 255 3 1 3 3 3 3 3 3 3 3 3 3                 | 255 3 1 3 3 3 3 3 3 3 3 3 3                      | · · · · · · · · · · · · · · · · · · · |

target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.CLR

 $target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.ODR$ 

target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.PD

 $target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.PSL$ 

DigColPsInt\_Init

2014-10-14, 23:01:56+0530



**Actual Value Expected Value** target\_l2c\_SetCount\_l2cRegPtr\_Cnt\_T\_str.STR 32767 32767  $target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 65535 65535 target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.CLKH 65535 65535  $target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.CNT$ 65535 65535 target\_l2c\_SetCount\_l2cRegPtr\_Cnt\_T\_str.DRR 255 255  $target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.SAR$ 1023 1023 target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.DXR 255 255 65535 65535  $target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.MDR$ target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.IVR 4095 4095  $target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.EMDR$ 3 target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.PSC 255 255 target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.PID11 65535 65535 ソソソソソソ target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.PID12 255 255 target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.DMAC 3 3 target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.FUN target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.DIR 3 3  $target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.DIN$ 3 3 target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.DOUT 3 3  $target\_I2c\_SetCount\_I2cRegPtr\_Cnt\_T\_str.SET$ 3 3

| T                      |       |                        |       |          |  |
|------------------------|-------|------------------------|-------|----------|--|
| Actual Function        | Count | Expected Function      | Count | Result   |  |
| I2c_Init               | 1     | I2c_Init               | 1     | ~        |  |
| I2c_SetCount           | 1     | I2c_SetCount           | 1     | ~        |  |
| I2c_EnableNotification | 1     | I2c_EnableNotification | 1     | ~        |  |
| I2c_Enable             | 1     | I2c_Enable             | 1     | <b>✓</b> |  |
| GetSvstemTime mS u32   | 1     | GetSvstemTime mS u32   | 1     | •        |  |

3

3

3

3

3

3

3

3



| SetupRead                         | 2014-10-14, 23:11:07+0530 | Razoncat |
|-----------------------------------|---------------------------|----------|
|                                   |                           |          |
| Project                           |                           |          |
| Module                            |                           |          |
| Test Object                       |                           |          |
|                                   |                           |          |
| Instrumentation: Test Object Only |                           |          |
| Statement (C0) Coverage           |                           |          |
| Branch (C1) Coverage              |                           |          |
|                                   |                           |          |
| Statistics                        |                           |          |
| Total Testcases                   |                           |          |
| Successful                        | <b>✓</b>                  |          |
| Failed                            |                           |          |
| Not Executed                      |                           |          |
|                                   |                           |          |

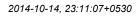
#### **Module Properties**

| Project Root Directory |   |  |  |
|------------------------|---|--|--|
| Configuration File     |   |  |  |
| Target Environment     |   |  |  |
| Kind of Test           |   |  |  |
| Linker Options         |   |  |  |
| Source File(s)         |   |  |  |
| File                   | п |  |  |
| Compiler Options       |   |  |  |
|                        |   |  |  |

| Comments/Description/Spe | ecification |
|--------------------------|-------------|
| Name                     | Text        |

2014-10-14, 23:11:07+0530

Razorcat





# Test Case 1: Boundary Test

Description

| Test Step 1.1 (Repeat Count = 1) ✓ |              |                |        |
|------------------------------------|--------------|----------------|--------|
| Name                               | Input Value  |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    | 00           |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    | 0            |                |        |
|                                    | 0            |                |        |
|                                    | 0            |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
|                                    |              |                |        |
| Namo                               | Actual Value | Expected Value | Popult |
| Name                               | Actual Value | Expected Value | Result |
| Name                               | Actual Value | Expected Value | ·      |
| Name                               | Actual Value | Expected Value | •      |
| Name                               | Actual Value | Expected Value | •      |
|                                    | Actual Value | Expected Value |        |
| ۵                                  | Actual Value | Expected Value |        |
| ۵                                  |              |                |        |
| ۵                                  | Actual Value | Expected Value |        |
| ۵                                  |              |                |        |
| ۵                                  | 00           | 0.0            |        |
| ۵                                  | 00           | 0.0            |        |
| ۵                                  | a a a        | 0.0<br>0.0     |        |
| ۵                                  |              |                |        |
| ۵                                  |              |                |        |
| ۵                                  |              |                |        |
| ۵                                  |              |                |        |
| ۵                                  |              |                |        |
| ۵                                  |              |                |        |
| ۵                                  |              |                |        |
| ۵                                  |              |                |        |
| ۵                                  |              |                |        |
| ۵                                  |              |                |        |
| ۵                                  |              |                |        |

2014-10-14, 23:11:07+0530



| Name | Actual Value | Expected Value | Result   |
|------|--------------|----------------|----------|
|      |              |                | <b>~</b> |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      | 0.0          | 0.0            | •        |
|      |              |                | ~        |
|      | 0            | 0              | <b>*</b> |
|      | 0            | 0              | <b>V</b> |
|      |              |                | •        |
|      |              |                | <b>*</b> |
|      | 0            | 0              | ~        |
|      | _            | _              |          |
|      | 0            | Δ              | ~        |
|      |              |                | -        |
|      |              |                | ~        |
|      | -            | -              |          |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | <b>✓</b> |
|      |              |                | •        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | <b>~</b> |

| T               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | t Result |
|                 |       |                   |       | ~        |
|                 |       |                   |       | -        |

2014-10-14, 23:11:07+0530



| Test Step 1.2 (Repeat Count = 1) |              |                | V                                       |
|----------------------------------|--------------|----------------|---|
| Name                             | Input Value  |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  | 0            |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  | п            |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
| Name                             | Actual Value | Expected Value | Result                                  |
|                                  |              |                | ~                                       |
|                                  |              |                |   |
|                                  |              |                | <b>✓</b>                                |
|                                  |              |                | <b>*</b>                                |
|                                  |              |                | ٠<br>٧                                  |
|                                  |              |                | · · ·                                   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  | 0            | 0              | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \   |
|                                  | 0            | 0              | · · · · · · · · · · · · · · · · · · ·   |
|                                  | 0            | 0              | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \   |
|                                  | 0            |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \   |
|                                  | 0            | D.             | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  | 0            |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | *************************************** |
|                                  |              |                | ***********                             |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |

2014-10-14, 23:11:07+0530



| Name | Actual Value | Expected Value | Result |
|------|--------------|----------------|--------|
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      | 0            | 0              | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      | п            | а              |        |

| T               |       |                   |       | V        |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | <b>✓</b> |

| Test Step 1.3 (Repeat Count = 1) |              |                | <b>✓</b> |
|----------------------------------|--------------|----------------|----------|
| Name                             | Input Value  |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  | 0            |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  | 0            |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  | 0            |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
| Name                             | Actual Value | Expected Value | Result   |
|                                  |              |                |          |
|                                  |              |                | · ·      |
|                                  |              |                | -        |
|                                  |              |                | <b>✓</b> |
|                                  |              |                | ~        |
|                                  |              |                | <b>V</b> |
|                                  |              |                |          |
|                                  |              |                | -        |
|                                  |              |                | <b>✓</b> |
|                                  |              |                | <b>✓</b> |

2014-10-14, 23:11:07+0530

**Actual Value** 

SetupRead

Name



**Expected Value** 

|                 |       | 0                 |   |       | ~        |
|-----------------|-------|-------------------|---|-------|----------|
|                 |       |                   |   |       | <b>✓</b> |
|                 |       |                   |   |       | ~        |
|                 |       |                   |   |       | ✓        |
|                 |       | ٥                 |   |       | ~        |
|                 |       |                   |   |       | <b>✓</b> |
|                 |       |                   |   |       | ~        |
|                 |       |                   |   |       | <b>~</b> |
|                 |       |                   |   |       | _        |
|                 |       |                   |   |       | •        |
|                 |       |                   |   |       | _        |
|                 |       |                   |   |       | •        |
|                 |       |                   |   |       |          |
|                 |       | П                 |   |       |          |
|                 |       |                   |   |       |          |
|                 |       |                   |   |       |          |
|                 |       |                   |   |       | ¥        |
|                 |       |                   |   |       | _        |
|                 |       |                   |   |       | •        |
|                 |       | 0                 |   |       | ~        |
|                 |       |                   |   |       | ~        |
|                 |       |                   |   |       | ~        |
|                 |       |                   |   |       | ~        |
|                 |       |                   |   |       | ~        |
|                 |       |                   |   |       | ~        |
|                 |       | 0                 |   |       | ~        |
|                 |       |                   |   |       | •        |
|                 |       |                   |   |       | ~        |
|                 |       |                   |   |       | <b>✓</b> |
|                 |       |                   |   |       | •        |
|                 |       |                   |   |       | <b>✓</b> |
|                 |       |                   |   |       | ~        |
|                 |       |                   |   |       | <b>✓</b> |
|                 |       |                   |   |       | ~        |
|                 |       |                   |   |       | <b>✓</b> |
|                 |       |                   |   |       | ~        |
|                 |       |                   |   |       | •        |
|                 |       |                   |   |       | _        |
|                 |       | <u> </u>          |   |       | •        |
|                 |       | 0                 |   |       |          |
|                 |       |                   | I |       |          |
|                 |       |                   |   |       |          |
| Т               |       |                   |   |       | ✓        |
| Actual Function | Count | Expected Function |   | Count | Result   |
|                 |       |                   |   |       | ~        |

| Test Step 1.4 (Repeat Count = 1) | ✓           |
|----------------------------------|-------------|
| Name                             | Input Value |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |

| ( , | VaD. |       |
|-----|------|-------|
| _   | RAZO | WV/4+ |
|     | MAC  | 1606  |

| SetupRead | 2014-10-14, 23.11.07+0930 | 7              | *azorcat |
|-----------|---------------------------|----------------|----------|
| Name      | Input Value               |                |          |
|           |                           |                |          |
|           | 0                         |                |          |
|           |                           |                |          |
|           |                           |                |          |
|           |                           |                |          |
|           |                           |                |          |
|           |                           |                |          |
| Name      | Actual Value              | Expected Value | Resul    |
| Tamb      | Actual Value              | Exposiou valuo |          |
|           |                           |                |          |
|           |                           |                | •        |
|           |                           |                |          |
|           |                           |                |          |
|           |                           |                |          |
|           |                           |                |          |
|           |                           | а              |          |
|           |                           |                |          |
|           |                           |                | •        |
|           |                           |                |          |
|           |                           |                | •        |
|           | ٥                         |                |          |
|           |                           |                | •        |
|           |                           |                | •        |
|           |                           |                |          |
|           |                           |                | •        |
|           |                           |                |          |
|           |                           |                | •        |
|           |                           |                |          |
|           |                           |                |          |
|           |                           |                |          |
|           |                           |                |          |
|           | 0                         | ٥              | •        |
|           |                           |                |          |
|           |                           |                |          |
|           |                           |                |          |
|           |                           |                | •        |
|           | 0                         | ٥              |          |
|           |                           |                |          |
|           |                           |                | •        |
|           |                           |                |          |
|           |                           |                |          |
|           |                           |                |          |

2014-10-14, 23:11:07+0530



| T               |       |                   |       | V        |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | <b>V</b> |

| Test Step 1.5 (Repeat Count = 1) |              |                | <b>✓</b>                                |
|----------------------------------|--------------|----------------|---|
| Name                             | Input Value  |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
| Name                             |              | Expected Value | Result                                  |
| Name                             | Actual Value | Expected Value | Result                                  |
| Name                             |              | Expected Value | ~                                       |
| Name                             |              | Expected Value | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \   |
| Name                             |              | Expected Value | \rightarrow \frac{1}{2}                 |
| Name                             |              | Expected Value | * |
| <u>a</u>                         |              | Expected Value | >>>>>                                   |
| <u>a</u>                         |              | Expected Value | · · · · · · · · · · · · · · · · · · ·   |
| <u>a</u>                         |              | Expected Value | · · · · · · · · · · · · · · · · · · ·   |
| <u>a</u>                         |              | Expected Value | · · · · · · · · · · · · · · · · · · ·   |
| <u>a</u>                         | Actual Value |                | · · · · · · · · · · · · · · · · · · ·   |
| <u>a</u>                         |              | Expected Value | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| <u>a</u>                         | Actual Value |                | *************************************** |
| a                                | Actual Value |                | · · · · · · · · · · · · · · · · · · ·   |

2014-10-14, 23:11:07+0530





| Name | Actual Value | Expected Value | Result |
|------|--------------|----------------|--------|
|      |              |                | ~      |
|      |              |                | •      |
|      |              |                | ~      |
|      |              |                | •      |
|      |              |                | ~      |
|      | 0            | 0              | •      |
|      |              |                | ~      |
|      |              |                | ~      |
|      | О            | О              | ~      |
|      | а            | а              | ~      |
|      |              |                | ~      |
|      |              |                | •      |
|      | 0            | 0              | ~      |
|      | а            | а              | •      |
|      |              |                | ~      |
|      |              |                | •      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      | 0            | 0              | ~      |
|      |              |                | ~      |
|      |              |                | •      |
|      |              |                | ~      |
|      | а            | а              | •      |
|      |              |                | ~      |

| T               |       |                   |       | V        |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | <b>✓</b> |

| Test Step 1.6 (Repeat Count = 1) |              |                | <b>✓</b> |
|----------------------------------|--------------|----------------|----------|
| Name                             | Input Value  |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  | а            |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  | ٥            |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  | ٥            |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  | ٥            |                |          |
|                                  | 0            |                |          |
|                                  |              |                |          |
|                                  | ۵            |                |          |
| Name                             | Actual Value | Expected Value | Result   |
|                                  |              |                | <b>✓</b> |
|                                  |              |                | <b>*</b> |
|                                  |              |                | <b>~</b> |
|                                  |              |                | <b>✓</b> |

2014-10-14, 23:11:07+0530



SetupRead Name Actual Value **Expected Value** 

| Τ               |       |                   |       |        |
|-----------------|-------|-------------------|-------|--------|
| Actual Function | Count | Expected Function | Count | Result |
|                 |       |                   |       | ~      |
|                 |       |                   |       | -      |

| Test Step 1.7 (Repeat Count = 1) | ✓           |
|----------------------------------|-------------|
| Name                             | Input Value |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |

2014-10-14, 23:11:07+0530

| 0          |     | _  |    | ~  | <u> </u> |
|------------|-----|----|----|----|----------|
| $\searrow$ | BA  | 71 | W  | 12 | $\Gamma$ |
|            | Val | ΔU | 71 | (A | b        |

SetupRead Name Input Value Name Actual Value **Expected Value** Result 

2014-10-14, 23:11:07+0530



| Name | Actual Value | Expected Value | Result |
|------|--------------|----------------|--------|
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | •      |
|      |              |                | -      |

| T .             |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | <b>✓</b> |

| Test Step 1.8 (Repeat Count = 1) |  |                | ~                                     |
|----------------------------------|--|----------------|---------------------------------------|
| Name                             | Input Value  |                |                                       |
|                                  |  |                |                                       |
|                                  |  |                |                                       |
|                                  |  |                |                                       |
|                                  |  |                |                                       |
|                                  |  |                |                                       |
|                                  |  |                |                                       |
|                                  | О  |                |                                       |
|                                  |  |                |                                       |
|                                  |  |                |                                       |
|                                  | 0  |                |                                       |
|                                  | 0  |                |                                       |
|                                  |  |                |                                       |
|                                  | 0  |                |                                       |
|                                  |  |                |                                       |
|                                  | 0  |                |                                       |
|                                  | 0  |                |                                       |
|                                  | u u  |                |                                       |
|                                  | 0  |                |                                       |
|                                  |  |                |                                       |
|                                  | 0  |                |                                       |
|                                  |  |                |                                       |
|                                  | 0  |                |                                       |
|                                  |  |                |                                       |
|                                  | а  |                |                                       |
|                                  |  |                |                                       |
|                                  |  |                |                                       |
|                                  | 0  |                |                                       |
| Name                             | Actual Value   | Expected Value | Result                                |
| Name                             | Actual Value   | Expected value | Nesuit                                |
|                                  |  |                | <b>✓</b>                              |
|                                  |  |                | ✓                                     |
|                                  |  |                | ~                                     |
|                                  |  |                | ~                                     |
|                                  | 0  |                | ~                                     |
|                                  | 0  | n              |                                       |
|                                  |  |                | ~                                     |
|                                  | 0  |                | <b>✓</b>                              |
|                                  | 0  |                | ~                                     |
|                                  |  |                | ~                                     |
|                                  | 0  |                | •                                     |
|                                  | 0  |                |                                       |
|                                  | The second secon |                |                                       |
|                                  |  |                | <b>✓</b>                              |
|                                  |  | 0              | ~                                     |
|                                  | 0  | а              | · ·                                   |
|                                  |  | 0              | · · · · · · · · · · · · · · · · · · · |
|                                  | a<br>a   | a              | V V                                   |
|                                  | 0  |                | · · · · · · · · · · · · · · · · · · · |
|                                  | a<br>a   | 0              | •                                     |
|                                  | a<br>a   | a              | · · · · · · · · · · · · · · · · · · · |

2014-10-14, 23:11:07+0530



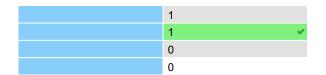
| Name | Actual Value | Expected Value | Result   |
|------|--------------|----------------|----------|
|      |              |                | •        |
|      |              | 0              | ~        |
|      | 0            | 0              | ~        |
|      | 0            | 0              | ~        |
|      | ٥            | ٥              | ~        |
|      | а            | 0              | ~        |
|      |              |                | ~        |
|      | 0            | 0              | ~        |
|      | 0            | 0              | ~        |
|      | 0            | 0              | ~        |
|      | 0            | 0              | ~        |
|      |              |                | ~        |
|      | 0            | 0              | ~        |
|      |              |                | ~        |
|      | 0            | 0              |          |
|      |              |                | ~        |
|      |              |                |          |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | •        |
|      | 0            |                | •        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                |          |
|      | а            | а              | ~        |
|      | п            | а              | <b>✓</b> |
|      | п            | а              | ~        |
|      | 0            | 0              | •        |

| T               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | -        |



DigColPsInt
DigColPsInt
DigColPsInt\_GetCustData

100 % 100 %



| D:\Synergy_Work_Area\C1xx_DigColPs   |
|--|
| D:\Synergy_Work_Area\C1xx_DigColPs\UnitTestEnv\config\TMS570_GCC_UDE_CCS4_Config.xml   |
| TI TMS 570 PLS UDE (Default)   |
| Unit Test  |
|  |
|  |
| \$(PROJECTROOT)\DigColPs\src\Sa_DigColPsInt.c  |
| -D_DATA_ACCESS= -Dconst= -DSTATIC= -Dinline= -I\$(PROJECTROOT)\DigColPs\utp\contract -I\$(PROJECTROOT)\DigColPs\utp\contract -I\$(PROJECTROOT)\DigColPs\utp\contract\Sa_DigColPs -I\$(PROJECTROOT)\DigColPs\include -I\$(PROJECTROOT)\NxtrLib\include -I\$(PROJECTROOT)\StdDef\include -I\$(PROJECTROOT)\StdDef\include -I\$(PROJECTROOT)\StdDef\include\TMS570_HerculesRegs -I\$(Compiler Install Path)\include |

#### 2014-10-14, 22:59:25+0530

#### DigColPsInt\_GetCustData



Name of Tester:Priti Mangalekar
Code File(s) Under Test:Sa\_DigColPsInt.c
Code File(s) Version:7
Module Design Document:DigColPsInt\_MDD.docx
Module Design Document Version:8
Data Dictionary Version:9
Unit Test Plan Version:2
Optimization Level:Level 2
Compiler (CodeGen) Version:TMS470\_4.9.5
Model Type:Excel Macro
Model Version:Nexteer EPS Unit Test Tool 2.7d/EPS Library 1.30
Total FLASH Used (Bytes):N/A
Total CALS Used (Bytes):N/A
Total CALS Used (Bytes):N/A
Special Test Requirements:
Test Date:10/13/2014
Comments:

NOTE 1: In """"DigColPsInt\_StartRequest"""" function, path """"(Type\_Cnt\_T\_u08 > D\_NONE\_CNT\_U08) = TRUE && (Type\_Cnt\_T\_u08 <= D\_STATUSREG\_CNT\_U08) = FALSE"""" can= Y SSY er:



#### Test Vector Description:

TS1.1DigColPsInt\_I2CHwCustData\_Uls\_M\_u16=>Min TS1.2DigColPsInt\_I2CHwCustData\_Uls\_M\_u16=>Max TS1.3DigColPsInt\_I2CHwCustData\_Uls\_M\_u16=Pos

|                                     |   |   | V |
|-------------------------------------|---|---|---|
|                                     |   |   |   |
| DigColPsInt_I2CHwCustData_Uls_M_u16 | 0 |   |   |
|                                     |   |   |   |
| DigColPsInt_GetCustData()           | 0 | 0 | ~ |

|                                     |     |     | V |
|-------------------------------------|-----|-----|---|
|                                     |     |     |   |
| DigColPsInt_I2CHwCustData_Uls_M_u16 | 511 |     |   |
|                                     |     |     |   |
| DigColPsInt_GetCustData()           | 511 | 511 | ~ |

|                                     |     |     | ✓ |
|-------------------------------------|-----|-----|---|
|                                     |     |     |   |
| DigColPsInt_I2CHwCustData_Uls_M_u16 | 124 |     |   |
|                                     |     |     |   |
| DigColPsInt_GetCustData()           | 124 | 124 | ✓ |



| TEST DETAILS REPORT SetupWriteData | 2014-10-14, 23:12:01+0530 | Razorcat |
|------------------------------------|---------------------------|----------|
|                                    |                           |          |
| Project                            |                           |          |
| Module                             |                           |          |
| Test Object                        |                           |          |
|                                    |                           |          |
| Instrumentation: Test Object Only  |                           |          |
| Statement (C0) Coverage            |                           |          |
| Branch (C1) Coverage               |                           |          |
|                                    |                           |          |
| Statistics                         |                           |          |
| Total Testcases                    |                           |          |
| Successful                         | <b>✓</b>                  |          |
| Failed                             |                           |          |

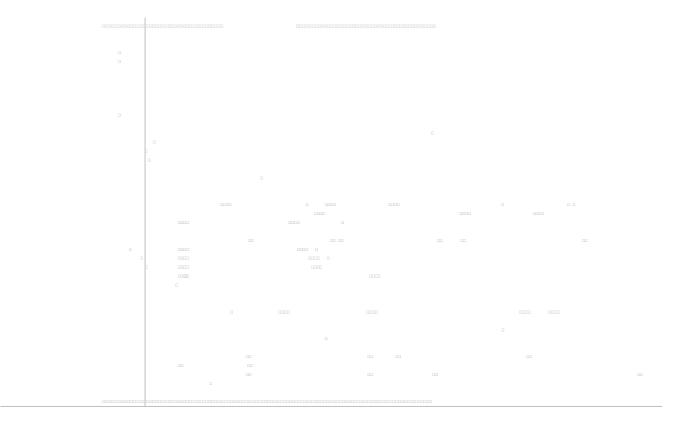
#### **Module Properties**

Not Executed

| Project Root Directory |  |  |
|------------------------|--|--|
| Configuration File     |  |  |
| Target Environment     |  |  |
| Kind of Test           |  |  |
| Linker Options         |  |  |
| Source File(s)         |  |  |
| File                   |  |  |
| Compiler Options       |  |  |
| 0                      |  |  |

| Comments/Description/Spe | ecification |
|--------------------------|-------------|
| Name                     | Text        |





| Attributes            |  |
|-----------------------|--|
| Name                  | Value  |
| Compiler Install Path | \$(ProgramFiles)\Texas Instruments\ccsv4\tools\compiler\tms470_4.9.5       |
| Float Precision       | 9  |
| InitObjDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\obj                         |
| InitSrcDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\src                         |
| Linker File           | <pre>\$(PROJECTROOT)\UnitTestEnv\static_build_files\sys_link.cmd</pre>     |
| Makefile Template     | \$(PROJECTROOT)\UnitTestEnv\config\Nexteer_ts_make_ude_ti_tms570.tpl       |
| Target Install Path   | \$(Compiler Install Path)\include  |
| Time Unit             | Cycles   |
| Timer Enabled         | false  |
| Timer Prescale        | 0  |
| Timer Resolution      | 1  |
| UDE Config File       | \$(PROJECTROOT)\UnitTestEnv\config\TMS570_UDE_12PIN_JTAG.cfg               |
| Workspace File        | D:\Synergy_Work_Area\Clxx_DigColPs\UnitTestEnv\config\UDE_TMS570_DEBUG.WSP |



# Test Case 1: Boundary Test Description

| Test Step 1.1 (Repeat Count = 1) |              |                | <b>✓</b> |
|----------------------------------|--------------|----------------|----------|
| Name                             | Input Value  |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  | 0.0          |                |          |
|                                  |              |                |          |
|                                  | ٥            |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
| Name                             | Actual Value | Expected Value | Result   |
|                                  |              |                | •        |
|                                  |              |                | <b>✓</b> |
|                                  |              |                | •        |
|                                  | <u> </u>     |                | ~        |
|                                  | 0            | 0              |          |
|                                  |              |                |          |
|                                  | 0.0          |                | -        |
|                                  |              |                | •        |
|                                  |              | a<br>a         | •        |
|                                  | 0            | a              |          |
|                                  |              |                |          |
|                                  | 0            |                | -        |
|                                  |              |                | -        |
|                                  | 0            | ۵              |          |
|                                  |              |                | ~        |

2014-10-14, 23:12:01+0530

**Actual Value** 

SetupWriteData

Name



**Expected Value** 

|   |     | ~  |
|---|-----|--|
|   |     |  |
|   |     | •  |
|   |     | <b>y y y</b>   |
|   |     | <b>✓</b>   |
|   |     | <b>✓</b>   |
|   |     | <b>✓</b>   |
|   |     | <b>*</b>   |
|   |     |  |
|   |     | ~  |
|   |     | ~  |
|   |     | <b>✓</b>   |
|   |     | \rightarrow \right |
|   |     | <b>✓</b>   |
|   |     |  |
|   |     | ~  |
|   | 0.0 | •  |
|   |     | ~  |
|   |     | <b>✓</b>   |
|   | 0   | *  |
|   |     | <b>✓</b>   |
|   |     | <b>V</b>   |
|   |     |  |
|   | а   | •  |
|   |     | · · · · · · · · · · · · · · · · · · ·  |
|   |     | ✓  |
|   |     | •  |
|   |     | <b>~</b>   |
|   |     |  |
|   | 0   |  |
|   |     | •  |
|   |     | ~  |
|   |     | ✓  |
|   |     | · · · · · · · · · · · · · · · · · · ·  |
|   |     | •  |
|   |     |  |
|   |     | ~  |
|   |     | <b>✓</b>   |
|   |     | ~  |
|   |     | ~  |
|   |     | ~  |
|   |     | ~  |
|   |     |  |
|   |     | _  |
| Τ |     | <b>✓</b>   |

| Τ               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | -        |

| Test Step 1.2 (Repeat Count = 1) | ✓   |
|----------------------------------|---|
| Name                             | Input Value   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  | a and a second a second and a second a second and a second a second and a second and a second a second a second a second a second and a second and a second and a second a second a second |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  | п   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |
|                                  |   |

2014-10-14, 23:12:01+0530



| lame                 | Input Value       |                |                                       |
|----------------------|-------------------|----------------|---------------------------------------|
|                      |                   |                |                                       |
|                      |                   |                |                                       |
|                      |                   |                |                                       |
|                      | а                 |                |                                       |
|                      |                   |                |                                       |
|                      |                   |                |                                       |
|                      | а                 |                |                                       |
| lame                 | Actual Value      | Expected Value | Result                                |
|                      |                   |                | ~                                     |
|                      |                   |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|                      |                   |                | •                                     |
|                      | а                 | а              | •                                     |
|                      | а                 | а              | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|                      |                   |                | · ·                                   |
|                      | 0                 | 0              |                                       |
|                      |                   |                | •                                     |
|                      |                   |                | ~                                     |
|                      |                   |                | <b>V</b>                              |
|                      |                   | n              |                                       |
|                      |                   |                | -                                     |
|                      |                   |                | •                                     |
|                      |                   |                | •                                     |
|                      |                   |                |                                       |
|                      |                   |                | •                                     |
|                      |                   |                | •                                     |
|                      |                   |                |                                       |
|                      |                   |                | <b>-</b>                              |
|                      |                   |                | -                                     |
|                      |                   |                | •                                     |
|                      | 0                 | 0              | ~                                     |
|                      |                   |                |                                       |
|                      |                   |                | •                                     |
|                      | а                 | 0              | <b>✓</b>                              |
|                      |                   |                | •                                     |
|                      | 0                 | 0              | · ·                                   |
|                      |                   |                |                                       |
|                      |                   |                | <b>✓</b>                              |
|                      |                   |                | ~                                     |
|                      |                   |                | ~                                     |
|                      | 0                 | 0              | -                                     |
|                      |                   |                | , , , , , , , , , , , , , , , , , , , |
|                      |                   |                | ~                                     |
|                      |                   |                | · ·                                   |
|                      |                   |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|                      |                   |                | ~                                     |
|                      |                   |                | · ·                                   |
|                      |                   |                | · ·                                   |
|                      |                   |                | -                                     |
|                      |                   |                | ~                                     |
|                      | 0                 | а              | 7                                     |
|                      |                   |                | · ·                                   |
|                      |                   |                | ~                                     |
|                      |                   | 0              | -                                     |
|                      |                   |                |                                       |
| Т                    |                   |                | <b>✓</b>                              |
| ctual Function Count | Expected Function | Ca             | t Bosult                              |

2014-10-14, 23:12:01+0530



| Test Step 1.3 (Repeat Count = 1)   |                |                        | ✓                                     |
|--|----------------|------------------------|---------------------------------------|
| Name   | Input Value    |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
|  |                |                        |                                       |
| Name of the same o | A -4 1 \ / - 1 | Francisco April Malian | D - 1                                 |
| Name   | Actual Value   | Expected Value         | Result                                |
| Name   | Actual Value   | Expected Value         | <b>✓</b>                              |
| Name   | Actual Value   | Expected Value         | <b>*</b>                              |
|  |                | Expected Value         | · · ·                                 |
| Name   | Actual Value   | Expected Value         | · · · · · · · · · · · · · · · · · · · |
|  |                |                        | · · · · · · · · · · · · · · · · · · · |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  | 0              |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  | 0              |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  | 0              |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  | 0              |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  | o<br>o         |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  | o<br>o         |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  | 0              |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  | o<br>o         |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  | o<br>o         |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
|  |                |                        | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |

2014-10-14, 23:12:01+0530



| Name | Actual Value | Expected Value | Result   |
|------|--------------|----------------|----------|
|      | а            |                | ~        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | ~        |
|      | 0            |                | ~        |
|      | 0            |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | •        |
|      | 0            |                | ~        |
|      |              |                | ~        |
|      | 0            |                | ~        |
|      | 0            |                | •        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | <b>✓</b> |

| Τ               |       |                   |       | V        |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | <b>✓</b> |

| Test Step 1.4 (Repeat Count = 1) |              |                | <b>✓</b> |
|----------------------------------|--------------|----------------|----------|
| Name                             | Input Value  |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
| Name                             | Actual Value | Expected Value | Result   |
|                                  |              |                | ~        |
|                                  |              |                | <b>✓</b> |
|                                  |              | <u> </u>       | ~        |
|                                  |              |                | -        |

2014-10-14, 23:12:01+0530



| Name | Actual Value | Expected Value | Result   |
|------|--------------|----------------|----------|
|      |              |                | ~        |
|      |              |                | -        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              | _              | 7        |
|      | 0            |                | •        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | •        |
|      | 0            | 0              | •        |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | _        |
|      |              |                | ~        |
|      | 0            | ٥              | •        |
|      |              | 0              | •        |
|      |              |                |          |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                | <b>Y</b> |
|      | 0            | 0              |          |
|      |              |                | _        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | <b>Y</b> |
|      |              |                | -        |
|      |              |                | <b>✓</b> |
|      |              |                | <b>✓</b> |
|      |              |                | <b>✓</b> |
|      |              |                |          |

| T               |       |                   |       | V      |
|-----------------|-------|-------------------|-------|--------|
| Actual Function | Count | Expected Function | Count | Result |
|                 |       |                   |       | ~      |
|                 |       |                   |       |        |

| est Step 1.5 (Repeat Count = 1) |             |  |
|---------------------------------|-------------|--|
|                                 | Input Value |  |
|                                 |             |  |
|                                 |             |  |
|                                 |             |  |
|                                 |             |  |
|                                 |             |  |
|                                 |             |  |
|                                 |             |  |
|                                 |             |  |
|                                 |             |  |
|                                 |             |  |
|                                 |             |  |

2014-10-14, 23:12:01+0530



| Name | Input Value  |                |          |
|------|--------------|----------------|----------|
|      |              |                |          |
|      | 0            |                |          |
|      |              |                |          |
|      | а            |                |          |
|      | 0            |                |          |
|      |              |                |          |
|      | О            |                |          |
|      | а            |                |          |
|      |              |                |          |
|      |              |                |          |
|      |              |                |          |
|      | 0            |                |          |
|      |              |                |          |
|      |              |                |          |
|      | 0            |                |          |
| Name | Actual Value | Expected Value | Result   |
|      | 0.0          | 00             | <b>V</b> |
|      |              |                |          |
|      |              |                | <b>~</b> |
|      |              |                | · ·      |
|      |              | ü              |          |
|      |              |                | <b>✓</b> |
|      |              |                | ~        |
|      |              |                |          |
|      | 0            | 0              | · ·      |
|      |              |                | ~        |
|      |              |                | · ·      |
|      |              |                |          |
|      |              |                | <b>V</b> |
|      |              | 0              |          |
|      |              |                | ~        |
|      |              |                |          |
|      |              |                | ~        |
|      | ٥            |                | · ·      |
|      |              |                |          |
|      |              |                | •        |
|      | а            | 0              |          |
|      |              |                | ~        |
|      |              |                | · ·      |
|      |              |                | <b>*</b> |
|      |              |                | •        |
|      | 0            |                |          |
|      |              |                | _        |
|      |              | 0              |          |
|      | ٥            | 0              |          |
|      |              |                | <b>Y</b> |
|      | 0            | ٥              | ·        |
|      | 0            | 0              | <b>*</b> |
|      |              |                |          |
|      |              |                | <b>V</b> |
|      |              |                | <u> </u> |
|      |              |                |          |

2014-10-14, 23:12:01+0530



| Name | Actual Value | Expected Value | Result |
|------|--------------|----------------|--------|
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |

| Τ               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | <b>✓</b> |

| Test Step 1.6 (Repeat Count = 1) |              |                | ✓                                       |
|----------------------------------|--------------|----------------|---|
| Name                             | Input Value  |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  | 0            |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  | а            |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
|                                  | 0            |                |   |
|                                  | 0            |                |   |
|                                  |              |                |   |
|                                  |              |                |   |
| Name                             | Actual Value | Expected Value | Result                                  |
|                                  |              | ·              | ~                                       |
|                                  |              |                | · · · · · · · · · · · · · · · · · · ·   |
|                                  | а            | О              | ~                                       |
|                                  |              |                | ~                                       |
|                                  | 0            | 0              | _                                       |
|                                  |              |                | -                                       |
|                                  |              |                |   |
|                                  |              |                | ~                                       |
|                                  |              |                | ~                                       |
|                                  |              |                | <b>✓</b>                                |
|                                  | 0            | 0              |   |
|                                  |              |                |   |
|                                  |              |                | *************************************** |
|                                  |              |                | ~                                       |
|                                  |              |                | ~                                       |
|                                  |              |                | ~                                       |
|                                  |              |                |   |

2014-10-14, 23:12:01+0530





| Name | Actual Value | Expected Value | Result   |
|------|--------------|----------------|----------|
|      |              |                | <b>*</b> |
|      |              |                | ~        |
|      |              | 0              | <b>*</b> |
|      |              |                | ~        |
|      |              |                | ~        |
|      | п            | п              | ~        |
|      | 0            | ٥              | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      | 0            | 0              | ~        |
|      |              |                | <b>*</b> |
|      |              |                |          |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      | 0            | 0              | · ·      |
|      |              |                | ~        |
|      |              |                | - 4      |
|      |              |                | <b>*</b> |
|      |              |                |          |
|      |              |                | <b>*</b> |
|      |              |                |          |
|      |              |                | <b>*</b> |
|      |              | "              | -        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              | _              | ~        |
|      |              |                | <b>*</b> |
|      |              |                | ~        |
|      |              |                | <b>*</b> |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              | а              | ~        |
|      |              |                |          |

| T               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | -        |

| Test Step 1.7 (Repeat Count = 1) |             |
|----------------------------------|-------------|
| Name                             | Input Value |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  | 00          |
|                                  |             |
|                                  | 0           |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  | ٥           |
|                                  |             |
|                                  |             |
|                                  |             |
|                                  |             |

2014-10-14, 23:12:01+0530



Count Result

SetupWriteData

**Actual Function** 

| Name | Input Value  |                |                                       |
|------|--------------|----------------|---------------------------------------|
|      |              |                |                                       |
|      |              |                |                                       |
|      |              |                |                                       |
|      |              |                |                                       |
|      |              |                |                                       |
| Name | Actual Value | Expected Value | Result                                |
|      |              |                | · ·                                   |
|      |              |                | <b>✓</b>                              |
|      |              |                | ~                                     |
|      | 0            | 0              | •                                     |
|      | 0            | 0              | ~                                     |
|      |              |                | ~                                     |
|      | 0.0          | 0.0            | •                                     |
|      | <u> </u>     | ο              | <b>V</b>                              |
|      | 0            | o o            | · ·                                   |
|      |              |                | •                                     |
|      | <u> </u>     | <u> </u>       | <b>*</b>                              |
|      | 0            | 0              | ~                                     |
|      | 0            | 0              | <b>V</b>                              |
|      |              |                | _                                     |
|      | 0            | а              | <b>*</b>                              |
|      |              |                | <b>Y</b>                              |
|      |              |                | <b>*</b>                              |
|      |              |                | <b>*</b>                              |
|      |              |                | 7                                     |
|      |              |                | <b>*</b>                              |
|      |              |                | <b>*</b>                              |
|      |              |                | ~                                     |
|      |              |                | <b>V</b>                              |
|      |              |                | \rightarrow \frac{1}{\rightarrow}     |
|      | 00           | 0.0            |                                       |
|      |              |                | <b>-</b>                              |
|      | 0            | 0              | <b>V</b>                              |
|      | 0            | 0              | ~                                     |
|      |              |                | ~                                     |
|      | 0            | 0              | ¥                                     |
|      | 0            | <u> </u>       | ~                                     |
|      |              |                | ~                                     |
|      | п            | 0              | <b>V</b>                              |
|      | <u> </u>     |                | ~                                     |
|      |              |                | ~                                     |
|      |              |                | -                                     |
|      |              |                | ~                                     |
|      |              |                | <b>V</b>                              |
|      |              |                | -                                     |
|      |              |                | > > > > > > > > > > > > > > > > > > > |
|      |              |                | <b>V</b>                              |
|      |              |                | •                                     |
| T    |              |                | <b>✓</b>                              |
|      |              |                |                                       |

Count Expected Function

2014-10-14, 23:12:01+0530



| Name  Actual Value  Expected Value  Result  Actual Value   | Test Step 1.8 (Repeat Count = 1) |              |                |                                       |  |
|--|----------------------------------|--------------|----------------|---------------------------------------|--|
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   | Name                             | Input Value  |                |                                       |  |
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   |                                  |              |                |                                       |  |
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   |                                  |              |                |                                       |  |
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   |                                  |              |                |                                       |  |
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   |                                  |              |                |                                       |  |
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   |                                  |              |                |                                       |  |
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   |                                  |              |                |                                       |  |
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   |                                  |              |                |                                       |  |
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   |                                  |              |                |                                       |  |
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   |                                  |              |                |                                       |  |
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   |                                  |              |                |                                       |  |
| Name Actual Value Expected Value Result  V V V V V V V V V V V V V V V V V V   |                                  |              |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value  Expected Value  Result  Actual Value  Actu |                                  | 0            |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value   |                                  |              |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value  Expected Value  Result  Actual Value  Actu |                                  |              |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value  Expected Value  Result  Actual Value  Actu |                                  |              |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value   |                                  |              |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value  Expected Value  Result  Actual Value  Actu |                                  |              |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value  Expected Value  Result  Actual Value  Actu |                                  |              |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value  Expected Value  Result  Actual Value  Actu |                                  |              |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value  Expected Value  Result  Actual Value  Actu |                                  |              |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value  Expected Value  Result  Actual Value  Actu |                                  | 0            |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value   |                                  |              |                |                                       |  |
| Name  Actual Value  Expected Value  Result  Actual Value   |                                  |              |                |                                       |  |
|  |                                  |              |                |                                       |  |
|  | Name                             | Actual Value | Expected Value |                                       |  |
|  |                                  |              |                | ✓                                     |  |
|  |                                  |              |                |                                       |  |
|  |                                  |              |                |                                       |  |
|  |                                  |              | 0              | ✓                                     |  |
|  |                                  | 0            | 0              | ~                                     |  |
|  |                                  | -            |                | ~                                     |  |
|  |                                  |              |                | <b>V</b>                              |  |
|  |                                  |              |                | ~                                     |  |
|  |                                  |              |                | •                                     |  |
|  |                                  |              | а              | ~                                     |  |
|  |                                  |              |                | ✓                                     |  |
|  |                                  |              |                | <b>✓</b>                              |  |
|  |                                  |              |                | •                                     |  |
|  |                                  |              |                | - 0                                   |  |
|  |                                  |              |                |                                       |  |
|  |                                  |              |                | ,<br>,                                |  |
|  |                                  |              |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |  |
|  |                                  |              |                | · · · · · · · · · · · · · · · · · · · |  |
|  |                                  |              |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |  |
|  |                                  | 0            |                | \ \ \ \ \ \ \                         |  |
|  |                                  | a            | 0              | · · · · · · · · · · · · · · · · · · · |  |
|  |                                  |              |                | · · · · · · · · · · · · · · · · · · · |  |
|  |                                  |              | o o            | · · · · · · · · · · · · · · · · · · · |  |
|  |                                  | 0            | o o            | · · · · · · · · · · · · · · · · · · · |  |
|  |                                  | 0            | o o            | · · · · · · · · · · · · · · · · · · · |  |

2014-10-14, 23:12:01+0530



| Name | Actual Value | Expected Value | Result |
|------|--------------|----------------|--------|
|      |              |                | ~      |
|      |              |                | ~      |
|      |              | 0              | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      |              |                | ~      |
|      | 0            | 0              | ~      |
|      |              |                | ~      |
|      |              |                | -      |
|      |              |                | ~      |
|      | o o          | 0              | ~      |

| T               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | <b>✓</b> |
|                 |       |                   |       | <b>✓</b> |

| Test Step 1.9 (Repeat Count = 1) |              |                | ✓        |
|----------------------------------|--------------|----------------|----------|
| Name                             | Input Value  |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  | а            |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  |              |                |          |
|                                  | 0            |                |          |
|                                  |              |                |          |
| Name                             | Actual Value | Expected Value | Result   |
|                                  |              |                | •        |
|                                  |              |                | <b>✓</b> |
|                                  |              |                | <b>✓</b> |
|                                  | а            | а              | · ·      |
|                                  | 0            |                | ~        |
|                                  |              |                |          |

2014-10-14, 23:12:01+0530



| Actual Value | Expected Value | Resu |
|--------------|----------------|------|
|              |                |      |
|              |                |      |
|              |                |      |
|              | 0              |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              | 0              |      |
|              | 0              |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              | _              |      |
|              | 0              |      |
|              |                |      |
|              |                |      |
| 0            | 0              |      |
|              | 0              |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              | 0              |      |
|              |                |      |
|              |                |      |
|              |                |      |
| 0            | n              |      |
|              |                |      |
|              |                |      |
|              |                |      |
| ۵            | 0              |      |
|              |                |      |
|              |                |      |
|              |                |      |
|              | а              |      |
| 0            | п              |      |
|              |                |      |

| Т               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | -        |

| Test Step 1.10 (Repeat Count = 1) | ✓           |
|-----------------------------------|-------------|
| Name                              | Input Value |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |

2014-10-14, 23:12:01+0530



SetupWriteData Name Input Value Actual Value **Expected Value** Result Name 

2014-10-14, 23:12:01+0530



| Setu | 14  | /i4 - | n-4-  |
|------|-----|-------|-------|
| Semi | nvv | riiei | אוהני |
|      |     |       |       |

| Name | Actual Value | Expected Value | Resul |
|------|--------------|----------------|-------|
|      |              |                | •     |
|      |              |                | •     |
|      |              |                | •     |
|      |              |                | •     |
|      |              |                |       |

| Т               |       |                   |       | ~      |
|-----------------|-------|-------------------|-------|--------|
| Actual Function | Count | Expected Function | Count | Result |
|                 |       |                   |       | ~      |
|                 |       |                   |       |        |

| Test Step 1.11 (Repeat Count = 1) |              |                | <b>✓</b> |
|-----------------------------------|--------------|----------------|----------|
| Name                              | Input Value  |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   | 0.0          |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   | 0            |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   | 0            |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
| Name                              | Actual Value | Expected Value | Result   |
|                                   |              | 0              | ~        |
|                                   |              |                | <b>*</b> |
|                                   | 0            | 0              | ~        |
|                                   | 0            |                | ~        |
|                                   |              |                | ~        |
|                                   |              |                | ~        |
|                                   |              |                | <b>*</b> |
|                                   |              |                | ~        |
|                                   |              |                | ~        |
|                                   |              |                | ~        |
|                                   | 00           | 0.0            | ~        |
|                                   |              |                | <b>V</b> |
|                                   |              |                | <b>✓</b> |

2014-10-14, 23:12:01+0530



| Name | Actual Value | Expected Value | Result   |
|------|--------------|----------------|----------|
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              | 0              | ~        |
|      |              | 0              | ~        |
|      |              | 0              | · ·      |
|      |              |                | <b>✓</b> |
|      |              |                | · ·      |
|      |              |                | <b>✓</b> |
|      |              |                | · ·      |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | <b>✓</b> |
|      |              |                | •        |
|      |              |                | <b>✓</b> |
|      |              |                | · ·      |
|      |              |                | <b>✓</b> |
|      |              |                | ~        |
|      |              |                | <b>✓</b> |
|      |              | 0.0            | •        |
|      |              |                | · ·      |
|      |              |                | ~        |
|      |              |                | ~        |
|      | n            | 0              | <b>✓</b> |
|      |              |                | · ·      |
|      |              |                | <b>v</b> |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | ~        |
|      | u            | u              | ·        |
|      |              |                |          |
|      |              |                | •        |
|      |              |                |          |
|      |              |                | -        |
|      |              |                | <b>V</b> |

| T               |       |                   |       | V        |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | ~        |
|                 |       |                   |       | <b>✓</b> |

| Test Step 1.12 (Repeat Count = 1) | ✓           |
|-----------------------------------|-------------|
| Name                              | Input Value |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |
|                                   |             |

2014-10-14, 23:12:01+0530



| Name | Input Value  |                |                                       |
|------|--------------|----------------|---------------------------------------|
|      |              |                |                                       |
|      |              |                |                                       |
|      |              |                |                                       |
| Name | Actual Value | Expected Value | Result                                |
|      |              |                | <b>✓</b>                              |
|      | 0            |                | ~                                     |
|      |              |                | <b>*</b>                              |
|      |              |                | Ž                                     |
|      |              |                | · ·                                   |
|      |              |                | ~                                     |
|      |              |                | · ·                                   |
|      |              |                | · ·                                   |
|      | а            |                | ž                                     |
|      |              |                | <b>✓</b>                              |
|      |              |                | Ž                                     |
|      | 0            | а              |                                       |
|      |              |                | · ·                                   |
|      |              |                | j                                     |
|      |              |                | ~                                     |
|      |              | ٥              | ~                                     |
|      |              |                | <b>*</b>                              |
|      |              |                | ~                                     |
|      |              |                | ~                                     |
|      | 0            |                | <b>✓</b>                              |
|      |              |                | ~                                     |
|      |              |                | · ·                                   |
|      |              | ٥              | · ·                                   |
|      |              |                |                                       |
|      | 0            | а              | <b>V</b>                              |
|      |              |                | •                                     |
|      |              | ٥              |                                       |
|      |              |                | •                                     |
|      |              |                | <b>✓</b>                              |
|      |              |                | <b>V</b>                              |
|      |              |                | · · · · · · · · · · · · · · · · · · · |
|      | 0            | а              | <b>✓</b>                              |
|      |              |                | •                                     |
|      | а            |                | <b>✓</b>                              |
|      |              |                | •                                     |
|      |              | <u> </u>       | <b>✓</b>                              |
| T    |              |                | <b>✓</b>                              |

| T               |       |                   | <b>✓</b> |        |
|-----------------|-------|-------------------|----------|--------|
| Actual Function | Count | Expected Function | Count    | Result |
|                 |       |                   |          | ~      |
|                 |       |                   |          | _      |

2014-10-14, 23:12:01+0530



| Test Step 1.13 (Repeat Count = 1) |              |                                       | ✓  |
|-----------------------------------|--------------|---------------------------------------|--|
| Name                              | Input Value  |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
|                                   |              |                                       |  |
| Name                              | Actual Value | Expected Value                        | Result   |
|                                   |              |                                       | ~  |
|                                   |              |                                       | ~  |
|                                   |              |                                       |  |
|                                   |              |                                       | ~  |
|                                   | 0            | a.                                    | <b>*</b>   |
|                                   | 0            | a<br>a                                | <b>*</b> * * * * * * * * * * * * * * * * * *   |
|                                   |              | 0                                     | * * * * * * * * * * * * * * * * * * *  |
|                                   |              | 0                                     | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
|                                   |              | a                                     | \rightarrow \right |
|                                   |              | o<br>o                                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              | 0                                     | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              | a                                     | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              | O O O O O O O O O O O O O O O O O O O | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              | o<br>o                                | ***************************************  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |
|                                   |              |                                       | · · · · · · · · · · · · · · · · · · ·  |

2014-10-14, 23:12:01+0530





| Name | Actual Value | Expected Value | Result   |
|------|--------------|----------------|----------|
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | ~        |
|      |              |                | <b>✓</b> |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | ~        |

| T .             |       | <b>✓</b>          |       |          |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
|                 |       |                   |       | <b>✓</b> |
|                 |       |                   |       | <b>✓</b> |

| Test Step 1.14 (Repeat Count = 1) |              |                | ✓        |
|-----------------------------------|--------------|----------------|----------|
| Name                              | Input Value  |                |          |
|                                   | 0            |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   | 0            |                |          |
|                                   | 0            |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   | п            |                |          |
|                                   |              |                |          |
|                                   |              |                |          |
|                                   | 0            |                |          |
|                                   | <u> </u>     |                |          |
|                                   | п            |                |          |
|                                   | 0            |                |          |
|                                   | 0            |                |          |
|                                   | 0            |                |          |
|                                   |              |                |          |
| Name                              | Actual Value | Expected Value | Result   |
| Name                              | Actual value | Expected value | Result   |
|                                   |              |                | •        |
|                                   |              |                | <b>V</b> |
|                                   |              |                | ~        |
|                                   | 0            | ٥              | ~        |
|                                   | О            |                | <u> </u> |

SetupWriteData

2014-10-14, 23:12:01+0530





| Name | Actual Value | Expected Value | Result   |
|------|--------------|----------------|----------|
|      |              |                | ✓        |
|      |              | п              | ~        |
|      | п            | П              | <b>✓</b> |
|      | 0            | 0              | ~        |
|      |              |                | <b>✓</b> |
|      |              |                | ~        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | •        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | ~        |
|      |              |                | •        |
|      |              |                | ~        |
|      | 0            | 0              | •        |
|      |              |                | ~        |
|      | 0            | 0              |          |
|      |              | 0              | ~        |
|      |              |                | ~        |
|      |              | 0              | ~        |
|      |              | a a            | •        |
|      |              | п              | ~        |
|      |              | а              | •        |
|      |              | п              | ~        |
|      | a            | 0              | •        |
|      |              |                | ~        |
|      |              | 0              | •        |
|      | 0            | 0              | ~        |
|      |              | 0              | ~        |
|      | 0            | 0              | ~        |
|      |              |                | ~        |
|      | 0            | 0              | ~        |
|      |              |                | ~        |
|      | 0            | 0              | ~        |
|      |              |                | ~        |
|      |              | 0              | <b>✓</b> |
|      |              |                | ~        |
|      | 0            | 0              | ~        |
|      |              |                | ~        |
|      | 0            | 0              | ~        |
|      |              |                | ~        |
|      | 0            | 0              | ~        |
|      |              | ٥              | ~        |
|      | О            | п              | ~        |
|      | ۵            | ٥              | ~        |
|      | а            | а              | ~        |
|      | 0            | а              | ~        |
|      | О            | п              | ~        |
|      |              |                | <b>✓</b> |

| T .             |       |                   | <b>✓</b> |        |
|-----------------|-------|-------------------|----------|--------|
| Actual Function | Count | Expected Function | Count    | Result |
|                 |       |                   |          | ~      |
|                 |       |                   |          |        |

2014-10-14, 23:01:16+0530



DigColPsInt\_GetData

 Project
 DigColPsInt

 Module
 DigColPsInt

 Test Object
 DigColPsInt\_GetData

#### Instrumentation: Test Object Only

| Statement (C0) Coverage | 100 % |
|-------------------------|-------|
| Branch (C1) Coverage    | 100 % |
| MCC Coverage            | 100 % |
| MC/DC Coverage          | 100 % |

#### **Statistics**

| Total Testcases | 3 |   |
|-----------------|---|---|
| Successful      | 3 | ~ |
| Failed          | 0 |   |
| Not Executed    | 0 |   |

#### **Module Properties**

| Project Root Directory | D:\Synergy_Work_Area\C1xx_DigColPs   |
|------------------------|--|
| Configuration File     | D:\Synergy_Work_Area\C1xx_DigColPs\UnitTestEnv\config\TMS570_GCC_UDE_CCS4_Config.xml   |
| Target Environment     | TI TMS 570 PLS UDE (Default)   |
| Kind of Test           | Unit Test  |
| Linker Options         |  |
| Source File(s)         |  |
| File                   | \$(PROJECTROOT)\DigColPs\src\Sa_DigColPs\Int.c   |
| Compiler Options       | -D_DATA_ACCESS= -Dconst= -DSTATIC= -Dinline= -l\$(PROJECTROOT)\DigColPs\utp\contract -l\$(PROJECTROOT)\DigColPs\utp\contract -l\$(PROJECTROOT)\DigColPs\utp\contract\Sa_DigColPs -l\$(PROJECTROOT)\DigColPs\utp\contract\Sa_DigColPs -l\$(PROJECTROOT)\StdDef\undard \text{Ib\undard} \text{NS570_HerculesRegs -l\$(Compiler Install Path)\undard \text{Ib\undard} \text{Ib\undard} \text{Indada \text{PROJECTROOT}} |

| Comments/Description/Specification |      |
|------------------------------------|------|
| Name                               | Text |



Module 'DigColPsInt' 

Name of Tester:Priti Mangalekar Code File(s) Under Test:Sa\_DigColPsInt.c Code File(s) Version:7

Module Design Document:DigColPsInt\_MDD.docx Module Design Document Version:8

Data Dictionary Version:9 Unit Test Plan Version:2

Unit Lest Plan Version:2
Optimization Level:Level 2
Compiler (CodeGen) Version:TMS470\_4.9.5
Model Type:Excel Macro
Model Version:Nexteer EPS Unit Test Tool 2.7d/EPS Library 1.30
Total FLASH Used (Bytes):N/A
Total RAM Used (Bytes):N/A Total CALS Used (Bytes):N/A Special Test Requirements:

Test Date:10/13/2014 Comments:

NOTE 1: In """"DigColPsInt\_StartRequest"""" function, path """"(Type\_Cnt\_T\_u08 > D\_NONE\_CNT\_U08) = TRUE && (Type\_Cnt\_T\_u08 <= D\_STATUSREG\_CNT\_U08) = FALSE""" cannot be covered because range of """"Type\_Cnt\_T\_u08"""" is '0-5' and value of """D\_STATUSREG\_CNT\_U08""" is '34'.

NOTE2: In function ""DigColPsInt\_GetData"",""DigColPsInt\_StartRequest"" and ""DigColPsInt\_InterruptNotification"" values for """12c\_Send(Length\_Cnt\_T\_u32)"""", """12c\_SetRecv(Length\_Cnt\_T\_u16)"""", """12c\_SetStatus(Status\_Cnt\_T\_u16)""", """12c\_SetUpMasterReceive(DataLength\_Cnt\_T\_u16)""" and 12c\_SetUpMasterTransmit(DataLength\_Cnt\_T\_u16) are ignored in few vectors as they

are taking garbage value when they are not updated with expected value in particular vector.

NOTE3: The return value of """"DigColPsInt\_GetData""" function is going out of range, anomaly """6156""" is raised for the same.

NOTE4:Range of DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum is considered as 0 to 36, as enum DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum is of type CommStepType which is of 37 elements.

NOTE5:In function ""DigColPsInt\_InterruptNotification"", path ""Case I2C\_RECV\_OVERRUN: True"" cannot be covered because range of ""Flags\_Cnt\_T\_b16"" is 0 to 64 given in MDD.

NOTE5:In function ""DigColPsInt\_InterruptNotification"", output variable ""DigColPsInt\_AttempOccurForCustDatRead\_Cnt\_M\_u08"" is going out

of range.'

| Attributes            |  |
|-----------------------|--|
| Name                  | Value  |
| Compiler Install Path | \$(ProgramFiles)\Texas Instruments\ccsv4\tools\compiler\tms470_4.9.5       |
| Float Precision       | 9  |
| InitObjDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\obj                         |
| InitSrcDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\src                         |
| Linker File           | \$(PROJECTROOT)\UnitTestEnv\static_build_files\sys_link.cmd                |
| Makefile Template     | \$(PROJECTROOT)\UnitTestEnv\config\Nexteer_ts_make_ude_ti_tms570.tpl       |
| Target Install Path   | \$(Compiler Install Path)\include  |
| Time Unit             | Cycles   |
| Timer Enabled         | false  |
| Timer Prescale        | 0  |
| Timer Resolution      | 1  |
| UDE Config File       | \$(PROJECTROOT)\UnitTestEnv\config\TMS570_UDE_12PIN_JTAG.cfg               |
| Workspace File        | D:\Synergy_Work_Area\Clxx_DigColPs\UnitTestEnv\config\UDE_TMS570_DEBUG.WSP |



#### **Test Case 1: Metrics Test**

Description

Test Vector Description:

TS1.1"Shortest Execution Path:

IS1.1"Shortest Execution Path:

(DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == FALSE)=True

(ElapsedTime\_mS\_T\_u16 >= (uint16)D\_SENSINITDELAY\_MS\_U08 )=False

(DigColPsInt\_NackOccurred\_Cnt\_M\_lgc == TRUE)=False

(DigColPsInt\_RecvOverrunError\_Cnt\_M\_lgc == TRUE)=False

(DigColPsInt\_BusBusySeqError\_Cnt\_M\_lgc == TRUE)=False

(DigColPsInt\_CmdFailOccurred\_Cnt\_M\_lgc == TRUE)=False

(DigColPsInt\_TransactionCnt\_Cnt\_M\_lgc == TRUE)=False

((DigColPsInt\_TransactionCnt\_Cnt\_M\_u08 == DigColPsInt\_PrevTransactionCnt\_Cnt\_M\_u08) && (DigColPsInt\_RecvdDataType\_Cnt\_M\_u08 != D\_NONE\_CNT\_U08)) =False"

TS1.2" oncest Execution Path:

TS1.2"Longest Execution Path:

TS1.2"Longest Execution Path:

(DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == FALSE)=False

(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_COMPLETE)=True

(ElapsedTime\_mS\_T\_u16 > (uint16)(k\_l2CHWInitTransactionTime\_Sec\_f32\*D\_SECTOMILLSEC\_CNT\_F32))=True

(DigColPsInt\_NackOccured\_Cnt\_M\_lgc == TRUE)=True

(DigColPsInt\_RecvOverrunError\_Cnt\_M\_lgc == TRUE)=True

(DigColPsInt\_BusBusySeqError\_Cnt\_M\_lgc == TRUE)=True

(DigColPsInt\_CmdFailOccurred\_Cnt\_M\_lgc == TRUE)=True

(DigColPsInt\_TransactionCnt\_Cnt\_M\_u08 == DigColPsInt\_PrevTransactionCnt\_Cnt\_M\_u08) && (DigColPsInt\_RecvdDataType\_Cnt\_M\_u08 != D\_NONE\_CNT\_U08)) = True"

| Input Value  |
|--|
| DataTypePtr_Cnt_T_u08  |
| DataTypePtr_Cnt_T_u08  |
| DigColPsInt_Buffer_Cnt_M_u08[0]         0           DigColPsInt_Buffer_Cnt_M_u08[1]         0           DigColPsInt_Buffer_Cnt_M_u08[2]         0           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0           DigColPsInt_CmdFailoCoursed_Cnt_M_lgc         0           DigColPsInt_CoursenSlave_Cnt_M_u16         0           DigColPsInt_CurrentSlave_Cnt_M_u08         0           DigColPsInt_CurrentSlave_Cnt_M_u08         0           DigColPsInt_InitialInt_CurrentSlave_Cnt_M_lgc         0           DigColPsInt_InitialInt_me_MS_M_u22         0           DigColPsInt_InitialInt_me_MS_M_u32         0           DigColPsInt_NackOccured_Cnt_M_lgc         0           DigColPsInt_NackOccured_Cnt_M_lgc         0           DigColPsInt_ReevOverunError_Cnt_M_u08         0           DigColPsInt_ReevOverunError_Cnt_M_u08         0           DigColPsInt_SensIntialized_Cnt_M_u08         0           DigColPsInt_SensIntialized_Cnt_M_u08         0           DigColPsInt_SensIntialized_Cnt_M_u08         0           DigColPsInt_TransactionCnt_Cnt_M_u08         0           DigColPsInt_TransactionCnt_Cnt_M_u08         0           DigColPsInt_TransactionCnt_Cnt_M_u08         0           DigColPsInt_TransactionCnt_Cnt_M_u08         0           DigColPsInt_Trans  |
| DigColPsInt_Buffer_Cnt_M_u08[1]   0   DigColPsInt_Buffer_Cnt_M_u08[2]   0   DigColPsInt_Buffer_Cnt_M_u08[2]   0   DigColPsInt_CmdFailOccurred_Cnt_M_lgc   0   DigColPsInt_CondFailOccurred_Cnt_M_lgc   0   DigColPsInt_CondFailOccurred_Cnt_M_lgc   0   DigColPsInt_CurrentSlave_Cnt_M_u08   0   DigColPsInt_CurrentSlave_Cnt_M_u08   0   DigColPsInt_InitFailedOnce_Cnt_M_lgc   0   DigColPsInt_InitFailedOnce_Cnt_M_lgc   0   DigColPsInt_InitFailedOnce_Cnt_M_lgc   0   DigColPsInt_InitFailedOnce_Cnt_M_lgc   0   DigColPsInt_PrevTransactionCnt_Cnt_M_u08   0   DigColPsInt_PrevTransactionCnt_Cnt_M_lgc   0   DigColPsInt_PrevTransactionCnt_Cnt_M_lgc   0   DigColPsInt_RecvOverrunError_Cnt_M_lgc   0   DigColPsInt_RecvDataType_Cnt_M_u08   0   DigColPsInt_SpurSnsrDataType_Cnt_M_u08   0   DigColPsInt_SpurSnsrData_Cnt_M_u16   0   DigColPsInt_TransactionCnt_Cnt_M_u08   0   DigColPsInt_SpurSnsrData_Cnt_M_u16   0   DigColPsInt_me_mS_u16(ElapsedTime)   target_DtmnElapsedTime_mS_u16_ElapsedTime   EdsystemTime_mS_u16(ClapsedTime)   target_Dcs_SpurSnsrData_Cnt_Tstr   Izc_Send(I2cRegPtr_Cnt_Tstr)   target_I2c_Send_I2cRegPtr_Cnt_Tstr   Izc_Send(I2cRegPtr_Cnt_Tstr)   target_I2cRegPtr_Cnt_Tstr   Izc_Send_I2cRegPtr_Cnt_Tstr   Izc_Send_I2cRegPtr_Cn   |
| DigCoIPsInt_Buffer_Cnt_M_u08[2]         0           DigCoIPsInt_BusBusySeqError_Cnt_M_lgc         0           DigCoIPsInt_CoISnsrData_Cnt_M_u16         0           DigCoIPsInt_CurrentSlave_Cnt_M_u08         0           DigCoIPsInt_CurrentSlave_Cnt_M_enum         INIT_NOT_INITIALIZED           DigCoIPsInt_InitialTime_mS_M_u32         0           DigCoIPsInt_InitialTime_mS_M_u32         0           DigCoIPsInt_PrevTransactionCnt_Cnt_M_lgc         0           DigCoIPsInt_PrevTransactionCnt_Cnt_M_u08         0           DigCoIPsInt_RecvOverrunError_Cnt_M_lgc         0           DigCoIPsInt_RecvOverrunError_Cnt_M_lgc         0           DigCoIPsInt_SensInitialized_Cnt_M_u08         0           DigCoIPsInt_SensInitialized_Cnt_M_u08         0           DigCoIPsInt_SpurSnrData_Cnt_M_u16         0           DigCoIPsInt_mem_s_u16(ElapsedTime)         target_DtrmnElapsedTime_mS_u16_ElapsedTime           GetSystemTime_mS_u32(CurrentTime)         target_Dec Send_U2cRegPtr_Cnt_T_str           Lec_Send(U2cRegPtr_Cnt_T_str)         target_Dec SetupMasterTransmit_U2cRegPtr_Cnt_T_str           SpurSnsrDataPtr_Cnt_T_u16         target_Dec SetupMasterTransmit_U2cRegPtr_Cnt_T_str           Lec_Send(VIAcres_Ptr_Cnt_T_str)         target_Dec SetupMasterTransmit_U2cRegPtr_Cnt_T_str           SpurSnsrDataPtr_Cnt_T_u16         target_Dec SetupMasterTran  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  |
| DigCoIPsInt_ColfsnrData_Cnt_M_u16         0           DigCoIPsInt_CorrentSlave_Cnt_M_u08         0           DigCoIPsInt_CurrentSlave_Cnt_M_u08         0           DigCoIPsInt_CurrentSlave_Cnt_M_u08         0           DigCoIPsInt_InitFailedOnce_Cnt_M_lgc         0           DigCoIPsInt_InitFailedOnce_Cnt_M_lgc         0           DigCoIPsInt_NackOccured_Cnt_M_lgc         0           DigCoIPsInt_NackOccured_Cnt_M_lgc         0           DigCoIPsInt_PevTransactionCnt_Cnt_M_u08         0           DigCoIPsInt_RecvOverrunError_Cnt_M_lgc         0           DigCoIPsInt_RecvOverrunError_Cnt_M_u08         0           DigCoIPsInt_RecvdDataType_Cnt_M_u08         0           DigCoIPsInt_SensInitialized_Cnt_M_lgc         0           DigCoIPsInt_Sensorbata_Cnt_M_u16         0           DigCoIPsInt_TransactionCnt_Cnt_M_u08         0           DigCoIPsInt_TransactionCnt_Cnt_M_u08         0           DigCoIPsInt_TransactionCnt_Cnt_M_u08         0           DigcoIPsInt_TransactionCnt_Cnt_M_u08         0           DigcoIPsInt_TransactionCnt_Cnt_M_u16         0           DigCoIPsInt_TransactionCnt_Cnt_T_str         target_DtrmnElapsedTime_mS_u32_CurrentTime           GetSystemTime_mS_u32(CurrentTime)         target_DtrmnElapsedTime_mS_u32_CurrentTime           Lzc_SetupMasterTransmit(   |
| DigColPsInt_CurrentSlave_Cnt_M_u08   |
| DigColPsInt_CurrentStave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvDeatType_Cnt_M_u08 DigColPsInt_RecvDeatType_Cnt_M_u08 DigColPsInt_SensInitialized_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 DtrmnElapsedTime_mS_u16(ElapsedTime) EdetSystemTime_mS_u32_CurrentTime) Earget_GetSystemTime_mS_u32_CurrentTime Elac_SetUpMasterTransmit(I2CRegPtr_Cnt_T_str) Earget_I2c_SetupMasterTransmit_I2CRegPtr_Cnt_T_str SpurSnsrDataPtr_Cnt_T_u16 Earget_SpurSnsrDataPtr_Cnt_T_u16 Earget_SpurSnsrDataPtr_Cnt_T_u16 Earget_SpurSnsrDataPtr_Cnt_T_u16 Earget_SpurSnsrDataPtr_Cnt_T_u16 Earget_DeatTime_mS_u18_LapsedTime_Su16_ElapsedTime  Earget_DeatTime_Ins_U18_ElapsedTime U18_ElapsedTime_MS_u18_ElapsedTime  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_InitIalTime_mS_M_u32 DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverunError_Cnt_M_lgc DigColPsInt_RecvOverunError_Cnt_M_lgc DigColPsInt_RecvOdataType_Cnt_M_u08 DigColPsInt_Sensinitialized_Cnt_M_lgc DigColPsInt_Sensinitialized_Cnt_M_lgc DigColPsInt_Sensinitialized_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 DigmallapsedTime_mS_u16(ElapsedTime) target_DtrmnElapsedTime_mS_u16_ElapsedTime EdSystemTime_mS_u32(CurrentTime) target_GetSystemTime_mS_u32_CurrentTime target_I2c_Send_l2cRegPtr_Cnt_T_str target_I2c_Send_l2cRegPtr_Cnt_T_str SpurSnsrDataPtr_Cnt_T_u16 target_SpurSnsrDataPtr_Cnt_T_u16 target_SpurSnsrDataPtr_Cnt_T_u16 target_J2cRegG1_temp k_ColSensorl2CAddress_Cnt_u08 k_12CHWInitTransactionTime_Sec_f32 target_DtrmnElapsedTime_mS_u16_ElapsedTime DigColPsint_Fine_mS_u32_CurrentTime DigColPsint_Fine_mS_u16_ElapsedTime} DigColPsint_ |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc         0           DigColPsInt_InitialTime_mS_M_u32         0           DigColPsInt_NackOccured_Cnt_M_lgc         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         0           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0           DigColPsInt_RecvOverrunError_Cnt_M_u08         0           DigColPsInt_RecvOverrunError_Cnt_M_u08         0           DigColPsInt_SpurSnsrData_Cnt_M_u16         0           DigColPsInt_SpurSnsrData_Cnt_M_u16         0           DigColPsInt_TransactionCnt_Cnt_M_u08         0           DtrmnElapsedTime_mS_u16_ElapsedTime         target_DtrmnElapsedTime_mS_u16_ElapsedTime           GetSystemTime_mS_u32_CurrentTime)         target_GetSystemTime_mS_u32_CurrentTime           I2c_Send(I2cRegPtr_Cnt_T_str)         target_I2c_Send_I2cRegPtr_Cnt_T_str           I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str           SpurSnsrDataPtr_Cnt_T_u16         target_SpurSnsrDataPtr_Cnt_T_u16           i2cREG1_temp         target_SpurSnsrDataPtr_Cnt_T_u16           i2cREG1_temp         target_I2cREG1_temp           k_ColSensorI2CAddress_Cnt_u08         0           k_I2CHWinitTransactionTime_Sec_f32         0           target_GetSystemTime_mS_u32_CurrentTime         0   |
| DigColPsInt_InitialTime_mS_M_u32         0           DigColPsInt_NackOccured_Cnt_M_lgc         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         0           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0           DigColPsInt_RecvOverrunError_Cnt_M_u08         0           DigColPsInt_SensInitialized_Cnt_M_lgc         0           DigColPsInt_SpurSnsrData_Cnt_M_u16         0           DigColPsInt_TransactionCnt_Cnt_M_u08         0           DigColPsInt_TransactionCnt_Cnt_M_u08         0           DtrmnElapsedTime_mS_u16(ElapsedTime)         target_DtrmnElapsedTime_mS_u32_CurrentTime           GetSystemTime_mS_u32(CurrentTime)         target_GetSystemTime_mS_u32_CurrentTime           I2c_Send(I2cRegPtr_Cnt_T_str)         target_I2c_Send_I2cRegPtr_Cnt_T_str           I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)         target_DtransCpt_T_u16           i2cREG1_temp         target_I2cREG1_temp           k_ColSensorI2CAddress_Cnt_u08         0           k_I2CHWInitTransactionTime_Sec_f32         0           target_DtrmnElapsedTime_mS_u16_ElapsedTime         0           target_GetSystemTime_mS_u32_CurrentTime         0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SensInitialized_Cnt_M_u08  DigColPsInt_SensInitialized_Cnt_M_u06  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  DtrmnElapsedTime_mS_u16(ElapsedTime)  CetSystemTime_nS_u32(CurrentTime)  I2c_Send(I2cRegPtr_Cnt_T_str)  I2c_Send(I2cRegPtr_Cnt_T_str)  target_I2c_Send(I2cRegPtr_Cnt_T_str)  target_I2c_Send(I2cRegPtr_Cnt_T_str)  target_I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  SpurSnsrDataPtr_Cnt_T_u16  i2cREG1_temp  k_ColSensorI2CAddress_Cnt_u08  k_I2CHWInitTransactionTime_Sec_f32  target_DtrmnElapsedTime_mS_u12_CurrentTime  0  target_GetSystemTime_mS_u12_CurrentTime  0  target_GetSystemTime_mS_u32_CurrentTime  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  DigColPsInt_TransactionCnt_Cnt_M_u08  DtrmnElapsedTime_mS_u16(ElapsedTime)  detsystemTime_mS_u32(CurrentTime)  target_DtrmnElapsedTime_mS_u32_CurrentTime  target_DtrmnElapsedTime_mS_u32_CurrentTime  target_DtrmnElapsedTime_mS_u32_CurrentTime  target_DtrmnElapsedTime_mS_u16_ElapsedTime  target_DtrmnElapsedTime_mS_u16_ElapsedTime  detsystemTime_nS_u32_CurrentTime  target_DtrmnElapsedTime_mS_u16_ElapsedTime  target_DtrmnElapsedTime_mS_u32_CurrentTime  0  target_GetSystemTime_mS_u32_CurrentTime  0  target_DtrmnElapsedTime_mS_u32_CurrentTime  0   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  DigColPsInt_TransactionCnt_Cnt_M_u08  DtmnElapsedTime_mS_u16(ElapsedTime)  GetSystemTime_mS_u32(CurrentTime)  I2c_Send(I2cRegPtr_Cnt_T_str)  I2c_Send(I2cRegPtr_Cnt_T_str)  I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  SpurSnsrDataPtr_Cnt_T_u16  I2cREG1_temp  k_ColSensorI2CAddress_Cnt_u08  k_I2CHWInitTransactionTime_Sec_f32  target_GetSystemTime_mS_u32_CurrentTime  0  0  0  0  0  0  0  0  0  0  0  0  0   |
| DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  DtrmnElapsedTime_mS_u16(ElapsedTime)  GetSystemTime_mS_u32(CurrentTime)  I2c_Send(I2cRegPtr_Cnt_T_str)  I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  SpurSnsrDataPtr_Cnt_T_u16  i2cREG1_temp  k_ColSensorI2CAddress_Cnt_u08  k_I2CHWInitTransactionTime_Sec_f32  target_GetSystemTime_mS_u32_CurrentTime  0  0  0  0  0  0  0  0  0  0  0  0  0   |
| DigColPsInt_SensInitialized_Cnt_M_u16  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  DtrmnElapsedTime_mS_u16(ElapsedTime)  GetSystemTime_mS_u32(CurrentTime)  I2c_Send(I2cRegPtr_Cnt_T_str)  I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  SpurSnsrDataPtr_Cnt_T_u16  i2cREG1_temp  k_ColSensorI2CAddress_Cnt_u08  k_I2CHWInitTransactionTime_Sec_f32  target_GetSystemTime_mS_u32_CurrentTime  0  0  0  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str  spurSnsrDataPtr_Cnt_T_u16  i2cREG1_temp  k_ColSensorI2CAddress_Cnt_u08  k_I2CHWInitTransactionTime_Sec_f32  target_DtrmnElapsedTime_mS_u16_ElapsedTime  target_GetSystemTime_mS_u32_CurrentTime  0  target_GetSystemTime_mS_u32_CurrentTime   |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  DtmnElapsedTime_mS_u16(ElapsedTime)  GetSystemTime_mS_u32(CurrentTime)  I2c_Send(I2cRegPtr_Cnt_T_str)  I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  SpurSnsrDataPtr_Cnt_T_u16  i2cREG1_temp  k_ColSensorI2CAddress_Cnt_u08  k_I2CHWInitTransactionTime_Sec_f32  target_DtrmnElapsedTime_mS_u32_CurrentTime  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str  spurSnsrDataPtr_Cnt_T_u16  i2cREG1_temp  k_ColSensorI2CAddress_Cnt_u08  k_I2CHWInitTransactionTime_Sec_f32  target_DtrmnElapsedTime_mS_u16_ElapsedTime  target_GetSystemTime_mS_u32_CurrentTime  0  |
| DigColPsInt_TransactionCnt_Cnt_M_u08  DtrmnElapsedTime_mS_u16[ElapsedTime)  GetSystemTime_mS_u32(CurrentTime)  I2c_Send(I2cRegPtr_Cnt_T_str)  I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  SpurSnsrDataPtr_Cnt_T_u16  i2cREG1_temp  k_ColSensorI2CAddress_Cnt_u08  k_I2CHWInitTransactionTime_Sec_f32  target_DtrmnElapsedTime_mS_u32_CurrentTime  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str  spurSnsrDataPtr_Cnt_T_u16  i2cREG1_temp  k_ColSensorI2CAddress_Cnt_u08  k_I2CHWInitTransactionTime_Sec_f32  target_DtrmnElapsedTime_mS_u16_ElapsedTime  target_GetSystemTime_mS_u32_CurrentTime  0   |
| DtmnElapsedTime_mS_u16_ElapsedTime  GetSystemTime_mS_u32(CurrentTime)  target_GetSystemTime_mS_u32_CurrentTime  target_GetSystemTime_mS_u32_CurrentTime  target_I2c_Send_I2cRegPtr_Cnt_T_str  target_I2c_Send_I2cRegPtr_Cnt_T_str  target_I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str  spurSnsrDataPtr_Cnt_T_u16  target_SpurSnsrDataPtr_Cnt_T_u16  target_i2cREG1_temp  k_ColSensorI2CAddress_Cnt_u08  k_I2CHWInitTransactionTime_Sec_f32  target_DtrmnElapsedTime_mS_u32_CurrentTime  target_GetSystemTime_mS_u32_CurrentTime  0  target_GetSystemTime_mS_u32_CurrentTime   |
| GetSystemTime_mS_u32(CurrentTime)  Izc_Send(I2cRegPtr_Cnt_T_str)  Izc_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  Izc_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  SpurSnsrDataPtr_Cnt_T_u16  IzcREG1_temp  k_ColSensorI2CAddress_Cnt_u08  k_I2CHWInitTransactionTime_Sec_f32  target_DtrmnElapsedTime_mS_u32_CurrentTime  target_SpurSnsrDataPtr_Cnt_T_u16  target_I2cREG1_temp  0  target_I2cREG1_temp  target_I2cREG1_temp  0  0   |
| I2c_Send(I2cRegPtr_Cnt_T_str)     target_I2c_Send_I2cRegPtr_Cnt_T_str       I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str       SpurSnsrDataPtr_Cnt_T_u16     target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str       i2cREG1_temp     target_I2cREG1_temp       k_ColSensorI2CAddress_Cnt_u08     0       k_I2CHWInitTransactionTime_Sec_f32     0       target_DtrmnElapsedTime_mS_u16_ElapsedTime     0       target_GetSystemTime_mS_u32_CurrentTime     0  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str       SpurSnsrDataPtr_Cnt_T_u16     target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str       i2cREG1_temp     target_I2cREG1_temp       k_ColSensorI2CAddress_Cnt_u08     0       k_I2CHWInitTransactionTime_Sec_f32     0       target_DtrmnElapsedTime_mS_u16_ElapsedTime     0       target_GetSystemTime_mS_u32_CurrentTime     0  |
| SpurSnsrDataPtr_Cnt_T_u16         target_SpurSnsrDataPtr_Cnt_T_u16           i2cREG1_temp         target_i2cREG1_temp           k_ColSensorl2CAddress_Cnt_u08         0           k_I2CHWInitTransactionTime_Sec_f32         0           target_DtrmnElapsedTime_mS_u16_ElapsedTime         0           target_GetSystemTime_mS_u32_CurrentTime         0  |
| i2cREG1_temp         target_i2cREG1_temp           k_ColSensorl2CAddress_Cnt_u08         0           k_I2CHWInitTransactionTime_Sec_f32         0           target_DtrmnElapsedTime_mS_u16_ElapsedTime         0           target_GetSystemTime_mS_u32_CurrentTime         0   |
| k_ColSensorl2CAddress_Cnt_u08         0           k_I2CHWInitTransactionTime_Sec_f32         0           target_DtrmnElapsedTime_mS_u16_ElapsedTime         0           target_GetSystemTime_mS_u32_CurrentTime         0  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime 0 target_GetSystemTime_mS_u32_CurrentTime 0   |
| target_GetSystemTime_mS_u32_CurrentTime 0  |
|  |
|  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL 0   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH 0   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR 0   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC 0   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT 0   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR 0  |

© Report created by TESSY V3.1.9, report template V2.1

3

2014-10-14, 23:01:16+0530



| Name  | Input Value          |                      |          |
|---|----------------------|----------------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0                    |                      |          |
| target I2c Send I2cRegPtr Cnt T str.PD  | 0                    |                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 0                    |                      |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 0                    |                      |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 0                    |                      |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC   | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0                    |                      |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL      | 0                    |                      |          |
| target i2cREG1 temp.OAR   | 0                    |                      |          |
| target_i2cREG1_temp.IMR   | 0                    |                      |          |
| target_i2cREG1_temp.STR   | Ō                    |                      |          |
| target_i2cREG1_temp.CLKL  | 0                    |                      |          |
| target_i2cREG1_temp.CLKH  | 0                    |                      |          |
| target_i2cREG1_temp.CNT   | 0                    |                      |          |
| target_i2cREG1_temp.DRR   | 0                    |                      |          |
| target_i2cREG1_temp.SAR<br>target_i2cREG1_temp.DXR  | 0                    |                      |          |
| target_i2cREG1_temp.MDR   | 0                    |                      |          |
| target i2cREG1 temp.IVR   | 0                    |                      |          |
| target_i2cREG1_temp.EMDR  | 0                    |                      |          |
| target_i2cREG1_temp.PSC   | 0                    |                      |          |
| target_i2cREG1_temp.PID11   | 0                    |                      |          |
| target_i2cREG1_temp.PID12   | 0                    |                      |          |
| target_i2cREG1_temp.DMAC  | 0                    |                      |          |
| target_i2cREG1_temp.FUN<br>target_i2cREG1_temp.DIR  | 0                    |                      |          |
| target i2cREG1 temp.DIN   | 0                    |                      |          |
| target i2cREG1 temp.DOUT  | 0                    |                      |          |
| target_i2cREG1_temp.SET   | 0                    |                      |          |
| target_i2cREG1_temp.CLR   | 0                    |                      |          |
| target_i2cREG1_temp.ODR   | 0                    |                      |          |
| target_i2cREG1_temp.PD  | 0                    |                      |          |
| target_i2cREG1_temp.PSL   | 0                    | I=                   | 1        |
| Name  | Actual Value         | Expected Value       | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]   | 0                    | 0                    | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 0                    | 0                    |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                    | 0                    | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 0                    | 0                    | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_NOT_INITIALIZED | INIT_NOT_INITIALIZED | ~        |
| DigColPsInt_GetData()   | 0                    | 0                    | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                    | 0                    | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                    | 0                    | ~        |
| DigColPoint_PrevTransactionCnt_Cnt_M_u08  | 0                    | 0                    | <b>*</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                    | 0                    | <b>✓</b> |
| DigColPsInt_SensInitialized_Cnt_M_lgc<br>I2c_Send(Length_Cnt_T_u32)   | 0                    | 0                    |          |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 0                    | 0                    | -        |
| target_ColSnsrDataPtr_Cnt_T_u16   | 0                    | 0                    | -        |
| target_DataTypePtr_Cnt_T_u08  | 0                    | 0                    | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 0                    | 0                    | ~        |
|   |                      |                      |          |

2014-10-14, 23:01:16+0530



| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PDC         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DID12         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DDR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         0           target_l2c_Send_l2 |   | 0   |    |
|--|---|-----|----|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DID12         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DUR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR         0           target_I2c_Send_I2 |   | 0   |    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DUR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DDR         0           target_I2c_Send_I2cR |   | I f | -  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DID12         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0                  |   | 0   | •  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DID12         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DM         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0  |   | 0   | •  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0  |   | 0   | •  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0   |   | 0   |    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0  |   | 0   |    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0   |   | 0   |    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0   |   | 0   |    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0   |   | 0   |    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0   |   | 0   |    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0  |   | 0   |    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0  |   | 0   |    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0  |   | 0   | -  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.SET         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PD         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR         0  |   | 0   | •  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.SET         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PD         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR         0  |   | 0   |    |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PD         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR         0   |   | 0   |    |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PD         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR         0   |   | 0   |    |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PD         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR         0   |   | 0   |    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         0   |   | 0   |    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL 0 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR 0 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR 0  |   | 0   |    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR 0 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR 0  |   | 0   | ٠, |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR 0   |   | 0   |    |
|  |   | 0   | ٠, |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR 0   |   | 0   |    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL 0  |   | 0   | ٠, |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH 0  |   | 0   |    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT 0   |   | 0   | ٠, |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR 0   |   | 0   |    |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR 0   |   | 0   | ٠, |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR 0   | 1 | 0   |    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR 0   |   | 0   | ٠, |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR 0   |   | 0   |    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR 0  |   | 0   |    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC 0   |   | 0   |    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 0   |   | 0   |    |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 0   |   | 0   |    |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC 0  |   | 0   |    |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN 0   |   | 0   |    |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   |   | 0   |    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN 0   |   | 0   |    |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 0  |   | 0   |    |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 0   |   | 0   |    |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 0   |   | 0   |    |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 0   |   | 0   |    |
|  |   | 0   |    |
| 3-2 -2   |   |     | _  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL 0 target_SpurSnsrDataPtr_Cnt_T_u16 0  |   | 0   |    |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |

| Test Step 1.2 (Repeat Count = 1)         |                                 |
|--|---------------------------------|
| Name                                     | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16                 | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08                    | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]          | 255                             |
| DigColPsInt_Buffer_Cnt_M_u08[1]          | 255                             |
| DigColPsInt_Buffer_Cnt_M_u08[2]          | 255                             |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc    | 1                               |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc    | 1                               |
| DigColPsInt_ColSnsrData_Cnt_M_u16        | 65535                           |
| DigColPsInt_CurrentSlave_Cnt_M_u08       | 127                             |
| DigColPsInt_CurrentStepNo_Cnt_M_enum     | INIT_SENSOR2_EXTREADDATREG_READ |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc     | 1                               |
| DigColPsInt_InitialTime_mS_M_u32         | 4294967295                      |
| DigColPsInt_NackOccured_Cnt_M_lgc        | 1                               |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 | 255                             |
| DigColPsInt RecvOverrunError Cnt M Igc   | 1                               |

2014-10-14, 23:01:16+0530



| Name   | Input Value   |
|--|---|
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 5   |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1   |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 65535   |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 255   |
| DtrmnElapsedTime_mS_u16(ElapsedTime)   | target_DtrmnElapsedTime_mS_u16_ElapsedTime  |
| GetSystemTime_mS_u32(CurrentTime)  I2c_Send(I2cRegPtr_Cnt_T_str)   | target_GetSystemTime_mS_u32_CurrentTime   |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str<br>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16  | target_SpurSnsrDataPtr_Cnt_T_u16  |
| i2cREG1_temp   | target_i2cREG1_temp   |
| k_ColSensorl2CAddress_Cnt_u08  | 127   |
| k I2CHWInitTransactionTime Sec f32   | 10  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime   | 65535   |
| target_GetSystemTime_mS_u32_CurrentTime  | 4294967295  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 1023  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 255   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 32767   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 65535   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 65535   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 65535   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 255   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 1023  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 255   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  | 65535   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 4095  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 255   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 65535   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 255   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                                  | 3   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN  | 3   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT   | 3   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 3   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 1023  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 255   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 32767   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 65535   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 65535   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 65535   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 255   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 1023  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 255   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 65535   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 4095  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 255   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 65535   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC | 255<br>3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_I_str.DMAC target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_I_str.FUN target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR    | 3   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_1_str.DlN   | 3   |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 3   |
| target   | 3   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 3   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3   |
| target_i2cREG1_temp.OAR  | 1023  |
| target_i2cREG1_temp.IMR  | 255   |
| target_i2cREG1_temp.STR  | 32767   |
| target_i2cREG1_temp.CLKL   | 65535   |
| target_i2cREG1_temp.CLKH   | 65535   |
| target_i2cREG1_temp.CNT  | 65535   |
| target_i2cREG1_temp.DRR  | 255   |
| target_i2cREG1_temp.SAR  | 1023  |
| target_i2cREG1_temp.DXR  | 255   |

2014-10-14, 23:01:16+0530



| Name   | Input Value    |                                     |          |
|--|----------------|-------------------------------------|----------|
| target_i2cREG1_temp.MDR  | 65535          |                                     |          |
| target_i2cREG1_temp.IVR  | 4095           |                                     |          |
| target_i2cREG1_temp.EMDR<br>target_i2cREG1_temp.PSC  | 3<br>255       |                                     |          |
| target i2cREG1 temp.PID11  | 65535          |                                     |          |
| target i2cREG1 temp.PID12  | 255            |                                     |          |
| target_i2cREG1_temp.DMAC   | 3              |                                     |          |
| target_i2cREG1_temp.FUN  | 1              |                                     |          |
| target_i2cREG1_temp.DIR  | 3              |                                     |          |
| target_i2cREG1_temp.DIN  | 3              |                                     |          |
| target_i2cREG1_temp.DOUT   | 3              |                                     |          |
| target_i2cREG1_temp.SET target_i2cREG1_temp.CLR  | 3              |                                     |          |
| target i2cREG1 temp.ODR  | 3              |                                     |          |
| target i2cREG1 temp.PD   | 3              |                                     |          |
| target_i2cREG1_temp.PSL  | 3              |                                     |          |
| Name   | Actual Value   | Expected Value                      | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 255            | 255                                 | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 255            | 255                                 | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 255            | 255                                 | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0              | 0                                   | <b>V</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 127            | 127                                 | · ·      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt GetData()   | 190            | INIT_SENSOR2_EXTREADDATREG_READ 190 | Ž        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 1              | 1                                   | _        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0              | 0                                   | -        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 255            | 255                                 | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0              | 0                                   | ~        |
| DigColPsInt_SensInitialized_Cnt_M_Igc  | 1              | 1                                   | ~        |
| I2c_Send(Length_Cnt_T_u32)   | 0              | 0                                   | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 0              | 0                                   | <b>V</b> |
| target_ColSnsrDataPtr_Cnt_T_u16  | 65535<br>5     | 65535<br>5                          | <b>✓</b> |
| target_DataTypePtr_Cnt_T_u08<br>target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 1023           | 1023                                | Ž        |
| target_I2C_Send_I2cRegPtr_Cnt_T_str.IMR  | 255            | 255                                 | ·        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 32767          | 32767                               | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 65535          | 65535                               | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 65535          | 65535                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 65535          | 65535                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 255            | 255                                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 1023           | 1023                                | · ·      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                    | 255<br>65535   | 255<br>65535                        | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  | 4095           | 4095                                | ,        |
| target I2c Send I2cRegPtr Cnt T str.EMDR   | 3              | 3                                   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 255            | 255                                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 65535          | 65535                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 255            | 255                                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3              | 3                                   | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 3              | 3                                   | <b>✓</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN                                    | 3              | 3                                   | ,        |
| target_12c_Serid_12cRegPti_Crit_1_str.DUT  | 3              | 3                                   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3              | 3                                   | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3              | 3                                   | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 3              | 3                                   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3              | 3                                   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3              | 3                                   | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 1023           | 1023                                | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 255            | 255                                 | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL     | 32767<br>65535 | 32767<br>65535                      | ~        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH   | 65535          | 65535                               | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 65535          | 65535                               | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 255            | 255                                 | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 1023           | 1023                                | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 255            | 255                                 | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 65535          | 65535                               | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 4095           | 4095                                | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3              | 3                                   | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 255<br>65535   | 255<br>65535                        | <b>*</b> |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12  | 255            | 255                                 | -        |
| 5  |                |                                     |          |

2014-10-14, 23:01:16+0530



DigColPsInt\_GetData

| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>✓</b> |
| target_SpurSnsrDataPtr_Cnt_T_u16                        | 65535        | 65535          | ~        |

| T                       |       |                         | V     |        |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

#### **Test Case 2: Boundary Test**

Description

Test Vector Description:

TS2.1DigColPsInt\_NackOccured\_Cnt\_M\_lgc=min
TS2.2DigColPsInt\_BusBusySeqError\_Cnt\_M\_lgc=max
TS2.3DigColPsInt\_BusBusySeqError\_Cnt\_M\_lgc=max
TS2.5DigColPsInt\_BusBusySeqError\_Cnt\_M\_lgc=max
TS2.5DigColPsInt\_TransactionCnt\_Cnt\_M\_u08=min
TS2.6DigColPsInt\_TransactionCnt\_Cnt\_M\_u08=min
TS2.6DigColPsInt\_TransactionCnt\_Cnt\_M\_u08=min
TS2.6DigColPsInt\_TransactionCnt\_Cnt\_M\_u08=mid
TS2.8DigColPsInt\_PrevTransactionCnt\_Cnt\_M\_u08=min
TS2.9DigColPsInt\_PrevTransactionCnt\_Cnt\_M\_u08=min
TS2.9DigColPsInt\_PrevTransactionCnt\_Cnt\_M\_u08=mid
TS2.10DigColPsInt\_ColSnsrData\_Cnt\_M\_u16=min
TS2.11DigColPsInt\_ColSnsrData\_Cnt\_M\_u16=min
TS2.12DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16=mid
TS2.14DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16=mid
TS2.15DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16=mid
TS2.15DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16=mid
TS2.16DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16=mid
TS2.17DigColPsInt\_RecvdDataType\_Cnt\_M\_u08=min
TS2.18DigColPsInt\_RecvdDataType\_Cnt\_M\_u08=min
TS2.20DigColPsInt\_RecvdDataType\_Cnt\_M\_u08=min
TS2.20DigColPsInt\_SensInitialized\_Cnt\_M\_lgc=min
TS2.21DigColPsInt\_SensInitialized\_Cnt\_M\_lgc=min
TS2.22DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum=min
TS2.22DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum=min
TS2.22DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum=max
TS2.24DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum=max
TS2.24DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum=max
TS2.26k\_l2CHWinitTransactionTime\_Sec\_f32=min
TS2.26k\_l2CHWinitTransactionTime\_Sec\_f32=min
TS2.29DigColPsInt\_RecvOverrunError\_Cnt\_M\_lgc=min
TS2.30DigColPsInt\_RecvOverrunError\_Cnt\_M\_lgc=min
TS2.30DigColPsInt\_CmdFailOccurred\_Cnt\_M\_lgc=min
TS2.31DigColPsInt\_CmdFailOccurred\_Cnt\_M\_lgc=min
TS2.33DigmnElapsedTime\_mS\_u16=min
TS2.33DigmnElapsedTime\_mS\_u16=min
TS2.33E\_ColSensorl2CAddress\_Cnt\_u08=max
TS2.37k\_ColSensorl2CAddress\_Cnt\_u08=max
TS2.34DiffundedTime\_mS\_u32=min
TS2.34Dall Min
TS2.42All Min
TS2.42All Min

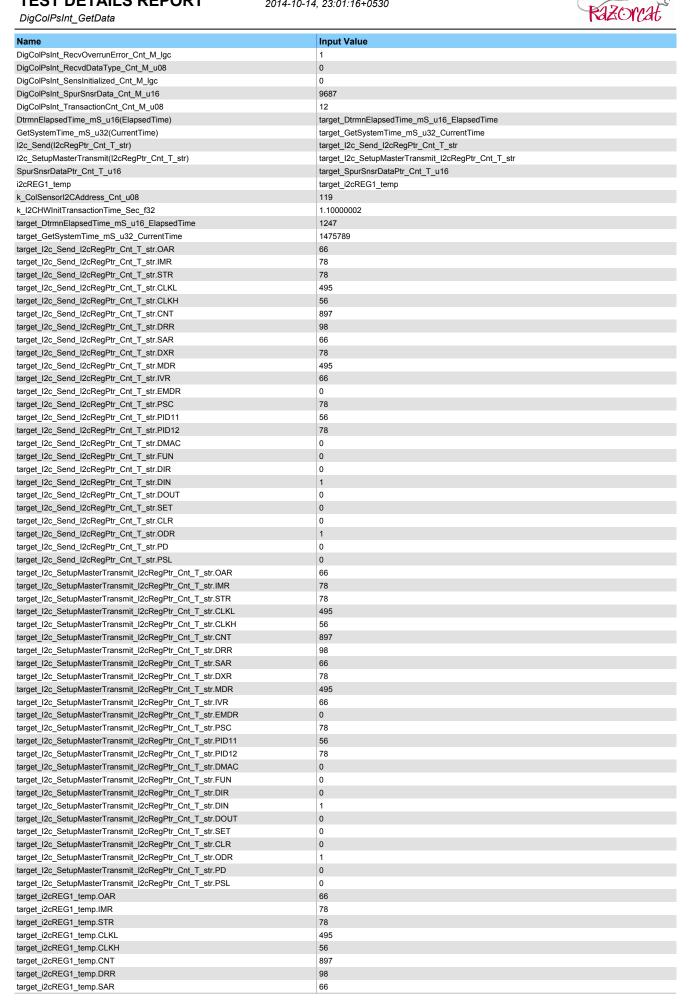
| Test Step 2.1 (Repeat Count = 1)         |                                 |
|--|---------------------------------|
| Name                                     | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16                 | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08                    | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]          | 10                              |
| DigColPsInt_Buffer_Cnt_M_u08[1]          | 20                              |
| DigColPsInt_Buffer_Cnt_M_u08[2]          | 30                              |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc    | 0                               |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc    | 1                               |
| DigColPsInt_ColSnsrData_Cnt_M_u16        | 5600                            |
| DigColPsInt_CurrentSlave_Cnt_M_u08       | 14                              |
| DigColPsInt_CurrentStepNo_Cnt_M_enum     | INIT_SENSOR1_READERROR_READ     |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc     | 0                               |
| DigColPsInt_InitialTime_mS_M_u32         | 5486797                         |
| DigColPsInt_NackOccured_Cnt_M_lgc        | 0                               |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 | 19                              |

© Report created by TESSY V3.1.9, report template V2.1

8

2014-10-14, 23:01:16+0530





2014-10-14, 23:01:16+0530



| DispCaPerils Raffer, CM, M_00R1  20   20   20   20   20   20   20   20   |  |                               |                               |          |
|--|--|-------------------------------|-------------------------------|----------|
| Septic   Common   C   | Name   | Input Value                   |                               |          |
| Sept.   Dec   De   | target_i2cREG1_temp.DXR                                  | 78                            |                               |          |
|  | target_i2cREG1_temp.MDR                                  | 495                           |                               |          |
| Image:   Deptile   Jessey   Deptile   Deptil   | target_i2cREG1_temp.IVR                                  | 66                            |                               |          |
| Image: LORGEG  1 mem PUD11   105     | target_i2cREG1_temp.EMDR                                 |                               |                               |          |
| Biggst   DeSEGE   Semp PD172   78  |  |                               |                               |          |
| Image_DeBCO_I   Image_DeBCO_   |  |                               |                               |          |
|  | ·  |                               |                               |          |
| Image   LapeRed   La   |  |                               |                               |          |
|  |  |                               |                               |          |
| Impagl_20R6G1_temp DOUT  Impagl_20R6G1_temp SET  | 0  |                               |                               |          |
| Image   DeBEG   DeBEG   Image   DeBEG   DeBEG   DeBEG   DeBEG   Image   DeBEG   DeBE   | ·  | •                             |                               |          |
| Image  | 0 ;  |                               |                               |          |
| Image   2.2REG   Impro   PO  |  |                               |                               |          |
| Separate    |  |                               |                               |          |
| Separation   Sep   |  | 0                             |                               |          |
| DepCoParis Baffer, CM, M_0080    20   20   20   20   20   20   20  | target_i2cREG1_temp.PSL                                  | 0                             |                               |          |
| Dispose   Buffer Colf M_ 1987   30   30   30   30   30   30   30   3   | Name   | Actual Value                  | Expected Value                | Result   |
| DigicPelnit Buffer, CM, M_U0R2   | DigColPsInt_Buffer_Cnt_M_u08[0]                          | 36                            | · ·                           | ~        |
| DigicalPaint   Discription     | DigColPsInt_Buffer_Cnt_M_u08[1]                          | 20                            | 20                            | <b>✓</b> |
| DigCoPelnic CurrentStave, Cort. M_Lorum  | DigColPsInt_Buffer_Cnt_M_u08[2]                          | 30                            | 30                            | ~        |
| DigCoPaint CurrentStepNo. Cmt. M. enum   | DigColPsInt_BusBusySeqError_Cnt_M_lgc                    | 0                             | 0                             | ~        |
| DigitalPartic   Deliand   DigitalPartic   Di   | DigColPsInt_CurrentSlave_Cnt_M_u08                       | 119                           | 119                           | ~        |
| DigCoPaint NationCoursed_Cnt_M_lgs   | DigColPsInt_CurrentStepNo_Cnt_M_enum                     | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | •        |
| DigCoPath Rent Concurs (Cont. Mu Use   DigCoPath Rent Cont. Cont. Mu Use   DigCoPath Rent Cont. Cont. Mu Use   DigCoPath Rent Cont. Mu Use   DigCoPath Rent Cont. Mu Use   DigCoPath Rent Rent Cont. Mu Use   DigCoPath Rent Rent Rent Rent Rent Rent Rent Rent  | DigColPsInt_GetData()                                    | 40                            | 40                            | ~        |
| DigCoPsint_RecoPrerumEmc_Cnt_Muge  | DigColPsInt_InitFailedOnce_Cnt_M_Igc                     | 0                             | 0                             | ~        |
| DigCoPelant, Send-OvernumError_Cnt, Migc   | DigColPsInt_NackOccured_Cnt_M_lgc                        |                               | 1 -                           | ~        |
| DigGoTelent, Sensitiatiated Cnt, M. Joe  |  |                               |                               | ~        |
| 1  |  |                               |                               |          |
| IZE_SetupMasterTransmit(DalaLength_Cnt_T_u16)  |  | ·                             |                               |          |
| Larget CoSnerDataPtC_CNT_U16   5600   |  |                               |                               |          |
| Surget Data Type Ptr. Cnt. T. U/8  |  |                               |                               |          |
| target_12c_Send_12cRepPt_Cnt_T_str.NR         66         66           target_12c_Send_12cRepPt_Cnt_T_str.NMR         78         78           target_12c_Send_12cRepPt_Cnt_T_str.NTR         78         78           target_12c_Send_12cRepPt_Cnt_T_str.CNL         495         495           target_12c_Send_12cRepPt_Cnt_T_str.CNT         56         56           target_12c_Send_12cRepPt_Cnt_T_str.CNT         897         897           target_12c_Send_12cRepPt_Cnt_T_str.DRR         88         98           target_12c_Send_12cRepPt_Cnt_T_str.DRR         88         98           target_12c_Send_12cRepPt_Cnt_T_str.DRR         66         66           target_12c_Send_12cRepPt_Cnt_T_str.DRR         78         78           target_12c_Send_12cRepPt_Cnt_T_str.DRR         495         495           target_12c_Send_12cRepPt_Cnt_T_str.DRR         66         66           target_12c_Send_12cRepPt_Cnt_T_str.DRR         66         66           target_12c_Send_12cRepPt_Cnt_T_str.DRR         66         66           target_12c_Send_12cRepPt_Cnt_T_str.DRDR         0         0           target_12c_Send_12cRepPt_Cnt_T_str.DRDR         0         0           target_12c_Send_12cRepPt_Cnt_T_str.DRD         0         0           target_12c_Send_12cRepPt_Cnt_T_str.DRD         0   |  |                               |                               |          |
| target   12c   Send   12cRegPtr   Cnt   T str.MR   |  |                               |                               |          |
| target_ 2c_Send_ 2cRegPtr_Cnt_strSTR   78   495   49   |  |                               |                               |          |
| target   2c Send   12cRegPtr Cnt.T_str.CLKL  |  |                               |                               |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.CNT  |  |                               |                               |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.DRT  |  |                               |                               |          |
| target_12c_Send_12cRegPtr_Cnt_T str.DRR         98         98           target_12c_Send_12cRegPtr_Cnt_T str.SARR         66         66           target_12c_Send_12cRegPtr_Cnt_T str.MDR         495         495           target_12c_Send_12cRegPtr_Cnt_T str.MDR         495         495           target_12c_Send_12cRegPtr_Cnt_T str.MDR         0         0           target_12c_Send_12cRegPtr_Cnt_T str.MDR         0         0           target_12c_Send_12cRegPtr_Cnt_T str.PID11         56         56           target_12c_Send_12cRegPtr_Cnt_T str.PID12         78         78           target_12c_Send_12cRegPtr_Cnt_T str.DMAC         0         0           target_12c_Send_12cRegPtr_Cnt_T str.DMAC         0         0           target_12c_Send_12cRegPtr_Cnt_T str.DIN         0         0           target_12c_Send_12cRegPtr_Cnt_T str.DIN         1         1           target_12c_Send_12cRegPtr_Cnt_T str.DIN         1         1           target_12c_Send_12cRegPtr_Cnt_T str.DIN         1         1           target_12c_Send_12cRegPtr_Cnt_T str.DIN         1         1           target_12c_Send_12cRegPtr_Cnt_T str.DIN         0         0           target_12c_Send_12cRegPtr_Cnt_T str.DIR         0         0           target_12c_Send_12cRegPtr_Cnt_T str.DIR         0 <td></td> <td></td> <td></td> <td>•</td>  |  |                               |                               | •        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DAR  |  |                               |                               | -        |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.DXR         78           target_!2c_Send_!2cRegPtr_Cnt_T_str.MDR         495           target_!2c_Send_!2cRegPtr_Cnt_T_str.MDR         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.EMDR         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.EMDR         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDT         56           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDT         56           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDAC         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDAC         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDT         1           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDT         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDT         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DT         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR         1           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DR         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DR         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DR         0           target_!2c_Send_!2cRegP   |  |                               |                               | <b>✓</b> |
| target   Ze, Send   ZeRegPth_Cnt_T.str.EMDR         0         0           target   Ze, Send   ZeRegPth_Cnt_T.str.EMDR         0         0           target   Ze, Send   ZeRegPth_Cnt_T.str.PiD11         56         56           target   Ze, Send   ZeRegPth_Cnt_T.str.PiD12         78         78           target   Ze, Send   ZeRegPth_Cnt_T.str.PiD12         78         78           target   Ze, Send   ZeRegPth_Cnt_T.str.DMAC         0         0           target   Ze, Send   ZeRegPth_Cnt_T.str.DMAC         0         0           target   Ze, Send   ZeRegPth_Cnt_T.str.DIN         0         0           target   Ze, Send   ZeRegPth_Cnt_T.str.DIN         1         1           target   Ze, Send   ZeRegPth_Cnt_T.str.DOUT         0         0           target   Ze, Send   ZeRegPth_Cnt_T.str.DOUT         0         0           target   Ze, Send   ZeRegPth_Cnt_T.str.DOR         1         1           target   Ze, Send   ZeRegPth_Cnt_T.str.DOR         6         66           target   Ze, Send   ZeRegPth_Cnt_T.str.DOR         6         66           target   Ze, S  |  | 78                            | 78                            | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.PSDC   | target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 495                           | 495                           | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC         78         78           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11         56         56           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12         78         78           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12         78         78           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.CDR         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRAC         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PD         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PD         0         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR         66         66           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_s  | target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 66                            | 66                            | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11         56         56           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12         78         78           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMC         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DNT         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DNT         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DNT         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DODR         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         66         66           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MR         78         78           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CkL         495         495           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR         56         66           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR         78         78           tar  | target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 0                             | 0                             | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12         78         78           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC         0         0           otarget_l2c_Send_l2cRegPtr_Cnt_T_str.PUN         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DCR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DDR         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DDR         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         66         66           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR         78         78           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CKL         495         495           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CkL         495         495           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CkL         495         495           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR         78         78      <  | target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 78                            | 78                            | ~        |
| target_l2c_Send_l2cRepPtr_Cnt_T_str.DMAC       0       0         target_l2c_Send_l2cRepPtr_Cnt_T_str.DIN       0         target_l2c_Send_l2cRepPtr_Cnt_T_str.DIR       0         target_l2c_Send_l2cRepPtr_Cnt_T_str.DIN       1         target_l2c_Send_l2cRepPtr_Cnt_T_str.DOUT       0         0       0         target_l2c_Send_l2cRepPtr_Cnt_T_str.DUT       0         0       0         target_l2c_Send_l2cRepPtr_Cnt_T_str.DUT       0         target_l2c_Send_l2cRepPtr_Cnt_T_str.DLR       0         target_l2c_Send_l2cRepPtr_Cnt_T_str.DDR       1         target_l2c_Send_l2cRepPtr_Cnt_T_str.DDR       1         target_l2c_Send_l2cRepPtr_Cnt_T_str.DSL       0         0       0         target_l2c_SetupMasterTransmit_l2cRepPtr_Cnt_T_str.OAR       66         66       66         target_l2c_SetupMasterTransmit_l2cRepPtr_Cnt_T_str.STR       78         target_l2c_SetupMasterTransmit_l2cRepPtr_Cnt_T_str.CLKL       495         target_l2c_SetupMasterTransmit_l2cRepPtr_Cnt_T_str.CNT       897         target_l2c_SetupMasterTransmit_l2cRepPtr_Cnt_T_str.DRR       98         target_l2c_SetupMasterTransmit_l2cRepPtr_Cnt_T_str.DRR       98         target_l2c_SetupMasterTransmit_l2cRepPtr_Cnt_T_str.DRR       495         target_l2c_SetupMasterTransm   | target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 56                            | 56                            | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DDR         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DD         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PD         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRL         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRL         0         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR         66         66           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL         495         78           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLK         495         495           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         98         98           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         98         98           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         78         78  |  |                               |                               | ~        |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       1       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DET       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       66       66         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.MR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       495       495         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       897       897         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       98       98         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr  |  |                               |                               | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIN       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.DOUT       0       0         target_12c_Send_12cRegPtr_Cnt_T_str.SET       0       0         target_12c_Send_12cRegPtr_Cnt_T_str.CLR       0       0         target_12c_Send_12cRegPtr_Cnt_T_str.DDR       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.DD       0       0         target_12c_Send_12cRegPtr_Cnt_T_str.PSL       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.OAR       66       66         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR       78       78         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL       495       495         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH       495       495         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH       56       56         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT       897       897         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR       98       98         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       78       78         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       78       78         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR       495       495 <t< td=""><td></td><td></td><td></td><td>~</td></t<>  |  |                               |                               | ~        |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.SET         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.ODR         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR         1         1           target_!2c_Send_!2cRegPtr_Cnt_T_str.DD         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL         0         0           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR         66         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL         495         495           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT         897         897           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         98         98           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         495         495           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.MDR         495         495           target_!2c_SetupMast  |  |                               |                               |          |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.SET       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR       1       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       66       66         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       495       495         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       495       495         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       56       56         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       98       98         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       98       98         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       495       495         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       66       66         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       66       66 <td></td> <td></td> <td></td> <td>-</td>  |  |                               |                               | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR       66         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL       495         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH       56         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT       897         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT       897         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR       98         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR       98         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.NDR       495         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR       66         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       0         target_I2c_SetupMasterTransmit_I2cRegPtr_C   |  |                               |                               |          |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       1       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       66       66         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.BIMR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       495       495         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       56       56         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       56       56         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       897       897         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       98       98         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       98       98         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.MDR       495       495         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IVR       66       66         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR <td></td> <td></td> <td></td> <td></td>  |  |                               |                               |          |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       66       66         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       495       495         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       56       56         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       897       897         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       98       98         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR       66       66         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       78       78         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.MDR       495       495         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       66       66         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T  |  |                               |                               |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL       0       0         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR       66       66         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR       78       78         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR       78       78         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL       495       495         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH       56       56         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT       897       897         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR       98       98         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR       66       66         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR       78       78         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR       495       495         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DVR       66       66         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNR       0       0         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR       0       0         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC       78       78   |  |                               |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR  target_l2c_SetupMasterTrans |  |                               |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNC  |  |                               |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  |  |                               |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL       495       495         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH       56       56         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT       897       897         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR       98       98         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR       66       66         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR       78       78         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR       495       495         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR       66       66         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR       0       0         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC       78       78   |  |                               |                               | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH       56       56         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT       897       897         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR       98       98         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR       66       66         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR       78       78         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR       495       495         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR       66       66         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR       0       0         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC       78       78   |  |                               |                               | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT       897       897         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR       98       98         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR       66       66         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR       78       78         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR       495       495         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR       66       66         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR       0       0         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC       78       78   |  |                               |                               | V        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 98 98 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR 66 66 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 78 78 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 495 495 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR 66 66 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 0 0 0 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 78 78  |  |                               |                               | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR 66 66 66  |  |                               |                               | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 78 78 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 495 495 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR 66 66 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 0 0 0 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 78 78  |  |                               |                               | ~        |
| target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.IVR   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78                            | 78                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR 0 0 0 varget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC 78 78   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495                           | 495                           | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 78 78   | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 66                            | 66                            | ~        |
|  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  |                               |                               | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 56 56   |  |                               |                               | ~        |
|  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56                            | 56                            |          |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~      |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 9687         | 9687           | •      |

| Τ                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | •        |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | <b>~</b> |

| Test Step 2.2 (Repeat Count = 1)            |  |
|---|--|
| Name  | Input Value  |
| ColSnsrDataPtr_Cnt_T_u16                    | target_ColSnsrDataPtr_Cnt_T_u16                    |
| DataTypePtr_Cnt_T_u08                       | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt_Buffer_Cnt_M_u08[0]             | 40   |
| DigColPsInt_Buffer_Cnt_M_u08[1]             | 50   |
| DigColPsInt_Buffer_Cnt_M_u08[2]             | 60   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc       | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc       | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16           | 7985   |
| DigColPsInt_CurrentSlave_Cnt_M_u08          | 21   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum        | INIT_SENSOR1_READEXTERR_READ                       |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc        | 0  |
| igColPsInt_InitialTime_mS_M_u32             | 6489549  |
| ligColPsInt_NackOccured_Cnt_M_lgc           | 1  |
| higColPsInt_PrevTransactionCnt_Cnt_M_u08    | 31   |
| igColPsInt_RecvOverrunError_Cnt_M_lgc       | 0  |
| igColPsInt_RecvdDataType_Cnt_M_u08          | 1  |
| higColPsInt_SensInitialized_Cnt_M_lgc       | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16          | 11230  |
| DigColPsInt_TransactionCnt_Cnt_M_u08        | 29   |
| OtrmnElapsedTime_mS_u16(ElapsedTime)        | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)           | target_GetSystemTime_mS_u32_CurrentTime            |
| 2c_Send(I2cRegPtr_Cnt_T_str)                | target I2c Send I2cRegPtr Cnt T str                |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr Cnt T u16                   | target SpurSnsrDataPtr Cnt T u16                   |
| 2cREG1 temp                                 | target i2cREG1 temp                                |
| ColSensorI2CAddress Cnt u08                 | 126  |
| I2CHWInitTransactionTime Sec f32            | 1.5  |
| arget DtrmnElapsedTime mS u16 ElapsedTime   | 7841   |
| arget_GetSystemTime_mS_u32_CurrentTime      | 2478541  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR      | 567  |
| arget I2c Send I2cRegPtr Cnt T str.IMR      | 44   |
| arget I2c Send I2cRegPtr Cnt T str.STR      | 4444   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL     | 566  |
| arget I2c Send I2cRegPtr Cnt T str.CLKH     | 4466   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT      | 129  |
| arget I2c Send I2cRegPtr Cnt T str.DRR      | 6  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR      | 567  |
| arget I2c Send I2cRegPtr Cnt T str.DXR      | 44   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR      | 566  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR      | 554  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR     | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC      | 44   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11    | 4466   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12    | 44   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC     | 1  |
| arget I2c Send I2cRegPtr Cnt T str.FUN      | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR      | 2  |

2014-10-14, 23:01:16+0530



| Name  | Input Value                  |                              |          |
|---|------------------------------|------------------------------|----------|
| target I2c Send I2cRegPtr Cnt T str.DIN   | 0                            |                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1                            |                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1                            |                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2                            |                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0 3                          |                              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL                                    | 3                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 567                          |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 44                           |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 4444                         |                              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL   | 566                          |                              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT | 4466<br>129                  |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 6                            |                              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR  | 567                          |                              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 44                           |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 566<br>554                   |                              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR | 1                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 44                           |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 4466                         |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 44                           |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 1                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR     | 1 2                          |                              |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN  | 0                            |                              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT   | 1                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 1                            |                              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 2                            |                              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 0 3                          |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3                            |                              |          |
| target_i2cREG1_temp.OAR   | 567                          |                              |          |
| target_i2cREG1_temp.IMR   | 44                           |                              |          |
| target_i2cREG1_temp.STR   | 4444                         |                              |          |
| target_i2cREG1_temp.CLKL<br>target_i2cREG1_temp.CLKH  | 566<br>4466                  |                              |          |
| target_i2cREG1_temp.CNT   | 129                          |                              |          |
| target_i2cREG1_temp.DRR   | 6                            |                              |          |
| target_i2cREG1_temp.SAR   | 567                          |                              |          |
| target_i2cREG1_temp.DXR   | 44                           |                              |          |
| target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR   | 566<br>554                   |                              |          |
| target_i2cREG1_temp.EMDR  | 1                            |                              |          |
| target_i2cREG1_temp.PSC   | 44                           |                              |          |
| target_i2cREG1_temp.PID11   | 4466                         |                              |          |
| target_i2cREG1_temp.PID12   | 44                           |                              |          |
| target_i2cREG1_temp.DMAC<br>target_i2cREG1_temp.FUN   | 1                            |                              |          |
| target i2cREG1 temp.DIR   | 2                            |                              |          |
| target_i2cREG1_temp.DIN   | 0                            |                              |          |
| target_i2cREG1_temp.DOUT  | 1                            |                              |          |
| target_i2cREG1_temp.SET   | 1                            |                              |          |
| target_i2cREG1_temp.CLR<br>target_i2cREG1_temp.ODR  | 2 0                          |                              |          |
| target_i2cREG1_temp.PD  | 3                            |                              |          |
| target_i2cREG1_temp.PSL   | 3                            |                              |          |
| Name  | Actual Value                 | Expected Value               | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 40                           | 40                           | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 50                           | 50                           | <b>*</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt BusBusySeqError Cnt M lgc   | 60<br>0                      | 60<br>0                      | <b>V</b> |
| DigColPsInt_BusbusySeqEndi_Cnt_M_igc  DigColPsInt_CurrentSlave_Cnt_M_u08  | 21                           | 21                           | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READEXTERR_READ | INIT_SENSOR1_READEXTERR_READ | ~        |
| DigColPsInt_GetData()   | 134                          | 134                          | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                            | 0                            | <b>V</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 0<br>29                      | 0<br>29                      | <b>V</b> |
| DigColPsInt_PrevTransactionCnt_Cnt_M_gc  DigColPsInt_RecvOverrunError_Cnt_M_lgc                                   | 0                            | 0                            | -        |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1                            | 1                            | <b>v</b> |
| target_ColSnsrDataPtr_Cnt_T_u16   | 7985                         | 7985                         | ~        |
| target_DataTypePtr_Cnt_T_u08  | 1                            | 1                            | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567                          | 567                          | ~        |

2014-10-14, 23:01:16+0530

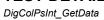


| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                  | 44           | 44             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 4444         | 4444           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 566          | 566            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 4466         | 4466           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 129          | 129            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 6            | 6              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 567          | 567            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 44           | 44             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 566          | 566            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 554          | 554            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 44           | 44             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 4466         | 4466           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 44           | 44             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 1            | 1              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.FUN                  | 1            | 1              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 0            | 0              |          |
| target I2c Send I2cRegPtr Cnt T str.DOUT                 | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 1            | 1              |          |
| target I2c Send I2cRegPtr Cnt T str.CLR                  | 2            | 2              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.ODR                  | 0            | 0              | _        |
| target I2c Send I2cRegPtr Cnt T str.PD                   | 3            | 3              | _        |
| target I2c Send I2cRegPtr Cnt T str.PSL                  | 3            | 3              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 567          | 567            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 4444         | 4444           | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 566          | 566            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 129          | 129            |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 6            | 6              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 567          | 567            |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   |              |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 566          | 566            |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 554          | 554            |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR  | 1            | 1              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 44           | 44             |          |
|  | 4466         | 4466           |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 4400         | 44             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 |              |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | Y        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 1            | 1              | <b>Y</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ·        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 11230        | 11230          | ~        |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime mS u16 | 1     | DtrmnElapsedTime mS u16 | 1     | ~        |

| Test Step 2.3 (Repeat Count = 1) | ✓           |  |
|----------------------------------|-------------|--|
| Name                             | Input Value |  |

2014-10-14, 23:01:16+0530





| Name  | Input Value  |
|---|--|
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 43   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 2  |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 12773  |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 33   |
| DtrmnElapsedTime_mS_u16(ElapsedTime)  | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp  | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08   | 17   |
| k_I2CHWInitTransactionTime_Sec_f32  | 1.8999998  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime  | 14435  |
| target_GetSystemTime_mS_u32_CurrentTime   | 3481293  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 65   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 89<br>67   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                | 7  |
| target I2c Send I2cRegPtr Cnt T str.CLKH  | 577  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 88   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 23   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 65   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 7  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 44   |
| target I2c Send I2cRegPtr Cnt T str.EMDR  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 577  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 65   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  | 67   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | <i>[</i>   |
| target I2c SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLRn target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT  | 577<br>88  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  | 23   |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR  | 65   |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR  | 89   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 7  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 44   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 89   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 577  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 89   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0  |
| target_i2cREG1_temp.OAR   | 65   |
| target_i2cREG1_temp.IMR   | 89   |
| target_i2cREG1_temp.STR   | 67   |
| target_i2cREG1_temp.CLKL  | 7  |
| target_i2cREG1_temp.CLKH  | 577  |
|   |  |
| target_i2cREG1_temp.CNT<br>target_i2cREG1_temp.DRR  | 88<br>23   |

2014-10-14, 23:01:16+0530



|   |                             | • |          |
|---|-----------------------------|---|----------|
| Name  | Input Value                 |   |          |
| target_i2cREG1_temp.SAR   | 65                          |   |          |
| target_i2cREG1_temp.DXR   | 89                          |   |          |
| target_i2cREG1_temp.MDR<br>target_i2cREG1_temp.IVR  | 7<br>44                     |   |          |
| target_i2cREG1_temp.EMDR  | 2                           |   |          |
| target_i2cREG1_temp.PSC   | 89                          |   |          |
| target i2cREG1 temp.PID11   | 577                         |   |          |
| target_i2cREG1_temp.PID12   | 89                          |   |          |
| target_i2cREG1_temp.DMAC  | 2                           |   |          |
| target_i2cREG1_temp.FUN   | 0                           |   |          |
| target_i2cREG1_temp.DIR   | 0                           |   |          |
| target_i2cREG1_temp.DIN   | 1                           |   |          |
| target_i2cREG1_temp.DOUT  | 2                           |   |          |
| target_i2cREG1_temp.SET   | 2                           |   |          |
| target_i2cREG1_temp.CLR   | 1                           |   |          |
| target_i2cREG1_temp.ODR<br>target_i2cREG1_temp.PD   | 2                           |   |          |
| target_i2cREG1_temp.PSL   | 0                           |   |          |
| Name  | Actual Value                | Expected Value                          | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 70                          | 70                                      | Nesuit   |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 80                          | 80                                      | _        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 90                          | 90                                      |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                           | 0                                       | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 28                          | 28                                      | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_CHECKSTAT_READ | INIT_SENSOR1_CHECKSTAT_READ             | ~        |
| DigColPsInt_GetData()   | 168                         | 168                                     | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1                           | 1                                       | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                           | 0                                       | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 33                          | 33                                      | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                           | 0                                       | ~        |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1                           | 1                                       | •        |
| target_ColSnsrDataPtr_Cnt_T_u16   | 10370                       | 10370                                   |          |
| target_DataTypePtr_Cnt_T_u08  | 2                           | 2                                       | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 65<br>89                    | 65<br>89                                | <b>✓</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR target_l2c_Send_l2cRegPtr_Cnt_T_str.STR                                 | 67                          | 67                                      |          |
| target_I2C_Send_I2cRegPtr_Cnt_T_str.CLKL  | 7                           | 7                                       | •        |
| target I2c Send I2cRegPtr Cnt T str.CLKH  | 577                         | 577                                     |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 88                          | 88                                      | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 23                          | 23                                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 65                          | 65                                      | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 89                          | 89                                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 7                           | 7                                       | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 44                          | 44                                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2                           | 2                                       | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 89                          | 89                                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 577                         | 577                                     | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 89                          | 89                                      | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0                           | 0                                       |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR                                 | 0                           | 0                                       | -        |
| target I2c Send I2cRegPtr Cnt T str.DIN   | 1                           | 1                                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2                           | 2                                       | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 2                           | 2                                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0                           | 0                                       | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1                           | 1                                       | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2                           | 2                                       | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0                           | 0                                       | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 65                          | 65                                      | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89                          | 89                                      | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 67                          | 67                                      | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL   | 7                           | 7                                       | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH   | 577                         | 577                                     | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 88                          | 88                                      | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 23<br>65                    | 65                                      | Ž        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_1_str.SAR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89                          | 89                                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7                           | 7                                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 44                          | 44                                      | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 2                           | 2                                       |          |
|   | 89                          | 89                                      | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 09                          | 09                                      |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 577                         | 577                                     | <b>v</b> |

2014-10-14, 23:01:16+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ✓        |
| target_SpurSnsrDataPtr_Cnt_T_u16                        | 12773        | 12773          | ~        |

| T                       |       |                         |       | ~      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

| Name  | Input Value  |
|---|--|
|   |  |
| ColSnsrDataPtr_Cnt_T_u16                    | target_ColSnsrDataPtr_Cnt_T_u16                    |
| DataTypePtr_Cnt_T_u08                       | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt_Buffer_Cnt_M_u08[0]             | 3  |
| DigColPsInt_Buffer_Cnt_M_u08[1]             | 6  |
| DigColPsInt_Buffer_Cnt_M_u08[2]             | 9  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc       | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc       | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16           | 12755  |
| DigColPsInt_CurrentSlave_Cnt_M_u08          | 35   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum        | INIT_SENSOR2_READERROR_READ                        |
| ligColPsInt_InitFailedOnce_Cnt_M_Igc        | 0  |
| DigColPsInt_InitialTime_mS_M_u32            | 8495053  |
| ligColPsInt_NackOccured_Cnt_M_lgc           | 1  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08    | 55   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc      | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08         | 3  |
| DigColPsInt_SensInitialized_Cnt_M_Igc       | 0  |
| igColPsInt_SpurSnsrData_Cnt_M_u16           | 14316  |
| DigColPsInt_TransactionCnt_Cnt_M_u08        | 46   |
| OtrmnElapsedTime_mS_u16(ElapsedTime)        | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)           | target_GetSystemTime_mS_u32_CurrentTime            |
| 2c_Send(I2cRegPtr_Cnt_T_str)                | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16                   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| 2cREG1_temp                                 | target_i2cREG1_temp                                |
| _ColSensorI2CAddress_Cnt_u08                | 24   |
| _I2CHWInitTransactionTime_Sec_f32           | 2.2999995  |
| arget_DtrmnElapsedTime_mS_u16_ElapsedTime   | 21029  |
| arget_GetSystemTime_mS_u32_CurrentTime      | 4484045  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR      | 10   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR      | 10   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR      | 1223   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL     | 7846   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH     | 8974   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT      | 98   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR      | 12   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR      | 10   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR      | 10   |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       | 7846   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR      | 55   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR     | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC      | 10   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11    | 8974   |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.PID12     | 10   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC     | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN      | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR      | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN      | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT     | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET      | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR      | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR      | 1  |

DigColPsInt\_GetData

2014-10-14, 23:01:16+0530



| Name  | Input Value   |   |                                       |
|---|---|---|---------------------------------------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 1   |   |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 10  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 10  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 1223  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 7846<br>8974  |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 98  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 12  |   |                                       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR  | 10  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 10  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7846  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 55  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 10  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 8974  |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  | 10  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 2   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1   |   |                                       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT   | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 2   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 1   |   |                                       |
| target_i2cREG1_temp.OAR   | 10  |   |                                       |
| target_i2cREG1_temp.IMR   | 10  |   |                                       |
| target_i2cREG1_temp.STR   | 1223<br>7846  |   |                                       |
| target_i2cREG1_temp.CLKL<br>target_i2cREG1_temp.CLKH  | 8974  |   |                                       |
| target i2cREG1 temp.CNT   | 98  |   |                                       |
| target i2cREG1 temp.DRR   | 12  |   |                                       |
| target_i2cREG1_temp.SAR   | 10  |   |                                       |
| target_i2cREG1_temp.DXR   | 10  |   |                                       |
| target_i2cREG1_temp.MDR   | 7846  |   |                                       |
| target_i2cREG1_temp.IVR   | 55  |   |                                       |
| target_i2cREG1_temp.EMDR  | 1   |   |                                       |
| target_i2cREG1_temp.PSC   | 10  |   |                                       |
| target_i2cREG1_temp.PID11   | 8974  |   |                                       |
| target_i2cREG1_temp.PID12<br>target_i2cREG1_temp.DMAC   | 10  |   |                                       |
| <u> </u>  | 1   |   |                                       |
| target i2cREG1 temp FLIN  | 1   |   |                                       |
| target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR   | 2   |   |                                       |
| target_i2cREG1_temp.DIR   | 2   |   |                                       |
|   |   |   |                                       |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN   | 1   |   |                                       |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT  | 1   |   |                                       |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET  | 1<br>1<br>1   |   |                                       |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD   | 1<br>1<br>1<br>2<br>1   |   |                                       |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL   | 1<br>1<br>1<br>2<br>1<br>1  |   |                                       |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL Name  | 1<br>1<br>1<br>2<br>1<br>1<br>1<br>Actual Value   | Expected Value  | Result                                |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL Name DigColPsInt_Buffer_Cnt_M_u08[0]  | 1 1 1 2 1 1 1 Actual Value 36   | 36  | ~                                     |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL Name DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]  | 1 1 1 2 1 1 1 Actual Value 36 6   | 36<br>6   | ~                                     |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL Name DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]  | 1 1 1 2 1 1 1 1 Actual Value 36 6 9   | 36<br>6<br>9  | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1 1 1 2 1 1 1 Actual Value 36 6   | 36<br>6<br>9<br>0   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08   | 1 1 1 2 1 1 1 1 Actual Value 36 6 9 0 24  | 36<br>6<br>9<br>0<br>24   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1 1 1 2 1 1 1 1 Actual Value 36 6 9 0   | 36<br>6<br>9<br>0   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_enum   | 1 1 1 2 1 1 1 1 Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG  | 36<br>6<br>9<br>0<br>24<br>INIT_SENSOR1_READERROR_SETREG  | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.ODR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_GetData()  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc   | 1 1 1 2 1 1 1 2 1 1 1 1 Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0                                | 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0   | ~                                     |
| target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.ODR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_GetData()  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 1 1 1 2 1 1 1 2 1 1 1 1  Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0 46                            | 36<br>6<br>9<br>0<br>24<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0   | ~                                     |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_GetData() DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1 1 1 1 2 1 1 1 2 1 1 1 1  Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0 46 0                        | 36<br>6<br>9<br>0<br>24<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0<br>46   | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_GetData() DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc   | 1 1 1 1 2 1 1 1 2 1 1 1 1  Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0 46 0 1                      | 36<br>6<br>9<br>0<br>24<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0<br>46<br>0                                    | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_GetData()  DigColPsInt_GetData()  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_u08  DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc   | 1 1 1 1 2 1 1 1 2 1 1 1 1  Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0 46 0 1 1                    | 36<br>6<br>9<br>0<br>24<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0<br>46<br>0                                    |                                       |
| target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusbusySeqError_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_GetData()  DigColPsInt_HailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  | 1 1 1 1 2 1 1 1 2 1 1 1 1  Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0 46 0 1 1 1                  | 36<br>6<br>9<br>0<br>24<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0<br>46<br>0<br>1                               |                                       |
| target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusbusySeqError_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_GetData()  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_ColSnsrDataPtr_Cnt_T_u16   | 1 1 1 1 2 1 1 1 2 1 1 1 1  Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0 46 0 1 1 1 1 1 12755        | 36<br>6<br>9<br>0<br>24<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0<br>46<br>0<br>1<br>1<br>1<br>1                |                                       |
| target_i2cREG1_temp.DIR  target_i2cREG1_temp.DUT  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusbusySeqError_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_GetData()  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc | 1 1 1 1 2 1 1 1 2 1 1 1 1  Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0 0 46 0 1 1 1 1 12755 3      | 36<br>6<br>9<br>0<br>24<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0<br>46<br>0<br>1<br>1<br>1<br>1<br>12755<br>3  |                                       |
| target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusbusySeqError_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_GetData()  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_ColSnsrDataPtr_Cnt_T_u16   | 1 1 1 1 2 1 1 1 2 1 1 1 1  Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0 46 0 1 1 1 1 1 12755        | 36<br>6<br>9<br>0<br>24<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0<br>46<br>0<br>1<br>1<br>1<br>1                |                                       |
| target_i2cREG1_temp.DIR  target_i2cREG1_temp.DUT  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.CLR  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusbusySeqError_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_GetData()  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_ColSnsrDataPtr_Cnt_T_u08  target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR  | 1 1 1 1 2 1 1 1 1 2 1 1 1 1 1  Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0 0 46 0 1 1 1 12755 3 10 | 36<br>6<br>9<br>0<br>24<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0<br>46<br>0<br>1<br>1<br>1<br>1<br>12755<br>3  |                                       |
| target_i2cREG1_temp.DIR  target_i2cREG1_temp.DUT  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.CLR  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_GetData()  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_PrevTransactionCnt_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  DigColPsInt_SensInitialized_Cnt_M_lgc  l2c_Send(Length_Cnt_T_u32)  l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_ColSnsrDataPtr_Cnt_T_u08  target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR  target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR  | 1 1 1 1 2 1 1 1 1 2 1 1 1 1 1 1  Actual Value 36 6 9 0 24 INIT_SENSOR1_READERROR_SETREG 6 0 0 1 1 1 1 12755 3 10 10 | 36<br>6<br>9<br>0<br>24<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0<br>46<br>0<br>1<br>1<br>1<br>12755<br>3<br>10 |                                       |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 8974         | 8974           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 98           | 98             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 12           | 12             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 10           | 10             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 10           | 10             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 7846         | 7846           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 55           | 55             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 10           | 10             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 8974         | 8974           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 10           | 10             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 98           | 98             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 8974         | 8974           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 10           | 10             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 1            | 1              | <b>✓</b> |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 14316        | 14316          | ~        |
| <u> </u>   |              |                |          |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |
| GetSystemTime mS u32    | 1     | GetSystemTime mS u32    | 1     | <b>✓</b> |

| Test Step 2.5 (Repeat Count = 1)      |                                 | ~ |
|---------------------------------------|---------------------------------|---|
| Name                                  | Input Value                     |   |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |   |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 11                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 22                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 33                              |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 0                               |   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 1                               |   |
| DigColPsInt_ColSnsrData_Cnt_M_u16     | 15140                           |   |
| DigColPsInt_CurrentSlave_Cnt_M_u08    | 42                              |   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_READEXTERR_READ    |   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 1                               |   |
| DigColPsInt_InitialTime_mS_M_u32      | 9497805                         |   |

2014-10-14, 23:01:16+0530





| Name   | Input Value  |
|--|--|
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 67   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1  |
| DigColPsInt RecvdDataType Cnt M u08  | 4  |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 15859  |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 0  |
| DtrmnElapsedTime_mS_u16(ElapsedTime)   | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)  | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16  | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp   | target_i2cREG1_temp                                |
| k_ColSensorI2CAddress_Cnt_u08  | 31   |
| k_I2CHWInitTransactionTime_Sec_f32   | 2.70000005   |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime   | 27623  |
| target_GetSystemTime_mS_u32_CurrentTime  | 5486797<br>34                                      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR target_I2c Send_I2cRegPtr_Cnt_T_str.IMR                                | 24   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.NrR  | 455  |
| target_12c_Send_12cRegPtr_Cnt_T_str.CLKL   | 847  |
| target I2c Send I2cRegPtr Cnt T str.CLKH   | 987  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 487  |
| target I2c Send I2cRegPtr Cnt T str.DRR  | 34   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 34   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 24   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 847  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 24   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 987  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 24   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR                                | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 34   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 24   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 455  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 847  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 987  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 487  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 34   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 34   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 24   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 847  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 56   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 24   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 987  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 24   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 3 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET | 2  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 3  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 3  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  | 2  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 2  |
| target_i2cREG1_temp.OAR  | 34   |
| target_i2cREG1_temp.IMR  | 24   |
|  | 455  |
| target_i2cREG1_temp.STR  |  |
| target_i2cREG1_temp.STR<br>target_i2cREG1_temp.CLKL  | 847  |
|  | 847<br>987   |

2014-10-14, 23:01:16+0530



|   |                              | ( )                          | 00       |
|---|------------------------------|------------------------------|----------|
| Name  | Input Value                  |                              |          |
| target_i2cREG1_temp.DRR   | 34                           |                              |          |
| target_i2cREG1_temp.SAR   | 34                           |                              |          |
| target_i2cREG1_temp.DXR   | 24                           |                              |          |
| target_i2cREG1_temp.MDR   | 847                          |                              |          |
| target_i2cREG1_temp.IVR   | 56<br>2                      |                              |          |
| target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC  | 24                           |                              |          |
| target_i2cREG1_temp.PID11   | 987                          |                              |          |
| target i2cREG1 temp.PID12   | 24                           |                              |          |
| target i2cREG1 temp.DMAC  | 2                            |                              |          |
| target_i2cREG1_temp.FUN   | 0                            |                              |          |
| target_i2cREG1_temp.DIR   | 3                            |                              |          |
| target_i2cREG1_temp.DIN   | 3                            |                              |          |
| target_i2cREG1_temp.DOUT  | 2                            |                              |          |
| target_i2cREG1_temp.SET   | 2                            |                              |          |
| target_i2cREG1_temp.CLR   | 3                            |                              |          |
| target_i2cREG1_temp.ODR   | 2                            |                              |          |
| target_i2cREG1_temp.PD<br>target_i2cREG1_temp.PSL   | 2                            |                              |          |
|   | Actual Value                 | Expected Value               | Popult   |
| Name DigColPsInt_Buffer_Cnt_M_u08[0]  | 11                           | 11                           | Result   |
| DigColPsInt Buffer Cnt M u08[1]   | 22                           | 22                           | -        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 33                           | 33                           |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                            | 0                            | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 42                           | 42                           |          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_READEXTERR_READ | INIT_SENSOR2_READEXTERR_READ | •        |
| DigColPsInt_GetData()   | 168                          | 168                          | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 1                            | 1                            | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                            | 0                            | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 0                            | 0                            | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                            | 0                            | ~        |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1                            | 1                            | <b>V</b> |
| target_ColSnsrDataPtr_Cnt_T_u16   | 15140<br>4                   | 15140                        | ✓<br>✓   |
| target_DataTypePtr_Cnt_T_u08 target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 34                           | 34                           |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.UMR   | 24                           | 24                           | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 455                          | 455                          | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 847                          | 847                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 987                          | 987                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 487                          | 487                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 34                           | 34                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 34                           | 34                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 24                           | 24                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 847                          | 847                          | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 56                           | 56                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                                | 24                           | 24                           |          |
| target I2c Send I2cRegPtr Cnt T str.PID11   | 987                          | 987                          | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 24                           | 24                           | -        |
| target I2c Send I2cRegPtr Cnt T str.DMAC  | 2                            | 2                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0                            | 0                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3                            | 3                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3                            | 3                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2                            | 2                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 2                            | 2                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 3                            | 3                            | <b>*</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 3                            | 3                            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2 2                          | 2                            | <b>*</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                  | 34                           | 34                           | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 24                           | 24                           | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 455                          | 455                          | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 847                          | 847                          | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 987                          | 987                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 487                          | 487                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 34                           | 34                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 34                           | 34                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 24                           | 24                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 847                          | 847                          | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 56                           | 56                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 2 24                         | 2 24                         | · ·      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 987                          | 987                          |          |
| a.gozo_ootapmaotorrianomic_izotxogi ti_ont_1_ou.r.iD11  |                              |                              |          |
|   |                              |                              |          |

2014-10-14, 23:01:16+0530

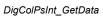


| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 24           | 24             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | ✓        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 15859        | 15859          | ✓        |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

| Name                                       | Input Value  |  |
|--|--|--|
| ColSnsrDataPtr_Cnt_T_u16                   | target_ColSnsrDataPtr_Cnt_T_u16                    |  |
| DataTypePtr_Cnt_T_u08                      | target_DataTypePtr_Cnt_T_u08                       |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]            | 44   |  |
| DigColPsInt_Buffer_Cnt_M_u08[1]            | 55   |  |
| DigColPsInt_Buffer_Cnt_M_u08[2]            | 66   |  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc      | 1  |  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc      | 0  |  |
| DigColPsInt_ColSnsrData_Cnt_M_u16          | 17525  |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08         | 49   |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum       | INIT_SENSOR2_CHECKSTAT_READ                        |  |
| ligColPsInt_InitFailedOnce_Cnt_M_lgc       | 0  |  |
| DigColPsInt_InitialTime_mS_M_u32           | 10500557   |  |
| igColPsInt_NackOccured_Cnt_M_lgc           | 1  |  |
| higColPsInt_PrevTransactionCnt_Cnt_M_u08   | 79   |  |
| ligColPsInt_RecvOverrunError_Cnt_M_lgc     | 0  |  |
| igColPsInt_RecvdDataType_Cnt_M_u08         | 0  |  |
| tigColPsInt_SensInitialized_Cnt_M_lgc      | 0  |  |
| igColPsInt_SpurSnsrData_Cnt_M_u16          | 17402  |  |
| igColPsInt TransactionCnt Cnt M u08        | 255  |  |
| trmnElapsedTime_mS_u16(ElapsedTime)        | target DtrmnElapsedTime mS u16 ElapsedTime         |  |
| setSystemTime mS u32(CurrentTime)          | target_GetSystemTime_mS_u32_CurrentTime            |  |
| tc_Send(I2cRegPtr_Cnt_T_str)               | target_I2c_Send_I2cRegPtr_Cnt_T_str                |  |
| c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |  |
| purSnsrDataPtr Cnt T u16                   | target SpurSnsrDataPtr Cnt T u16                   |  |
| ccREG1 temp                                | target_i2cREG1_temp                                |  |
| ColSensorI2CAddress Cnt u08                | 38   |  |
| I2CHWInitTransactionTime Sec f32           | 3.0999999  |  |
| arget_DtrmnElapsedTime_mS_u16_ElapsedTime  | 34217  |  |
| arget GetSystemTime mS u32 CurrentTime     | 6489549  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR     | 55   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR     | 66   |  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.STR      | 556  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL    | 2309   |  |
|  | 1204   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH    | 87   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT     | 67   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR     |  |  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR     | 55   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR     | 66   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR     | 2309   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR     | 5  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR    | 3  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC     | 66   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204   |  |
| rrget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66   |  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC     | 3  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN     | 1  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR     | 1  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN     | 2  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT    | 3  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET     | 3  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR     | 1  |  |

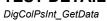
2014-10-14, 23:01:16+0530





| DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08         38         38           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG           DigColPsInt_GetData()         6         6           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         255         255           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           Lizc_Send(Length_Cnt_T_u32)         1         1           Lizc_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           target_ColSnsrDataPtr_Cnt_T_u16         17525         17525           target_DataTypePtr_Cnt_T_u08         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         55         55           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         66         66   | Name  | Input Value                   |                               |          |
|--|---|-------------------------------|-------------------------------|----------|
| Sept   1.00  | target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                 | 2                             |                               |          |
| Large (L.D. Sephotoser France). Calcago Co. 1. se John Sephotoser France). Exclange Co. Sephotoser France). Exclange Co. 1. se John Sephotoser France). Ex |   |                               |                               |          |
| Page   Description   Page   Page   Description   Descrip   |   |                               |                               |          |
| Target Die Selephotent Franzen Description CT   1 ab   |   |                               |                               |          |
| sings   10.5 Selectable Tearrent Discloper's CPL   10.0 CHL   10.0 |   |                               |                               |          |
| angul (12, Sephahater Transmit (124) (124  |   |                               |                               |          |
| sings (b. 2. Schoolsheet Transmit (19-56) pt. 1 pt. CNT st. C  | · ·   |                               |                               |          |
| Image_UR_S. Selephoten Transmer_District_CT_UR_SERVEN_   |   | 87                            |                               |          |
| Image:   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 67                            |                               |          |
| Image   De, SelaphaterTransman,   2049ger   Cot   T. act NOR   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 55                            |                               |          |
| Biggs   12.5 Subplied Frame   12.6 Reg   F. Col. T. at P. NR   |   |                               |                               |          |
| Barger   12 Setup Mater Transmill, 24.08 pt; CMT_set PADE   Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PADE   Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   12.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID12   66     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   12.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   12.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   12.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   12.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   12.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   12.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID11   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID12   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID12   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_set PID12   13.04     Bodge   12 Setup Mater Transmill, 24.08 pt; CMT_se   |   |                               |                               |          |
| Bage  E.D. SebupAsserTransmit_CentegNPC OnT_11 PDC    Boge  E.D. SebupAsserTransmit_CentegNPC ONT_11   |   |                               |                               |          |
| Image  Dec. SetupAnset Transmul LeRicepin Coll T_set PID11   1024  |   |                               |                               |          |
| Bage  12.5. SubpMeter Transmill (2RegPr Cettset PD12   B8   Bage  12.5. SubpMeter Transmill (2RegPr Cettset PM   |   |                               |                               |          |
| Image:   |   | 66                            |                               |          |
| Image   Dec. Setup Market Transman, Dec. Perg. Fr. Cell Jab DNN  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC | 3                             |                               |          |
| tarquit_22. SetupMaseFrammit_22People** Cent_1 at DNUT 3 3   |   | 1                             |                               |          |
| Septimizer   Sep   |   |                               |                               |          |
| Langer   L   |   |                               |                               |          |
| target L2s. SetupMaserTransmit L2rRegPtr_Cnr_T_str.CR target L2s. SetupMaserTransmit L2rRegPtr_Cnr_T_str.DR target L2s. SetupMaserTransmit L2rRegPtr_Cnr_T_str.PD  |   |                               |                               |          |
| tarquet_Les_SebupMasterTransmit_LesCengPrt_Cnitstr_PD 3 tarquet_Les_SebupMasterTransmit_LesCengPrt_Cnitstr_PD 3 tarquet_Les_SebupMasterTransmit_LesCengPrt_Cnitstr_PD 3 tarquet_Les_SebupMasterTransmit_LesCengPrt_Cnitstr_PSL 3 tarquet_Les_SebupMasterTransmit_LesCengPrt_Cnitstr_PSL 3 tarquet_Les_SebupMasterTransmit_Les_SengPrt_Cnitstr_PSL 3 tarquet_Les_SengPrt_Cnitstr_Psl 3 tarquet_Les_SengPrt_Cnitstr_Psl 3 tarquet_Les_SengPrt_Cnitstr_Psl 3 tarquet_Les_SengPrt_Cnit   |   |                               |                               |          |
| Integer_Lipe_SelephBaserTransmit_JeckephPr_Cnt_T_str.PD   3  | · ·   |                               |                               |          |
| target_L2cREd_lemp_LNR target_2cREd_lemp_LNR target_2cREd_lemp_LN  |   |                               |                               |          |
| target_22REG1_temp_LNR target_22REG1_temp_CLK1 target_22REG1_temp_SRR to 5 target_22REG1_temp_SRR to 6 target_22REG1_temp_CLK1 target_22REG1_temp_SRR to 6 target_22REG1_temp_MDR target_22REG1_temp_MDR to 1 target_22REG1_temp_MDR to 6 target_22REG1_temp_MDR to 6 target_22REG1_temp_MDR to 6 target_22REG1_temp_MDR to 7 target_22REG1_temp_MDR to 7 target_22REG1_temp_MDR to 1 target_22REG1_temp_MDR to 2 target_22REG1_temp_MDR to 2 target_22REG1_temp_MDR to 3 target_22REG1_temp_MDR to 4 target_22REG1_temp_MDR to 5 target_22REG1_temp_MDR to 4 target_  |   |                               |                               |          |
| barget_ZeREG1_temp_CLKL  | target_i2cREG1_temp.OAR                                 | 55                            |                               |          |
| target_ZeREG1_temp_CLKI target_ZeREG1_temp_CRYT target_ZeREG1_temp_CRYT target_ZeREG1_temp_CRYT target_ZeREG1_temp_CRYT target_ZeREG1_temp_SAR 55 target_ZeREG1_temp_SAR 66 target_ZeREG1_temp_DVR target_ZeREG1_temp_DVR target_ZeREG1_temp_DVR target_ZeREG1_temp_DVR 5 target_ZeREG1_temp_DVR 5 target_ZeREG1_temp_DVR 6 target_ZeREG1_temp_DVR 1 1 204 target_ZeREG1_temp_DVR 1 1 target_ZeREG1_temp_DVR 2 target_ZeREG1_temp_DVR 2 target_ZeREG1_temp_DVR 2 target_ZeREG1_temp_DVR 2 target_ZeREG1_temp_DVR 2 target_ZeREG1_temp_DVR 3 target_ZeREG1_temp_DVR 2 target_ZeREG1_temp_DVR 3 target_ZeREG1_temp_DVR 2 target_ZeREG1_temp_DVR 3 target_ZeREG1_temp_DVR 4 target_ZeREG1_temp_DVR 3 target_ZeREG1_temp_DVR 4 target_ZeREG1_temp_ZEREG1_temp_ZEREG1_target_ZeREG1_target_ZeREG1_targe  | target_i2cREG1_temp.IMR                                 | 66                            |                               |          |
| Images   JackEGS   Jemp CNF   S7   |   |                               |                               |          |
| target_ZeREG1_temp.DRT   |   |                               |                               |          |
| Bargel_ZeREG1_temp_SAR   55  | *   |                               |                               |          |
| target_lzeREG1_temp.SAR target_lzeREG1_temp.DXR target_lzeREG1_temp.DXR target_lzeREG1_temp.DXR target_lzeREG1_temp.DXR target_lzeREG1_temp.DXR target_lzeREG1_temp.DXR target_lzeREG1_temp.DXR target_lzeREG1_temp.DXR target_lzeREG1_temp.PDI11 target_lzeREG1_temp.PDI21 target_lzeREG1_temp.DIN target_lzeREG1_temp.DXR ta | ·   |                               |                               |          |
| Barget_J2cREG1_temp_DXR  |   |                               |                               |          |
| target_J26REG1_temp.NDR  |   |                               |                               |          |
| target_J2cREG1_temp_EMDR   |   |                               |                               |          |
| target_J2cREG1_temp.PSC   Earge_L2cREG1_temp.PID11   1204   1204   1204   1204   1207   120   | target_i2cREG1_temp.IVR                                 | 5                             |                               |          |
| target_J2cREG1_emp.PID11         1204           target_J2cREG1_emp.PID12         66           target_J2cREG1_emp.DINC         3           target_J2cREG1_emp.DIR         1           target_J2cREG1_emp.DIN         2           target_J2cREG1_emp.DOUT         3           target_J2cREG1_emp.DOUT         3           target_J2cREG1_emp.DOR         1           target_J2cREG1_emp.DOR         2           target_J2cREG1_emp.DOR         2           target_J2cREG1_emp.PD         3           target_J2cREG1_emp.PS         3           Name         Actual Value         Expected Value         Result           DigCoPlant_Buffer_Cnt_M_u08[0]         36<   | target_i2cREG1_temp.EMDR                                | 3                             |                               |          |
| target_ ZeREG _temp.PID12   66   | · · · · · · · · · · · · · · · · · · ·                   |                               |                               |          |
| target_j2cREG1_temp_DMAC         3           target_j2cREG1_temp_EVIN         1           target_j2cREG1_temp_DIN         1           target_j2cREG1_temp_DOUT         3           target_j2cREG1_temp_DOUT         3           target_j2cREG1_temp_DORD         1           target_j2cREG1_temp_DORD         2           target_j2cREG1_temp_DORD         3           target_j2cREG1_temp_DORD         3           target_j2cREG1_temp_PSL         3           Name         Actual Value         Expected Value         Result           DigColPsint_Buffer_Cnt_M_u08[0]         36         36         4           DigColPsint_Buffer_Cnt_M_u08[1]         55         55         4           DigColPsint_Buffer_Cnt_M_u08[2]         66         66         4         4           DigColPsint_Buffer_Cnt_M_u08[2]         66         66         4         4           DigColPsint_CurrentSlave_Cnt_M_u08         38         38         38         4           DigColPsint_CurrentSlave_Cnt_M_u08         38         38         4         4           DigColPsint_NackOccured_Cnt_M_u08         0         0         0         0         0           DigColPsint_NackOccured_Cnt_M_u08         255         255   | 0   |                               |                               |          |
| target_ 2cREG1_temp_PUN  | · · · · · · · · · · · · · · · · · · ·                   |                               |                               |          |
| target_ 2cREG1_temp_DIR  | · ·   |                               |                               |          |
| target_!2cREG1_temp.DUN         3           target_!2cREG1_temp.DOUT         3           target_!2cREG1_temp.SET         3           target_!2cREG1_temp.DOR         1           target_!2cREG1_temp.DDR         2           target_!2cREG1_temp.PD         3           Name         Actual Value         Expected Value         Result           DjcColPsInt_Buffer_Cnt_M_u08[0]         36         36         4           DjcColPsInt_Buffer_Cnt_M_u08[1]         55         55         4           DjcColPsInt_Buffer_Cnt_M_u08[2]         66         66         4           DjcColPsInt_Buffer_Cnt_M_u08         38         38         4           DjcColPsInt_CurrentStepv0_Cnt_M_u08         38         38         4           DjcColPsInt_CetData()         6         6         4           DjcColPsInt_NexCOccured_Cnt_M_lgc         0         0         0   |   |                               |                               |          |
| target_!2cREG1_temp.CLR         3           target_!2cREG1_temp.DCR         1           target_!2cREG1_temp.DDR         2           target_!2cREG1_temp.PD         3           target_!2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         36         36         \$           DigColPsInt_Buffer_Cnt_M_u08[1]         55         55         \$           DigColPsInt_Buffer_Cnt_M_u08[2]         66         66         \$         \$           DigColPsInt_Buffer_Cnt_M_u08[2]         66         66         \$         \$           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         0         \$         \$           DigColPsInt_Buffer_Cnt_M_u08[2]         66         66         \$  |   |                               |                               |          |
| target_i2cREG1_temp.CLR  | target_i2cREG1_temp.DOUT                                | 3                             |                               |          |
| target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         36         36   | target_i2cREG1_temp.SET                                 | 3                             |                               |          |
| target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         36         36         4           DigColPsInt_Buffer_Cnt_M_u08[1]         55         55         55           DigColPsInt_Buffer_Cnt_M_u08[2]         66         66         4           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08         38         38         38           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG         O           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         255         255         255         0           DigColPsInt_SensInitialized_Cnt_M_lgc         0         0         0         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         1         1         1         1         1         2         2         2   | target_i2cREG1_temp.CLR                                 |                               |                               |          |
| target_izcREG1_temp.PSL   3  | · ·   |                               |                               |          |
| Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         36         36         36           DigColPsInt_Buffer_Cnt_M_u08[1]         55         55         55           DigColPsInt_Buffer_Cnt_M_u08[2]         66         66         66           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         0           DigColPsInt_Buffer_Cnt_M_u08         38         38         38           DigColPsInt_CurrentSleave_Cnt_M_u08         38         38         38           DigColPsInt_GetData()         6         6         6           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         255         255         255           DigColPsInt_RecvOverunError_Cnt_M_lgc         0         0         0           DigColPsInt_Sensinitialized_Cnt_M_lgc         1         1         1           DigColPsInt_Sensinitialized_Cnt_M_lgc         1         1         1           DigColPsInt_Sensinitialized_Cnt_T_u16         1         1         1           Ize_SetupMasterTransmit(DataLength_Cnt_T_u16         17525         17525 <td>· ·</td> <td></td> <td></td> <td></td>  | · ·   |                               |                               |          |
| DigColPsInt_Buffer_Cnt_M_u08[0]   36   36   36     DigColPsInt_Buffer_Cnt_M_u08[1]   55   55     DigColPsInt_Buffer_Cnt_M_u08[2]   66   66     DigColPsInt_BusbusySeqError_Cnt_M_lgc   0   0     DigColPsInt_CurrentSlave_Cnt_M_u08   38   38     DigColPsInt_CurrentSlave_Cnt_M_u08   38   38     DigColPsInt_CurrentSlave_No_Cnt_M_enum   INIT_SENSOR1_READERROR_SETREG     DigColPsInt_GetData()   6   6   6     DigColPsInt_IntfFaiteOnce_Cnt_M_lgc   0   0     DigColPsInt_NackOccured_Cnt_M_lgc   0   0   0     DigColPsInt_PrevTransactionCnt_Cnt_M_u08   255   255     DigColPsInt_RecvOverrunError_Cnt_M_lgc   0   0   0     DigColPsInt_SensInitialized_Cnt_M_lgc   0   0   0     DigColPsInt_SensInitialized_Cnt_M_lgc   1   1     12c_Send(Length_Cnt_T_u32)   1   1   1     12c_Send(Length_Cnt_T_u32)   1   1     12c_Send_Distr_Deltr_Cnt_T_u16   17525   17525     target_DataTypePtr_Cnt_T_u08   0   0     target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   66   66     DigColPsInt_Tstr.IMR   66   66     DigColPsInt_Tstr.IMR   66   66     DigColPsInt_Tstr.IMR   66   66     DigColPsInt_DataTypeRtr_Cnt_T_str.IMR      |   |                               | Form a set of Walter          | D 14     |
| DigColPsInt_Buffer_Cnt_M_u08[1]         55         55           DigColPsInt_Buffer_Cnt_M_u08[2]         66         66           DigColPsInt_BusBusySeqError_Cnt_M_logc         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08         38         38           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG           DigColPsInt_GetData()         6         6           DigColPsInt_InitFailedOnce_Cnt_M_logc         0         0           DigColPsInt_NackOccured_Cnt_M_logc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         255         255           DigColPsInt_RecvOverrunError_Cnt_M_logc         0         0           DigColPsInt_SensInitialized_Cnt_M_logc         1         1           DigColPsInt_SensInitialized_Cnt_M_logc         1         1           DigColPsInt_Sensinitialized_Cnt_T_u32         1         1           I2c_Send(Length_Cnt_T_u32)         1         1           I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           target_DataTypePtr_Cnt_T_u08         0         0           target_DataTypePtr_Cnt_T_u08         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR         55         55 <t< td=""><td></td><td></td><td>•</td><td>Result</td></t<>   |   |                               | •                             | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[2]         66         66           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08         38         38           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG           DigColPsInt_GetData()         6         6           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         255         255           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           12c_Send(Length_Cnt_T_u32)         1         1           12c_Send(Length_Cnt_T_u32)         1         1           12c_Send(Length_Cnt_T_u32)         1         1           12c_Send(Length_Cnt_T_u16)         1         1           1arget_ColSnsrDataPtr_Cnt_T_u16         17525         17525           1arget_DataTypePtr_Cnt_T_u08         0         0           1arget_I2c_Send_I2cRegPtr_Cnt_T_str.DAR         55         55           1arget_I2c_Send_I2cRegPtr_Cnt_T_str.DAR         66   |   |                               |                               | -        |
| DigColPsInt_BusBusySeqError_Cnt_M_u08         38         38           DigColPsInt_CurrentSlave_Cnt_M_u08         38         38           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG           DigColPsInt_GetData()         6         6           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         255         255           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           I2c_Send(Length_Cnt_T_u32)         1         1           I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           target_ColSnsrDataPtr_Cnt_T_u16         17525         17525           target_DataTypePtr_Cnt_T_u08         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         55         55           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         66         66   |   |                               |                               | -        |
| DigColPsInt_CurrentSlave_Cnt_M_u08         38         38           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG           DigColPsInt_GetData()         6         6           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         255         255           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           I2c_Send(Length_Cnt_T_u32)         1         1           I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           Iarget_ColSnsrDataPtr_Cnt_T_u16         17525         17525           target_DataTypePtr_Cnt_T_u08         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         55         55           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         66         66   |   |                               |                               | ~        |
| DigColPsInt_GetData()         6         6           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         255         255           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           I2c_Send(Length_Cnt_T_u32)         1         1           I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           target_ColSnsrDataPtr_Cnt_T_u16         17525         17525           target_DataTypePtr_Cnt_T_u08         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         55         55           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         66         66   |   | 38                            | 38                            | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         255         255           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           I2c_Send(Length_Cnt_T_u32)         1         1           I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           target_ColSnsrDataPtr_Cnt_T_u16         17525         17525           target_DataTypePtr_Cnt_T_u08         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         55         55           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         66         66   | DigColPsInt_CurrentStepNo_Cnt_M_enum                    | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         255         255           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           I2c_Send(Length_Cnt_T_u32)         1         1           I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           target_ColSnsrDataPtr_Cnt_T_u16         17525         17525           target_DataTypePtr_Cnt_T_u08         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         55         55           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         66         66  | DigColPsInt_GetData()                                   |                               |                               | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08         255         255           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           I2c_Send(Length_Cnt_T_u32)         1         1           I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           target_ColSnsrDataPtr_Cnt_T_u16         17525         17525           target_DataTypePtr_Cnt_T_u08         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         55         55           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         66         66  |   |                               |                               |          |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           I2c_Send(Length_Cnt_T_u32)         1         1           I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           target_ColSnsrDataPtr_Cnt_T_u16         17525         17525           target_DataTypePtr_Cnt_T_u08         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         55         55           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         66         66   |   |                               |                               | <b>V</b> |
| DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           I2c_Send(Length_Cnt_T_u32)         1         1           I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           target_ColSnsrDataPtr_Cnt_T_u16         17525         17525           target_DataTypePtr_Cnt_T_u08         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         55         55           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         66         66  |   |                               |                               | - 4      |
| I2c_Send(Length_Cnt_T_u32)       1       1         I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)       1       1         target_ColSnsrDataPtr_Cnt_T_u16       17525       17525         target_DataTypePtr_Cnt_T_u08       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR       55       55         target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR       66       66  |   |                               |                               | -        |
| I2c_SetupMasterTransmit(DataLength_Cnt_Tu16)       1       1         target_ColSnsrDataPtr_Cnt_Tu16       17525       17525         target_DataTypePtr_Cnt_Tu08       0       0         target_I2c_Send_I2cRegPtr_Cnt_Tstr.OAR       55       55         target_I2c_Send_I2cRegPtr_Cnt_Tstr.IMR       66       66  |   |                               |                               |          |
| target_ColSnsrDataPtr_Cnt_T_u16       17525       17525         target_DataTypePtr_Cnt_T_u08       0       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR       55       55         target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR       66       66   |   |                               |                               | ~        |
| target_DataTypePtr_Cnt_T_u08       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR       55       55         target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR       66       66   |   |                               |                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR 55 55 466 55   |   |                               |                               | <b>✓</b> |
|  |   | 55                            | 55                            | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR 556 556  |   |                               |                               | ~        |
|  | target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                 | 556                           | 556                           | ~        |

2014-10-14, 23:01:16+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 2309         | 2309           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 1204         | 1204           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 87           | 87             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 67           | 67             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 55           | 55             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 66           | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 2309         | 2309           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 5            | 5              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 66           | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 1204         | 1204           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 66           | 66             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ✓        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 17402        | 17402          | ✓        |

| Τ                       |       |                         | <b>✓</b> |          |
|-------------------------|-------|-------------------------|----------|----------|
| Actual Function         | Count | Expected Function       | Count    | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1        | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1        | •        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1        | ~        |
| I2c_Send                | 1     | I2c_Send                | 1        | <b>✓</b> |
| GetSystemTime mS u32    | 1     | GetSystemTime mS u32    | 1        | •        |

| Test Step 2.7 (Repeat Count = 1)      |                                 | ✓ |
|---------------------------------------|---------------------------------|---|
| Name                                  | Input Value                     |   |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |   |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 66                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 77                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 88                              |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 0                               |   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 1                               |   |
| DigColPsInt_ColSnsrData_Cnt_M_u16     | 19910                           |   |
| DigColPsInt_CurrentSlave_Cnt_M_u08    | 56                              |   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READERROR_READ     |   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                               |   |

2014-10-14, 23:01:16+0530



| DigColPSini_GetData  |  |
|--|--|
| Name   | Input Value  |
| pigColPsInt_InitialTime_mS_M_u32   | 11503309   |
| igColPsInt_NackOccured_Cnt_M_lgc   | 0  |
| igColPsInt_PrevTransactionCnt_Cnt_M_u08  | 91   |
| igColPsInt_RecvOverrunError_Cnt_M_lgc  | 1  |
| igColPsInt_RecvdDataType_Cnt_M_u08   | 5  |
| igColPsInt_SensInitialized_Cnt_M_Igc   | 1  |
| igColPsInt_SpurSnsrData_Cnt_M_u16  | 18945  |
| igColPsInt_TransactionCnt_Cnt_M_u08  | 120  |
| trmnElapsedTime_mS_u16(ElapsedTime)  | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)  | target_GetSystemTime_mS_u32_CurrentTime            |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| purSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| cREG1_temp   | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08   | 45   |
| _I2CHWInitTransactionTime_Sec_f32  | 3.5  |
| rget_DtrmnElapsedTime_mS_u16_ElapsedTime   | 40811  |
| rget_GetSystemTime_mS_u32_CurrentTime  | 7492301  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 66   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 78   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 78   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 495  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 56   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 897  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 98   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 66   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 78   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 495  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 66   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 0  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 78   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 56   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 78   |
| liget_12c_Send_12cRegPtr_Cnt_T_str.DMAC  | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| arget_12c_Send_12cRegPtr_Cnt_T_str.DIR   | 0  |
| arget_12c_Send_12cRegPtr_Cnt_T_str.DIN   | 1  |
| arget I2c Send I2cRegPtr Cnt T str.DOUT  | 0  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 0  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 0  |
|  | 1  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                              | 66   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR                               | 78   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR                               | 78   |
| rget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL                              | 495  |
| rget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH                              | 56   |
| rget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT                               | 897  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                               | 98   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR                               | 66   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR                               | 78   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR                               | 495  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR                               | 66   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR                              | 0  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC                               | 78   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                             | 56   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12                             | 78   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC                              | 0  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN                               | 0  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR                               | 0  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN                               | 1  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT                              | 0  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET                               | 0  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR                               | 0  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR                               | 1  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD                                | 0  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL                               | 0  |
| irget_i2c_Setupinasiei fransinit_i2ckegFti_Cht_i_sti.FSL<br>irget_i2cREG1_temp.OAR | 66   |
|  | 78   |
|  | 10   |
|  | 78   |
| urget_i2cREG1_temp.IMR<br>urget_i2cREG1_temp.STR<br>urget_i2cREG1_temp.CLKL        | 78<br>495  |

2014-10-14, 23:01:16+0530



| Name  | Input Value                 |                             |          |
|---|-----------------------------|-----------------------------|----------|
| target_i2cREG1_temp.CNT                                 | 897                         |                             |          |
| target_i2cREG1_temp.DRR                                 | 98                          |                             |          |
| target_i2cREG1_temp.SAR                                 | 66                          |                             |          |
| target_i2cREG1_temp.DXR                                 | 78                          |                             |          |
| target_i2cREG1_temp.MDR                                 | 495                         |                             |          |
| target_i2cREG1_temp.IVR                                 | 66                          |                             |          |
| target_i2cREG1_temp.EMDR                                | 0                           |                             |          |
| target_i2cREG1_temp.PSC                                 | 78                          |                             |          |
| target_i2cREG1_temp.PID11                               | 56                          |                             |          |
| target_i2cREG1_temp.PID12                               | 78<br>0                     |                             |          |
| target_i2cREG1_temp.DMAC                                | 0                           |                             |          |
| target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR         | 0                           |                             |          |
| target_i2cREG1_temp.DIN                                 | 1                           |                             |          |
| target i2cREG1 temp.DOUT                                | 0                           |                             |          |
| target_i2cREG1_temp.SET                                 | 0                           |                             |          |
| target_i2cREG1_temp.CLR                                 | 0                           |                             |          |
| target_i2cREG1_temp.ODR                                 | 1                           |                             |          |
| target_i2cREG1_temp.PD                                  | 0                           |                             |          |
| target_i2cREG1_temp.PSL                                 | 0                           |                             |          |
| Name  | Actual Value                | Expected Value              | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                         | 66                          | 66                          | result   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                         | 77                          | 77                          | -        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                         | 88                          | 88                          |          |
| DigColPsInt BusBusySeqError Cnt M Igc                   | 0                           | 0                           |          |
| DigColPsInt_CurrentSlave_Cnt_M_u08                      | 56                          | 56                          |          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                    | INIT_SENSOR1_READERROR_READ | INIT_SENSOR1_READERROR_READ | <b>*</b> |
| DigColPsInt_GetData()                                   | 168                         | 168                         |          |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc                    | 0                           | 0                           | •        |
| DigColPsInt_NackOccured_Cnt_M_lgc                       | 0                           | 0                           | _        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                | 120                         | 120                         | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                  | 0                           | 0                           | _        |
| DigColPsInt_SensInitialized_Cnt_M_lgc                   | 1                           | 1                           | •        |
| target_ColSnsrDataPtr_Cnt_T_u16                         | 19910                       | 19910                       | _        |
| target_DataTypePtr_Cnt_T_u08                            | 5                           | 5                           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                 | 66                          | 66                          | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                 | 78                          | 78                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                 | 78                          | 78                          | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                | 495                         | 495                         | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                | 56                          | 56                          | ~        |
| target I2c Send I2cRegPtr Cnt T str.CNT                 | 897                         | 897                         | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                 | 98                          | 98                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                 | 66                          | 66                          | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                 | 78                          | 78                          | ~        |
| target I2c Send I2cRegPtr Cnt T str.MDR                 | 495                         | 495                         | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                 | 66                          | 66                          | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                | 0                           | 0                           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                 | 78                          | 78                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11               | 56                          | 56                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12               | 78                          | 78                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                | 0                           | 0                           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                 | 0                           | 0                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                 | 0                           | 0                           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                 | 1                           | 1                           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                | 0                           | 0                           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                 | 0                           | 0                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                 | 0                           | 0                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                 | 1                           | 1                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                  | 0                           | 0                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 0                           | 0                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 66                          | 66                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 78                          | 78                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 78                          | 78                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 495                         | 495                         | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 56                          | 56                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 897                         | 897                         | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 98                          | 98                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 66                          | 66                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 78                          | 78                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 495                         | 495                         | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 66                          | 66                          | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR | 0                           | 0                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 78                          | 78                          | ~        |
|   |                             |                             |          |

 $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL$ 

target\_SpurSnsrDataPtr\_Cnt\_T\_u16

DigColPsInt\_GetData

2014-10-14, 23:01:16+0530



Actual Value **Expected Value** target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID11 56 56  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12$ 78 78 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC 0 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.FUN 0 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIR 0 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN$ 1 1 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DOUT 0 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET$ 0 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR 0 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.ODR$ 1 1 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD 0 0

| T                       |       |                         |       | <b>✓</b> |  |
|-------------------------|-------|-------------------------|-------|----------|--|
| Actual Function         | Count | Expected Function       | Count | Result   |  |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |  |

0

18945

0

18945

| Test Step 2.8 (Repeat Count = 1)             |  |
|--|--|
| Name   | Input Value  |
| ColSnsrDataPtr_Cnt_T_u16                     | target_ColSnsrDataPtr_Cnt_T_u16                    |
| DataTypePtr Cnt T u08                        | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 40   |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 50   |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 60   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc        | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc        | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16            | 22295  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 63   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_SENSOR1_READERROR_SETREG                      |
| DigColPsInt InitFailedOnce Cnt M Igc         | 1  |
| DigColPsInt InitialTime mS M u32             | 12506061   |
| DigColPsInt_NackOccured_Cnt_M_lgc            | 1  |
|  | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08     | 0  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc       | 2  |
| DigColPsInt_RecvdDataType_Cnt_M_u08          |  |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16           | 20488  |
| DigColPsInt_TransactionCnt_Cnt_M_u08         | 51   |
| DtrmnElapsedTime_mS_u16(ElapsedTime)         | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)            | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16                    | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp                                 | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                | 52   |
| k_I2CHWInitTransactionTime_Sec_f32           | 3.9000001  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime   | 47405  |
| target_GetSystemTime_mS_u32_CurrentTime      | 8495053  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR      | 567  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR      | 44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR      | 4444   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL     | 566  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH     | 4466   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT      | 129  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR      | 6  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR      | 567  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR      | 44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR      | 566  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR      | 554  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR     | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC      | 44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11    | 4466   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12    | 44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC     | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN      | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR      | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN      | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT     | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET      | 1  |

2014-10-14, 23:01:16+0530



| Name  | Input Value                   |                               |          |
|---|-------------------------------|-------------------------------|----------|
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 2                             |                               |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 0                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                             |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR     | 567<br>44                     |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 4444                          |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 566                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 4466                          |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 129                           |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR     | 6<br>567                      |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 44                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 566                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 554                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 1                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 44<br>4466                    |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 44                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 1                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 2                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 0                             |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT   | 1                             |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR     | 2                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 0                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3                             |                               |          |
| target_i2cREG1_temp.OAR   | 567                           |                               |          |
| target_i2cREG1_temp.IMR   | 44                            |                               |          |
| target_i2cREG1_temp.STR<br>target_i2cREG1_temp.CLKL   | 566                           |                               |          |
| target i2cREG1_temp.CLKH  | 4466                          |                               |          |
| target_i2cREG1_temp.CNT   | 129                           |                               |          |
| target_i2cREG1_temp.DRR   | 6                             |                               |          |
| target_i2cREG1_temp.SAR   | 567                           |                               |          |
| target_i2cREG1_temp.DXR   | 44                            |                               |          |
| target_i2cREG1_temp.MDR   | 566<br>554                    |                               |          |
| target_i2cREG1_temp.IVR<br>target_i2cREG1_temp.EMDR   | 1                             |                               |          |
| target i2cREG1 temp.PSC   | 44                            |                               |          |
| target_i2cREG1_temp.PID11   | 4466                          |                               |          |
| target_i2cREG1_temp.PID12   | 44                            |                               |          |
| target_i2cREG1_temp.DMAC  | 1                             |                               |          |
| target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR   | 2                             |                               |          |
| target i2cREG1_temp.DIN   | 0                             |                               |          |
| target i2cREG1 temp.DOUT  | 1                             |                               |          |
| target_i2cREG1_temp.SET   | 1                             |                               |          |
| target_i2cREG1_temp.CLR   | 2                             |                               |          |
| target_i2cREG1_temp.ODR   | 0                             |                               |          |
| target_i2cREG1_temp.PD  | 3                             |                               |          |
| target_i2cREG1_temp.PSL  Name   | Actual Value                  | Expected Value                | Result   |
| DigColPsInt Buffer Cnt M u08[0]   | 36                            | 36                            | Kesuit   |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 50                            | 50                            | •        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 60                            | 60                            | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                             | 0                             | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 52                            | 52                            | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | <b>V</b> |
| DigColPsInt_GetData() DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                             | 0                             | -        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                             | 0                             | -        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 51                            | 51                            | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                             | 0                             | ~        |
| DigColPsInt_SensInitialized_Cnt_M_Igc   | 1                             | 1                             | ~        |
| I2c_Send(Length_Cnt_T_u32)  | 1                             | 1                             | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1                             | 1                             | · ·      |
| target_ColSnsrDataPtr_Cnt_T_u16 target_DataTypePtr_Cnt_T_u08  | 22295                         | 22295                         | <b>*</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 567                           | 567                           | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 44                            | 44                            | •        |
|   |                               |                               |          |





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 4444         | 4444           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 566          | 566            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 4466         | 4466           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 129          | 129            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 6            | 6              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 567          | 567            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 44           | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 566          | 566            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 554          | 554            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 1            | 1              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.PSC                  | 44           | 44             | ~        |
| target I2c Send I2cRegPtr Cnt T str.PID11                | 4466         | 4466           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 44           | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 1            | 1              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.FUN                  | 1            | 1              |          |
| target I2c Send I2cRegPtr Cnt T str.DIR                  | 2            | 2              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 0            | 0              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 1            | 1              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 1            | 1              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 2            | 2              | <b>~</b> |
| target I2c Send I2cRegPtr Cnt T str.ODR                  | 0            | 0              |          |
| target I2c Send I2cRegPtr Cnt T str.PD                   | 3            | 3              | ~        |
| target I2c Send I2cRegPtr Cnt T str.PSL                  | 3            | 3              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 567          | 567            | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 44           | 44             |          |
| target_I2C_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 566          | 566            |          |
|  | 4466         | 4466           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129<br>6     | 129<br>6       |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 567          | 567            |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   |              |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 554          | 554            |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 1            |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 20488        | 20488          | ~        |

| T .                     |       |                         | <b>✓</b> |        |
|-------------------------|-------|-------------------------|----------|--------|
| Actual Function         | Count | Expected Function       | Count    | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1        | ~      |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1        | •      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1        | ~      |
| I2c_Send                | 1     | I2c_Send                | 1        | •      |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1        | ~      |

| Test Step 2.9 (Repeat Count = 1)      |                                 | ✓ |
|---------------------------------------|---------------------------------|---|
| Name                                  | Input Value                     |   |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |   |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 70                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 80                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 90                              |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 0                               |   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 1                               |   |
| DigColPsInt_ColSnsrData_Cnt_M_u16     | 24680                           |   |
| DigColPsInt_CurrentSlave_Cnt_M_u08    | 70                              |   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READEXTERR_SETREG  |   |

2014-10-14, 23:01:16+0530



| Name   | DigColPSint_GetData                                     | TO T |
|--|---|--|
| Digitable   Digi   | Name  | Input Value                              |
| Disposition   Province   Disposition   Dis   | DigColPsInt_InitFailedOnce_Cnt_M_lgc                    | 0  |
| Spicialist   Providence   Pro   | DigColPsInt_InitialTime_mS_M_u32                        | 13508813                                 |
| 10 Colonient, Recordious Proc. CM, Mgs   | DigColPsInt_NackOccured_Cnt_M_lgc                       | 0  |
| 30,000   190,0   | DigColPsInt_PrevTransactionCnt_Cnt_M_u08                | 255                                      |
| Disposer   Secretaria   Disposer   Dispose   | DigColPsInt_RecvOverrunError_Cnt_M_lgc                  | 1  |
| Disposition   Transcription   Disposition    | DigColPsInt_RecvdDataType_Cnt_M_u08                     | 3  |
| Second   S   | DigColPsInt SensInitialized Cnt M Igc                   | 1  |
|  | DigColPsInt SpurSnsrData Cnt M u16                      | 22031                                    |
|  |   | 65                                       |
| Selection   Sele   |   |  |
| 22. Sendopt-Regiftr Cnt_Tat)         target [22. Setup)           5gu-Shrabater Dr.Ct_Tat)         target [22. Setup)           5gu-Shrabater Dr.Ct_Tat)         target [22. Setup)           5gu-Shrabater Dr.Ct_Tat)         target [22. Setup)           6gu-Shrabater Dr.Ct_Tat)         target [22. Setup)           6gu-Shrabater Dr.Ct_Tat)         4.0000019           9. CoNivernation Dr. Shrabater Dr.Ct_Tat)         4.0000019           9. Septil (SetSyether Dr.Ct_Tat)         4.00000019  |   |  |
| Ze. SetupAssate-Transmill (26RepPt_CMT_str)         torget_26. SetupAssate-Transmill (26RepPt_CMT_str)           publishioshaper_Cmt_min         torget_26REG1_temp           ColSomeritZAddress Cnt u.08         59           J. CO-Minist Transmictor Time_8e_8e_022         4,0000019           get_Commission Time_8e_8e_022         4,0000019           appet_Commission Time_8e_022         4,0000019           appet_Com   |   |  |
| Saudhard Carlot Turk   |   |  |
| Confidence   Con   |   |  |
| ColsineritZcAddress Crit. U8   |   |  |
|  |   |  |
| arget_DemoCalesylentrine_mS_sty2_Currentrine arget_Los_Send_Los_Rept_Cort_tat_NAR arg |   |  |
| angel, LoSe Send, LoSenghr, Cort, T. Str. MIR  angel, LoS. Send, LoSenghr, Cort, T. Str. Cirkl  angel, LoS. Send, LoSenghr, Cort, T. Str. Cirkl  577  angel, LoS. Send, LoSenghr, Cort, T. Str. Cirkl  578  angel, LoS. Send, LoSenghr, Cort, T. Str. Cirkl  579  angel, LoS. Send, LoSenghr, Cort, T. Str. Cirkl  579  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  23  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  24  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  25  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  26  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  27  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  28  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  29  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  20  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  20  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  20  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  20  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  20  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  21  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  22  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  23  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  24  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  25  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  26  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  27  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  28  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  29  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  30  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  31  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  32  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  33  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  34  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  35  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  36  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  37  angel, LoS. Send, LoSenghr, Cort, T. Str. DirkR  38  ang |   |  |
| arget_12e_Send_12cRegNtr_CRT_strUMR  89 arget_12e_Send_12cRegNtr_CRT_strUMR  89 arget_12e_Send_12cRegNtr_CRT_strUMR  80 arget_12e_Send_12cRegNtr_CRT_strUMR  80 arget_12e_Send_12cRegNtr_CRT_strUMR  81 arget_12e_Send_12cRegNtr_CRT_strUMR  82 arget_12e_Send_12cRegNtr_CRT_strUMR  83 arget_12e_Send_12cRegNtr_CRT_strUMR  84 arget_12e_Send_12cRegNtr_CRT_strUMR  85 arget_12e_Send_12cRegNtr_CRT_strUMR  86 arget_12e_Send_12cRegNtr_CRT_strUMR  87 arget_12e_Send_12cRegNtr_CRT_strUMR  88 arget_12e_Send_12cRegNtr_CRT_strUMR  89 arget_12e_Send_12cRegNtr_CRT_strUMR  89 arget_12e_Send_12cRegNtr_CRT_strUMR  80 arget_12e_Send_12cRegNtr_CRT_strUMR  81 arget_12e_Send_12cRegNtr_CRT_strUMR  82 arget_12e_Send_12cRegNtr_CRT_strUMR  83 arget_12e_Send_12cRegNtr_CRT_strUMR  84 arget_12e_Send_12cRegNtr_CRT_strUMR  85 arget_12e_Send_12cRegNtr_CRT_strUMR  86 arget_12e_Send_12cRegNtr_CRT_strUMR  87 arget_12e_Send_12cRegNtr_CRT_strUMR  88 arget_12e_Send_12cRegNtr_CRT_strUMR  89 arget_12e_Send_12cRegNtr_CRT_strUMR  80 arget_ |   |  |
| arget_12e_Send_12eReptPt_COT_T_str.DN arget_12e_Send_12eReptPt_COT_T_str.CLKL 7 arget_12e_Send_12eReptPt_COT_T_str.CLKL 7 arget_12e_Send_12eReptPt_COT_T_str.CLKL 7 arget_12e_Send_12eReptPt_COT_T_str.CLKL 7 arget_12e_Send_12eReptPt_COT_T_str.CNT 88 arget_12e_Send_12eReptPt_COT_T_str.CNT 88 arget_12e_Send_12eReptPt_COT_T_str.DNR 23 arget_12e_Send_12eReptPt_COT_T_str.DNR 89 arget_12e_Send_12eReptPt_COT_T_str.DNR 80 arget_12e_Send_12eReptPt_COT_T_str.DNR 80 arget_12e_Send_12eReptPt_COT_T_str.DNR 80 arget_12e_Send_12eReptPt_COT_T_str.DNR 81 arget_12e_Send_12eReptPt_COT_T_str.DNR 82 arget_12e_Send_12eReptPt_COT_T_str.DNR 83 arget_12e_Send_12eReptPt_COT_T_str.DNR 84 arget_12e_Send_12eReptPt_COT_T_str.DNR 85 arget_12e_Send_12eReptPt_COT_T_str.DNR 86 arget_12e_Send_12eReptPt_COT_T_str.DNR 87 arget_12e_Send_12eReptPt_COT_T_str.DNR 88 arget_12e_Send_12eReptPt_COT_T_str.DNR 89 arget_12e_Send_12eReptPt_COT_T_str.DNR 80 arget_12e_Send_12eReptPt_COT_T_str.DNR 80 arget_12e_Send_12eReptPt_COT_T_str.DNR 81 arget_12e_Send_12eReptPt_COT_T_str.DNR 82 arget_12e_Send_12eReptPt_COT_T_str.DNR 83 arget_12e_Send_12eReptPt_COT_T_str.DNR 84 arget_12e_Send_12eReptPt_COT_T_str.DNR 85 arget_12e_Send_12eReptPt_COT_T_str.DNR 86 arget_12e_Send_12eReptPt_COT_T_str.DNR 87 arget_12e_Send_12eReptPt_COT_T_str.DNR 88 arget_12e_Send_12eReptPt_COT_T_str.DNR 89 arget_12e_Send_12eReptPt_COT_T_str.DNR 80 arget_12e_Send_12eReptPt_COT_T_str |   |  |
| arget Lize, Send J2CRepPH_CNT_T ST LYCLKI  arget Lize, Send J2CRepPH_CNT_T ST LYCLKI  7  arget Lize, Send J2CRepPH_CNT_T ST LYCLKI  577  arget Lize, Send J2CRepPH_CNT_T ST LYCLKI  88  arget Lize, Send J2CRepPH_CNT_T ST LYCRY  88  arget Lize, Send J2CRepPH_CNT_T ST LYCRY  88  arget Lize, Send J2CRepPH_CNT_T ST LYCRY  89  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  89  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  89  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  80  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  81  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  82  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  83  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  84  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  85  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  86  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  87  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  87  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  88  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  89  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  89  arget Lize, Send J2CRepPH_CNT_T ST LYCLX  80  arget Lize, Send J2CRe |   |  |
| arget 12c Send (2cRepPtr_Cnt_T str.CLK)  7 arget 12c Send (2cRepPtr_Cnt_T str.CLK)  88 arget 12c Send (2cRepPtr_Cnt_T str.DRR  89 arget 12c Send (2cRepPtr_Cnt_T str.DRR  80 arget 12c Send (2cRepPtr_Cnt_T str.DRR  81 arget 12c Send (2cRepPtr_Cnt_T str.DRR  82 arget 12c Send (2cRepPtr_Cnt_T str.DRR  83 arget 12c Send (2cRepPtr_Cnt_T str.DRR  84 arget 12c Send (2cRepPtr_Cnt_T str.DRR  85 arget 12c Send (2cRepPtr_Cnt_T str.DRR  86 arget 12c Send (2cRepPtr_Cnt_T str.DRR  87 arget 12c Send (2cRepPtr_Cnt_T str.DRR  88 arget 12c Send (2cRepPtr_Cnt_T str.DRR  89 arget 12c Send (2cRepPtr_Cnt_T str.DRR  80 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  80 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  81 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  82 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  83 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  84 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  85 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  86 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  87 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  88 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  89 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  80 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  80 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  81 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  82 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  83 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  84 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  85 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  86 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  87 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  88 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  89 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  80 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  80 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  81 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  82 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  83 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  84 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  85 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  86 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  87 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  88 arget 12c Send (2cRepPtr_Cnt_T str.DRR)  89 arget 12c Send (2cRepPtr_Cnt_T str. |   |  |
| ### ### ### ### ### ### ### ### ### ##   |   |  |
| arget LZc, Send J2cRegPtr_CntT_str.DRR         23           arget LZc, Send J2cRegPtr_CntT_str.DRR         23           arget LZc, Send J2cRegPtr_CntT_str.DRR         85           arget LZc, Send J2cRegPtr_CntT_str.DRR         89           arget LZc, Send J2cRegPtr_CntT_str.DRR         7           arget LZc, Send J2cRegPtr_CntT_str.DRR         44           arget LZc, Send J2cRegPtr_CntT_str.DRR         2           arget LZc, Send J2cRegPtr_CntT_str.DRR         0           arget LZc, Send J2cRegPtr_CntT_str.DRR   |   |  |
| arget_12e_Send_12cRegPt_CntT_str.DRR   |   |  |
| arget 12c, Send 12cRegiPt_Cnt_T str DXR  44  arget 12c, Send 12cRegiPt_Cnt_T str DXR  2  arget 12c, Send 12cRegiPt_Cnt_T str DXR  2  arget 12c, Send 12cRegiPt_Cnt_T str DXR  2  arget 12c, Send 12cRegiPt_Cnt_T str DXR  3  arget 12c, Send 12cRegiPt_Cnt_T str DXR  4  arget 12c, Send 12cRegiPt_Cnt_T str DXR  4  arget 12c, Send 12cRegiPt_Cnt_T str DXR  4  arget 12c, Send 12cRegiPt_Cnt_T str DXR  5  arget 12c, Send 12cRegiPt_Cnt_T str DXR  6  arget 12c, Send 12cRegiPt_Cnt_T str DXR  7  arget 12c, Send 12cRegiPt_Cnt_T str DXR  8  arget 12c, Send 12cRegiPt_Cnt_T str DXR  9  arget 12c, SetupMasterTransmt_12cRegiPt_Cnt_T str DXR  9  arget 12c,  | arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  |  |
| siget Liz, Send, J2cRegPtr_Cnt_T, str.DNR         7           siget Liz, Send, J2cRegPtr_Cnt_T, str.NDR         7           siget Liz, Send, J2cRegPtr_Cnt_T, str.NDR         2           siget Liz, Send, J2cRegPtr_Cnt_T, str.PDN         2           siget Liz, Send, J2cRegPtr_Cnt_T, str.PDN         2           siget Liz, Send, J2cRegPtr_Cnt_T, str.PDN         3           siget Liz, Send, J2cRegPtr_Cnt_T, str.PDN         3           siget, Liz, Send, J2cRegPtr_Cnt_T, str.PDN         0           siget, Liz, Send, J2cRegPtr_Cnt_T, str.DDN         1           siget, Liz, Send, J2cRegPtr_Cnt_T, str.DDN         0           siget, Liz, Send, J2cRegPtr_Cnt_T, str.DDN         1           siget, Liz, Send, J2cRegPtr_Cnt_T, str.DDR         1           siget, Liz, Send, J2cRegPtr_Cnt_T, str.DDR         1           siget, Liz, Send, J2cRegPtr_Cnt_T, str.DDR         1           siget, Liz, Send, Liz, SergePtr_Cnt_T, str.DDR         2           siget, Liz, SeutyMasterTransmil, Liz, Liz, Liz, Liz, Liz, Liz, Liz, Liz   |   |  |
| arget_12c_Send_12cRegPtr_Cnt_T_str.MDR  arget_12c_Send_12cRegPtr_Cnt_T_str.MDR  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  2  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  2  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  2  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  3  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  4  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  2  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  2  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  3  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  4  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  4  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  5  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  6  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  7  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  7  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  8  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  9  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  1  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  2  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  3  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  4  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  5  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  7  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  9  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  9  arget_12c_Send_12cRegPtr_Cnt_T_str.EMDR  9  arget_12c_Send_12cRegPtr_Cnt_T | arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 65                                       |
| arget 12c. Send 12cRegPtr_Cnt_Tstr.EMDR         2           arget 12c. Send 12cRegPtr_Cnt_Tstr.EMDR         2           arget 12c. Send 12cRegPtr_Cnt_Tstr.EMDR         2           arget 12c. Send 12cRegPtr_Cnt_Tstr.EMD11         577           arget 12c. Send 12cRegPtr_Cnt_Tstr.EMD12         89           arget 12c. Send 12cRegPtr_Cnt_Tstr.DMAC         2           arget 12c. Send 12cRegPtr_Cnt_Tstr.DM         0           arget 12c. Send 12cRegPtr_Cnt_Tstr.DM         0           arget 12c. Send 12cRegPtr_Cnt_Tstr.DM         1           arget 12c. Send 12cRegPtr_Cnt_Tstr.DM         6           arget 12c. Send 12cRegPtr_Cnt_Tstr.DM         8           arget 12c. SetupMasterTransmit_2cRegPtr_Cnt_Tstr.DM         8           arget 12c. SetupMasterTransmit_2cRegPtr   | arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 89                                       |
| arget_12c_Send_12cRegPtr_Cnt_Tstr_PSC         9           arget_12c_Send_12cRegPtr_Cnt_Tstr_PSC         9           arget_12c_Send_12cRegPtr_Cnt_Tstr_PID11         577           arget_12c_Send_12cRegPtr_Cnt_Tstr_PID12         89           arget_12c_Send_12cRegPtr_Cnt_Tstr_DMAC         2           arget_12c_Send_12cRegPtr_Cnt_Tstr_DMAC         2           arget_12c_Send_12cRegPtr_Cnt_Tstr_DMN         0           arget_12c_Send_12cRegPtr_Cnt_Tstr_DMN         1           arget_12c_Send_12cRegPtr_Cnt_Tstr_DMN         1           arget_12c_Send_12cRegPtr_Cnt_Tstr_DMN         1           arget_12c_Send_12cRegPtr_Cnt_Tstr_DMT         2           arget_12c_Send_12cRegPtr_Cnt_Tstr_DMT         0           arget_12c_Send_12cRegPtr_Cnt_Tstr_DDMT         1           arget_12c_Send_12cRegPtr_Cnt_Tstr_DDMT         2           arget_12c_Send_12cRegPtr_Cnt_Tstr_DDMT         1           arget_12c_Send_12cRegPtr_Cnt_Tstr_DDMT         2           arget_12c_Send_12cRegPtr_Cnt_Tstr_DDMT         1           arget_12c_Send_12cRegPtr_Cnt_Tstr_DMT         6           arget_12c_Send_12cRegPtr_Cnt_Tstr_DMT         6           arget_12c_Send_22cRegPtr_Cnt_Tstr_DMT         89           arget_12c_Send_basterTransmit_12cRegPtr_Cnt_Tstr_DMT         7           arget_12c_Send_basterTransmit_12cRegPtr_   | arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 7  |
| arget 12c_Send 12cRegPtr_Cnt_T_str.PDC         89           arget 12c_Send_12cRegPtr_Cnt_T_str.PD111         577           arget 12c_Send_12cRegPtr_Cnt_T_str.PD12         89           arget 12c_Send_12cRegPtr_Cnt_T_str.DDAC         2           arget_12c_Send_12cRegPtr_Cnt_T_str.DDN         0           street_12c_Send_12cRegPtr_Cnt_T_str.DDN         0           arget_12c_Send_12cRegPtr_Cnt_T_str.DDN         1           arget_12c_Send_12cRegPtr_Cnt_T_str.DDN         1           arget_12c_Send_12cRegPtr_Cnt_T_str.DDN         2           arget_12c_Send_12cRegPtr_Cnt_T_str.DDN         1           arget_12c_Send_12cRegPtr_Cnt_T_str.DDN         1           arget_12c_Send_12cRegPtr_Cnt_T_str.DDR         0           arget_12c_Send_12cRegPtr_Cnt_T_str.DDR         1           arget_12c_Send_12cRegPtr_Cnt_T_str.DDR         1           arget_12c_Send_12cRegPtr_Cnt_T_str.DDR         2           arget_12c_Send_12cRegPtr_Cnt_T_str.DAR         65           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         65           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLK         7           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLK         7           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         65           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR  | arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 44                                       |
|  | arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 2  |
| arget_12c_Send_12cRegPtr_Cnt_T_str.PID12   | arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 89                                       |
| arget 12c Send 12cRepPtr_Cnt_T_str.DNAC  arget, 12c Send 12cRepPtr_Cnt_T_str.DNN  arget, 12c Send 12cRepPtr_Cnt_T_str.DNT  arget, 12c Send 12cRepPtr_Cnt_T_str.DNT  arget, 12c Send 12cRepPtr_Cnt_T_str.DRN  arget, 12c Send 12cRepPtr_Cnt_T_str.D | arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 577                                      |
| arget_12c_Send_12cRepPr_Cnt_T_str.DNAC  arget_12c_Send_12cRepPr_Cnt_T_str.DNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNUT  arget_12c_Send_12cRepPr_Cnt_T_str.DUT  arget_12c_Send_12cRepPr_Cnt_T_str.DUT  arget_12c_Send_12cRepPr_Cnt_T_str.DNT  arget_12c_Send_12cRepPr_Cnt_T_str.DNDN  arget_12c_Send_12cRepPr_Cnt_T_str.DNDNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNDNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNDNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNDNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNDNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNDNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNDNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNDNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNDNN  arget_12c_Send_12cRepPr_Cnt_T_str.DNDN  arge | arget I2c Send I2cRegPtr Cnt T str.PID12                | 89                                       |
| arget_12c_Send_12cRegPtr_Cnt_T_str.DIR   | arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 2  |
| arget_12c_Send_12cRegPtr_Cnt_T_str.DIN 1 arget_12c_Send_12cRegPtr_Cnt_T_str.DIN 1 arget_12c_Send_12cRegPtr_Cnt_T_str.DUT 2 arget_12c_Send_12cRegPtr_Cnt_T_str.DUT 2 arget_12c_Send_12cRegPtr_Cnt_T_str.DET 0 arget_12c_Send_12cRegPtr_Cnt_T_str.DET 0 arget_12c_Send_12cRegPtr_Cnt_T_str.DER 0 arget_12c_Send_12cRegPtr_Cnt_T_str.DER 1 arget_12c_Send_12cRegPtr_Cnt_T_str.DDR 1 arget_12c_Send_12cRegPtr_Cnt_T_str.DDR 1 arget_12c_Send_12cRegPtr_Cnt_T_str.DDR 0 arget_12c_Send_12cRegPtr_Cnt_T_str.DER 0 arget_12c_Send_12cRegPtr_Cnt_T_str.DER 0 arget_12c_Send_12cRegPtr_Cnt_T_str.DER 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER 65 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER 7 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER 7 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER 7 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER 23 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER 23 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER 23 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER 89 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER 70 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str. | arget I2c Send I2cRegPtr Cnt T str.FUN                  | 0  |
| arget, 12c, Send, 12cRegPtr, Cnt, T, str. DOUT   |   | 0  |
| arget_12c_Send_12cRegPtr_Cnt_T_str.SET         2           arget_12c_Send_12cRegPtr_Cnt_T_str.SET         2           arget_12c_Send_12cRegPtr_Cnt_T_str.CDR         0           arget_12c_Send_12cRegPtr_Cnt_T_str.DDR         1           arget_12c_Send_12cRegPtr_Cnt_T_str.DD         2           arget_12c_Send_12cRegPtr_Cnt_T_str.PD         2           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.OAR         65           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR         67           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH         7           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH         577           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH         577           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         23           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         23           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         66           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         89           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR         7           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.BMDR         2           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DND         2           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DND         9           arget_12c_SetupMasterTransmit_   |   |  |
| arget_12c_Send_12cRegPtr_Cnt_T_str.CLR         0           arget_12c_Send_12cRegPtr_Cnt_T_str.CDR         0           arget_12c_Send_12cRegPtr_Cnt_T_str.ODR         1           arget_12c_Send_12cRegPtr_Cnt_T_str.PD         2           arget_12c_Send_12cRegPtr_Cnt_T_str.PSL         0           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.NDR         65           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR         67           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         7           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         7           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT         88           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         23           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         23           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNR         89           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.NNR         89           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNR         7           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR         7           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNC         2           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNC         2           arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNC         2           arget_12c_SetupMas   |   |  |
| arget_ Zc_Send_ ZcRegPtr_Cnt_T_str.CDR   |   |  |
| arget_12c_Send_12cRegPt_Cnt_T_str.DDR arget_12c_Send_12cRegPt_Cnt_T_str.PD arget_12c_Send_12cRegPt_Cnt_T_str.PD arget_12c_Send_12cRegPt_Cnt_T_str.PD arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.MR  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.MR  89 arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.STR 67 arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.CkL  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.CkL  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.CkL  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.CkL  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.CkT  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.PSC  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.PSC  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.PSC  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DID1  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DID1  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DID2  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DID2  arget_12c_SetupMasterTransmit_12cRegPt_Cnt_T_str.DIR   |   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD         2           arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         0           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR         65           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR         89           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL         7           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL         7           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT         88           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         23           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         23           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         89           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         7           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         7           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.WR         44           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         2           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DID         5           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DID         6           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN         0           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN         0           arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN         1 </td <td></td> <td></td>  |   |  |
| arget   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DAR         65           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DAR         89           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.STR         67           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.CLKL         7           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.CLKL         7           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.CNT         88           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DRR         23           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DRR         23           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DXR         65           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DXR         89           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DXR         44           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DRR         2           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.PDD         89           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DNA         9           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DDD         89           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DNA         2           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DNA         2           arget,   Ze, SetupMasterTransmit,   2cRegPtr_Cnt_T_str.DNA         <  |   |  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.OAR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL 577 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH 577 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH 577 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 32 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 33 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 34 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR 35 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR 37 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 37 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 37 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 37 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 37 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 38 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 39 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 30 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 40 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 41 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 42 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 43 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.INDR 44 45 46 46 47 48 48 48 49 48 49 49 49 40 40 40 40 40 40 40 40 40 40 40 40 40  | · ·   |  |
| arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR 67 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR 67 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL 77 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH 577 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH 577 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT 88 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 23 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 65 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 70 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 71 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 72 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 72 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 73 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 74 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 74 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 74 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 74 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_ |   |  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL 7 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH 577 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT 88 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 23 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 23 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 65 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 7 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 7 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 7 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 7 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRDR 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDT 377 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDT 378 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDT 379 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDT 370 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR 371 372 373 374 374 375 377 377 377 377 377 377 377 377 377   |   |  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PDR arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD11 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD12 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNAC arget_12c_SetupMasterT |   |  |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11  577  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNAC  arget_12c_SetupMasterTransmit_1 |   |  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SAR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR  7  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.WR  44  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PDT  37  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD111  577  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD12  89  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR  0  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR  0  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR  1  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN  1  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN  1  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT  3  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT  4  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT  5  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT  6  arge |   |  |
| arget_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR  |   |  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.WR  44  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11  577  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12  89  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNAC  arget_12c_Setu |   |  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11  577  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNAC  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DU | · ·   |  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.IVR  44  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11  577  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12  89  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DN  0  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIV  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR  0  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR  0  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  1  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  1  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  3  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  4  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  5  6  6  6  6  6  6  6  6  6  6  6  6  |   |  |
| arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  44  arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  89  arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  577  arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  89  arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  0 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  1 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT  2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR  1 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR  1 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR  2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR  2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR  2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD  2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD  2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD  3 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD  4 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD  5 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD  6 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD  |   |  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11  577  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12  89  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR  0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN  1 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  1 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DD  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DD  2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DD  3 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DD  4 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DD  5 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DD  6 5  |   |  |
| arget_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.PID11  |   |  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11 577  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12 89  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC 2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC 0  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR 0  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN 1  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT 2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET 2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR 0  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR 1  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR 1  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR 2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD 2  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 0  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 0  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 0  arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 65  |   |  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12 89 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.FUN 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN 1 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR 1 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR 1 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 65  | arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89                                       |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.FUN 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN 1 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.ODR 1 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DD 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 65  | arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 577                                      |
| arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 0 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 0 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 1 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 0 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 1 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DD 2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD 2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL 0 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL 65  | arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89                                       |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR       0         arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       1         arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT       2         arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET       2         arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR       0         arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.ODR       1         arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD       2         arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL       0         arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL       0         arget_12c_REG1_temp.OAR       65   | arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2  |
| arget_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DIN  | arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN 1 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.ODR 1 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DD 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 65   | arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.ODR 1 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 65   | arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.ODR 1 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD 2 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 0 arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 65  |   | 2  |
| arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 0 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 1 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD 2 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL 0 arget_l2c_REG1_temp.OAR 65  |   |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR 1 arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD 2 arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL 0 arget_I2c_REG1_temp.OAR 65  |   |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD 2 arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL 0 arget_i2cREG1_temp.OAR 65   |   |  |
| arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL 0 arget_i2cREG1_temp.OAR 65  |   |  |
| arget_i2cREG1_temp.OAR 65  |   |  |
|  |   |  |
| agoc_EoneOn_companyin  |   |  |
| arget i2cREG1 temp.STR 67  |   |  |
| arget_i2cREG1_temp.STR         67           arget_i2cREG1_temp.CLKL         7  |   |  |

2014-10-14, 23:01:16+0530



|   |                                | • |          |
|---|--------------------------------|---|----------|
| Name  | Input Value                    |   |          |
|   | ·                              |   |          |
| target_i2cREG1_temp.CLKH                                | 577                            |   |          |
| target_i2cREG1_temp.CNT                                 | 88                             |   |          |
| target_i2cREG1_temp.DRR                                 | 23                             |   |          |
| target_i2cREG1_temp.SAR                                 | 65                             |   |          |
| target_i2cREG1_temp.DXR                                 | 89                             |   |          |
| target_i2cREG1_temp.MDR                                 | 7                              |   |          |
| target_i2cREG1_temp.IVR                                 | 44                             |   |          |
| target_i2cREG1_temp.EMDR                                | 2                              |   |          |
| target_i2cREG1_temp.PSC                                 | 89                             |   |          |
| target i2cREG1 temp.PID11                               | 577                            |   |          |
|   | 89                             |   |          |
| target_i2cREG1_temp.PID12                               |                                |   |          |
| target_i2cREG1_temp.DMAC                                | 2                              |   |          |
| target_i2cREG1_temp.FUN                                 | 0                              |   |          |
| target_i2cREG1_temp.DIR                                 | 0                              |   |          |
| target_i2cREG1_temp.DIN                                 | 1                              |   |          |
| target_i2cREG1_temp.DOUT                                | 2                              |   |          |
| target_i2cREG1_temp.SET                                 | 2                              |   |          |
| target_i2cREG1_temp.CLR                                 | 0                              |   |          |
| target i2cREG1 temp.ODR                                 | 1                              |   |          |
|   |                                |   |          |
| target_i2cREG1_temp.PD                                  | 2                              |   |          |
| target_i2cREG1_temp.PSL                                 | 0                              |   |          |
| Name  | Actual Value                   | Expected Value                          | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                         | 70                             | 70                                      | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                         | 80                             | 80                                      | <b>~</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2]                         | 90                             | 90                                      | _        |
|   |                                | 0                                       | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc                   | 0                              |   |          |
| DigColPsInt_CurrentSlave_Cnt_M_u08                      | 70                             | 70                                      | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                    | INIT_SENSOR1_READEXTERR_SETREG | INIT_SENSOR1_READEXTERR_SETREG          | •        |
| DigColPsInt_GetData()                                   | 168                            | 168                                     | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc                    | 0                              | 0                                       | <b>✓</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc                       | 0                              | 0                                       | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                | 65                             | 65                                      | <b>✓</b> |
|   | 0                              | 0                                       |          |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                  |                                |   |          |
| DigColPsInt_SensInitialized_Cnt_M_lgc                   | 1                              | 1                                       | •        |
| target_ColSnsrDataPtr_Cnt_T_u16                         | 24680                          | 24680                                   | ~        |
| target_DataTypePtr_Cnt_T_u08                            | 3                              | 3                                       | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                 | 65                             | 65                                      | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                 | 89                             | 89                                      | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                 | 67                             | 67                                      | _        |
| target I2c Send I2cRegPtr Cnt T str.CLKL                | 7                              | 7                                       | •        |
| · ·   |                                | 577                                     |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH                | 577                            |   |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT                 | 88                             | 88                                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                 | 23                             | 23                                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                 | 65                             | 65                                      | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR                 | 89                             | 89                                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                 | 7                              | 7                                       | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.IVR                 | 44                             | 44                                      | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                | 2                              | 2                                       | <b>V</b> |
| target I2c Send I2cRegPtr Cnt T str.PSC                 | 89                             | 89                                      |          |
|   |                                |   |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11               | 577                            | 577                                     | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12               | 89                             | 89                                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                | 2                              | 2                                       | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                 | 0                              | 0                                       | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                 | 0                              | 0                                       | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                 | 1                              | 1                                       | ~        |
| target I2c Send I2cRegPtr Cnt T str.DOUT                | 2                              | 2                                       | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                 | 2                              | 2                                       |          |
|   |                                |   |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                 | 0                              | 0                                       | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                 | 1                              | 1                                       | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                  | 2                              | 2                                       | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 0                              | 0                                       | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 65                             | 65                                      | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89                             | 89                                      | -        |
|   | 67                             | 67                                      | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  |                                |   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 7                              | 7                                       | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 577                            | 577                                     | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 88                             | 88                                      | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 23                             | 23                                      | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65                             | 65                                      | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 89                             | 89                                      | <b>4</b> |
|   | 7                              | 7                                       | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  |                                |   | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 44                             | 44                                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR | 2                              | 2                                       |          |
|   |                                |   |          |

target\_SpurSnsrDataPtr\_Cnt\_T\_u16

DigColPsInt\_GetData

2014-10-14, 23:01:16+0530



| Actual Value | Expected Value   | Result  |
|--------------|--|---|
| 89           | 89   | ~   |
| 577          | 577  | ~   |
| 89           | 89   | ~   |
| 2            | 2  | ~   |
| 0            | 0  | •   |
| 0            | 0  | ~   |
| 1            | 1  | <b>✓</b>  |
| 2            | 2  | ~   |
| 2            | 2  | ~   |
| 0            | 0  | ~   |
| 1            | 1  | ~   |
| 2            | 2  | ~   |
| 0            | 0  | ~   |
|              | 89<br>577<br>89<br>2<br>0<br>0<br>1<br>2<br>2<br>0<br>1<br>2 | 89     89       577     577       89     89       2     2       0     0       1     1       2     2       0     0       1     1       2     2       0     0       1     1       2     2       0     0       1     1       2     2 |

| T                       |       |                         | V     |        |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

22031

22031

| Test Step 2.10 (Repeat Count = 1)           |  |
|---|--|
| Name  | Input Value  |
| ColSnsrDataPtr_Cnt_T_u16                    | target_ColSnsrDataPtr_Cnt_T_u16                    |
| DataTypePtr_Cnt_T_u08                       | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt_Buffer_Cnt_M_u08[0]             | 3  |
| DigColPsInt_Buffer_Cnt_M_u08[1]             | 6  |
| DigColPsInt_Buffer_Cnt_M_u08[2]             | 9  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc       | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc       | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16           | 27065  |
| DigColPsInt_CurrentSlave_Cnt_M_u08          | 77   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum        | INIT_SENSOR2_READERROR_SETREG                      |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc        | 0  |
| DigColPsInt_InitialTime_mS_M_u32            | 14511565   |
| DigColPsInt_NackOccured_Cnt_M_lgc           | 1  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08    | 130  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc      | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08         | 4  |
| DigColPsInt_SensInitialized_Cnt_M_lgc       | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16          | 23574  |
| DigColPsInt TransactionCnt Cnt M u08        | 79   |
| OtrmnElapsedTime mS u16(ElapsedTime)        | target DtrmnElapsedTime mS u16 ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)           | target_GetSystemTime_mS_u32_CurrentTime            |
| 2c Send(I2cRegPtr Cnt T str)                | target I2c Send I2cRegPtr Cnt T str                |
| 2c SetupMasterTransmit(I2cRegPtr Cnt T str) | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |
| SpurSnsrDataPtr Cnt T u16                   | target SpurSnsrDataPtr Cnt T u16                   |
| 2cREG1 temp                                 | target_i2cREG1_temp                                |
| ColSensorl2CAddress Cnt u08                 | 66   |
| C I2CHWInitTransactionTime Sec f32          | 4.69999981   |
| arget DtrmnElapsedTime mS u16 ElapsedTime   | 741  |
| arget_GetSystemTime_mS_u32_CurrentTime      | 10500557   |
| arget I2c Send I2cRegPtr Cnt T str.OAR      | 54   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR      | 66   |
| arget I2c Send I2cRegPtr Cnt T str.STR      | 8  |
| arget I2c Send I2cRegPtr Cnt T str.CLKL     | 554  |
| arget I2c Send I2cRegPtr Cnt T str.CLKH     | 344  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT      | 123  |
| arget I2c Send I2cRegPtr Cnt T str.DRR      | 45   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR      | 54   |
| arget I2c Send I2cRegPtr Cnt T str.DXR      | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR      | 554  |
| arget I2c Send I2cRegPtr Cnt T str.IVR      | 788  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR     | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC      | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11    | 344  |
| arget I2c Send I2cRegPtr Cnt T str.PID12    | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC     | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN      | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR      | 3  |
| arget I2c Send I2cRegPtr Cnt T str.DIN      | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT     | 3  |

2014-10-14, 23:01:16+0530



| Name  | Input Value                   |                               |          |
|---|-------------------------------|-------------------------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 3                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 1                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 2                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 54                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR<br>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 66<br>8                       |                               |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL   | 554                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 344                           |                               |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT  | 123                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 45                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 54                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 66                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 554                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 788                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 66<br>344                     |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 66                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 3                             |                               |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN  | 1                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 3                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 3                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 1                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 2 54                          |                               |          |
| target_i2cREG1_temp.OAR<br>target_i2cREG1_temp.IMR  | 66                            |                               |          |
| target i2cREG1 temp.STR   | 8                             |                               |          |
| target i2cREG1 temp.CLKL  | 554                           |                               |          |
| target_i2cREG1_temp.CLKH  | 344                           |                               |          |
| target_i2cREG1_temp.CNT   | 123                           |                               |          |
| target_i2cREG1_temp.DRR   | 45                            |                               |          |
| target_i2cREG1_temp.SAR   | 54                            |                               |          |
| target_i2cREG1_temp.DXR   | 66                            |                               |          |
| target_i2cREG1_temp.MDR   | 554                           |                               |          |
| target_i2cREG1_temp.IVR<br>target_i2cREG1_temp.EMDR   | 788<br>3                      |                               |          |
| target i2cREG1 temp.PSC   | 66                            |                               |          |
| target i2cREG1 temp.PID11   | 344                           |                               |          |
| target_i2cREG1_temp.PID12   | 66                            |                               |          |
| target_i2cREG1_temp.DMAC  | 3                             |                               |          |
| target_i2cREG1_temp.FUN   | 1                             |                               |          |
| target_i2cREG1_temp.DIR   | 3                             |                               |          |
| target_i2cREG1_temp.DIN   | 2                             |                               |          |
| target_i2cREG1_temp.DOUT  | 3                             |                               |          |
| target_i2cREG1_temp.SET<br>target_i2cREG1_temp.CLR  | 3                             |                               |          |
| target_i2cREG1_temp.ODR   | 2                             |                               |          |
| target i2cREG1 temp.PD  | 1                             |                               |          |
| target_i2cREG1_temp.PSL   | 2                             |                               |          |
| Name  | Actual Value                  | Expected Value                | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 3                             | 3                             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 6                             | 6                             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 9                             | 9                             | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc   | 0                             | 0                             | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 77                            | 77                            | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_READERROR_SETREG | INIT_SENSOR2_READERROR_SETREG | <b>V</b> |
| DigColPsInt_GetData()   | 6                             | 6                             | <b>Y</b> |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc  | 0                             | 0                             | ,        |
| DigColPsInt_NackOccured_Citt_wi_gc  DigColPsInt_PrevTransactionCnt_Cnt_M_u08                                      | 79                            | 79                            | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                             | 0                             | -        |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1                             | 1                             | ·        |
| target_ColSnsrDataPtr_Cnt_T_u16   | 27065                         | 27065                         | ~        |
| target_DataTypePtr_Cnt_T_u08  | 4                             | 4                             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 54                            | 54                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66                            | 66                            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 8                             | 8                             | ~        |
|   |                               |                               |          |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 554          | 554            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 344          | 344            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 123          | 123            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 45           | 45             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 54           | 54             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 554          | 554            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 788          | 788            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 66           | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 344          | 344            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344          | 344            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | <b>✓</b> |
| target SpurSnsrDataPtr Cnt T u16                         | 23574        | 23574          | <b>✓</b> |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | <b>✓</b> |

| Test Step 2.11 (Repeat Count = 1)        | <b>✓</b>                        |
|--|---------------------------------|
| Name                                     | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16                 | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08                    | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]          | 11                              |
| DigColPsInt_Buffer_Cnt_M_u08[1]          | 22                              |
| DigColPsInt_Buffer_Cnt_M_u08[2]          | 33                              |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc    | 0                               |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc    | 1                               |
| DigColPsInt_ColSnsrData_Cnt_M_u16        | 0                               |
| DigColPsInt_CurrentSlave_Cnt_M_u08       | 84                              |
| DigColPsInt_CurrentStepNo_Cnt_M_enum     | INIT_SENSOR1_CHECKSTAT_READ     |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc     | 1                               |
| DigColPsInt_InitialTime_mS_M_u32         | 15514317                        |
| DigColPsInt_NackOccured_Cnt_M_lgc        | 0                               |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 | 93                              |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc   | 1                               |

DigColPsInt GetData

2014-10-14, 23:01:16+0530



Input Value DigColPsInt\_RecvdDataType\_Cnt\_M\_u08 0 DigColPsInt\_SensInitialized\_Cnt\_M\_lgc 25117 DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16 DigColPsInt\_TransactionCnt\_Cnt\_M\_u08 93 DtrmnElapsedTime\_mS\_u16(ElapsedTime) target DtrmnElapsedTime mS u16 ElapsedTime GetSystemTime\_mS\_u32(CurrentTime) target\_GetSystemTime\_mS\_u32\_CurrentTime I2c\_Send(I2cRegPtr\_Cnt\_T\_str) target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str I2c\_SetupMasterTransmit(I2cRegPtr\_Cnt\_T\_str)  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str$ SpurSnsrDataPtr\_Cnt\_T\_u16 target\_SpurSnsrDataPtr\_Cnt\_T\_u16 i2cREG1 temp target i2cREG1 temp k\_ColSensorl2CAddress\_Cnt\_u08 5 0999999 k I2CHWInitTransactionTime Sec f32 1248 target\_DtrmnElapsedTime\_mS\_u16\_ElapsedTime 11503309 target GetSystemTime mS u32 CurrentTime target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.OAR 100 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.STR 7788 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKL 2767 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKH 556 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CNT 564 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DRR 88 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SAR 3 100 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DXR target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.MDR 2767 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IVR 9 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.EMDR 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSC 100 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID11 556 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID12 100 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DMAC 2 target I2c Send I2cRegPtr Cnt T str.FUN 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIR target I2c Send I2cRegPtr Cnt T str.DIN 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DOUT 2 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SET 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLR 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.ODR 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PD 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSL 3 target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR 3  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IMR$ 100 target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR 7788  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 2767 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKH 556 564  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CNT$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DRR 88  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SAR$ 3 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DXR 100 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.MDR 2767 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IVR target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.EMDR 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSC$ 100 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID11 556 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12 100 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC 2  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.FUN$ 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIR 1  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN$ 3 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DOUT 2  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET$ 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR$ 1 target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR 3 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL 3 target\_i2cREG1\_temp.OAR 3 target i2cREG1 temp.IMR 100 target\_i2cREG1\_temp.STR 7788 target i2cREG1 temp.CLKL 2767 target\_i2cREG1\_temp.CLKH 556 target\_i2cREG1\_temp.CNT 564 88 target\_i2cREG1\_temp.DRR target\_i2cREG1\_temp.SAR

100

target\_i2cREG1\_temp.DXR

2014-10-14, 23:01:16+0530



| Name  | Input Value                   |                               |          |
|---|-------------------------------|-------------------------------|----------|
| target_i2cREG1_temp.MDR   | 2767                          |                               |          |
| target i2cREG1 temp.IVR   | 9                             |                               |          |
| target_i2cREG1_temp.EMDR  | 0                             |                               |          |
| target_i2cREG1_temp.PSC   | 100                           |                               |          |
| target_i2cREG1_temp.PID11   | 556                           |                               |          |
| target_i2cREG1_temp.PID12   | 100                           |                               |          |
| target_i2cREG1_temp.DMAC  | 2                             |                               |          |
| target_i2cREG1_temp.FUN   | 0                             |                               |          |
| target_i2cREG1_temp.DIR   | 1                             |                               |          |
| target_i2cREG1_temp.DIN   | 3                             |                               |          |
| target_i2cREG1_temp.DOUT  | 2                             |                               |          |
| target_i2cREG1_temp.SET   | 0                             |                               |          |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR   | 3                             |                               |          |
| target_i2cREG1_temp.PD  | 0                             |                               |          |
| target_i2cREG1_temp.PSL   | 3                             |                               |          |
| Name  | Actual Value                  | Expected Value                | Result   |
| DigColPsInt Buffer Cnt M u08[0]   | 36                            | 36                            | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 22                            | 22                            | -        |
| DigColPsInt Buffer Cnt M u08[2]   | 33                            | 33                            | _        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                             | 0                             | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 73                            | 73                            | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | •        |
| DigColPsInt_GetData()   | 40                            | 40                            | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                             | 0                             | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                             | 0                             | •        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 93                            | 93                            | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc  | 0                             | 0                             | ~        |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1                             | 1                             | ~        |
| I2c_Send(Length_Cnt_T_u32)  | 1                             | 1                             | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1                             | 1                             | ~        |
| target_ColSnsrDataPtr_Cnt_T_u16   | 0                             | 0                             | · ·      |
| target_DataTypePtr_Cnt_T_u08  | 3                             | 3                             | <b>*</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR                                 | 100                           | 100                           | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.NRC   | 7788                          | 7788                          |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2767                          | 2767                          | ·        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 556                           | 556                           | -        |
| target I2c Send I2cRegPtr Cnt T str.CNT   | 564                           | 564                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 88                            | 88                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 3                             | 3                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 100                           | 100                           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2767                          | 2767                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 9                             | 9                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0                             | 0                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 100                           | 100                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 556                           | 556                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 100                           | 100                           | <b>✓</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN                                | 0                             | 0                             |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR   | 1                             | 1                             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3                             | 3                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2                             | 2                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0                             | 0                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1                             | 1                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 3                             | 3                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0                             | 0                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                             | 3                             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 3                             | 3                             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 100                           | 100                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 7788                          | 7788                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 2767                          | 2767                          |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 556                           | 556                           | · ·      |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 564<br>88                     | 564<br>88                     | <b>*</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_1_str.DRR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 3                             | 3                             | -        |
| target_12c_SetupiwasterTransmit_12cRegPtr_Cnt_1_str.5AR  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR | 100                           | 100                           | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 2767                          | 2767                          |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 9                             | 9                             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0                             | 0                             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 100                           | 100                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 556                           | 556                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 100                           | 100                           | ~        |
|   |                               |                               |          |

2014-10-14, 23:01:16+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16                        | 25117        | 25117          | ~        |

| T                       | Т     |                         | <b>✓</b> |        |
|-------------------------|-------|-------------------------|----------|--------|
| Actual Function         | Count | Expected Function       | Count    | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1        | ~      |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1        | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1        | ~      |
| I2c_Send                | 1     | I2c_Send                | 1        | ~      |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1        | ~      |

| lame   | Input Value  |
|--|--|
| ColSnsrDataPtr_Cnt_T_u16   | target_ColSnsrDataPtr_Cnt_T_u16                    |
| pataTypePtr_Cnt_T_u08  | target_DataTypePtr_Cnt_T_u08                       |
| gColPsInt_Buffer_Cnt_M_u08[0]  | 44   |
| gColPsInt Buffer Cnt M u08[1]  | 55   |
| gColPsInt_Buffer_Cnt_M_u08[2]  | 66   |
| igColPsInt_BusBusySeqError_Cnt_M_lgc                                   | 1  |
| igColPsInt CmdFailOccurred Cnt M lgc                                   | 0  |
| gColPsInt ColSnsrData Cnt M u16  | 65535  |
| gColPsInt CurrentSlave Cnt M u08                                       | 91   |
| gColPsInt CurrentStepNo Cnt M enum                                     | INIT SENSOR2 READEXTERR READ                       |
| gColPsInt_InitFailedOnce_Cnt_M_lgc                                     | 0  |
| gColPsInt_InitialTime_mS_M_u32   | 16517069   |
| gColPsInt_InitiaTrine_In3_M_u32 gColPsInt NackOccured Cnt M lgc        | 1  |
| gColPsInt_NackOccured_Cnt_M_igc gColPsInt PrevTransactionCnt Cnt M u08 | 113  |
| gColPsInt_RecvOverrunError_Cnt_M_lgc                                   | 0  |
| igColPsint_RecvOverrunError_Crit_wi_igc                                | 1  |
| gColPsInt_RecvubataType_Cnt_M_u06                                      | 1  |
| gColPsint_Sensinitialized_Crit_M_igC                                   | 26660  |
| igColPsInt_Sparsionata_Cnt_M_uro                                       | 107  |
| trmnElapsedTime mS u16(ElapsedTime)                                    | target DtrmnElapsedTime mS u16 ElapsedTime         |
| , , ,  |  |
| etSystemTime_mS_u32(CurrentTime)                                       | target_GetSystemTime_mS_u32_CurrentTime            |
| c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                             | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| ourSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| cREG1_temp   | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08   | 80   |
| I2CHWInitTransactionTime_Sec_f32                                       | 5.5  |
| rget_DtrmnElapsedTime_mS_u16_ElapsedTime                               | 1755   |
| rget_GetSystemTime_mS_u32_CurrentTime                                  | 12506061   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                                  | 678  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                                  | 45   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                  | 66   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                 | 56   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                                 | 6788   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                                  | 7878   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                                  | 12   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                                  | 678  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                                  | 45   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                  | 56   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                                  | 778  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                                 | 1  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                                  | 45   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                | 6788   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                | 45   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                                 | 1  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                                  | 1  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                                  | 0  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                                  | 1.   |

2014-10-14, 23:01:16+0530



| N  | Installation                 |                              |          |
|--|------------------------------|------------------------------|----------|
| Name target I2c Send I2cRegPtr Cnt T str.DOUT  | Input Value                  |                              |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.SET  | 1                            |                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0                            |                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1                            |                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 2                            |                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 1                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 678                          |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 45                           |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 66<br>56                     |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 6788                         |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 7878                         |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12                           |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 678                          |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 45                           |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 56                           |                              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 778<br>1                     |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC | 45                           |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 6788                         |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 45                           |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1 0                          |                              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 1                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 2                            |                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1                            |                              |          |
| target_i2cREG1_temp.OAR  | 678                          |                              |          |
| target_i2cREG1_temp.IMR  | 45                           |                              |          |
| target_i2cREG1_temp.STR  | 66                           |                              |          |
| target_i2cREG1_temp.CLKL   | 56                           |                              |          |
| target_i2cREG1_temp.CLKH   | 6788                         |                              |          |
| target_i2cREG1_temp.CNT<br>target_i2cREG1_temp.DRR   | 7878<br>12                   |                              |          |
| target i2cREG1_temp.SAR  | 678                          |                              |          |
| target_i2cREG1_temp.DXR  | 45                           |                              |          |
| target_i2cREG1_temp.MDR  | 56                           |                              |          |
| target_i2cREG1_temp.IVR  | 778                          |                              |          |
| target_i2cREG1_temp.EMDR   | 1                            |                              |          |
| target_i2cREG1_temp.PSC  | 45                           |                              |          |
| target_i2cREG1_temp.PID11  | 6788<br>45                   |                              |          |
| target_i2cREG1_temp.PID12<br>target_i2cREG1_temp.DMAC  | 1                            |                              |          |
| target_i2cREG1_temp.FUN  | 1                            |                              |          |
| target_i2cREG1_temp.DIR  | 0                            |                              |          |
| target_i2cREG1_temp.DIN  | 1                            |                              |          |
| target_i2cREG1_temp.DOUT   | 1                            |                              |          |
| target_i2cREG1_temp.SET  | 1                            |                              |          |
| target_i2cREG1_temp.CLR  | 0                            |                              |          |
| target_i2cREG1_temp.ODR  | 1                            |                              |          |
| target_i2cREG1_temp.PD   | 2                            |                              |          |
| target_i2cREG1_temp.PSL  | Actual Value                 | Expected Value               | Popult   |
| Name DigColPsInt_Buffer_Cnt_M_u08[0]   | 44                           | 44                           | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 55                           | 55                           | -        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 66                           | 66                           | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0                            | 0                            | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 91                           | 91                           | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR2_READEXTERR_READ | INIT_SENSOR2_READEXTERR_READ | <b>V</b> |
| DigColPsInt_GetData()  | 6                            | 6                            | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0                            | 0                            | <b>V</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt PrevTransactionCnt Cnt M u08                                     | 0<br>107                     | 107                          | <b>✓</b> |
| DigColPsInt_Prev TransactionCrit_crit_ivi_uos  DigColPsInt_RecvOverrunError_Crit_M_lgc                         | 0                            | 0                            |          |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1                            | 1                            | ·        |
| target_ColSnsrDataPtr_Cnt_T_u16  | 65535                        | 65535                        | ~        |
| target_DataTypePtr_Cnt_T_u08   | 1                            | 1                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 678                          | 678                          | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR  | 45                           | 45                           | <b>✓</b> |
|  |                              |                              |          |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 66           | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 56           | 56             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 6788         | 6788           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 7878         | 7878           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 12           | 12             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 678          | 678            | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 45           | 45             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 56           | 56             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 778          | 778            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 45           | 45             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 6788         | 6788           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 45           | 45             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 0            | 0              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 0            | 0              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 1            | 1              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.PD                   | 2            | 2              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.PSL                  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 678          | 678            | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 45           | 45             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 56           | 56             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 6788         | 6788           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 7878         | 7878           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 678          | 678            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 45           | 45             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 56           | 56             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 778          | 778            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 45           | 45             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 6788         | 6788           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 45           | 45             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | <b>✓</b> |
| target SpurSnsrDataPtr Cnt T u16                         | 26660        | 26660          | ~        |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

| Test Step 2.13 (Repeat Count = 1)        |                                 |  |
|--|---------------------------------|--|
| Name                                     | Input Value                     |  |
| ColSnsrDataPtr_Cnt_T_u16                 | target_ColSnsrDataPtr_Cnt_T_u16 |  |
| DataTypePtr_Cnt_T_u08                    | target_DataTypePtr_Cnt_T_u08    |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]          | 10                              |  |
| DigColPsInt_Buffer_Cnt_M_u08[1]          | 20                              |  |
| DigColPsInt_Buffer_Cnt_M_u08[2]          | 30                              |  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc    | 0                               |  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc    | 1                               |  |
| DigColPsInt_ColSnsrData_Cnt_M_u16        | 20000                           |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08       | 98                              |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum     | INIT_SENSOR1_READEXTERR_SETREG  |  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc     | 1                               |  |
| DigColPsInt_InitialTime_mS_M_u32         | 17519821                        |  |
| DigColPsInt_NackOccured_Cnt_M_lgc        | 0                               |  |
| DigColPsInt PrevTransactionCnt Cnt M u08 | 131                             |  |

DigColPsInt GetData

2014-10-14, 23:01:16+0530



Input Value DigColPsInt\_RecvOverrunError\_Cnt\_M\_lgc 2 DigColPsInt\_RecvdDataType\_Cnt\_M\_u08 DigColPsInt SensInitialized Cnt M lgc 0 DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16 28203 DigColPsInt TransactionCnt Cnt M u08 121 DtrmnElapsedTime\_mS\_u16(ElapsedTime) target\_DtrmnElapsedTime\_mS\_u16\_ElapsedTime GetSystemTime mS u32(CurrentTime) target GetSystemTime mS u32 CurrentTime I2c\_Send(I2cRegPtr\_Cnt\_T\_str) target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str I2c\_SetupMasterTransmit(I2cRegPtr\_Cnt\_T\_str) target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str SpurSnsrDataPtr\_Cnt\_T\_u16 target SpurSnsrDataPtr Cnt T u16 i2cREG1\_temp target\_i2cREG1\_temp k ColSensorl2CAddress Cnt u08 87 5.9000001 k\_I2CHWInitTransactionTime\_Sec\_f32 2262 target\_DtrmnElapsedTime\_mS\_u16\_ElapsedTime 13508813 target\_GetSystemTime\_mS\_u32\_CurrentTime target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.OAR 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR 78 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.STR 78 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKL 495 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKH 56 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CNT 897 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DRR 98  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SAR$ 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DXR 78 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.MDR 495 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IVR 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.EMDR 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSC 78 target I2c Send I2cRegPtr Cnt T str.PID11 56 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID12 78 target I2c Send I2cRegPtr Cnt T str.DMAC 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.FUN 0 target I2c Send I2cRegPtr Cnt T str.DIR 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIN 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DOUT 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SET 0  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLR$ 0  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.ODR$ 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PD 0 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSL target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.OAR 66  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IMR$ 78  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.STR$ 78  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 495  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 56 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CNT 897 target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR 98 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SAR 66  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DXR$ 78 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.MDR 495 target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR 66  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.EMDR$ 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSC 78  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID11$ 56 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12 78  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC$ 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.FUN 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIR 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN 1 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DOUT 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET$ 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR$ 0  $target\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.ODR$ 1 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL 0 target i2cREG1 temp.OAR 66 target\_i2cREG1\_temp.IMR 78 target i2cREG1 temp.STR 78 target i2cREG1 temp.CLKL 495 target\_i2cREG1\_temp.CLKH 56 target i2cREG1 temp.CNT 897 target\_i2cREG1\_temp.DRR 98 target\_i2cREG1\_temp.SAR 66

2014-10-14, 23:01:16+0530



| Name   | Input Value                   |                               |          |
|--|-------------------------------|-------------------------------|----------|
| target_i2cREG1_temp.DXR  | 78                            |                               |          |
| target_i2cREG1_temp.MDR  | 495                           |                               |          |
| target_i2cREG1_temp.IVR  | 66                            |                               |          |
| target_i2cREG1_temp.EMDR<br>target_i2cREG1_temp.PSC  | 78                            |                               |          |
| target_i2cREG1_temp.PID11  | 56                            |                               |          |
| target i2cREG1 temp.PID12  | 78                            |                               |          |
| target_i2cREG1_temp.DMAC   | 0                             |                               |          |
| target_i2cREG1_temp.FUN  | 0                             |                               |          |
| target_i2cREG1_temp.DIR  | 0                             |                               |          |
| target_i2cREG1_temp.DIN  | 1                             |                               |          |
| target_i2cREG1_temp.DOUT   | 0                             |                               |          |
| target_i2cREG1_temp.SET  | 0                             |                               |          |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR  | 0                             |                               |          |
| target i2cREG1_temp.PD   | 0                             |                               |          |
| target_i2cREG1_temp.PSL  | 0                             |                               |          |
| Name   | Actual Value                  | Expected Value                | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 36                            | 36                            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20                            | 20                            | -        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30                            | 30                            | -        |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc  | 0                             | 0                             | -        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 87                            | 87                            | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | ~        |
| DigColPsInt_GetData()  | 40                            | 40                            | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc   | 0                             | 0                             | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                             | 0                             | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 121                           | 121                           | <b>V</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                             | 0                             | · ·      |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1                             | 1                             |          |
| I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)                                       | 1                             | 1                             |          |
| target_ColSnsrDataPtr_Cnt_T_u16  | 20000                         | 20000                         |          |
| target_DataTypePtr_Cnt_T_u08   | 2                             | 2                             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 66                            | 66                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 78                            | 78                            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 78                            | 78                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 495                           | 495                           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 56                            | 56                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 897                           | 897                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 98                            | 98                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 66                            | 66                            | <b>*</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR                                | 78<br>495                     | 78<br>495                     | -        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  | 66                            | 66                            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 0                             | 0                             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 78                            | 78                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 56                            | 56                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 78                            | 78                            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 0                             | 0                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0                             | 0                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0                             | 0                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1                             | 1                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 0                             | 0                             | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR                                | 0                             | 0                             | <b>*</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  | 1                             | 1                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0                             | 0                             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0                             | 0                             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66                            | 66                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78                            | 78                            | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78                            | 78                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495                           | 495                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56                            | 56                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897                           | 897                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98                            | 98                            | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 66                            | 66                            | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78                            | 78                            | · ·      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495                           | 495<br>66                     | · ·      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 0                             | 0                             | 7        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC | 78                            | 78                            | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 56                            | 56                            | -        |
| 0 T T  | <u> </u>                      | 1                             |          |

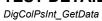
2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~      |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 28203        | 28203          | ~      |

| Τ                       | T     |                         | V     |          |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | •        |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | <b>~</b> |

| Input Value  |
|--|
| target_ColSnsrDataPtr_Cnt_T_u16                    |
| target_DataTypePtr_Cnt_T_u08                       |
| 40   |
| 50   |
| 60   |
| 1  |
| 0  |
| 33568  |
| 105  |
| INIT_SENSOR2_EXTREADADDRREG_SENDCMD                |
| 0  |
| 18522573   |
| 1  |
| 149  |
| 0  |
| 3  |
| 1  |
| 0  |
| 135  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| target_GetSystemTime_mS_u32_CurrentTime            |
| target I2c Send I2cRegPtr Cnt T str                |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| target SpurSnsrDataPtr Cnt T u16                   |
| target_i2cREG1_temp                                |
| 94   |
| 6.30000019   |
| 2769   |
| 14511565   |
| 567  |
| 44   |
| 4444   |
| 566  |
| 4466   |
| 129  |
| 6  |
| 567  |
| 44   |
| 566  |
| 554  |
| 1  |
| 44   |
| 4466   |
| 4400   |
| 1  |
| 1  |
| 1 2  |
|  |





| Sept   1.00  | Name   | Input Value |   |        |
|--|--|-------------|---|--------|
|  | target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN                  | 0           |   |        |
| Separal December Control Co    | target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 1           |   |        |
| Barged 1200 Series (2004-2007) Cut 12 of 2004  |  | ·           |   |        |
| singed 1.00 - Series Declaration Control 1.00 - Series Se  |  |             |   |        |
| Margin Cip. Sept Application Framework Edeling From T. pt 1970 APP   |  |             |   |        |
| target_De_Sephelated** Framers_Design**_Out1 an ONR  |  |             |   |        |
| Signal   Description   Description   Cell Figure   Colt   1 st 577   |  |             |   |        |
| Image: U.P.S. Shephshare Transmill: 20-Pepper Cont_ and Cold No.   |  |             |   |        |
| thogs_DR_SequipMonter Framerous_DR-Registry_CRTser_ORT   4466  |  | 4444        |   |        |
| Image_   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566         |   |        |
| tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)  tageng 1.2. Sepub/hater framemul (1.20 Pegul Pr. CNT, 2 mt DRPR)   |  |             |   |        |
| Laignet   Dis. Satus/Marker Transmill, Carling-Fig. Cell T. jat. SAR   14   14   14   14   14   14   14   1  |  |             |   |        |
| Langet   12.5 sebup Mater Transmill, 20-Reg Pro CN   1 str DOR   1 stransmill, 20-Reg Pro CN   1 str DOR   2 stransmill, 20-Reg Pro CN   2 str DOR   2 stransmill, 20-Reg Pro CN   2 str DOR   2 str   |  |             |   |        |
| Separate   Separate   Transmill   Separate   Transmill   Separate   Separat   |  |             |   |        |
| tagge_RC_SebuphaterTransmil_ZeReginC_OHT_pit NR tagge_RC_SebuphaterTransmil_ZeReginC_OHT_pit NP SC tagge_RC_ |  |             |   |        |
| tapole 1.2. Setup Market Training Liber Sett 7. of 1.7 of 179CC to 1.7 of 1.7 o |  |             |   |        |
| Image   122, SebigModePT reseming   226-PPP   Cot   T. at PID11   4466   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |   |        |
| taingst [22. SchulpMaterTainmit [20-RepPir Cnt.T. jsr PDN2   44   1   1   1   1   1   1   1   1  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44          |   |        |
| Image   Lies   Setup Master Transmit   Except Pr. Cort.   1 arr DNAC   1   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 |             |   |        |
| target [2.6. SetupMasterTransmit [2.66epth" Cont. T. ystr DNR   2   1   1   1   1   1   1   1   1   1  |  |             |   |        |
| Imaged_Lize_SetupMosterTransmit_Lize_SetipPr_Cont_T_shr Dirk   |  |             |   |        |
| target [2.6. SetupMasterTransmit [2.66epth" col.T str. DNU target [2.6. SetupMasterTransmit [2.66epth" col.T str. DNR target [2.6. SetupMasterTransmit [2.6. SetupMasterTr   |  |             |   |        |
| Integral_Ex. SehsphasterTransmil_ExRepPir_Coll_T_sit_DOUT  | · · - · - · · - · - · - · - · -                          |             |   |        |
| target_Lize_SebupMasterTransmit_LizeRegPir_Cnit_T_str.CNR 2 target_Lize_SebupMasterTransmit_LizeRegPir_Cnit_T_str.CNR 0 target_Lize_SebupMasterTransmi  |  |             |   |        |
| Integral, 25. SebupMasterTransmit_P2Regiptr_CntT_sin-ORR   0   |  |             |   |        |
| large_L2s_SetupMasterTransmit_L2cRegPtr_Cnt_Tetr.PSL   |  | 2           |   |        |
| target_22REG1_temp.DAR  target_22REG1_temp.DAR  44  target_22REG1_temp.DAR  444  target_22REG1_temp.DAR  4466  target_22REG1_temp.CLKL  566  567  target_22REG1_temp.CLKD  target_22REG1_temp.DAR  68  target_22REG1_temp.DAR  69  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0           |   |        |
| EargeL_22REG   Lemp DAR  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    |             |   |        |
| Image   JackEG   Jemp LNR  |  |             |   |        |
| barget_226EG1_temp_CLKL    target_126EG1_temp_CLKL    target_126EG1_temp_CLKC    target_126EG1_temp_CKT    target_126EG1_temp_CKT    target_126EG1_temp_CKT    target_126EG1_temp_DKR    defenies  |  |             |   |        |
| target_IZEREGI_temp.CLKL target_IZEREGI_temp.CKH target_IZEREGI_temp.DRR 6 6 6 6 6 6 7 6 7 6 7 7 8 7 8 8 8 8 8 8   |  |             |   |        |
| Integral_IZEREG1_temp.CIKF    129    |  |             |   |        |
| target_J2cREG1_temp.DRT 6 567 target_J2cREG1_temp.DRR 44 target_J2cREG1_temp.DRR 44 target_J2cREG1_temp.DRR 566 target_J2cREG1_temp.DRR 566 target_J2cREG1_temp.DRR 566 target_J2cREG1_temp.DRR 566 target_J2cREG1_temp.BMDR 1 target_J2cREG1_temp.BMDR 1 target_J2cREG1_temp.PBMDR 1 target_J2cREG1_temp.PBMDR 1 target_J2cREG1_temp.PBMDR 1 target_J2cREG1_temp.PD11 target_J2cREG1_temp.PD11 target_J2cREG1_temp.PD11 target_J2cREG1_temp.DNR 1 target_J2cREG1_temp.DNR 1 target_J2cREG1_temp.DNR 2 target_J2cREG1_temp.DNR 2 target_J2cREG1_temp.DNR 1 target_J2cREG1_temp.DNR 2 target_J2cREG1_temp.DNR 1 target_J2cREG1_temp.DNR 2 target_J2cREG1_temp.DNR 1 target_J2cREG1_temp.DNR 2 target_J2cREG1_temp.DNR 3 target_J2cREG1_temp.DNR 3 target_J2cREG1_temp.DNR 4 target_J2cREG1_temp.DNR 4 target_J2cREG1_temp.DNR 5 target_J2cREG1_temp.DNR 4 target_J2cREG1_temp.DNR 5 target_J2cREG1_temp.DNR 6 target_J2cREG1_temp.DNR 7 target_J2cREG1_temp.DNR   |  |             |   |        |
| target_J2cREG1_temp.DRR  |  |             |   |        |
| target_!2cREG1_temp.DXR  |  | 6           |   |        |
| target_J2cREG1_temp_MDR  | target_i2cREG1_temp.SAR                                  | 567         |   |        |
| target_J2cREG1_temp_EMDR   | target_i2cREG1_temp.DXR                                  | 44          |   |        |
| target_[2cREG1_temp_EMDR   | <u> </u>   |             |   |        |
| target_i2cREG1_temp.PSC         44           target_i2cREG1_temp.PID11         4466           target_i2cREG1_temp.DID12         44           target_i2cREG1_temp.DMAC         1           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DOUT         1           target_i2cREG1_temp.DOUT         1           target_i2cREG1_temp.DCR         2           target_i2cREG1_temp.DCR         2           target_i2cREG1_temp.DDR         0           target_i2cREG1_temp.DD         3           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PD         40           40         40           DigColPsInt_Buffer_Cnt_M_u08(0)         40           40         40           40         40           40         40           40         40           40         40           40         40           40         40           40         40           40         40           40         40           40         40           40         40     <  | <b>0</b> =   |             |   |        |
| target_!2cREG1_temp.PID11         4466           target_!2cREG1_temp.PID12         44           target_!2cREG1_temp.DMAC         1           target_!2cREG1_temp.DIN         1           target_!2cREG1_temp.DIR         2           target_!2cREG1_temp.DIN         0           target_!2cREG1_temp.SET         1           target_!2cREG1_temp.DCR         2           target_!2cREG1_temp.DDR         0           target_!2cREG1_temp.DDR         3           target_!2cREG1_temp.PD         3           target_!2cREG1_temp.PD         3           target_!2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsint_Buffer_Cnt_M_u08[0]         40         40         ✓           DigColPsint_Buffer_Cnt_M_u08[1]         50         50         ✓           DigColPsint_Buffer_Cnt_M_u08[2]         60         60         ✓           DigColPsint_Buffer_Cnt_M_u08[2]         0         0         ✓           DigColPsint_CurrentStepno_cnt_M_u08         105         105         ✓           DigColPsint_CurrentStepno_cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SE         INIT_SENSOR2_EXTREADADDRREG_SE         O           DigColPsint_NecVoeruneError_Cnt_M_l  |  |             |   |        |
| target_l2cREG1_temp.PID12         44           target_l2cREG1_temp.DMC         1           target_l2cREG1_temp.DNR         2           target_l2cREG1_temp.DIN         0           target_l2cREG1_temp.DOUT         1           target_l2cREG1_temp.DCLR         2           target_l2cREG1_temp.DCLR         2           target_l2cREG1_temp.DDR         0           target_l2cREG1_temp.DDR         3           target_l2cREG1_temp.DDR         3           target_l2cREG1_temp.PD         3           target_l2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DjcColPsint_Buffer_Cnt_M_u08[0]         40         40         V           DjcColPsint_Buffer_Cnt_M_u08[1]         50         50         V           DjcColPsint_Buffer_Cnt_M_u08[2]         60         60         V           DjcColPsint_UnrentSlave_Cnt_M_u08         105         105         V           DjcColPsint_CurrentSlave_Cnt_M_u08         105         105         V           DjcColPsint_CedData()         6         6         V           DjcColPsint_NackOccured_Cnt_M_lgc         0         0         V           DjcColPsint_PrevTransactionCnt_M_lgc         0 </td <td></td> <td></td> <td></td> <td></td>  |  |             |   |        |
| target_!2cREG1_temp.DMAC         1           target_!2cREG1_temp.FUN         1           target_!2cREG1_temp.DIR         2           target_!2cREG1_temp.DIN         0           target_!2cREG1_temp.DOUT         1           target_!2cREG1_temp.SET         1           target_!2cREG1_temp.DOR         0           target_!2cREG1_temp.DOR         0           target_!2cREG1_temp.PD         3           target_!2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         40         40         9           DigColPsInt_Buffer_Cnt_M_u08[1]         50         50         9           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         9           DigColPsInt_CurrentSlave_Cnt_M_u08[2]         60         60         9           DigColPsInt_CurrentSlave_Cnt_M_u08[2]         105         105         9           DigColPsInt_CurrentSlave_Cnt_M_u08[2]         60         60         9         9           DigColPsInt_CurrentSlave_Cnt_M_u08[2]         105         105         105         9           DigColPsInt_CurrentSlave_Cnt_M_u08[2]         105         105         105         9   |  |             |   |        |
| target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DOUT         1           target_i2cREG1_temp.SET         1           target_i2cREG1_temp.CLR         2           target_i2cREG1_temp.DDB         0           target_i2cREG1_temp.PD         3           Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         40         40         ✓           DigColPsInt_Buffer_Cnt_M_u08[1]         50         50         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08[2]         0         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105         ✓           DigColPsInt_GetData()         6         6         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         0           DigColPsInt_RevOverunError_Cnt_M_lgc  | · · ·  |             |   |        |
| target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DOUT         1           target_i2cREG1_temp.SET         1           target_i2cREG1_temp.DOR         2           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         40         40         ✓           DigColPsInt_Buffer_Cnt_M_u08[1]         50         50         50           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105         ✓           DigColPsInt_CurrentSlepNo_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEN         INIT_SENSOR2_EXTREADADDRREG_SEN           DigColPsInt_InitFailedOnc_Cnt_M_lgc         0         0         ✓           DigColPsInt_InitFailedOnc_Cnt_M_lgc         0         0         ✓ </td <td>target_i2cREG1_temp.FUN</td> <td>1</td> <td></td> <td></td>  | target_i2cREG1_temp.FUN                                  | 1           |   |        |
| target_i2cREG1_temp.DOUT         1           target_i2cREG1_temp.SET         1           target_i2cREG1_temp.CLR         2           target_i2cREG1_temp.DDR         0           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         40         40         ✓           DigColPsInt_Buffer_Cnt_M_u08[1]         50         50         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         ✓           DigColPsInt_BusbusySeqError_Cnt_M_u08         0         0         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105         ✓           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEN         ✓           DigColPsInt_InitFailedOnce_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEN         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135         ✓   | target_i2cREG1_temp.DIR                                  | 2           |   |        |
| target_i2cREG1_temp.CLR         2           target_i2cREG1_temp.CDR         0           target_i2cREG1_temp.PDD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         40         40         ✓           DigColPsInt_Buffer_Cnt_M_u08[1]         50         50         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         ✓           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         105         INIT_SENSOR2_EXTREADADDRREG_SEN         ✓           DigColPsInt_GetData()         6         6         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         0         0         ✓           DigColPs   | <u> </u>   |             |   |        |
| target_i2cREG1_temp.CLR         2           target_i2cREG1_temp.DDR         0           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         40         40         V           DigColPsInt_Buffer_Cnt_M_u08[1]         50         50         V           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         V           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0         V           DigColPsInt_CurrentSlave_Cnt_M_u08         105         0         105         V           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105         V         105 </td <td></td> <td></td> <td></td> <td></td>  |  |             |   |        |
| target_i2cREG1_temp.DDR         0           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         40         40         ✓           DigColPsInt_Buffer_Cnt_M_u08[1]         50         50         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         ✓           DigColPsInt_BusbusySeqError_Cnt_M_lgc         0         0         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105         ✓           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEN         ✓           DigColPsInt_GetData()         6         6         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_RevOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         1           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         1           DigColPsint_SensInitialized_Cnt_M_lgc         1         1         1  |  |             |   |        |
| target_i2cREG1_temp.PD         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         40         40         ✓           DigColPsInt_Buffer_Cnt_M_u08[1]         50         50         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         ✓           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105         ✓           DigColPsInt_CurrentSlepNo_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEI         INIT_SENSOR2_EXTREADADDRREG_SEI         ✓           DigColPsInt_GetData()         6         6         ✓         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1  |  |             |   |        |
| target_j2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         40         40         40           DigColPsInt_Buffer_Cnt_M_u08[1]         50         50         50           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         60           DigColPsInt_BusBusySeqError_Cnt_M_igc         0         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105         V           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEN         VI           DigColPsInt_GetData()         6         6         V           DigColPsInt_InitFailedOnce_Cnt_M_igc         0         0         V           DigColPsInt_NackOccured_Cnt_M_igc         0         0         V           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135         V           DigColPsInt_RecvOverrunError_Cnt_M_igc         0         0         V           DigColPsInt_Sensinitialized_Cnt_M_igc         1         1         V           DigColPsInt_Cnt_T_u16         33568         33568         33568         V           target_DataTypePtr_Cnt_T_u08         3         3         V  | · ·  |             |   |        |
| Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         40         40         40           DigColPsInt_Buffer_Cnt_M_u08[1]         50         50         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60         ✓           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105         ✓           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEN         INIT_SENSOR2_EXTREADADDRREG_SEN         ✓           DigColPsInt_GetData()         6         6         6         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135         ✓           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           target_ColSnsrDataPtr_Cnt_T_u18         33568         33568         ✓           target_DataTypePtr_Cnt_T_u08         3         3         ✓   | ·  |             |   |        |
| DigColPsInt_Buffer_Cnt_M_u08[0]         40         40           DigColPsInt_Buffer_Cnt_M_u08[1]         50         50           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEI         INIT_SENSOR2_EXTREADADDRREG_SEI           DigColPsInt_GetData()         6         6           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           DigColSnsDataPtr_Cnt_T_u16         33568         33568           target_DataTypePtr_Cnt_T_u08         3   |  |             | Expected Value                          | Result |
| DigColPsInt_Buffer_Cnt_M_u08[1]         50         50           DigColPsInt_Buffer_Cnt_M_u08[2]         60         60           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEN         INIT_SENSOR2_EXTREADADDRREG_SEN           DigColPsInt_GetData()         6         6           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           target_ColSnsrDataPtr_Cnt_T_u16         33568         33568           target_DataTypePtr_Cnt_T_u08         3  |  |             | · ·                                     | ~      |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         105         105         ✓           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEI         INIT_SENSOR2_EXTREADADDRREG_SEI         INIT_SENSOR2_EXTREADADDRREG_SEI         ✓           DigColPsInt_GetData()         6         6         ✓         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135         ✓           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           target_ColSnsrDataPtr_Cnt_T_u16         33568         33568         ✓           target_DataTypePtr_Cnt_T_u08         3         ✓         ✓  |  |             |   | ~      |
| DigColPsInt_CurrentSlave_Cnt_M_u08         105         105           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEN         INIT_SENSOR2_EXTREADADDRREG_SEN           DigColPsInt_GetData()         6         6           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           target_ColSnsrDataPtr_Cnt_T_u16         33568         33568           target_DataTypePtr_Cnt_T_u08         3  | DigColPsInt_Buffer_Cnt_M_u08[2]                          | 60          | 60                                      | ~      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR2_EXTREADADDRREG_SEN         INIT_SENSOR2_EXTREADADDRREG_SEN           DigColPsInt_GetData()         6         6         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135         ✓           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           target_ColSnsrDataPtr_Cnt_T_u16         33568         33568         ✓           target_DataTypePtr_Cnt_T_u08         3         ✓         ✓   | DigColPsInt_BusBusySeqError_Cnt_M_lgc                    |             | 0                                       | ~      |
| DigColPsInt_GetData()         6         6         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135         ✓           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           target_ColSnsrDataPtr_Cnt_T_u16         33568         33568         ✓           target_DataTypePtr_Cnt_T_u08         3         3         ✓  |  |             |   |        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135         ✓           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           target_ColSnsrDataPtr_Cnt_T_u16         33568         33568         ✓           target_DataTypePtr_Cnt_T_u08         3         3         ✓  |  |             | _ = = = = = = = = = = = = = = = = = = = |        |
| DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135         ✓           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           target_ColSnsrDataPtr_Cnt_T_u16         33568         33568         ✓           target_DataTypePtr_Cnt_T_u08         3         3         ✓   |  |             |   |        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08         135         135           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           target_ColSnsrDataPtr_Cnt_T_u16         33568         33568         ✓           target_DataTypePtr_Cnt_T_u08         3         3         ✓   |  |             |   |        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           target_ColSnsrDataPtr_Cnt_T_u16         33568         33568         ✓           target_DataTypePtr_Cnt_T_u08         3         3         ✓  |  |             |   |        |
| DigCoIPsInt_SensInitialized_Cnt_M_lgc         1         1         1           target_ColSnsrDataPtr_Cnt_T_u16         33568         33568         4           target_DataTypePtr_Cnt_T_u08         3         3         4   |  |             |   |        |
| target_ColSnsrDataPtr_Cnt_T_u16       33568       33568         target_DataTypePtr_Cnt_T_u08       3   |  |             |   |        |
| target_DataTypePtr_Cnt_T_u08 3   |  |             |   | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR 567 567  |  | 3           | 3                                       | ~      |
|  | target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                  | 567         | 567                                     | ~      |

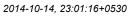
2014-10-14, 23:01:16+0530



| Name   | Actual Value     | Expected Value   | Result   |
|--|------------------|------------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 44               | 44               | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 4444             | 4444             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566              | 566              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466             | 4466             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 129              | 129              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 6                | 6                | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567              | 567              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 44               | 44               | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 566              | 566              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 554              | 554              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1                | 1                | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 44               | 44               | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 4466             | 4466             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 44               | 44               | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.DMAC   | 1                | 1                | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1                | 1                | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 2                | 2                | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0                | 0                | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1                | 1                | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1                | 1                | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2                | 2                | ✓        |
| target I2c Send I2cRegPtr Cnt T str.ODR  | 0                | 0                | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.PD   | 3                | 3                | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.PSL  | 3                | 3                | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 567              | 567              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44               | 44               | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444             | 4444             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566              | 566              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466             | 4466             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129              | 129              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6                | 6                | ✓        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 567              | 567              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 44               | 44               | ✓        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 566              | 566              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 554              | 554              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1                | 1                | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44               | 44               | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 4466             | 4466             | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12   | 44               | 44               | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1                | 1                | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 1                | 1                | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 2                | 2                | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0                | 0                | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1                | 1                | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1                | 1                | <b>✓</b> |
|  | 2                | 2                | ~        |
|  | 0                | 0                | <b>✓</b> |
|  |                  |                  | ~        |
|  | 3                | 3                | <b>✓</b> |
|  | 0                | 0                | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL target_SpurSnsrDataPtr_Cnt_T_u16 | 2<br>0<br>3<br>3 | 2<br>0<br>3<br>3 |          |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

| Test Step 2.15 (Repeat Count = 1)     |                                 |
|---------------------------------------|---------------------------------|
| Name                                  | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 70                              |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 80                              |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 90                              |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 0                               |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 1                               |
| DigColPsInt_ColSnsrData_Cnt_M_u16     | 45897                           |
| DigColPsInt_CurrentSlave_Cnt_M_u08    | 112                             |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_CHECKSTAT_READ     |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 1                               |
| DigColPsInt_InitialTime_mS_M_u32      | 19525325                        |
| DigColPsInt_NackOccured_Cnt_M_lgc     | 0                               |





| Name  | Input Value  |
|---|--|
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 167  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 4  |
| DigColPoint_Sensinitialized_Cnt_M_lgc   | 0<br>65535   |
| DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08   | 149  |
| DtrmnElapsedTime_mS_u16(ElapsedTime)  | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp  | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08   | 101  |
| k_I2CHWInitTransactionTime_Sec_f32  | 6.6999981  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime  | 3276   |
| target_GetSystemTime_mS_u32_CurrentTime   | 15514317<br>65                                     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR                                   | 89   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 67   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 7  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 577  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 88   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 23   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 65   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 7  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 577<br>89  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC                                | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL<br>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                 | 0<br>65  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR  | 89   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 67   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 7  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 577  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 88   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 23   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 89   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 44 2   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC | 89   |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11  | 577  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12  | 89   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL<br>target_i2cREG1_temp.OAR                                 | 65   |
|   |  |
| target_i2cREG1_temp.IMR   | 89   |
| target_i2cREG1_temp.IMR<br>target_i2cREG1_temp.STR  | 89<br>67   |
| target_i2cREG1_temp.IMR target_i2cREG1_temp.STR target_i2cREG1_temp.CLKL  | 89<br>67<br>7                                      |
| target_i2cREG1_temp.STR   | 67   |
| target_i2cREG1_temp.STR<br>target_i2cREG1_temp.CLKL   | 67<br>7  |

2014-10-14, 23:01:16+0530



|   |                               | (                             | J0       |
|---|-------------------------------|-------------------------------|----------|
| Name  | Input Value                   |                               |          |
| target_i2cREG1_temp.SAR   | 65                            |                               |          |
| target_i2cREG1_temp.DXR   | 89                            |                               |          |
| target_i2cREG1_temp.MDR   | 7<br>44                       |                               |          |
| target_i2cREG1_temp.IVR<br>target_i2cREG1_temp.EMDR   | 2                             |                               |          |
| target i2cREG1 temp.PSC   | 89                            |                               |          |
| target i2cREG1 temp.PID11   | 577                           |                               |          |
| target_i2cREG1_temp.PID12   | 89                            |                               |          |
| target_i2cREG1_temp.DMAC  | 2                             |                               |          |
| target_i2cREG1_temp.FUN   | 0                             |                               |          |
| target_i2cREG1_temp.DIR   | 0                             |                               |          |
| target_i2cREG1_temp.DIN   | 1                             |                               |          |
| target_i2cREG1_temp.DOUT  | 2                             |                               |          |
| target_i2cREG1_temp.SET<br>target_i2cREG1_temp.CLR  | 0                             |                               |          |
| target i2cREG1 temp.ODR   | 1                             |                               |          |
| target_i2cREG1_temp.PD  | 2                             |                               |          |
| target_i2cREG1_temp.PSL   | 0                             |                               |          |
| Name  | Actual Value                  | Expected Value                | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 36                            | 36                            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 80                            | 80                            | •        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 90                            | 90                            | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                             | 0                             | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 101                           | 101                           | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | ~        |
| DigColPsInt_GetData()   | 40                            | 40                            | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                             | 0                             | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                             | 0                             | •        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 149                           | 149                           | <b>*</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc                                  | 1                             | 1                             | -        |
| I2c_Send(Length_Cnt_T_u32)  | 1                             | 1                             |          |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1                             | 1                             | ~        |
| target_ColSnsrDataPtr_Cnt_T_u16   | 45897                         | 45897                         | -        |
| target_DataTypePtr_Cnt_T_u08  | 4                             | 4                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 65                            | 65                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 89                            | 89                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 67                            | 67                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 7                             | 7                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 577                           | 577                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 88                            | 88                            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 23<br>65                      | 23<br>65                      | ✓<br>✓   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR<br>target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                            | 89                            | 89                            |          |
| target I2c Send I2cRegPtr Cnt T str.MDR   | 7                             | 7                             | -        |
| target I2c Send I2cRegPtr Cnt T str.IVR   | 44                            | 44                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2                             | 2                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 89                            | 89                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 577                           | 577                           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 89                            | 89                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2                             | 2                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0                             | 0                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0                             | 0                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1 2                           | 1 2                           | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                              | 2                             | 2                             |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.CLR   | 0                             | 0                             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1                             | 1                             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2                             | 2                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0                             | 0                             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 65                            | 65                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89                            | 89                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 67                            | 67                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 7                             | 7                             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 577                           | 577                           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 88                            | 88                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 23                            | 23                            | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65                            | 65<br>89                      | <b>-</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR | 89<br>7                       | 7                             | -        |
| target_I2C_SetupMasterTransmit_I2CRegPtr_Cnt_I_str.MDR target_I2C_SetupMasterTransmit_I2CRegPtr_Cnt_T_str.IVR | 44                            | 44                            | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR   | 2                             | 2                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 89                            | 89                            | ~        |
|   |                               |                               |          |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 577          | 577            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89           | 89             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~      |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 65535        | 65535          | ~      |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | •        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | •        |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | <b>✓</b> |

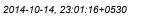
| Test Step 2.16 (Repeat Count = 1)            |  |
|--|--|
| Name   | Input Value  |
| ColSnsrDataPtr_Cnt_T_u16                     | target_ColSnsrDataPtr_Cnt_T_u16                    |
| DataTypePtr_Cnt_T_u08                        | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt Buffer Cnt M u08[0]              | 44   |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 55   |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 66   |
| DigColPsInt BusBusySeqError Cnt M Igc        | 1  |
| DigColPsInt CmdFailOccurred Cnt M Igc        | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16            | 58226  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 119  |
| DigColPsInt CurrentStepNo Cnt M enum         | INIT SENSOR1 EXTREADADDRREG SENDCMD                |
| DigColPsInt InitFailedOnce Cnt M Igc         | 0  |
| DigColPsInt_InitialTime_mS_M_u32             | 20528077   |
| DigColPsInt_NackOccured_Cnt_M_lgc            | 1  |
| DigColPsInt PrevTransactionCnt Cnt M u08     | 185  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc       | 0  |
| DigColPsInt RecvdDataType Cnt M u08          | 1  |
| DigColPsInt SensInitialized Cnt M Igc        | 1  |
| DigColPsInt SpurSnsrData Cnt M u16           | 35000  |
| DigColPsInt_TransactionCnt_Cnt_M_u08         | 163  |
| DtrmnElapsedTime mS u16(ElapsedTime)         | target DtrmnElapsedTime mS u16 ElapsedTime         |
| GetSystemTime mS u32(CurrentTime)            | target GetSystemTime mS u32 CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |
| SpurSnsrDataPtr Cnt T u16                    | target SpurSnsrDataPtr Cnt T u16                   |
| i2cREG1 temp                                 | target_i2cREG1_temp                                |
| k ColSensorI2CAddress Cnt u08                | 108  |
| k I2CHWInitTransactionTime Sec f32           | 7.0999999  |
| target DtrmnElapsedTime mS u16 ElapsedTime   | 3783   |
| target_GetSystemTime_mS_u32_CurrentTime      | 16517069   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR      | 55   |
| target I2c Send I2cRegPtr Cnt T str.IMR      | 66   |
| target I2c Send I2cRegPtr Cnt T str.STR      | 556  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL     | 2309   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH     | 1204   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT      | 87   |
| target I2c Send I2cRegPtr Cnt T str.DRR      | 67   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR      | 55   |
| target I2c Send I2cRegPtr Cnt T str.DXR      | 66   |
| target I2c Send I2cRegPtr Cnt T str.MDR      | 2309   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR      | 5  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR     | 3  |
| target I2c Send I2cRegPtr Cnt T str.PSC      | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11    | 1204   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12    | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC     | 3  |
| target I2c Send I2cRegPtr Cnt T str.FUN      | 1  |

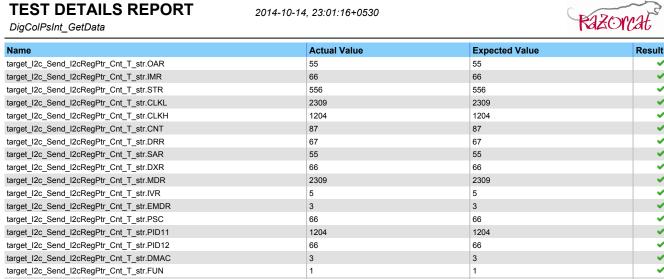
DigColPsInt GetData

2014-10-14, 23:01:16+0530



Input Value target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIR 2 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIN target I2c Send I2cRegPtr Cnt T str.DOUT 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SET 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLR target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.ODR 2 target I2c Send I2cRegPtr Cnt T str.PD 3  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSL$ 3 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.OAR 55  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IMR$ 66 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.STR 556  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 2309 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKH 1204  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CNT$ 87 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DRR 67 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SAR 55  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DXR$ 66  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.MDR$ 2309  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IVR$ 5  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.EMDR$ 3  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSC$ 66 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID11 1204  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12$ 66 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC 3 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.FUN  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIR$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN 2 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DOUT 3 target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET 3 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR 1 target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR 2 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD 3 target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL 3 target\_i2cREG1\_temp.OAR 55 target\_i2cREG1\_temp.IMR 66 target\_i2cREG1\_temp.STR 556 target\_i2cREG1\_temp.CLKL 2309 1204 target\_i2cREG1\_temp.CLKH target\_i2cREG1\_temp.CNT 87 67 target i2cREG1 temp.DRR target\_i2cREG1\_temp.SAR 55 66 target\_i2cREG1\_temp.DXR target\_i2cREG1\_temp.MDR 2309 target\_i2cREG1\_temp.IVR 5  $target\_i2cREG1\_temp.EMDR$ 3 target\_i2cREG1\_temp.PSC 66 target i2cREG1 temp.PID11 1204 target\_i2cREG1\_temp.PID12 66 target i2cREG1 temp.DMAC 3 target\_i2cREG1\_temp.FUN target i2cREG1 temp.DIR 1 target\_i2cREG1\_temp.DIN 2 target\_i2cREG1\_temp.DOUT 3 target\_i2cREG1\_temp.SET 3 target\_i2cREG1\_temp.CLR 1 target\_i2cREG1\_temp.ODR 2 target\_i2cREG1\_temp.PD 3 target\_i2cREG1\_temp.PSL 3 Actual Value **Expected Value** Name Result DigColPsInt\_Buffer\_Cnt\_M\_u08[0] 44 44 55 55 DigColPsInt\_Buffer\_Cnt\_M\_u08[1] DigColPsInt\_Buffer\_Cnt\_M\_u08[2] 66 66  ${\sf DigColPsInt\_BusBusySeqError\_Cnt\_M\_lgc}$ 0 0 DigColPsInt\_CurrentSlave\_Cnt\_M\_u08 119 119 DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum INIT SENSOR1 EXTREADADDRREG SEN INIT SENSOR1 EXTREADADDRREG SEN DigColPsInt\_GetData() 6 6 0 DigColPsInt\_InitFailedOnce\_Cnt\_M\_lgc 0 DigColPsInt\_NackOccured\_Cnt\_M\_lgc n n DigColPsInt PrevTransactionCnt Cnt M u08 163 163 DigColPsInt\_RecvOverrunError\_Cnt\_M\_lgc 0 0 DigColPsInt\_SensInitialized\_Cnt\_M\_lgc 1 1 ~ target\_ColSnsrDataPtr\_Cnt\_T\_u16 58226 58226 target\_DataTypePtr\_Cnt\_T\_u08 1 1





| target_126_66nd_126rtegr ti_6nt_1_str.6Art               | 33    | 33    | •        |
|--|-------|-------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                  | 66    | 66    | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 556   | 556   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 2309  | 2309  | ✓        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH                 | 1204  | 1204  | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 87    | 87    | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 67    | 67    | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 55    | 55    | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 66    | 66    | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 2309  | 2309  | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 5     | 5     | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 3     | 3     | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 66    | 66    | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 1204  | 1204  | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.PID12                | 66    | 66    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 3     | 3     | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 1     | 1     | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 1     | 1     | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 2     | 2     | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 3     | 3     | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 3     | 3     | ~        |
| target I2c Send I2cRegPtr Cnt T str.CLR                  | 1     | 1     | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 2     | 2     | ~        |
| target I2c Send I2cRegPtr Cnt T str.PD                   | 3     | 3     | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 3     | 3     | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55    | 55    | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66    | 66    | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556   | 556   | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309  | 2309  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204  | 1204  | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87    | 87    | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67    | 67    | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55    | 55    | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66    | 66    | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309  | 2309  | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5     | 5     | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3     | 3     | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66    | 66    | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204  | 1204  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66    | 66    | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3     | 3     | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1     | 1     | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1     | 1     | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2     | 2     | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3     | 3     | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3     | 3     | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1     | 1     | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2     | 2     | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3     | 3     | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3     | 3     | <b>✓</b> |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 35000 | 35000 | ~        |
|  |       |       |          |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

| Test Step 2.17 (Repeat Count = 1)     |                                 | <b>~</b> |
|---------------------------------------|---------------------------------|----------|
| Name                                  | Input Value                     |          |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |          |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |          |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 66                              |          |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 77                              |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 88                              |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 0                               |          |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 1                               |          |
| DigColPsInt_ColSnsrData_Cnt_M_u16     | 62548                           |          |
| DigColPsInt_CurrentSlave_Cnt_M_u08    | 126                             |          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_DUMMY_SEND         |          |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                               |          |
| DigColPsInt_InitialTime_mS_M_u32      | 21530829                        |          |





| Name   | Input Value  |
|--|--|
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 203  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt SensInitialized Cnt M Igc                                      | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 37896  |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 177  |
| DtrmnElapsedTime_mS_u16(ElapsedTime)   | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)  | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16  | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp   | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08  | 115  |
| k_I2CHWInitTransactionTime_Sec_f32   | 7.5  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime   | 4290   |
| target_GetSystemTime_mS_u32_CurrentTime  | 17519821   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR  | 66<br>78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                | 78   |
| target_12c_Send_12cRegPtr_Cnt_1_str.STR target_12c_Send_12cRegPtr_Cnt_T_str.CLKL                               | 495  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 897  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 98   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 66   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 495  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 56   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12  | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 0 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                                | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT | 56<br>897  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 98   |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 66   |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 78   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 78   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 56   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 78   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 1  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 0 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 1  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  | 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 0  |
| target i2cREG1 temp.OAR  | 66   |
| target_i2cREG1_temp.IMR  | 78   |
| target_i2cREG1_temp.STR  | 78   |
| target_i2cREG1_temp.CLKL   | 495  |
| target_i2cREG1_temp.CLKH   | 56   |
|  |  |

2014-10-14, 23:01:16+0530



| DigColPsInt_GetData   |                               | (MAC)                         | Alb      |
|---|-------------------------------|-------------------------------|----------|
| Name  | Input Value                   |                               |          |
| target_i2cREG1_temp.DRR   | 98                            |                               |          |
| target_i2cREG1_temp.SAR   | 66                            |                               |          |
| target_i2cREG1_temp.DXR   | 78                            |                               |          |
| target_i2cREG1_temp.MDR   | 495<br>66                     |                               |          |
| target_i2cREG1_temp.IVR<br>target_i2cREG1_temp.EMDR   | 0                             |                               |          |
| target i2cREG1 temp.PSC   | 78                            |                               |          |
| target_i2cREG1_temp.PID11   | 56                            |                               |          |
| target_i2cREG1_temp.PID12   | 78                            |                               |          |
| target_i2cREG1_temp.DMAC  | 0                             |                               |          |
| target_i2cREG1_temp.FUN   | 0                             |                               |          |
| target_i2cREG1_temp.DIR   | 0                             |                               |          |
| target_i2cREG1_temp.DIN<br>target_i2cREG1_temp.DOUT   | 0                             |                               |          |
| target i2cREG1 temp.SET   | 0                             |                               |          |
| target_i2cREG1_temp.CLR   | 0                             |                               |          |
| target_i2cREG1_temp.ODR   | 1                             |                               |          |
| target_i2cREG1_temp.PD  | 0                             |                               |          |
| target_i2cREG1_temp.PSL   | 0                             |                               |          |
| Name  | Actual Value                  | Expected Value                | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 36                            | 36                            | <b>Y</b> |
| DigColPoint_Buffer_Cnt_M_u08[1]   | 77<br>88                      | 77<br>88                      | <b>*</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                             | 0                             | -        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 115                           | 115                           | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | ~        |
| DigColPsInt_GetData()   | 40                            | 40                            | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 0                             | 0                             | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                             | 0                             | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 177                           | 177                           | <b>V</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc                                    | 0                             | 0                             | <b>✓</b> |
| I2c_Send(Length_Cnt_T_u32)  | 1                             | 1                             |          |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1                             | 1                             | -        |
| target_ColSnsrDataPtr_Cnt_T_u16   | 62548                         | 62548                         | ~        |
| target_DataTypePtr_Cnt_T_u08  | 0                             | 0                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 66                            | 66                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 78                            | 78                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 78<br>495                     | 78<br>495                     | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                               | 56                            | 56                            |          |
| target I2c Send I2cRegPtr Cnt T str.CNT   | 897                           | 897                           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 98                            | 98                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 66                            | 66                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 78                            | 78                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 495                           | 495                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 66<br>0                       | 66                            | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                                | 78                            | 78                            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 56                            | 56                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 78                            | 78                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0                             | 0                             | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN   | 0                             | 0                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0                             | 0                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1                             | 1                             | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT target_I2c Send_I2cRegPtr_Cnt_T_str.SET                                | 0                             | 0                             | <b>*</b> |
| target_12c_Send_12cRegPtr_Cnt_T_str.CLR   | 0                             | 0                             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1                             | 1                             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0                             | 0                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0                             | 0                             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 66                            | 66                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 78                            | 78                            | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 78                            | 78                            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 495<br>56                     | 495<br>56                     | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 897                           | 897                           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 98                            | 98                            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 66                            | 66                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 78                            | 78                            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 495                           | 495                           | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 66                            | 66                            | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR   | 0                             | 0                             | ~        |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~      |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 37896        | 37896          | ~      |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c_Send                | 1     | I2c_Send                | 1     | ~        |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | <b>✓</b> |

| Test Step 2.18 (Repeat Count = 1)            | · · · · · · · · · · · · · · · · · · ·              |
|--|--|
| Name   | Input Value  |
| ColSnsrDataPtr_Cnt_T_u16                     | target_ColSnsrDataPtr_Cnt_T_u16                    |
| DataTypePtr_Cnt_T_u08                        | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 66   |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 77   |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 88   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc        | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc        | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16            | 64896  |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 17   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_SENSOR1_EXTREADCTRLREG_SENDCMD                |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc         | 0  |
| DigColPsInt_InitialTime_mS_M_u32             | 22533581   |
| DigColPsInt_NackOccured_Cnt_M_lgc            | 1  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08     | 221  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc       | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08          | 5  |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16           | 45863  |
| DigColPsInt_TransactionCnt_Cnt_M_u08         | 191  |
| DtrmnElapsedTime_mS_u16(ElapsedTime)         | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)            | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16                    | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp                                 | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                | 122  |
| k_I2CHWInitTransactionTime_Sec_f32           | 7.9000001  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime   | 4797   |
| target_GetSystemTime_mS_u32_CurrentTime      | 18522573   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR      | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR      | 78   |
| target I2c Send I2cRegPtr Cnt T str.STR      | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL     | 495  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH     | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT      | 897  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR      | 98   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR      | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR      | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR      | 495  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR      | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR     | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC      | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11    | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12    | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC     | 0  |
| <u> </u>                                     |  |

DigColPsInt\_GetData





| Name   | Input Value  |   |                                       |
|--|--|---|---------------------------------------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0  |   |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0  |   |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0  |   |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT target_l2c Send_l2cRegPtr_Cnt_T_str.SET   | 0  |   |                                       |
| target I2c Send I2cRegPtr Cnt T str.CLR  | 0  |   |                                       |
| target I2c Send I2cRegPtr Cnt T str.ODR  | 1  |   |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0  |   |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78   |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 495<br>56  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897  |   |                                       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 98   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0  |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 78<br>56   |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 target_l2c SetupMasterTransmit_l2cRegPtr_Cnt_T str.PID12  | 78   |   |                                       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 0  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0  |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 0  |   |                                       |
| target_i2cREG1_temp.OAR  | 66   |   |                                       |
| target_i2cREG1_temp.IMR  | 78   |   |                                       |
| target_i2cREG1_temp.STR  | 78   |   |                                       |
| target_i2cREG1_temp.CLKL   | 495  |   |                                       |
| target_i2cREG1_temp.CLKH   | 56   |   |                                       |
| target_i2cREG1_temp.CNT  | 897  |   |                                       |
| target_i2cREG1_temp.DRR  | 98   |   |                                       |
| target_i2cREG1_temp.SAR<br>target_i2cREG1_temp.DXR   | 78   |   |                                       |
| target_i2cREG1_temp.MDR  | 495  |   |                                       |
| target i2cREG1 temp.IVR  | 66   |   |                                       |
| target_i2cREG1_temp.EMDR   | 0  |   |                                       |
| target_i2cREG1_temp.PSC  | 78   |   |                                       |
| target_i2cREG1_temp.PID11  | 56   |   |                                       |
| target_i2cREG1_temp.PID12  | 78   |   |                                       |
| target_i2cREG1_temp.DMAC   | 0  |   |                                       |
| target_i2cREG1_temp.FUN<br>target_i2cREG1_temp.DIR   | 0  |   |                                       |
| target i2cREG1_temp.DIN  | 1  |   |                                       |
| target i2cREG1 temp.DOUT   | 0  |   |                                       |
| target_i2cREG1_temp.SET  | 0  |   |                                       |
| larger izcheg i terrip.se i  |  |   |                                       |
| target_i2cREG1_temp.CLR  | 0  |   |                                       |
|  | 0 1  |   |                                       |
| target_i2cREG1_temp.CLR  | 0  |   |                                       |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL   | 1<br>0<br>0  |   |                                       |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL Name  | 1<br>0<br>0<br>Actual Value  | Expected Value  | Result                                |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL Name DigColPsInt_Buffer_Cnt_M_u08[0]  | 1<br>0<br>0<br>Actual Value<br>36  | 36  | ~                                     |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigCoIPsInt_Buffer_Cnt_M_u08[0] DigCoIPsInt_Buffer_Cnt_M_u08[1]  | 1<br>0<br>0<br><b>Actual Value</b><br>36<br>77                           | 36<br>77  | ~                                     |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]  | 1<br>0<br>0<br><b>Actual Value</b><br>36<br>77<br>88                     | 36<br>77<br>88  | · ·                                   |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1<br>0<br>0<br><b>Actual Value</b><br>36<br>77                           | 36<br>77  | ~                                     |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]  | 1<br>0<br>0<br><b>Actual Value</b><br>36<br>77<br>88<br>0                | 36<br>77<br>88<br>0   | · · ·                                 |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BushusySeqError_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08   | 1<br>0<br>0<br><b>Actual Value</b><br>36<br>77<br>88<br>0                | 36<br>77<br>88<br>0<br>122  | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BushusySeqError_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum  | 1 0 0 <b>Actual Value</b> 36 77 88 0 122 INIT_SENSOR1_READERROR_SETREG   | 36 77 88 0 122 INIT_SENSOR1_READERROR_SETREG                                      | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BushusySeqError_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_GetData()  | 1 0 0 <b>Actual Value</b> 36 77 88 0 122 INIT_SENSOR1_READERROR_SETREG 6 | 36 77 88 0 122 INIT_SENSOR1_READERROR_SETREG 6                                    | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_GetData() DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08      | 1 0 0 0  | 36<br>77<br>88<br>0<br>122<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0        | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_GetData() DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc | 1 0 0 0  | 36<br>77<br>88<br>0<br>122<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0<br>191 | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_GetData() DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08      | 1 0 0 0  | 36<br>77<br>88<br>0<br>122<br>INIT_SENSOR1_READERROR_SETREG<br>6<br>0<br>0        | · · · · · · · · · · · · · · · · · · · |





| 12_Set_Set_Mates   Transmit (Data Length, Coll_Turk)   1  | Name   | Actual Value | Expected Value | Result   |
|---|--|--------------|----------------|----------|
| Instruct Deal TyperFix CMT_USS   5  | I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)            | 1            | 1              | •        |
| Langui, Lie, Sendi, Lieckleght, Crit, T. et at AIM  176  187  187  187  187  187  187  187  | target_ColSnsrDataPtr_Cnt_T_u16                          | 64896        | 64896          | ~        |
| Image   120   Send   Jackbeght Cott   Jack MM   78   78   78   78   78   78   78  | target_DataTypePtr_Cnt_T_u08                             | 5            | 5              | ~        |
| target [2.5. Send LERRegits Cott ] at STR  ### AND STREET STR  ### AND STR  ###  | target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                  | 66           | 66             | ~        |
| Image LEO, Send LeReleght, Cot   Tat CLK1   488   485   485   485   485   485   485   485   485   485   485   485   485   487   48  | target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                  | 78           | 78             | ~        |
| target_LSc. Send_LDReight_COT_LSLCNH  \$67  **Enget_LSc. Send_LDReight_COT_LSLCNH  \$87  **Enget_LSc. Send_LDReight_COT_LSLCNH  \$88  \$88  \$88  **U  **Larget_LSc. Send_LDReight_COT_LSLDNR  \$87  **Enget_LSc. Send_LDReight_COT_LSLDNR  \$97  **Enget_LSc. Send_LDReight_COT_LSLDNR  \$98  **Enget_LSc. Send_LDReight_COT_LSLDNR  \$98  **Enget_LSc. Send_LDReight_COT_LSLDNR  \$98  **Enget_LSc. Send_LDReight_COT_LSLDNR  \$99  **Enge | target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 78           | 78             | ~        |
| Integral Los, Send, Jacksephr. Cont. T. str. DRR   98   98   98   98   98   98   98   | target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 495          | 495            | <b>✓</b> |
| brigger_Lip_Send_CipRepip_Cont_strDRR  98   98   98   98   98   98   98   9   | target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 56           | 56             | •        |
| Earget   Ze_Send   ZeRegPt*_Cont_strSAR   | target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 897          | 897            | •        |
| burget   12c, Send   12cRegPP_Cnt_T str DNR   | target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 98           | 98             | •        |
| Integred   12c, Send   12cRegPtr_Cnt_T str.NDR  | target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 66           | 66             | •        |
| target_12c_Send_12cRegPtr_Cnt_T_str/PR         66         66         ✓           target_12c_Send_12cRegPtr_Cnt_T_str/ENDR         0         0         ✓           target_12c_Send_12cRegPtr_Cnt_T_str/ENDC         78         78         ✓           target_12c_Send_12cRegPtr_Cnt_T_str/ENDC         78         78         ✓           target_12c_Send_12cRegPtr_Cnt_T_str/DNAC         0         0         0         ✓           target_12c_Send_12cRegPtr_Cnt_T_str/DNAC         0         0         0         ✓         ✓         4         ✓         4         ✓         4         ✓         4         4         ✓         ✓         4         4         4         ✓         4         4         ✓         4 <td< td=""><td>target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR</td><td>78</td><td>78</td><td>•</td></td<>   | target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 78           | 78             | •        |
| barget   2e Send   2eRegPr_Cnt_T_str_ENDR   | target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 495          | 495            | •        |
| target   2c, Send,   2cRegPtr_Cnt_T_str.PSC   | target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 66           | 66             | ~        |
|   | target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 0            | 0              | ~        |
| target_ Zc_Send_2cRepPt_Cnt_T_str.PID12   | target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 78           | 78             | ~        |
| target J2c, Send J2cRegPtr, Cnt T, str. DMAC  1 target J2c, Send J2cRegPtr, Cnt T, str. FUN  0 0 0 0 √  1 target J2c, Send J2cRegPtr, Cnt T, str. DIN  1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1  | target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 56           | 56             | •        |
| target_12c, Send_12cRegPtr_Cnt_T str.DIR         0         0           target_12c, Send_12cRegPtr_Cnt_T str.DIR         0         0           target_12c, Send_12cRegPtr_Cnt_T str.DIN         1         1           target_12c, Send_12cRegPtr_Cnt_T str.DOUT         0         0           target_12c, Send_12cRegPtr_Cnt_T str.DOUT         0         0           target_12c, Send_12cRegPtr_Cnt_T str.CR         0         0           target_12c, Send_12cRegPtr_Cnt_T str.DOR         1         1           target_12c, Send_12cRegPtr_Cnt_T str.DD         0         0           target_12c, Send_12cRegPtr_Cnt_T str.DOR         1         1           target_12c, Send_12cRegPtr_Cnt_T str.DAR         6         6           target_12c, SetupMasterTransmit_12cRegPtr_Cnt_T str.DAR         6         6           target_12c, SetupMasterTransmit_12cRegPtr_Cnt_T str.DAR         78         78           target_12c, SetupMasterTransmit_12cRegPtr_Cnt_T str.CLKL         495         495           target_12c, SetupMasterTransmit_12cRegPtr_Cnt_T str.CLKL         495         495           target_12c, SetupMasterTransmit_12cRegPtr_Cnt_T str.CLKL         495         495           target_12c, SetupMasterTransmit_12cRegPtr_Cnt_T str.DAR         8         98           target_12c, SetupMasterTransmit_12cRegPtr_Cnt_T str.DAR         66  | target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 78           | 78             | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIR         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DIN         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DOUT         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.SET         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DOR         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DOR         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DOR         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DOR         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         66         66           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         78         78           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CtkL         495         495           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CtkL         495         495           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         86         6           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         87         897           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         86         6           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         86         6           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR <td>target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC</td> <td>0</td> <td>0</td> <td>~</td>  | target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 0            | 0              | ~        |
| target_12c_Send_12cRegPt_Cnt_Tst.DUN         1         1         V           target_12c_Send_12cRegPt_Cnt_Tst.DUT         0         0         V           target_12c_Send_12cRegPt_Cnt_Tst.SET         0         0         V           target_12c_Send_12cRegPt_Cnt_Tst.CDR         0         0         V           target_12c_Send_12cRegPt_Cnt_Tst.DDR         1         1         1           target_12c_Send_12cRegPt_Cnt_Tst.DD         0         0         0           target_12c_Send_12cRegPt_Cnt_Tst.DSL         0         0         0           target_12c_Send_12cRegPt_Cnt_Tst.DRL         66         66         66         66           target_12c_SetupMasterTransmit_12cRegPt_Cnt_Tst.CLKL         495         495         495         495           target_12c_SetupMasterTransmit_12cRegPt_Cnt_Tst.DRL         897         897         897         497         495         495         495         495         495         495   | target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 0            | 0              | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DOUT         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.SET         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.ODR         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DDR         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DD         0         0           varget_12c_Send_12cRegPtr_Cnt_T_str.DD         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMR         66         66           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMR         78         78           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         495         495           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         495         495           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         495         897           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         98         98           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         98         98           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNR         495         495           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNR         66         66         4           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNR         66         66         4   | target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 0            | 0              | ~        |
| target_J2c_Send_J2cRegPtr_Cnt_T_str.CLR         0         0         V           target_J2c_Send_J2cRegPtr_Cnt_T_str.CLR         0         0         V           target_J2c_Send_J2cRegPtr_Cnt_T_str.DDR         1         1         V           target_J2c_Send_J2cRegPtr_Cnt_T_str.DD         0         0         V           target_J2c_SetupMasterTransmit_J2cRegPtr_Cnt_T_str.DAR         66         66         66           target_J2c_SetupMasterTransmit_J2cRegPtr_Cnt_T_str.MR         78         78         78           target_J2c_SetupMasterTransmit_J2cRegPtr_Cnt_T_str.CLK         495         495         V           target_J2c_SetupMasterTransmit_J2cRegPtr_Cnt_T_str.CNT         897         897         V           target_J2c_SetupMasterTransmit_J2cRegPtr_Cnt_T_str.CNT         897         897         V           target_J2c_SetupMasterTransmit_J2cRegPtr_Cnt_T_str.CNT         897         897         98           target_J2c_SetupMasterTransmit_J2cRegPtr_Cnt_T_str.DNR         88         88         V           target_J2c_SetupMasterTransmit_J2cRegPtr_Cnt_T_str.MR         66         66         V           target_J2c_SetupMasterTransmit_J2cRegPtr_Cnt_T_str.MR         66         66         V           target_J2c_SetupMasterTransmit_J2cRegPtr_Cnt_T_str.MR         66         66         V <t< td=""><td>target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN</td><td>1</td><td>1</td><td>~</td></t<>   | target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 1            | 1              | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.OLR         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DOR         1         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DOR         1         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DOR         0         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.OAR         66         66         66           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         78         78           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         495         495           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         495         495           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DCNT         897         897           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         98         98           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         66         66           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         78         78           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         495         495           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         66         66           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         66         66           target_12c_SetupMasterTransmit_12cRegP   | target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 0            | 0              | ~        |
| target_[2e_Send_]2cRegPtr_Cnt_T_str.DDR         1         1         1           target_[2e_Send_]2cRegPtr_Cnt_T_str.PD         0         0         0           target_[2e_Send_]2cRegPtr_Cnt_T_str.PDL         0         0         0           target_[2e_SetupMasterTransmit_[2cRegPtr_Cnt_T_str.DAR         66         66         4           target_[2e_SetupMasterTransmit_[2cRegPtr_Cnt_T_str.IMR         78         78         78           target_[2e_SetupMasterTransmit_[2cRegPtr_Cnt_T_str.CkL         495         495         495           target_[2e_SetupMasterTransmit_[2cRegPtr_Cnt_T_str.CkH         56         56         495         495           target_[2e_SetupMasterTransmit_[2cRegPtr_Cnt_T_str.CNT         897         897         897         495           target_[2e_SetupMasterTransmit_[2cRegPtr_Cnt_T_str.DRR         98         98         495         495           target_[2e_SetupMasterTransmit_[2cRegPtr_Cnt_T_str.DRR         98         98         495         495           target_[2e_SetupMasterTransmit_[2cRegPtr_Cnt_T_str.DRR         495         495         495         495           target_[2e_SetupMasterTransmit_[2cRegPtr_Cnt_T_str.DRR         495         495         495         495         495         495         495         495         495         495         495 <t< td=""><td>target_I2c_Send_I2cRegPtr_Cnt_T_str.SET</td><td>0</td><td>0</td><td>~</td></t<>  | target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 0            | 0              | ~        |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.PD         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL         0         0           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL         495         495           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH         56         56           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH         56         56           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         98         98           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         98         98           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.MDR         495         495           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.MDR         495         495           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR         0         0           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR         0         0           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIT         56  | target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 0            | 0              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_Tstr.PSL         0         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR         66         66           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DKR         78         78           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL         495         495           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL         495         495           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT         56         56           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT         897         897           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNR         98         98           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNR         78         78           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNR         78         78           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNR         495         495           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR         0         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR         0         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11         56         56           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNAC         0         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNN  | target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 1            | 1              | ~        |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.BMR         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL         495           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH         56           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT         897           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         89           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         88           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR         66           darget_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PID1         56           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PID12         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DMAC         0           darget_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN         0           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN         0           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN         1           target_!2c_SetupMast   | target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 0            | 0              | ~        |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL         495         495           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH         56         56           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT         897         897           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         98         98           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         66         66           starget_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         495         495           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         66         66         4           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR         0         0         0         4           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSC         78         78         78         78           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DNAC         0         0         0         4           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DNAC         0         0         0         0           target_!2c  | target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 0            | 0              | ~        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CtKL         495         495           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CtKL         495         495           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CtKH         56         56           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT         897         897           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         98         98           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         98         98           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         78         78           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         78         78           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.WR         66         66           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11         56         56           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNAC         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNAC         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNA         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNT         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOT<   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | <b>✓</b> |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         495         495         v           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH         56         56         v           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT         897         897         v           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         98         98         v           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         78         78         78           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         78         78         495         495           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         78         78         78         v           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR         495         495         495         v           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR         0         0         0         v           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11         56         56         v         v           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         0         0         0         v           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         0         0         0         v           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         0 <td>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR</td> <td>78</td> <td>78</td> <td>~</td>   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH         56         56           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT         897         897           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         98         98           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         98         98           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         78         78           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR         495         495           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR         66         66           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR         0         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC         78         78           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11         56         56           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12         78         78           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         0         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR         0         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         1         1           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT         0         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOR <td>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR</td> <td>78</td> <td>78</td> <td>~</td>   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT       897       897         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR       98       98         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR       66       66         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR       78       78         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR       495       495         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.WR       66       66         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR       0       0         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PDC       78       78         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11       56       56         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12       78       78         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN       0       0         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN       0       0         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN       1       1         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT       0       0         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT       0       0         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR       0       0         target_l2c_SetupMaste   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR       98       98         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR       495       495         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR       495       66         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PIDT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       56       56         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMC       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DUR       0       0         target_I2c_SetupMasterTra   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SAR       66       66       4         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       78       78         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR       495       495         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.IVR       66       66         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC       78       78         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11       56       56         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DID12       78       78         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       1       1         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DCR       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DCR       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DCR       0       0         target_1  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | ~        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       78       78         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR       495       495         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.IVR       66       66         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC       78       78         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD11       56       56         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD12       78       78         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC       0       0         varget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC       0       0         varget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       1       1         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR       0       0         varget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR       1       1         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR       1       1         target_12c_SetupMasterTrans   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR       495       495         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR       66       66         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       56       56         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DID2       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DON       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DON       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DON       0       0         target_I2c_SetupMasterTransmi   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR       66       66         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       56       56         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL       0       0   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       56       56         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DET       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL       0       0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       56       56         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL       0       0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       56       56         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DID12       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DET       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL       0       0   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       78       78         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL       0       0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL       0       0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL       0       0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL       0       0   |  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL       0       0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT         0         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET         0         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR         0         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR         1         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD         0         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL         0         0   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL       0       0   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR 0 0 0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 0 0 0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | Ō            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1  |  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   |  | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL 0 0  |  | 0            | 0              | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16 45863 45863  |  | 0            | 0              | •        |
|   | target_SpurSnsrDataPtr_Cnt_T_u16                         | 45863        | 45863          | ~        |

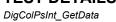
| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | <b>✓</b> |

| Test Step 2.19 (Repeat Count = 1) | ✓                               |
|-----------------------------------|---------------------------------|
| Name                              | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16          | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08             | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 40                              |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 50                              |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 60                              |





| DigCoiPSini_GetData  | MACIO  |
|--|--|
| Name   | Input Value  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 65325  |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 24   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_SENDCMD                               |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 1  |
| DigColPsInt_InitialTime_mS_M_u32   | 23536333   |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                                       | 239  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 3  |
| DigColPsInt_SensInitialized_Cnt_M_Igc  | 1  |
| DigColPsInt SpurSnsrData Cnt M u16   | 55797  |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 205  |
| DtrmnElapsedTime_mS_u16(ElapsedTime)   | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)  | target_GetSystemTime_mS_u32_CurrentTime            |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                                    | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
|  |  |
| SpurSnsrDataPtr_Cnt_T_u16  | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| 2cREG1_temp  | target_i2cREG1_temp                                |
| C_ColSensorI2CAddress_Cnt_u08  | 1  |
| x_I2CHWInitTransactionTime_Sec_f32   | 8.30000019   |
| arget_DtrmnElapsedTime_mS_u16_ElapsedTime                                      | 5304   |
| arget_GetSystemTime_mS_u32_CurrentTime   | 19525325   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 44   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 4444   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 566  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 4466   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 129  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 6  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 567  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 44   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 566  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 554  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 44   |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                      | 4466   |
| arget I2c Send I2cRegPtr Cnt T str.PID12                                       | 44   |
| arget I2c Send I2cRegPtr Cnt T str.DMAC  | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 2  |
|  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DIN arget l2c Send l2cRegPtr Cnt T str.DOUT | 1  |
|  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                          | 567  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR                          | 44   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR                          | 4444   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL                         | 566  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH                         | 4466   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT                          | 129  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                          | 6  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR                          | 567  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR                          | 44   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR                          | 566  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR                          | 554  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR                         | 1.   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC                          | 44   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                        | 4466   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12                        | 44   |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC                         | 1  |
| · · - · - · ·  | 1  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN                          |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR                          | 2  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN                          | 0  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT                         | 1  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET                          | 1  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR                          | 2  |
|  |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR                          | 0 3  |





| Name  | Input Value          |                      |          |
|---|----------------------|----------------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3                    |                      |          |
| target_i2cREG1_temp.OAR   | 567                  |                      |          |
| target_i2cREG1_temp.IMR   | 44                   |                      |          |
| target_i2cREG1_temp.STR   | 4444                 |                      |          |
| target_i2cREG1_temp.CLKL  | 566                  |                      |          |
| target_i2cREG1_temp.CLKH  | 4466                 |                      |          |
| target_i2cREG1_temp.CNT<br>target_i2cREG1_temp.DRR  | 129                  |                      |          |
| target_i2cREG1_temp.SAR   | 567                  |                      |          |
| target_i2cREG1_temp.DXR   | 44                   |                      |          |
| target_i2cREG1_temp.MDR   | 566                  |                      |          |
| target_i2cREG1_temp.IVR   | 554                  |                      |          |
| target_i2cREG1_temp.EMDR  | 1                    |                      |          |
| target_i2cREG1_temp.PSC   | 44                   |                      |          |
| target_i2cREG1_temp.PID11   | 4466                 |                      |          |
| target_i2cREG1_temp.PID12   | 44                   |                      |          |
| target_i2cREG1_temp.DMAC  | 1                    |                      |          |
| target_i2cREG1_temp.FUN   | 1                    |                      |          |
| target_i2cREG1_temp.DIR   | 2                    |                      |          |
| target_i2cREG1_temp.DUN target_i2cREG1_temp.DOUT  | 0                    |                      |          |
| target_i2cREG1_temp.BGU1<br>target_i2cREG1_temp.SET   | 1                    |                      |          |
| target i2cREG1 temp.CLR   | 2                    |                      |          |
| target i2cREG1 temp.ODR   | 0                    |                      |          |
| target i2cREG1 temp.PD  | 3                    |                      |          |
| target_i2cREG1_temp.PSL   | 3                    |                      |          |
| Name  | Actual Value         | Expected Value       | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 40                   | 40                   | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 50                   | 50                   | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 60                   | 60                   | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                    | 0                    | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 24                   | 24                   | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_SENDCMD | INIT_SENSOR1_SENDCMD | ~        |
| DigColPsInt_GetData()   | 40                   | 40                   | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 1                    | 1                    | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                    | 0                    | <b>V</b> |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 205                  | 205                  | <b>*</b> |
| DigColPoint_RecvOverrunError_Cnt_M_lgc  | 0                    | 0                    | <b>V</b> |
| DigColPsInt_SensInitialized_Cnt_M_lgc<br>target_ColSnsrDataPtr_Cnt_T_u16  | 65325                | 65325                |          |
| target DataTypePtr Cnt T u08  | 3                    | 3                    | ~        |
| target I2c Send I2cRegPtr Cnt T str.OAR   | 567                  | 567                  | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 44                   | 44                   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 4444                 | 4444                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 566                  | 566                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 4466                 | 4466                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 129                  | 129                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 6                    | 6                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 567                  | 567                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 44                   | 44                   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 566                  | 566                  | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 554                  | 554                  | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                                | 1 44                 | 1 44                 |          |
| target_I2C_Send_I2cRegPtr_Cnt_T_str.PID11   | 4466                 | 4466                 | · ·      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 44                   | 44                   | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 1                    | 1                    | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                    | 1                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 2                    | 2                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1                    | 1                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1                    | 1                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2                    | 2                    | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3                    | 3                    | <b>*</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                    | 3                    | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR  | 567                  | 567                  | · ·      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 44                   | 44                   | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 4444<br>566          | 4444<br>566          | <b>*</b> |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_1_str.CLKL target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH | 4466                 | 4466                 | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 129                  | 129                  | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 6                    | 6                    | <b>✓</b> |
|   |                      |                      |          |

DigColPsInt\_GetData

target\_SpurSnsrDataPtr\_Cnt\_T\_u16

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 1            | 1              | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

55797

55797

| Name  | Input Value  |
|---|--|
| ColSnsrDataPtr_Cnt_T_u16  | target ColSnsrDataPtr Cnt T u16                    |
| DataTypePtr Cnt T u08   | target DataTypePtr Cnt T u08                       |
| DigColPsInt Buffer Cnt M u08[0]   | 70   |
| DigColPsInt_Buffer Cnt M u08[1]   | 80   |
| · · ·   | 90   |
| DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0  |
|   | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt ColSnsrData Cnt M u16 | 5600   |
| DigColPsInt_ColSnsrData_Cnt_ivi_u16                                     | 31   |
|   |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                                    | INIT_SENSOR1_READERROR_READ                        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc                                    | -  |
| DigColPsInt_InitialTime_mS_M_u32  | 24539085   |
| DigColPsInt_NackOccured_Cnt_M_lgc                                       | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                                | 19   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                                  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                                     | 0  |
| DigColPsInt_SensInitialized_Cnt_M_lgc                                   | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                                      | 9687   |
| DigColPsInt_TransactionCnt_Cnt_M_u08                                    | 12   |
| OtrmnElapsedTime_mS_u16(ElapsedTime)                                    | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)                                       | target_GetSystemTime_mS_u32_CurrentTime            |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                             | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| 2cREG1_temp   | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08  | 115  |
| _I2CHWInitTransactionTime_Sec_f32                                       | 8.69999981   |
| arget_DtrmnElapsedTime_mS_u16_ElapsedTime                               | 5811   |
| arget_GetSystemTime_mS_u32_CurrentTime                                  | 20528077   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                                  | 65   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                                  | 89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                  | 67   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                 | 7  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                                 | 577  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                                  | 88   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                                  | 23   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                                  | 65   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                                  | 89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                  | 7  |
| arget I2c Send I2cRegPtr Cnt T str.IVR                                  | 44   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                                 | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                                  | 89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                | 577  |
| target I2c Send I2cRegPtr Cnt T str.PID12                               | 89   |

2014-10-14, 23:01:16+0530



| <u> </u>   |                                   |                                   |          |
|--|-----------------------------------|-----------------------------------|----------|
| Name   | Input Value                       |                                   |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 0                                 |                                   |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR                                | 0                                 |                                   |          |
| target I2c Send I2cRegPtr Cnt T str.DIN  | 1                                 |                                   |          |
| target I2c Send I2cRegPtr Cnt T str.DOUT   | 2                                 |                                   |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 2                                 |                                   |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0                                 |                                   |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1                                 |                                   |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 2                                 |                                   |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0                                 |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65                                |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89                                |                                   |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 67                                |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7                                 |                                   |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT | 577<br>88                         |                                   |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 23                                |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65                                |                                   |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 89                                |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7                                 |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44                                |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2                                 |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89                                |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 577                               |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 89                                |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2                                 |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0                                 |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1                                 |                                   |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT | 2                                 |                                   |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 2                                 |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0                                 |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1                                 |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 2                                 |                                   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0                                 |                                   |          |
| target_i2cREG1_temp.OAR  | 65                                |                                   |          |
| target_i2cREG1_temp.IMR  | 89                                |                                   |          |
| target_i2cREG1_temp.STR  | 67                                |                                   |          |
| target_i2cREG1_temp.CLKL   | 7                                 |                                   |          |
| target_i2cREG1_temp.CLKH   | 577<br>88                         |                                   |          |
| target_i2cREG1_temp.CNT<br>target_i2cREG1_temp.DRR   | 23                                |                                   |          |
| target i2cREG1 temp.SAR  | 65                                |                                   |          |
| target i2cREG1 temp.DXR  | 89                                |                                   |          |
| target_i2cREG1_temp.MDR  | 7                                 |                                   |          |
| target_i2cREG1_temp.IVR  | 44                                |                                   |          |
| target_i2cREG1_temp.EMDR   | 2                                 |                                   |          |
| target_i2cREG1_temp.PSC  | 89                                |                                   |          |
| target_i2cREG1_temp.PID11  | 577                               |                                   |          |
| target_i2cREG1_temp.PID12  | 89                                |                                   |          |
| target_i2cREG1_temp.DMAC   | 2                                 |                                   |          |
| target_i2cREG1_temp.FUN<br>target_i2cREG1_temp.DIR   | 0                                 |                                   |          |
| target_i2cREG1_temp.DIN  | 1                                 |                                   |          |
| target i2cREG1 temp.DOUT   | 2                                 |                                   |          |
| target i2cREG1 temp.SET  | 2                                 |                                   |          |
| target_i2cREG1_temp.CLR  | 0                                 |                                   |          |
| target_i2cREG1_temp.ODR  | 1                                 |                                   |          |
| target_i2cREG1_temp.PD   | 2                                 |                                   |          |
| target_i2cREG1_temp.PSL  | 0                                 |                                   |          |
| Name   | Actual Value                      | Expected Value                    | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 36                                | 36                                | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 80                                | 80                                | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 90                                | 90                                | <b>V</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0                                 | 0                                 | <b>*</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum  | 115 INIT SENSOR1 READERROR SETREG | 115 INIT SENSOR1 READERROR SETREG | •        |
| DigColPsInt_GetData()  | 0                                 | 0                                 | Ž        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0                                 | 0                                 | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                                 | 0                                 | -        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 12                                | 12                                | V        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                                 | 0                                 | •        |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1                                 | 1                                 | ~        |
|  |                                   |                                   |          |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| I2c_Send(Length_Cnt_T_u32)   | 1            | 1              | ~        |
| I2c SetupMasterTransmit(DataLength Cnt T u16)  | 1            | 1              | <b>✓</b> |
| target_ColSnsrDataPtr_Cnt_T_u16  | 5600         | 5600           | ~        |
| target_DataTypePtr_Cnt_T_u08   | 0            | 0              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | ~        |
| target I2c Send I2cRegPtr Cnt T str.IMR  | 89           | 89             | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 67           | 67             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | ~        |
| target I2c Send I2cRegPtr Cnt T str.CNT  | 88           | 88             | ~        |
| target I2c Send I2cRegPtr Cnt T str.DRR  | 23           | 23             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 65           | 65             | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 7            | 7              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~        |
| target I2c Send I2cRegPtr Cnt T str.DIN  | 1            | 1              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | ~        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL  | 7            | 7              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 44           | 44             | ~        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR  | 2            | 2              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11   | 577          | 577            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 89           | 89             | -        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC  | 2            | 2              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 0            | 0              | -        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 0            | 0              |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN   | 1            | 1              | -        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT   | 2            | 2              |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET | 2            | 2              | ~        |
|  | 0            | 0              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   |              | l'             |          |
| target_SpurSnsrDataPtr_Cnt_T_u16   | 9687         | 9687           |          |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | -        |

| Test Step 2.21 (Repeat Count = 1) | <b>→</b>                        |
|-----------------------------------|---------------------------------|
| Name                              | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16          | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08             | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 3                               |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 6                               |

2014-10-14, 23:01:16+0530



| DigColFSini_GetData                                    | THE CITY OF THE CONTRACT OF TH |
|--|--|
| Name   | Input Value  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                        | 9  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                  | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                  | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16                      | 7985   |
| DigColPsInt_CurrentSlave_Cnt_M_u08                     | 38   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                   | INIT_SENSOR1_READEXTERR_READ   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                   | 1  |
| DigColPsInt_InitialTime_mS_M_u32                       | 25541837   |
| DigColPsInt_NackOccured_Cnt_M_lgc                      | 1  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08               | 31   |
| DigColPsInt RecvOverrunError Cnt M Igc                 | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                    | 1  |
| DigColPsInt_SensInitialized_Cnt_M_lgc                  | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                     | 11230  |
| DigColPsInt_TransactionCnt_Cnt_M_u08                   | 29   |
| htrmnElapsedTime_mS_u16(ElapsedTime)                   | target_DtrmnElapsedTime_mS_u16_ElapsedTime   |
| SetSystemTime_mS_u32(CurrentTime)                      | target_GetSystemTime_mS_u32_CurrentTime  |
| 2c_Send(I2cRegPtr_Cnt_T_str)                           | target I2c Send I2cRegPtr Cnt T str  |
|  | · · · · · · · · · · · · · · · · · · ·  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)            | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str   |
| purSnsrDataPtr_Cnt_T_u16                               | target_SpurSnsrDataPtr_Cnt_T_u16   |
| cREG1_temp   | target_i2cREG1_temp  |
| _ColSensori2CAddress_Cnt_u08                           | 122  |
| _l2CHWInitTransactionTime_Sec_f32                      | 9.10000038   |
| arget_DtrmnElapsedTime_mS_u16_ElapsedTime              | 6318   |
| arget_GetSystemTime_mS_u32_CurrentTime                 | 21530829   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                 | 10   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                 | 10   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR                 | 1223   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                | 7846   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                | 8974   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                 | 98   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                 | 12   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                 | 10   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                 | 10   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                 | 7846   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                 | 55   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                | 1  |
|  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                 | 10   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11               | 8974   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12               | 10   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                 | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                 | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                 | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET                 | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                 | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                 | 1  |
| urget_I2c_Send_I2cRegPtr_Cnt_T_str.PD                  | 1  |
| arget_12c_Send_12cRegPtr_Cnt_T_str.PSL                 | 1  |
| riget_12c_send_12cRegPtr_Cnt_1_str.Pst.                | 10   |
| rget I2c SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 10   |
|  |  |
| urget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  | 1223   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7846   |
| rget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 8974   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 98   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 12   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 10   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 10   |
| rget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 7846   |
| rrget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 55   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1  |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 8974   |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 10   |
|  | 10   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 2  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 1  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 1  |
| <u> </u>   |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 2  |

2014-10-14, 23:01:16+0530



| Name   | Input Value   |  |                                       |
|--|---|--|---------------------------------------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 1   |  |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1   |  |                                       |
| target_i2cREG1_temp.OAR<br>target_i2cREG1_temp.IMR   | 10  |  |                                       |
| target i2cREG1 temp.STR  | 1223  |  |                                       |
| target_i2cREG1_temp.CLKL   | 7846  |  |                                       |
| target_i2cREG1_temp.CLKH   | 8974  |  |                                       |
| target_i2cREG1_temp.CNT  | 98  |  |                                       |
| target_i2cREG1_temp.DRR  | 12  |  |                                       |
| target_i2cREG1_temp.SAR  | 10  |  |                                       |
| target_i2cREG1_temp.DXR  | 10  |  |                                       |
| target_i2cREG1_temp.MDR  | 7846<br>55  |  |                                       |
| target_i2cREG1_temp.IVR<br>target_i2cREG1_temp.EMDR  | 1   |  |                                       |
| target i2cREG1 temp.PSC  | 10  |  |                                       |
| target_i2cREG1_temp.PID11  | 8974  |  |                                       |
| target_i2cREG1_temp.PID12  | 10  |  |                                       |
| target_i2cREG1_temp.DMAC   | 1   |  |                                       |
| target_i2cREG1_temp.FUN  | 1   |  |                                       |
| target_i2cREG1_temp.DIR  | 2   |  |                                       |
| target_i2cREG1_temp.DIN  | 1   |  |                                       |
| target_i2cREG1_temp.DOUT<br>target_i2cREG1_temp.SET  | 1   |  |                                       |
| target i2cREG1 temp.CLR  | 2   |  |                                       |
| target i2cREG1 temp.ODR  | 1   |  |                                       |
| target_i2cREG1_temp.PD   | 1   |  |                                       |
| target_i2cREG1_temp.PSL  | 1   |  |                                       |
| Name   | Actual Value  | Expected Value   | Result                                |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 3   | 3  | ~                                     |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 6   | 6  | •                                     |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 9   | 9  | ~                                     |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0   | 0  | <b>*</b>                              |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum  | 38 INIT SENSOR1 READEXTERR READ   | 38 INIT SENSOR1 READEXTERR READ  | -                                     |
| DigColPsInt_GetData()  | 46  | 46   |                                       |
| DigColPsInt InitFailedOnce Cnt M Igc   | 1   | 1  | ~                                     |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0   | 0  | ~                                     |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 29  | 29   | •                                     |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc   | 0   | 0  | ~                                     |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1   | 1  | ~                                     |
| target_ColSnsrDataPtr_Cnt_T_u16  | 7985<br>1   | 7985   | <b>Y</b>                              |
| target_DataTypePtr_Cnt_T_u08 target I2c Send I2cRegPtr Cnt T str.OAR   | 10  | 10   |                                       |
| target_12e_ochd_12ertegr ti_ont_1_str.ozart  | 10  |  |                                       |
| target I2c Send I2cRegPtr Cnt T str.IMR  | 10  | 10   | <b>✓</b>                              |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 10<br>1223  | 10<br>1223   | <b>*</b>                              |
|  |   |  | · ·                                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 1223  | 1223   | ~                                     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT  | 1223<br>7846<br>8974<br>98  | 1223<br>7846<br>8974<br>98   | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  | 1223<br>7846<br>8974<br>98<br>12  | 1223<br>7846<br>8974<br>98<br>12   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR  | 1223<br>7846<br>8974<br>98<br>12  | 1223<br>7846<br>8974<br>98<br>12   | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 1223<br>7846<br>8974<br>98<br>12<br>10  | 1223<br>7846<br>8974<br>98<br>12<br>10   | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846                                      | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846                                     | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  | 1223<br>7846<br>8974<br>98<br>12<br>10  | 1223<br>7846<br>8974<br>98<br>12<br>10   | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846                                      | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846                                     | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR   | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846<br>55                                | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846<br>55                               | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  | 1223 7846 8974 98 12 10 10 7846 55 1  | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846<br>55<br>1                          | · · · · · · · · · · · · · · · · · · · |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.DID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC  | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10   | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846<br>55<br>1<br>10<br>8974<br>10      |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN   | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 10 11 1                                   | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846<br>55<br>1<br>10<br>8974<br>10      |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.DID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 10 11 1                                   | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846<br>55<br>1<br>10<br>8974<br>10<br>1 |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 10 11 1 1 2                               | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846<br>55<br>1<br>10<br>8974<br>10<br>1 |                                       |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.STR target_i2c_Send_i2cRegPtr_Cnt_T_str.CLKL target_i2c_Send_i2cRegPtr_Cnt_T_str.CLKH target_i2c_Send_i2cRegPtr_Cnt_T_str.CNT target_i2c_Send_i2cRegPtr_Cnt_T_str.DRR target_i2c_Send_i2cRegPtr_Cnt_T_str.DXR target_i2c_Send_i2cRegPtr_Cnt_T_str.DXR target_i2c_Send_i2cRegPtr_Cnt_T_str.DXR target_i2c_Send_i2cRegPtr_Cnt_T_str.MDR target_i2c_Send_i2cRegPtr_Cnt_T_str.MDR target_i2c_Send_i2cRegPtr_Cnt_T_str.EMDR target_i2c_Send_i2cRegPtr_Cnt_T_str.EMDR target_i2c_Send_i2cRegPtr_Cnt_T_str.PSC target_i2c_Send_i2cRegPtr_Cnt_T_str.PID11 target_i2c_Send_i2cRegPtr_Cnt_T_str.PID12 target_i2c_Send_i2cRegPtr_Cnt_T_str.DMAC target_i2c_Send_i2cRegPtr_Cnt_T_str.DNAC target_i2c_Send_i2cRegPtr_Cnt_T_str.DIR target_i2c_Send_i2cRegPtr_Cnt_T_str.DIR target_i2c_Send_i2cRegPtr_Cnt_T_str.DIR target_i2c_Send_i2cRegPtr_Cnt_T_str.DIN target_i2c_Send_i2cRegPtr_Cnt_T_str.DUT  | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 2 1                                   | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 2 1 1                                |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.WR target_l2c_Send_l2cRegPtr_Cnt_T_str.WR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PDI11 target_l2c_Send_l2cRegPtr_Cnt_T_str.DID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT target_l2c_Send_l2cRegPtr_Cnt_T_str.SET  | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 10 11 1 1 2                               | 1223<br>7846<br>8974<br>98<br>12<br>10<br>10<br>7846<br>55<br>1<br>10<br>8974<br>10<br>1 |                                       |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.STR target_i2c_Send_i2cRegPtr_Cnt_T_str.CLKL target_i2c_Send_i2cRegPtr_Cnt_T_str.CLKH target_i2c_Send_i2cRegPtr_Cnt_T_str.CNT target_i2c_Send_i2cRegPtr_Cnt_T_str.DRR target_i2c_Send_i2cRegPtr_Cnt_T_str.DXR target_i2c_Send_i2cRegPtr_Cnt_T_str.DXR target_i2c_Send_i2cRegPtr_Cnt_T_str.MDR target_i2c_Send_i2cRegPtr_Cnt_T_str.WRDR target_i2c_Send_i2cRegPtr_Cnt_T_str.WRDR target_i2c_Send_i2cRegPtr_Cnt_T_str.PSC target_i2c_Send_i2cRegPtr_Cnt_T_str.PSC target_i2c_Send_i2cRegPtr_Cnt_T_str.PSC target_i2c_Send_i2cRegPtr_Cnt_T_str.PiD11 target_i2c_Send_i2cRegPtr_Cnt_T_str.DINAC target_i2c_Send_i2cRegPtr_Cnt_T_str.FUN target_i2c_Send_i2cRegPtr_Cnt_T_str.DIR target_i2c_Send_i2cRegPtr_Cnt_T_str.DIR target_i2c_Send_i2cRegPtr_Cnt_T_str.DIR target_i2c_Send_i2cRegPtr_Cnt_T_str.DUT target_i2c_Send_i2cRegPtr_Cnt_T_str.DUT target_i2c_Send_i2cRegPtr_Cnt_T_str.DUT target_i2c_Send_i2cRegPtr_Cnt_T_str.SET target_i2c_Send_i2cRegPtr_Cnt_T_str.CLR  | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 2 1 1 1                               | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 1 1                                  |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.WR target_l2c_Send_l2cRegPtr_Cnt_T_str.WR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PDI11 target_l2c_Send_l2cRegPtr_Cnt_T_str.DID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT target_l2c_Send_l2cRegPtr_Cnt_T_str.SET  | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 1 1 2 1 1 2                           | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 1 2                                  |                                       |
| target_ 2c_Send_ 2cRegPtr_Cnt_T_str.STR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CLKL target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CLKH target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CNT target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DNR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DNR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DNR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.MDR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.MDR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.NPR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PNDR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PNDR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PNDR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PDD11 target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PID11 target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIMAC target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DMAC target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIN target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DUT target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DUT target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DUT target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CLR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CLR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CLR  | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 1 2 1 1 1 2 1                         | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 1 2 1 1 1 2                          |                                       |
| target_ 2c_Send_ 2cRegPtr_Cnt_T_str.STR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CLKL target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CLKH target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CNT target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DNR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DNR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DNR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DNR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.IVR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.IVR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.EMDR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.EMDR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PSC target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PID11 target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PID12 target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIMAC target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DMAC target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIN target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIN target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIN target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DUT target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DUT target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DUT target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CLR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DDR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DDR target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DDR   | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 11 1 1 2 1 1 1 2 1 1 1                    | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 1 2 1 1 1 2                          |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DNR target_l2c_Send_l2cRegPtr_Cnt_T_str.DNR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.DIAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DIAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUR target_l2c_Send_l2cRegPtr_Cnt_T_str.DUR target_l2c_Send_l2cRegPtr_Cnt_T_str.DUR target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR  | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 11 11 1 1 2 1 1 1 1 1 1 1 1 1 1 1 1       | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 1 2 1 1 1 1 1 1 1 1 1 1 1 1 1 1      |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DNR target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.DIAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DIAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUR  | 1223 7846 8974 98 12 10 10 10 7846 55 1 10 10 8974 10 1 1 1 1 2 1 1 1 1 1 1 1 1 1 1 1 1 1 | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 1 2 1 1 1 1 1 1 1 1 1 1 1 1 1 1      |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DNR target_l2c_Send_l2cRegPtr_Cnt_T_str.DNR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DIAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR | 1223 7846 8974 98 12 10 10 10 7846 55 1 10 10 8974 10 1 1 1 1 2 1 1 1 1 1 1 1 1 1 1 1 1 1 | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 1 2 1 1 1 1 1 1 1 1 1 1 1 1 1 1      |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DNR target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.DIAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DIAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUR  | 1223 7846 8974 98 12 10 10 10 7846 55 1 10 10 8974 10 1 1 1 1 2 1 1 1 1 1 1 1 1 1 1 1 1 1 | 1223 7846 8974 98 12 10 10 7846 55 1 10 8974 10 1 1 1 2 1 1 1 1 1 1 1 1 1 1 1 1 1 1      |                                       |

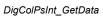
2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846           | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 8974         | 8974           | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 10           | 10             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | ~      |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 11230        | 11230          | ~      |

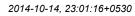
| Τ                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |

| Name  | Input Value  |
|---|--|
| ColSnsrDataPtr Cnt T u16  | target ColSnsrDataPtr Cnt T u16                    |
| DataTypePtr Cnt T u08   | target DataTypePtr Cnt T u08                       |
| DigColPsInt Buffer Cnt M u08[0]   | 11   |
| DigColPsInt_Buffer Cnt M u08[1]   | 22   |
| DigColPsint_Buffer_Cnt_M_u08[2]   | 33   |
| DigColPsInt BusBusySeqError Cnt M lgc                                     | 0  |
| DigColPsInt_BusBusySeqEndi_Cnt_M_gc DigColPsInt CmdFailOccurred Cnt M lgc | 0  |
| DigColPsInt_CilidrailOccurred_Cili_w_igc                                  | 10370  |
|   | 45   |
| DigColPsInt_CurrentSlave_Cnt_M_u08  |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                                      | INIT_NOT_INITIALIZED                               |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                                      | 0  |
| DigColPsInt_InitialTime_mS_M_u32  | 26544589   |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                                  | 43   |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc                                    | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                                       | 2  |
| DigColPsInt_SensInitialized_Cnt_M_lgc                                     | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 12773  |
| DigColPsInt_TransactionCnt_Cnt_M_u08                                      | 33   |
| OtrmnElapsedTime_mS_u16(ElapsedTime)                                      | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime            |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                               | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| 2cREG1_temp   | target_i2cREG1_temp                                |
| c_ColSensorl2CAddress_Cnt_u08   | 1  |
| _I2CHWInitTransactionTime_Sec_f32   | 9.5  |
| arget_DtrmnElapsedTime_mS_u16_ElapsedTime                                 | 6825   |
| arget_GetSystemTime_mS_u32_CurrentTime                                    | 22533581   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                                    | 34   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                                    | 24   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.STR                                    | 455  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                   | 847  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                                   | 987  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                                    | 487  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                                    | 34   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                                    | 34   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                                    | 24   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                    | 847  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                                    | 56   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                                   | 2  |
| arget I2c Send I2cRegPtr Cnt T str.PSC                                    | 24   |
| arget I2c Send I2cRegPtr Cnt T str.PID11                                  | 987  |





| Maura   | Innut Value          |                      |          |
|---|----------------------|----------------------|----------|
| Name  | Input Value          |                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 24                   |                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2                    |                      |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN   |                      |                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                                 | 3 3                  |                      |          |
| 0 = = = 0 = ==  | 2                    |                      |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT target_l2c_Send_l2cRegPtr_Cnt_T_str.SET                                | 2                    |                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 3                    |                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 3                    |                      |          |
| target I2c Send I2cRegPtr Cnt T str.PD  | 2                    |                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 2                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 34                   |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 24                   |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 455                  |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 847                  |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 987                  |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 487                  |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 34                   |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 34                   |                      |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 24                   |                      |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 847                  |                      |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 56<br>2              |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 24                   |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 987                  |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 24                   |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2                    |                      |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN  | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 3                    |                      |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN  | 3                    |                      |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT   | 2                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 3                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 2                    |                      |          |
| target_i2cREG1_temp.OAR   | 34                   |                      |          |
| target_i2cREG1_temp.IMR   | 24                   |                      |          |
| target_i2cREG1_temp.STR   | 455                  |                      |          |
| target_i2cREG1_temp.CLKL  | 847                  |                      |          |
| target_i2cREG1_temp.CLKH  | 987                  |                      |          |
| target_i2cREG1_temp.CNT<br>target_i2cREG1_temp.DRR  | 487<br>34            |                      |          |
| target i2cREG1 temp.SAR   | 34                   |                      |          |
| target_i2cREG1_temp.DXR   | 24                   |                      |          |
| target i2cREG1 temp.MDR   | 847                  |                      |          |
| target i2cREG1 temp.IVR   | 56                   |                      |          |
| target i2cREG1 temp.EMDR  | 2                    |                      |          |
| target_i2cREG1_temp.PSC   | 24                   |                      |          |
| target_i2cREG1_temp.PID11   | 987                  |                      |          |
| target_i2cREG1_temp.PID12   | 24                   |                      |          |
| target_i2cREG1_temp.DMAC  | 2                    |                      |          |
| target_i2cREG1_temp.FUN   | 0                    |                      |          |
| target_i2cREG1_temp.DIR   | 3                    |                      |          |
| target_i2cREG1_temp.DIN   | 3                    |                      |          |
| target_i2cREG1_temp.DOUT  | 2                    |                      |          |
| target_i2cREG1_temp.SET   | 2                    |                      |          |
| target_i2cREG1_temp.CLR   | 3                    |                      |          |
| target_i2cREG1_temp.ODR   | 3                    |                      |          |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  | 2 2                  |                      |          |
|   |                      | Expected Value       | Booult   |
| Name DigColPsInt_Buffer_Cnt_M_u08[0]  | Actual Value         | Expected Value       | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]   | 22                   | 22                   | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 33                   | 33                   |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                    | 0                    | · ·      |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 45                   | 45                   | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_NOT_INITIALIZED | INIT_NOT_INITIALIZED | <b>✓</b> |
| DigColPsInt_GetData()   | 0                    | 0                    | •        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                    | 0                    | <b>v</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                    | 0                    | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 33                   | 33                   | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                    | 0                    | ~        |
|   |                      |                      |          |





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| DigColPsInt_SensInitialized_Cnt_M_lgc                    | 1            | 1              | ~        |
| target_ColSnsrDataPtr_Cnt_T_u16                          | 10370        | 10370          | ~        |
| target_DataTypePtr_Cnt_T_u08                             | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                  | 34           | 34             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                  | 24           | 24             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 455          | 455            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 847          | 847            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 987          | 987            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 487          | 487            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 34           | 34             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 34           | 34             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 24           | 24             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 847          | 847            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 56           | 56             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 24           | 24             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 987          | 987            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 24           | 24             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 3            | 3              | •        |
| target I2c Send I2cRegPtr Cnt T str.DIN                  | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 2            | 2              | <b>~</b> |
| target I2c Send I2cRegPtr Cnt T str.SET                  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 3            | 3              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 2            | 2              | ~        |
| target I2c Send I2cRegPtr Cnt T str.PSL                  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 34           | 34             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 24           | 24             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 455          | 455            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 847          | 847            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 987          | 987            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 487          | 487            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 34           | 34             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 34           | 34             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 24           | 24             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 847          | 847            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 56           | 56             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 24           | 24             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 987          | 987            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 24           | 24             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | -        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | -        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 2            | 2              | <b>~</b> |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 12773        | 12773          |          |
|  | 1            | 1              |          |

| T ·                     |       |                         |       |        |  |  |
|-------------------------|-------|-------------------------|-------|--------|--|--|
| Actual Function         | Count | Expected Function       | Count | Result |  |  |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |  |  |

| Test Step 2.23 (Repeat Count = 1)     |                                 | ✓ |
|---------------------------------------|---------------------------------|---|
| Name                                  | Input Value                     |   |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |   |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 44                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 55                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 66                              |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 1                               |   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 1                               |   |
| DigColPsInt_ColSnsrData_Cnt_M_u16     | 12755                           |   |
| DigColPsInt_CurrentSlave_Cnt_M_u08    | 52                              |   |





| Name   | Input Value  |
|--|--|
| DigColPsInt_CurrentStepNo_Cnt_M_enum                     | READ COMPLETE                                      |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc                     | 0  |
| DigColPsInt InitialTime mS M u32                         | 27547341   |
|  | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc                        |  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                 | 55   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                   | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                      | 3  |
| DigColPsInt_SensInitialized_Cnt_M_lgc                    | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                       | 14316  |
| DigColPsInt TransactionCnt Cnt M u08                     | 46   |
| DtrmnElapsedTime_mS_u16(ElapsedTime)                     | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)                        | target_GetSystemTime_mS_u32_CurrentTime            |
|  |  |
| I2c_Send(I2cRegPtr_Cnt_T_str)                            | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)             | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16                                | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp   | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                            | 14   |
| k_I2CHWInitTransactionTime_Sec_f32                       | 9.89999962   |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime               | 7332   |
|  | 23536333   |
| target_GetSystemTime_mS_u32_CurrentTime                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                  | 55   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR                  | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 556  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 2309   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 1204   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 87   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 67   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 55   |
|  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 2309   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 5  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR                 | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 1204   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 3  |
|  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 2  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT                 | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 2  |
|  | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 1204   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87   |
|  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR  | 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204   |
|  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1  |
|  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3  |
| target_i2cREG1_temp.OAR                                  | 55   |
| target_i2cREG1_temp.IMR                                  | 66   |
| target_i2cREG1_temp.STR                                  | 556  |
|  |  |





| Name   | Input Value                   |                               |          |  |  |
|--|-------------------------------|-------------------------------|----------|--|--|
| target_i2cREG1_temp.CLKL   | 2309                          |                               |          |  |  |
| target_i2cREG1_temp.CLKH   | 1204                          |                               |          |  |  |
| target_i2cREG1_temp.CNT  | 87                            |                               |          |  |  |
| target_i2cREG1_temp.DRR  | 67                            |                               |          |  |  |
| target_i2cREG1_temp.SAR  | 55                            |                               |          |  |  |
| target_i2cREG1_temp.DXR  | 66                            | 66                            |          |  |  |
| target_i2cREG1_temp.MDR  | 2309                          | 2309                          |          |  |  |
| target_i2cREG1_temp.IVR  | 5                             | 5                             |          |  |  |
| target_i2cREG1_temp.EMDR   | 3                             |                               |          |  |  |
| target_i2cREG1_temp.PSC  | 66                            |                               |          |  |  |
| target_i2cREG1_temp.PID11  | 1204                          |                               |          |  |  |
| target_i2cREG1_temp.PID12  | 66                            |                               |          |  |  |
| target_i2cREG1_temp.DMAC   | 3                             |                               |          |  |  |
| target_i2cREG1_temp.FUN  | 1                             |                               |          |  |  |
| target_i2cREG1_temp.DIR  | 1                             |                               |          |  |  |
| target_i2cREG1_temp.DIN  | 2                             |                               |          |  |  |
| target_i2cREG1_temp.DOUT   | 3                             |                               |          |  |  |
| target_i2cREG1_temp.SET  | 3                             |                               |          |  |  |
| target_i2cREG1_temp.CLR  | 1                             |                               |          |  |  |
| target_i2cREG1_temp.ODR  | 2                             |                               |          |  |  |
| target_i2cREG1_temp.PD   | 3                             |                               |          |  |  |
| target_i2cREG1_temp.PSL  |                               | I=                            |          |  |  |
| Name   | Actual Value                  | Expected Value                | Result   |  |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 36                            | 36                            | <b>Y</b> |  |  |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 55                            | 55                            | ~        |  |  |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 66                            | 66                            | ~        |  |  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                                    | 0                             | 0                             | <b>V</b> |  |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08                                       | 14                            | 14                            | <b>V</b> |  |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                                     | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | -        |  |  |
| DigColPsInt_GetData()  | 38                            | 38                            | <b>*</b> |  |  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                                     | 0                             | 0                             | -        |  |  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 46                            | 46                            | ~        |  |  |
| DigColPoint_PrevTransactionCnt_Cnt_M_u08                                 | 0                             | 0                             |          |  |  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                                   | 1                             | 1                             | -        |  |  |
| DigColPsInt_SensInitialized_Cnt_M_lgc                                    | 1                             | 1                             |          |  |  |
| I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) | 1                             | 1                             | -        |  |  |
| target_ColSnsrDataPtr_Cnt_T_u16  | 12755                         | 12755                         |          |  |  |
| target DataTypePtr Cnt T u08   | 3                             | 3                             | ~        |  |  |
| target I2c Send I2cRegPtr Cnt T str.OAR                                  | 55                            | 55                            |          |  |  |
| target_12c_Send_12cRegPtr_Cnt_T_str.IMR                                  | 66                            | 66                            | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                  | 556                           | 556                           |          |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                 | 2309                          | 2309                          | <b>✓</b> |  |  |
| target I2c Send I2cRegPtr Cnt T str.CLKH                                 | 1204                          | 1204                          | -        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                                  | 87                            | 87                            | •        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                                  | 67                            | 67                            | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                                  | 55                            | 55                            | <b>✓</b> |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                                  | 66                            | 66                            | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                  | 2309                          | 2309                          | <b>✓</b> |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                                  | 5                             | 5                             | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                                 | 3                             | 3                             | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                                  | 66                            | 66                            | <b>✓</b> |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                | 1204                          | 1204                          | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                | 66                            | 66                            | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                                 | 3                             | 3                             | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                                  | 1                             | 1                             | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                                  | 1                             | 1                             | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                                  | 2                             | 2                             | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                                 | 3                             | 3                             | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                                  | 3                             | 3                             | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                                  | 1                             | 1                             | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                                  | 2                             | 2                             | ~        |  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                                   | 3                             | 3                             | ~        |  |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL                                  | 3                             | 3                             | ~        |  |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR                   | 55                            | 55                            | ~        |  |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR                   | 66                            | 66                            | ~        |  |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR                   | 556                           | 556                           | ~        |  |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL                  | 2309                          | 2309                          | ~        |  |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH                  | 1204                          | 1204                          | <b>*</b> |  |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT                   | 87                            | 87                            | <b>✓</b> |  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                   | 67                            | 67                            |          |  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR                   | 55                            | 55                            | <b>V</b> |  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR                   | 66                            | 66                            | _        |  |  |
|  |                               |                               |          |  |  |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~      |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 14316        | 14316          | ~      |

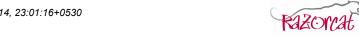
| T                       |       |                         |       | ~        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>~</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>~</b> |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | ~        |

2014-10-14, 23:01:16+0530



| Name   | Input Value                 |                             |          |
|--|-----------------------------|-----------------------------|----------|
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11  | 56                          |                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 78                          |                             |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c Send_l2cRegPtr_Cnt_T_str.FUN                               | 0                           |                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0                           |                             |          |
| target I2c Send I2cRegPtr Cnt T str.DIN  | 1                           |                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 0                           |                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0                           |                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0                           |                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1                           |                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0                           |                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495                         |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897                         |                             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 98                          |                             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 66                          |                             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 78                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495<br>66                   |                             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 56                          |                             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12   | 78                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0                           |                             |          |
| target_i2cREG1_temp.OAR  | 66                          |                             |          |
| target_i2cREG1_temp.IMR  | 78                          |                             |          |
| target_i2cREG1_temp.STR  | 78                          |                             |          |
| target_i2cREG1_temp.CLKL   | 495<br>56                   |                             |          |
| target_i2cREG1_temp.CLKH<br>target_i2cREG1_temp.CNT  | 897                         |                             |          |
| target i2cREG1 temp.DRR  | 98                          |                             |          |
| target_i2cREG1_temp.SAR  | 66                          |                             |          |
| target i2cREG1 temp.DXR  | 78                          |                             |          |
| target i2cREG1 temp.MDR  | 495                         |                             |          |
| target i2cREG1 temp.IVR  | 66                          |                             |          |
| target_i2cREG1_temp.EMDR   | 0                           |                             |          |
| target_i2cREG1_temp.PSC  | 78                          |                             |          |
| target_i2cREG1_temp.PID11  | 56                          |                             |          |
| target_i2cREG1_temp.PID12  | 78                          |                             |          |
| target_i2cREG1_temp.DMAC   | 0                           |                             |          |
| target_i2cREG1_temp.FUN  | 0                           |                             |          |
| target_i2cREG1_temp.DIR  | 0                           |                             |          |
| target_i2cREG1_temp.DIN  | 1                           |                             |          |
| target_i2cREG1_temp.DOUT   | 0                           |                             |          |
| target_i2cREG1_temp.SET  | 0                           |                             |          |
| target_i2cREG1_temp.CLR  | 0                           |                             |          |
| target_i2cREG1_temp.ODR  | 1                           |                             |          |
| target_i2cREG1_temp.PD   | 0                           |                             |          |
| target_i2cREG1_temp.PSL  |                             | F a start Males             | D16      |
| Name   | Actual Value                | Expected Value              | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10 20                       | 10 20                       | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 30                          | 30                          |          |
| DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0                           | 0                           | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_gc  DigColPsInt_CurrentSlave_Cnt_M_u08                                       | 59                          | 59                          |          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR2_CHECKSTAT_READ | INIT_SENSOR2_CHECKSTAT_READ | ~        |
| DigColPsInt_GetData()  | 136                         | 136                         |          |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 1                           | 1                           | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                           | 0                           | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 121                         | 121                         | <b>✓</b> |
|  |                             |                             |          |

DigColPsInt\_GetData



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                   | 0            | 0              | ~        |
| DigColPsInt_SensInitialized_Cnt_M_Igc                    | 1            | 1              | ~        |
| target_ColSnsrDataPtr_Cnt_T_u16                          | 20000        | 20000          | ~        |
| target_DataTypePtr_Cnt_T_u08                             | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                  | 66           | 66             | ~        |
| target I2c Send I2cRegPtr Cnt T str.IMR                  | 78           | 78             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 78           | 78             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 495          | 495            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 56           | 56             | ~        |
| target I2c Send I2cRegPtr Cnt T str.CNT                  | 897          | 897            | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.DRR                  | 98           | 98             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 66           | 66             | <b>~</b> |
| target I2c Send I2cRegPtr Cnt T str.DXR                  | 78           | 78             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 495          | 495            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 66           | 66             | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 78           | 78             | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 56           | 56             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 78           | 78             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 0            | 0              |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIR                  | 0            | 0              | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIN                  | 1            | 1              |          |
| target I2c Send I2cRegPtr Cnt T str.DOUT                 | 0            | 0              | ~        |
| target I2c Send I2cRegPtr Cnt T str.SET                  | 0            | 0              |          |
|  | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 1            | 1              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR                  | 0            | 0              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD                   | 0            | 0              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL                  |              |                | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 78           | 78             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 78           | 78             | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | <b>y</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 98           | 98             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 28203        | 28203          | ~        |

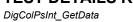
| T .                     |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

| Test Step 2.25 (Repeat Count = 1)     |                                 | ✓ |
|---------------------------------------|---------------------------------|---|
| Name                                  | Input Value                     |   |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |   |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 40                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 50                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 60                              |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 0                               |   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 1                               |   |
| DigColPsInt_ColSnsrData_Cnt_M_u16     | 14752                           |   |





| Name   | Input Value   |
|--|---|
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 66  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_DUMMY_SEND   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0   |
| DigColPsInt_InitialTime_mS_M_u32   | 29552845  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1   |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 11  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1   |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 1   |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1   |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 21478   |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 14  |
| DtrmnElapsedTime_mS_u16(ElapsedTime)   | target_DtrmnElapsedTime_mS_u16_ElapsedTime  |
| GetSystemTime_mS_u32(CurrentTime)  | target_GetSystemTime_mS_u32_CurrentTime   |
| I2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str   |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) SpurSnsrDataPtr Cnt T u16   | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str target_SpurSnsrDataPtr_Cnt_T_u16 |
| i2cREG1_temp   | target_i2cREG1_temp   |
| k_ColSensorI2CAddress_Cnt_u08  | 28  |
| k_I2CHWInitTransactionTime_Sec_f32   | 0   |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime   | 8346  |
| target_GetSystemTime_mS_u32_CurrentTime  | 25541837  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 567   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 4444  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 129   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 6   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 566   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 554   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 4466  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC                                 | 1   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN  | 1   |
| target I2c Send I2cRegPtr Cnt T str.DIR  | 2   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0   |
| target I2c Send I2cRegPtr Cnt T str.DOUT   |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1   |
| target I2c Send I2cRegPtr Cnt T str.CLR  | 2   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 44  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 566   |
| target _l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR target _l2c SetupMasterTransmit _l2cRegPtr Cnt T _str.EMDR | 554   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_1_str.EMDR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC     | 1 44  |
| target I2c SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11    | 4466  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12   | 44  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0   |
| torget 12a SetunMonterTransmit 12aPagPtr Cnt T etr DD  | 3   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3   |
|  | 3<br>567<br>44  |





| Name  | Input Value             |                         |          |  |
|---|-------------------------|-------------------------|----------|--|
| target_i2cREG1_temp.STR                                 | 4444                    |                         |          |  |
| target_i2cREG1_temp.CLKL                                | 566                     |                         |          |  |
| target_i2cREG1_temp.CLKH                                | 4466                    |                         |          |  |
| target_i2cREG1_temp.CNT                                 | 129                     |                         |          |  |
| target_i2cREG1_temp.DRR                                 | 6                       |                         |          |  |
| target_i2cREG1_temp.SAR                                 | 567                     |                         |          |  |
| target_i2cREG1_temp.DXR                                 |                         | 44                      |          |  |
| target_i2cREG1_temp.MDR                                 | 554                     | 566                     |          |  |
| target_i2cREG1_temp.IVR                                 | 1                       |                         |          |  |
| target_i2cREG1_temp.EMDR<br>target_i2cREG1_temp.PSC     | 44                      |                         |          |  |
| target i2cREG1 temp.PID11                               | 4466                    |                         |          |  |
| target i2cREG1 temp.PID12                               | 44                      |                         |          |  |
| target i2cREG1 temp.DMAC                                | 1                       |                         |          |  |
| target i2cREG1 temp.FUN                                 | 1                       |                         |          |  |
| target i2cREG1 temp.DIR                                 | 2                       |                         |          |  |
| target_i2cREG1_temp.DIN                                 | 0                       |                         |          |  |
| target_i2cREG1_temp.DOUT                                | 1                       |                         |          |  |
| target i2cREG1 temp.SET                                 | 1                       |                         |          |  |
| target i2cREG1 temp.CLR                                 | 2                       |                         |          |  |
| target i2cREG1 temp.ODR                                 | 0                       |                         |          |  |
| target i2cREG1 temp.PD                                  | 3                       |                         |          |  |
| target i2cREG1 temp.PSL                                 | 3                       |                         |          |  |
| Name  | Actual Value            | Expected Value          | Result   |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                         | 40                      | 40                      | Rosuit   |  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                         | 50                      | 50                      | -        |  |
| DigColPsInt Buffer Cnt M u08[2]                         | 60                      | 60                      |          |  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                   | 0                       | 0                       | -        |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08                      | 66                      | 66                      |          |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                    | INIT_SENSOR1_DUMMY_SEND | INIT_SENSOR1_DUMMY_SEND | <b>*</b> |  |
| DigColPsInt GetData()                                   | 170                     | 170                     |          |  |
| DigColPsInt InitFailedOnce Cnt M Igc                    | 0                       | 0                       | <b>V</b> |  |
| DigColPsInt NackOccured Cnt M Igc                       | 0                       | 0                       |          |  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                | 14                      | 14                      | <b>✓</b> |  |
| DigColPsInt RecvOverrunError Cnt M Igc                  | 0                       | 0                       |          |  |
| DigColPsInt SensInitialized Cnt M Igc                   | 1                       | 1                       | <b>~</b> |  |
| target_ColSnsrDataPtr_Cnt_T_u16                         | 14752                   | 14752                   |          |  |
| target_DataTypePtr_Cnt_T_u08                            | 1                       | 1                       | <b>✓</b> |  |
| target I2c Send I2cRegPtr Cnt T str.OAR                 | 567                     | 567                     | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                 | 44                      | 44                      | <b>✓</b> |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                 | 4444                    | 4444                    | -        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                | 566                     | 566                     | <b>✓</b> |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                | 4466                    | 4466                    | •        |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT                 | 129                     | 129                     | <b>✓</b> |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                 | 6                       | 6                       | <b>✓</b> |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                 | 567                     | 567                     | <b>✓</b> |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                 | 44                      | 44                      | <b>✓</b> |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                 | 566                     | 566                     | <b>✓</b> |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                 | 554                     | 554                     | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                | 1                       | 1                       | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                 | 44                      | 44                      | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11               | 4466                    | 4466                    | <b>✓</b> |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12               | 44                      | 44                      | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                | 1                       | 1                       | ~        |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN                 | 1                       | 1                       | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                 | 2                       | 2                       | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                 | 0                       | 0                       | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                | 1                       | 1                       | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                 | 1                       | 1                       | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                 | 2                       | 2                       | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                 | 0                       | 0                       | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                  | 3                       | 3                       | ~        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 3                       | 3                       | •        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 567                     | 567                     | •        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 44                      | 44                      | <b>✓</b> |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 4444                    | 4444                    | ~        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 566                     | 566                     | •        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 4466                    | 4466                    | <b>V</b> |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 129                     | 129                     | •        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 6                       | 6                       | V        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 567                     | 567                     | · ·      |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 44                      | 44                      |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 566                     | 566                     |          |  |

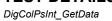
2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ✓        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 21478        | 21478          | <b>✓</b> |

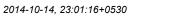
| T .                     |       |                         |       | •     | • |
|-------------------------|-------|-------------------------|-------|-------|---|
| Actual Function         | Count | Expected Function       | Count | Resul | t |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | •     | • |

| Name  | Input Value  |
|---|--|
|   | ·  |
| ColSnsrDataPtr_Cnt_T_u16                    | target_ColSnsrDataPtr_Cnt_T_u16                    |
| DataTypePtr_Cnt_T_u08                       | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt_Buffer_Cnt_M_u08[0]             | 70   |
| DigColPsInt_Buffer_Cnt_M_u08[1]             | 80   |
| DigColPsInt_Buffer_Cnt_M_u08[2]             | 90   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc       | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc       | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16           | 17542  |
| DigColPsInt_CurrentSlave_Cnt_M_u08          | 73   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum        | INIT_SENSOR2_EXTREADCTRLREG_SENDCMD                |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc        | 0  |
| DigColPsInt_InitialTime_mS_M_u32            | 30555597   |
| DigColPsInt_NackOccured_Cnt_M_lgc           | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08    | 17   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc      | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08         | 4  |
| DigColPsInt_SensInitialized_Cnt_M_lgc       | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16          | 22177  |
| DigColPsInt_TransactionCnt_Cnt_M_u08        | 18   |
| OtrmnElapsedTime_mS_u16(ElapsedTime)        | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)           | target_GetSystemTime_mS_u32_CurrentTime            |
| 2c_Send(I2cRegPtr_Cnt_T_str)                | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr Cnt T u16                   | target SpurSnsrDataPtr Cnt T u16                   |
| 2cREG1_temp                                 | target_i2cREG1_temp                                |
| ColSensorI2CAddress Cnt u08                 | 35   |
| z_I2CHWInitTransactionTime_Sec_f32          | 10   |
| arget DtrmnElapsedTime mS u16 ElapsedTime   | 8853   |
| arget_GetSystemTime_mS_u32_CurrentTime      | 26544589   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR      | 65   |
| arget I2c Send I2cRegPtr Cnt T str.IMR      | 89   |
| arget I2c Send I2cRegPtr Cnt T str.STR      | 67   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL     | 7  |
| arget I2c Send I2cRegPtr Cnt T str.CLKH     | 577  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT      | 88   |
| arget I2c Send I2cRegPtr Cnt T str.DRR      | 23   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR      | 65   |
| arget I2c Send I2cRegPtr Cnt T str.DXR      | 89   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR      | 7  |
|   | 44   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR      | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR     |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC      | 89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11    | 577  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12    | 89   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC     | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN      | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR      | 0  |





| Name  | Input Value  |                                 |          |
|---|--------------|---------------------------------|----------|
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN   | 1            |                                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2            |                                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 2            |                                 |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 0            |                                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                                | 2            |                                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 65           |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89           |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 67           |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 7            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 577          |                                 |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 88           |                                 |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR target_l2c SetupMasterTransmit_l2cRegPtr_Cnt_T str.SAR | 23<br>65     |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 89           |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 44           |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 2            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 89           |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 577          |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 89           |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 0            |                                 |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN target_l2c SetupMasterTransmit_l2cRegPtr_Cnt_T str.DIR | 0            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1            |                                 |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT   | 2            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0            |                                 |          |
| target_i2cREG1_temp.OAR   | 65           |                                 |          |
| target_i2cREG1_temp.IMR<br>target_i2cREG1_temp.STR  | 89<br>67     |                                 |          |
| target_i2cREG1_temp.CLKL  | 7            |                                 |          |
| target_i2cREG1_temp.CLKH  | 577          |                                 |          |
| target_i2cREG1_temp.CNT   | 88           |                                 |          |
| target_i2cREG1_temp.DRR   | 23           |                                 |          |
| target_i2cREG1_temp.SAR   | 65           |                                 |          |
| target_i2cREG1_temp.DXR   | 89           |                                 |          |
| target_i2cREG1_temp.MDR   | 7            |                                 |          |
| target_i2cREG1_temp.IVR<br>target_i2cREG1_temp.EMDR   | 2            |                                 |          |
| target_i2cREG1_temp.PSC   | 89           |                                 |          |
| target i2cREG1 temp.PID11   | 577          |                                 |          |
| target i2cREG1 temp.PID12   | 89           |                                 |          |
| target_i2cREG1_temp.DMAC  | 2            |                                 |          |
| target_i2cREG1_temp.FUN   | 0            |                                 |          |
| target_i2cREG1_temp.DIR   | 0            |                                 |          |
| target_i2cREG1_temp.DIN   | 1            |                                 |          |
| target_i2cREG1_temp.DOUT  | 2            |                                 |          |
| target_i2cREG1_temp.SET   | 0            |                                 |          |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR   | 1            |                                 |          |
| target_i2cREG1_temp.PD  | 2            |                                 |          |
| target_i2cREG1_temp.PSL   | 0            |                                 |          |
| Name  | Actual Value | Expected Value                  | Result   |
| DigColPsInt Buffer Cnt M u08[0]   | 70           | 70                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 80           | 80                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 90           | 90                              | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc   | 0            | 0                               | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 73           | 73                              | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  |              | INIT_SENSOR2_EXTREADCTRLREG_SEN |          |
| DigColPsInt_GetData()   | 12           | 12                              | •        |
| DigColPoint_InitFailedOnce_Cnt_M_lgc  | 0            | 0                               | <b>V</b> |
| DigColPsInt_NackOccured_Cnt_M_Igc DigColPsInt PrevTransactionCnt Cnt M u08                                    | 18           | 18                              | ~        |
| DigColPsInt_Prev transactionCnt_Cnt_w_uoo   | 0            | 0                               | -        |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1            | 1                               | •        |
| target_ColSnsrDataPtr_Cnt_T_u16   | 17542        | 17542                           | ~        |
| target_DataTypePtr_Cnt_T_u08  | 4            | 4                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65                              | ~        |
|   |              |                                 |          |





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                  | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 67           | 67             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 7            | 7              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 577          | 577            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 88           | 88             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 23           | 23             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 65           | 65             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 7            | 7              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 44           | 44             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 577          | 577            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 2            | 2              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.SET                  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 2            | 2              | <b>~</b> |
| target I2c Send I2cRegPtr Cnt T str.PSL                  | 0            | 0              | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 65           | 65             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 67           | 67             | <b>~</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 7            | 7              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 23           | 23             | <b>~</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 65           | 65             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 89           | 89             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 89           | 89             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 577          | 577            | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 89           | 89             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 0            | 0              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 0            | 0              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | -        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 0            | 0              | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 22177        | 22177          | -        |
|  |              |                |          |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

| Test Step 2.27 (Repeat Count = 1)     | v v v v v v v v v v v v v v v v v v v |
|---------------------------------------|---------------------------------------|
| Name                                  | Input Value                           |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16       |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08          |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 44                                    |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 55                                    |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 66                                    |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 0                                     |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 1                                     |
| DigColPsInt_ColSnsrData_Cnt_M_u16     | 20332                                 |
| DigColPsInt_CurrentSlave_Cnt_M_u08    | 80                                    |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_EXTREADCTRLREG_SETREG    |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1                                     |
| DigColPsInt_InitialTime_mS_M_u32      | 31558349                              |
| DigColPsInt_NackOccured_Cnt_M_lgc     | 1                                     |





| Name  | Input Value  |
|---|--|
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 23   |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 2  |
| DigColPsInt_SensInitialized_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16  | 1 22876  |
| DigColPsInt_SparsnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08   | 22   |
| Digeon-sint_TransactionCitt_citt_w_uoo DtrmnElapsedTime_mS_u16(ElapsedTime)                                     | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime            |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| 2cREG1_temp   | target_i2cREG1_temp                                |
| C_ColSensorI2CAddress_Cnt_u08   | 42   |
| _I2CHWInitTransactionTime_Sec_f32   | 2.5  |
| arget_DtrmnElapsedTime_mS_u16_ElapsedTime   | 9360   |
| arget_GetSystemTime_mS_u32_CurrentTime  | 27547341   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 54   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 8  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 554  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 344  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 123  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 45   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 54   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 554  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.IVR arget_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR                                  | 788  |
|   | 66   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.PSC arget_l2c_Send_l2cRegPtr_Cnt_T_str.PID11                                 | 344  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 2  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66<br>344  |
| arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 66   |
| arget_lzc_SetupMasterTransmit_lzcRegPtr_Cnt_1_str.PiD1z arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 3  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_1_str.DMAC  | 1  |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 3  |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 2  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT  | 3  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 1  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2  |
| arget_i2cREG1_temp.OAR  | 54   |
| arget_i2cREG1_temp.IMR  | 66   |
| arget_i2cREG1_temp.STR  | 8  |
| arget_i2cREG1_temp.CLKL   | 554  |
| arget_i2cREG1_temp.CLKH   | 344  |
| arget_i2cREG1_temp.CNT  | 123  |
| arget_i2cREG1_temp.DRR  | 45   |

2014-10-14, 23:01:16+0530



| Name   | Input Value                     |                                 |          |
|--|---------------------------------|---------------------------------|----------|
| target i2cREG1 temp.SAR                                  | 54                              |                                 |          |
| target_i2cREG1_temp.DXR                                  | 66                              |                                 |          |
| target_i2cREG1_temp.MDR                                  | 554                             |                                 |          |
| target_i2cREG1_temp.IVR                                  | 788                             |                                 |          |
| target_i2cREG1_temp.EMDR                                 | 3                               |                                 |          |
| target i2cREG1 temp.PSC                                  | 66                              |                                 |          |
| target i2cREG1 temp.PID11                                | 344                             |                                 |          |
| target_i2cREG1_temp.PID12                                | 66                              |                                 |          |
| target i2cREG1 temp.DMAC                                 | 3                               |                                 |          |
| target i2cREG1 temp.FUN                                  | 1                               |                                 |          |
| target_i2cREG1_temp.DIR                                  | 3                               |                                 |          |
| target i2cREG1 temp.DIN                                  | 2                               |                                 |          |
| · ·  |                                 |                                 |          |
| target_i2cREG1_temp.DOUT                                 | 3                               |                                 |          |
| target_i2cREG1_temp.SET                                  | 3                               |                                 |          |
| target_i2cREG1_temp.CLR                                  | 3                               |                                 |          |
| target_i2cREG1_temp.ODR                                  | 2                               |                                 |          |
| target_i2cREG1_temp.PD                                   | 1                               |                                 |          |
| target_i2cREG1_temp.PSL                                  | 2                               |                                 |          |
| Name   | Actual Value                    | Expected Value                  | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                          | 44                              | 44                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                          | 55                              | 55                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                          | 66                              | 66                              | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                    | 0                               | 0                               | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08                       | 80                              | 80                              | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                     | INIT_SENSOR1_EXTREADCTRLREG_SET | INIT_SENSOR1_EXTREADCTRLREG_SET | •        |
| DigColPsInt_GetData()                                    | 162                             | 162                             | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc                     | 1                               | 1                               | <b>✓</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc                        | 0                               | 0                               | _        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                 | 22                              | 22                              | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                   | 0                               | 0                               | _        |
| DigColPsInt_SensInitialized_Cnt_M_lgc                    | 1                               | 1                               | -        |
|  |                                 | 20332                           |          |
| target_ColSnsrDataPtr_Cnt_T_u16                          | 20332                           |                                 |          |
| target_DataTypePtr_Cnt_T_u08                             | 2                               | 2                               | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR                  | 54                              | 54                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                  | 66                              | 66                              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 8                               | 8                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 554                             | 554                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 344                             | 344                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 123                             | 123                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 45                              | 45                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 54                              | 54                              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 66                              | 66                              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 554                             | 554                             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 788                             | 788                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 3                               | 3                               | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 66                              | 66                              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 344                             | 344                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 66                              | 66                              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 3                               | 3                               | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 1                               | 1                               | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 3                               | 3                               | -        |
| target I2c Send I2cRegPtr_Cnt_I_str.DIN                  | 2                               | 2                               | Ž        |
|  |                                 |                                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 3                               | 3                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 3                               | 3                               | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 3                               | 3                               | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR                  | 2                               | 2                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 1                               | 1                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 2                               | 2                               | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54                              | 54                              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66                              | 66                              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8                               | 8                               | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554                             | 554                             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344                             | 344                             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123                             | 123                             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45                              | 45                              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54                              | 54                              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66                              | 66                              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554                             | 554                             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788                             | 788                             | -        |
|  | 3                               | 3                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  |                                 |                                 | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66                              | 66                              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344                             | 344                             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66                              | 66                              | _        |
|  |                                 |                                 |          |

2014-10-14, 23:01:16+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ✓        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ✓        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 2            | 2              | ✓        |
| target_SpurSnsrDataPtr_Cnt_T_u16                        | 22876        | 22876          | ✓        |

| Т                       |       |                         |       | ~      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

| Test Step 2.28 (Repeat Count = 1)   | <b>✓</b>  |
|---|---|
| Name  | Input Value   |
| ColSnsrDataPtr_Cnt_T_u16  | target_ColSnsrDataPtr_Cnt_T_u16                             |
| DataTypePtr Cnt T u08   | target_DataTypePtr_Cnt_T_u08                                |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 66  |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 77  |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 88  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 0   |
| DigColPsInt_Critar alloccurred_Crit_Wi_gc  DigColPsInt ColSnsrData Cnt M u16  | 23122   |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 87  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT SENSOR2 EXTREADCTRLREG READ                            |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0   |
|   | 32561101  |
| DigColPoint_InitialTime_mS_M_u32  | 1   |
| DigColPoint_NackOccured_Cnt_M_lgc   | 29  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 0   |
| DigColPoint_RecvOverrunError_Cnt_M_lgc  | 5   |
| DigColPoInt_RecvdDataType_Cnt_M_u08   | 1   |
| DigColPsInt_SensInitialized_Cnt_M_lgc   |   |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 23575   |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 26  |
| DtrmnElapsedTime_mS_u16(ElapsedTime)  | target_DtrmnElapsedTime_mS_u16_ElapsedTime                  |
| GetSystemTime_mS_u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime                     |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_l2c_Send_l2cRegPtr_Cnt_T_str                         |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str          |
| SpurSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                            |
| i2cREG1_temp  | target_i2cREG1_temp   |
| k_ColSensorl2CAddress_Cnt_u08   | 49  |
| k_I2CHWInitTransactionTime_Sec_f32  | 0.69999988  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime  | 9867  |
| target_GetSystemTime_mS_u32_CurrentTime   | 28550093  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 3   |
|   | 100   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 7788  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 7788<br>2767  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 7788<br>2767<br>556   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 7788<br>2767<br>556<br>564                                  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 7788<br>2767<br>556<br>564<br>88                            |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 7788<br>2767<br>556<br>564<br>88<br>3                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 7788<br>2767<br>556<br>564<br>88                            |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 7788 2767 556 564 88 3 100 2767                             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 7788<br>2767<br>556<br>564<br>88<br>3                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 7788 2767 556 564 88 3 100 2767                             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 7788 2767 556 564 88 3 100 2767 9                           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11  | 7788 2767 556 564 88 3 100 2767 9                           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 7788 2767 556 564 88 3 100 2767 9 0                         |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11  | 7788 2767 556 564 88 3 100 2767 9 0 100 556                 |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12   | 7788 2767 556 564 88 3 100 2767 9 0 100 556                 |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.PIDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC   | 7788 2767 556 564 88 3 100 2767 9 0 100 556 100 2           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.PUN  | 7788 2767 556 564 88 3 100 2767 9 0 100 556 100 2           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 7788 2767 556 564 88 3 100 2767 9 0 100 556 100 2           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DINAC target_l2c_Send_l2cRegPtr_Cnt_T_str.PUN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR   | 7788 2767 556 564 88 3 100 2767 9 0 100 556 100 2           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR  target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT  target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  target_l2c_Send_l2cRegPtr_Cnt_T_str.NVR  target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  target_l2c_Send_l2cRegPtr_Cnt_T_str.PD11  target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12  target_l2c_Send_l2cRegPtr_Cnt_T_str.DID12  target_l2c_Send_l2cRegPtr_Cnt_T_str.DID12  target_l2c_Send_l2cRegPtr_Cnt_T_str.DUD12  target_l2c_Send_l2cRegPtr_Cnt_T_str.DUD12  target_l2c_Send_l2cRegPtr_Cnt_T_str.DUD12  target_l2c_Send_l2cRegPtr_Cnt_T_str.DUD12  target_l2c_Send_l2cRegPtr_Cnt_T_str.DUD12  target_l2c_Send_l2cRegPtr_Cnt_T_str.DUD13  target_l2c_Send_l2cRegPtr_Cnt_T_str.DUD13  target_l2c_Send_l2cRegPtr_Cnt_T_str.DUD13  target_l2c_Send_l2cRegPtr_Cnt_T_str.DUD13 | 7788 2767 556 564 88 3 100 2767 9 0 100 556 100 2           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PD11 target_l2c_Send_l2cRegPtr_Cnt_T_str.DD12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DWAC target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT  | 7788 2767 556 564 88 3 100 2767 9 0 100 556 100 2 0 1 1 3 2 |

2014-10-14, 23:01:16+0530



|   |              | (                               | ,0       |
|---|--------------|---------------------------------|----------|
| Name  | Input Value  |                                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0            |                                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 3            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 100<br>7788  |                                 |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 2767         |                                 |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH   | 556          |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 564          |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 88           |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 3            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 100          |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2767         |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 9            |                                 |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR   | 0            |                                 |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 100<br>556   |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 100          |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            |                                 |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3            |                                 |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 3            |                                 |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL target_i2cREG1_temp.OAR                                  | 3            |                                 |          |
| target_i2cREG1_temp.IMR   | 100          |                                 |          |
| target_i2cREG1_temp.STR   | 7788         |                                 |          |
| target i2cREG1 temp.CLKL  | 2767         |                                 |          |
| target_i2cREG1_temp.CLKH  | 556          |                                 |          |
| target_i2cREG1_temp.CNT   | 564          |                                 |          |
| target_i2cREG1_temp.DRR   | 88           |                                 |          |
| target_i2cREG1_temp.SAR   | 3            |                                 |          |
| target_i2cREG1_temp.DXR   | 100          |                                 |          |
| target_i2cREG1_temp.MDR   | 2767         |                                 |          |
| target_i2cREG1_temp.IVR   | 9            |                                 |          |
| target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC  | 100          |                                 |          |
| target i2cREG1 temp.PID11   | 556          |                                 |          |
| target i2cREG1 temp.PID12   | 100          |                                 |          |
| target_i2cREG1_temp.DMAC  | 2            |                                 |          |
| target_i2cREG1_temp.FUN   | 0            |                                 |          |
| target_i2cREG1_temp.DIR   | 1            |                                 |          |
| target_i2cREG1_temp.DIN   | 3            |                                 |          |
| target_i2cREG1_temp.DOUT  | 2            |                                 |          |
| target_i2cREG1_temp.SET   | 0            |                                 |          |
| target_i2cREG1_temp.CLR   | 1 3          |                                 |          |
| target_i2cREG1_temp.ODR<br>target_i2cREG1_temp.PD   | 0            |                                 |          |
| target i2cREG1 temp.PSL   | 3            |                                 |          |
| Name  | Actual Value | Expected Value                  | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 66           | 66                              | ✓ ×      |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 77           | 77                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 88           | 88                              | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0            | 0                               | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 87           | 87                              | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  |              | INIT_SENSOR2_EXTREADCTRLREG_REA |          |
| DigColPsInt_GetData()   | 130          | 130                             | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0            | 0                               | <b>V</b> |
| DigColPoint_NackOccured_Cnt_M_lgc   | 0<br>26      | 0<br>26                         | <b>✓</b> |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc                                 | 0            | 0                               | -        |
| DigColPsInt_RecvoverimeIrol_Cnt_w_gc  DigColPsInt_SensInitialized_Cnt_M_gc                                      | 1            | 1                               | <b>*</b> |
| target_ColSnsrDataPtr_Cnt_T_u16   | 23122        | 23122                           | -        |
| target_DataTypePtr_Cnt_T_u08  | 5            | 5                               | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 100          | 100                             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 564          | 564                             | <b>~</b> |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 88           | 88             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 100          | 100            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 2767         | 2767           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 9            | 9              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 100          | 100            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 556          | 556            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 100          | 100            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 564          | 564            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 100          | 100            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>→</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 23575        | 23575          | <b>✓</b> |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

| Test Step 2.29 (Repeat Count = 1)        |                                   |
|--|-----------------------------------|
| Name                                     | Input Value                       |
| ColSnsrDataPtr_Cnt_T_u16                 | target_ColSnsrDataPtr_Cnt_T_u16   |
| DataTypePtr_Cnt_T_u08                    | target_DataTypePtr_Cnt_T_u08      |
| DigColPsInt_Buffer_Cnt_M_u08[0]          | 10                                |
| DigColPsInt_Buffer_Cnt_M_u08[1]          | 20                                |
| DigColPsInt_Buffer_Cnt_M_u08[2]          | 30                                |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc    | 1                                 |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc    | 1                                 |
| DigColPsInt_ColSnsrData_Cnt_M_u16        | 25912                             |
| DigColPsInt_CurrentSlave_Cnt_M_u08       | 94                                |
| DigColPsInt_CurrentStepNo_Cnt_M_enum     | INIT_SENSOR2_EXTREADDATREG_SETREG |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc     | 1                                 |
| DigColPsInt_InitialTime_mS_M_u32         | 33563853                          |
| DigColPsInt_NackOccured_Cnt_M_lgc        | 0                                 |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 | 35                                |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1                                 |
| DigColPsInt_RecvdDataType_Cnt_M_u08      | 0                                 |
| DigColPsInt_SensInitialized_Cnt_M_lgc    | 0                                 |
| DigColPsInt_SpurSnsrData_Cnt_M_u16       | 24274                             |





| Name  | Input Value  |
|---|--|
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 30   |
| DtrmnElapsedTime_mS_u16(ElapsedTime)  | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp  | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08   | 56   |
| k_I2CHWInitTransactionTime_Sec_f32  | 1.10000002   |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime  | 10374  |
| target_GetSystemTime_mS_u32_CurrentTime   | 29552845   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR                               | 678<br>45  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.NrR target_l2c_Send_l2cRegPtr_Cnt_T_str.STR                               | 66   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 56   |
| target I2c Send I2cRegPtr Cnt T str.CLKH  | 6788   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 7878   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 12   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 678  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 45   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 778  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 45   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 6788   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 45   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN                              | 1  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 678  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 45   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 66   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 56   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 6788   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 7878<br>12   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR | 678  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 45   |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR  | 56   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 778  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 45   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 6788   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 45   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR target_I2c SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  | 1  |
| target_i2cREG1_temp.OAR   | 678  |
| target_i2cREG1_temp.IMR   | 45   |
| target_i2cREG1_temp.STR   | 66   |
| target_i2cREG1_temp.CLKL  | 56   |
| target_i2cREG1_temp.CLKH  | 6788   |
| target_i2cREG1_temp.CNT   | 7878   |
| target_i2cREG1_temp.DRR   | 12   |
| target_i2cREG1_temp.SAR   | 678  |
| target_i2cREG1_temp.DXR   | 45   |
| target_i2cREG1_temp.MDR   | 56   |
| target_i2cREG1_temp.IVR   | 778  |
| target_i2cREG1_temp.EMDR  | 1  |

2014-10-14, 23:01:16+0530



|   |                                  | (                                |          |
|---|----------------------------------|----------------------------------|----------|
| Name  | Input Value                      |                                  |          |
| target_i2cREG1_temp.PSC   | 45                               |                                  |          |
| target_i2cREG1_temp.PID11   | 6788                             |                                  |          |
| target_i2cREG1_temp.PID12   | 45                               |                                  |          |
| target_i2cREG1_temp.DMAC  | 1                                |                                  |          |
| target_i2cREG1_temp.FUN   | 1 0                              |                                  |          |
| target_i2cREG1_temp.DIR<br>target_i2cREG1_temp.DIN  | 1                                |                                  |          |
| target_i2cREG1_temp.DOUT  | 1                                |                                  |          |
| target_i2cREG1_temp.SET   | 1                                |                                  |          |
| target_i2cREG1_temp.CLR   | 0                                |                                  |          |
| target_i2cREG1_temp.ODR   | 1                                |                                  |          |
| target_i2cREG1_temp.PD  | 2                                |                                  |          |
| target_i2cREG1_temp.PSL   | 1                                |                                  |          |
| Name  | Actual Value                     | Expected Value                   | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 36                               | 36                               | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 20                               | 20                               | •        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 30                               | 30                               | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                                | 0                                | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 56                               | 56                               | •        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READERROR_SETREG 44 | INIT_SENSOR1_READERROR_SETREG 44 |          |
| DigColPsInt_GetData() DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 0                                | 0                                |          |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                                | 0                                | j        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 30                               | 30                               |          |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                                | 0                                |          |
| DigColPsInt SensInitialized Cnt M Igc   | 1                                | 1                                | -        |
| I2c_Send(Length_Cnt_T_u32)  | 1                                | 1                                | -        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1                                | 1                                | -        |
| target_ColSnsrDataPtr_Cnt_T_u16   | 25912                            | 25912                            | -        |
| target_DataTypePtr_Cnt_T_u08  | 0                                | 0                                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 678                              | 678                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 45                               | 45                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 66                               | 66                               | _        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 56                               | 56                               | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 6788                             | 6788                             | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR                            | 7878<br>12                       | 7878<br>12                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 678                              | 678                              |          |
| target I2c Send I2cRegPtr Cnt T str.DXR   | 45                               | 45                               | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 56                               | 56                               | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 778                              | 778                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1                                | 1                                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 45                               | 45                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 6788                             | 6788                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 45                               | 45                               |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC  | 1                                | 1                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                                | 1                                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN                               | 0                                | 0                                | · ·      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1                                | 1                                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1                                | 1                                | j        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0                                | 0                                | -        |
| target I2c Send I2cRegPtr Cnt T str.ODR   | 1                                | 1                                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2                                | 2                                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 1                                | 1                                | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 678                              | 678                              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 45                               | 45                               | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 66                               | 66                               | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 56                               | 56                               | _        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH   | 6788                             | 6788                             | <b>*</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 7878                             | 7878                             | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR | 12<br>678                        | 12<br>678                        | Ĭ        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 45                               | 45                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 56                               | 56                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 778                              | 778                              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 1                                | 1                                | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 45                               | 45                               | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 6788                             | 6788                             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 45                               | 45                               | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 1                                | 1                                | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1                                | 1                                | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0                                | 0                                | •        |
|   |                                  |                                  |          |

2014-10-14, 23:01:16+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 1            | 1              | <b>✓</b> |
| target_SpurSnsrDataPtr_Cnt_T_u16                        | 24274        | 24274          | <b>✓</b> |

| Τ                       |       |                         | V     |          |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | <b>✓</b> |

| Test Step 2.30 (Repeat Count = 1)          |  |
|--|--|
| Name                                       | Input Value  |
| ColSnsrDataPtr_Cnt_T_u16                   | target_ColSnsrDataPtr_Cnt_T_u16                    |
| DataTypePtr_Cnt_T_u08                      | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt_Buffer_Cnt_M_u08[0]            | 40   |
| DigColPsInt_Buffer_Cnt_M_u08[1]            | 50   |
| igColPsInt_Buffer_Cnt_M_u08[2]             | 60   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc      | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc      | 0  |
| igColPsInt_ColSnsrData_Cnt_M_u16           | 28702  |
| igColPsInt_CurrentSlave_Cnt_M_u08          | 101  |
| igColPsInt_CurrentStepNo_Cnt_M_enum        | READ_SENSOR1_SETREG                                |
| igColPsInt_InitFailedOnce_Cnt_M_lgc        | 0  |
| igColPsInt_InitialTime_mS_M_u32            | 34566605   |
| igColPsInt_NackOccured_Cnt_M_lgc           | 1  |
| igColPsInt_PrevTransactionCnt_Cnt_M_u08    | 41   |
| igColPsInt_RecvOverrunError_Cnt_M_lgc      | 0  |
| igColPsInt_RecvdDataType_Cnt_M_u08         | 4  |
| igColPsInt_SensInitialized_Cnt_M_lgc       | 1  |
| igColPsInt_SpurSnsrData_Cnt_M_u16          | 24973  |
| igColPsInt_TransactionCnt_Cnt_M_u08        | 34   |
| trmnElapsedTime_mS_u16(ElapsedTime)        | target DtrmnElapsedTime mS u16 ElapsedTime         |
| etSystemTime mS u32(CurrentTime)           | target_GetSystemTime_mS_u32_CurrentTime            |
| c_Send(I2cRegPtr_Cnt_T_str)                | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |
| purSnsrDataPtr Cnt T u16                   | target SpurSnsrDataPtr Cnt T u16                   |
| ccREG1 temp                                | target i2cREG1 temp                                |
| ColSensorI2CAddress Cnt u08                | 63   |
| I2CHWInitTransactionTime Sec f32           | 1.5  |
| arget_DtrmnElapsedTime_mS_u16_ElapsedTime  | 10881  |
| arget GetSystemTime mS u32 CurrentTime     | 30555597   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR     | 66   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR      | 78   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.STR      | 78   |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL     | 495  |
|  | 56   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH    | 897  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT     | 98   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR     |  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR     | 66   |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR     | 78   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR     | 495  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR     | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR    | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC     | 78   |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 56   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12    | 78   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC     | 0  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN      | 0  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR      | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN     | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT    | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET     | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR     | 0  |

DigColPsInt\_GetData



| Name   | Input Value         |                     |          |
|--|---------------------|---------------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 1                   |                     |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 0                   |                     |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 0                   |                     |          |
|  | 66                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   |                     |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495                 |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897                 |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 98                  |                     |          |
|  |                     |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495                 |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0                   |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 78                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56                  |                     |          |
|  | 78                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 |                     |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0                   |                     |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0                   |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 0                   |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 0                   |                     |          |
| · ·  |                     |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0                   |                     |          |
| target_i2cREG1_temp.OAR                                  | 66                  |                     |          |
| target_i2cREG1_temp.IMR                                  | 78                  |                     |          |
| target i2cREG1 temp.STR                                  | 78                  |                     |          |
| target i2cREG1 temp.CLKL                                 | 495                 |                     |          |
|  |                     |                     |          |
| target_i2cREG1_temp.CLKH                                 | 56                  |                     |          |
| target_i2cREG1_temp.CNT                                  | 897                 |                     |          |
| target_i2cREG1_temp.DRR                                  | 98                  |                     |          |
| target_i2cREG1_temp.SAR                                  | 66                  |                     |          |
| target_i2cREG1_temp.DXR                                  | 78                  |                     |          |
| target_i2cREG1_temp.MDR                                  | 495                 |                     |          |
| target_i2cREG1_temp.IVR                                  | 66                  |                     |          |
| target_i2cREG1_temp.EMDR                                 | 0                   |                     |          |
|  |                     |                     |          |
| target_i2cREG1_temp.PSC                                  | 78                  |                     |          |
| target_i2cREG1_temp.PID11                                | 56                  |                     |          |
| target_i2cREG1_temp.PID12                                | 78                  |                     |          |
| target_i2cREG1_temp.DMAC                                 | 0                   |                     |          |
| target_i2cREG1_temp.FUN                                  | 0                   |                     |          |
| target_i2cREG1_temp.DIR                                  | 0                   |                     |          |
| target i2cREG1 temp.DIN                                  | 1                   |                     |          |
|  | 0                   |                     |          |
| target_i2cREG1_temp.DOUT                                 |                     |                     |          |
| target_i2cREG1_temp.SET                                  | 0                   |                     |          |
| target_i2cREG1_temp.CLR                                  | 0                   |                     |          |
| target_i2cREG1_temp.ODR                                  | 1                   |                     |          |
| target_i2cREG1_temp.PD                                   | 0                   |                     |          |
| target_i2cREG1_temp.PSL                                  | 0                   |                     |          |
| Name   | Actual Value        | Expected Value      | Result   |
|  | 40                  | 40                  | Rosuit   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                          |                     |                     |          |
| DigColPsInt_Buffer_Cnt_M_u08[1]                          | 50                  | 50                  | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                          | 60                  | 60                  | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                    | 0                   | 0                   | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08                       | 101                 | 101                 | <b>✓</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                     | READ_SENSOR1_SETREG | READ_SENSOR1_SETREG | <b>✓</b> |
| DigColPsInt_GetData()                                    | 2                   | 2                   | ~        |
| DigColPsInt InitFailedOnce Cnt M Igc                     | 0                   | 0                   | ~        |
|  | 0                   |                     |          |
| DigColPsInt_NackOccured_Cnt_M_lgc                        |                     | 0                   |          |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                 | 34                  | 34                  | <b>✓</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                   | 0                   | 0                   | ~        |
| DigColPsInt_SensInitialized_Cnt_M_lgc                    | 1                   | 1                   | ~        |
| target_ColSnsrDataPtr_Cnt_T_u16                          | 28702               | 28702               | <b>✓</b> |
| target_DataTypePtr_Cnt_T_u08                             | 4                   | 4                   | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                  | 66                  | 66                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                  | 78                  | 78                  | ~        |
|  |                     |                     |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 78                  | 78                  |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 495                 | 495                 | <b>v</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 56                  | 56                  |          |
|  |                     |                     |          |

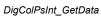
2014-10-14, 23:01:16+0530



| Name         Actual Value         Expected Value           target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT         897         897           target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR         98         98           target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR         66         66           target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         78         78           target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         495         495           target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         66         66           target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         78         78           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         56         56           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         78         78 | Result   |
|---|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       98       98         target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR       66       66         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       78       78         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       495       495         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       66       66         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       78       78         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       56       56         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       78       78  | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR       66       66         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       78       78         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       495       495         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       66       66         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       78       78         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       56       56         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       78       78  | -        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR       78       78         target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       495       495         target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR       66       66         target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       0       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC       78       78         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11       56       56         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       78       78  | -        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       495       495         target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR       66       66         target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       0       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC       78       78         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11       56       56         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       78       78  | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR       66       66         target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       0       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC       78       78         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11       56       56         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       78       78  | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       78       78         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       56       56         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       78       78  | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       78       78         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       56       56         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       78       78   | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       56       56         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       78       78   | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 78 78   | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 78 78   | <b>✓</b> |
|   | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC 0 0  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN 0 0   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR 0 0   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN 1   |          |
| target I2c Send I2cRegPtr Cnt T str.DOUT 0 0  | <b>~</b> |
| target I2c Send I2cRegPtr Cnt T str.SET 0 0   |          |
| target I2c Send I2cRegPtr Cnt T str.CLR 0 0   | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD 0 0  | ·        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL 0   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR 66 66  |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR 78 78  |          |
|   |          |
|   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL 495 495   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH 56 56   |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT 897 897  | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR 98 98  | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR 66 66  | <b>*</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR 78 78  | <b>Y</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR 495 495  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR 66 66  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR 0   | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC 78 78  | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 56 56  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 78 78  | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC 0 0   | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN 0 0  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR 0 0  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN 1 1  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT 0 0   | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET 0 0 0  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR 0 0  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR 1 1  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD 0 0   | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL 0 0  | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16 24973 24973  | ~        |

| T .             |       | V                        |       |        |
|-----------------|-------|--------------------------|-------|--------|
| Actual Function | Count | Expected Function        | Count | Result |
| *none*          | 0     | *** No Call Expected *** | 0     | ~      |

| Test Step 2.31 (Repeat Count = 1)        |                                 |
|--|---------------------------------|
| Name                                     | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16                 | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08                    | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]          | 70                              |
| DigColPsInt_Buffer_Cnt_M_u08[1]          | 80                              |
| DigColPsInt_Buffer_Cnt_M_u08[2]          | 90                              |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc    | 1                               |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc    | 1                               |
| DigColPsInt_ColSnsrData_Cnt_M_u16        | 31492                           |
| DigColPsInt_CurrentSlave_Cnt_M_u08       | 108                             |
| DigColPsInt_CurrentStepNo_Cnt_M_enum     | READ_SENSOR2_GETDATA            |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc     | 1                               |
| DigColPsInt_InitialTime_mS_M_u32         | 35569357                        |
| DigColPsInt_NackOccured_Cnt_M_lgc        | 0                               |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 | 47                              |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1                               |
| DigColPsInt_RecvdDataType_Cnt_M_u08      | 0                               |
| DigColPsInt_SensInitialized_Cnt_M_lgc    | 0                               |





| Name   | Input Value  |
|--|--|
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 25672  |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 38   |
| DtrmnElapsedTime_mS_u16(ElapsedTime)   | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)  | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16  | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp   | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08  | 70<br>1,8999998                                    |
| k_I2CHWInitTransactionTime_Sec_f32   | 1.89999998   |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime target_GetSystemTime_mS_u32_CurrentTime                             | 31558349   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 567  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 4444   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 129  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 6  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 44   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  | 566  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 554  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1 44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 44 4466  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                            | 44   |
| target I2c Send I2cRegPtr Cnt T str.DMAC   | 1  |
| target I2c Send I2cRegPtr Cnt T str.FUN  | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD   | 3  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 3  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 567  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL | 4444<br>566  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 44   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 4466   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 44   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  | 1 2  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_I_str.DIR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 1  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3  |
| target_i2cREG1_temp.OAR  | 567  |
| target_i2cREG1_temp.IMR  | 44   |
| target_i2cREG1_temp.STR  | 4444   |
| target_i2cREG1_temp.CLKL   | 566  |
| target_i2cREG1_temp.CLKH   | 4466   |
| target_i2cREG1_temp.CNT  | 129  |
| target_i2cREG1_temp.DRR<br>target_i2cREG1_temp.SAR   | 6<br>567   |
| target_i2cREG1_temp.DXR  | 44   |
| target_i2cREG1_temp.MDR  | 566  |
| target_i2cREG1_temp.IVR  | 554  |
| V  |  |

2014-10-14, 23:01:16+0530



| DigColPsint_GetData                                    |                             | IGACI                             | <u> </u> |
|--|-----------------------------|-----------------------------------|----------|
| Name   | Input Value                 |                                   |          |
| target_i2cREG1_temp.EMDR                               | 1                           |                                   |          |
| target_i2cREG1_temp.PSC                                | 44                          |                                   |          |
| target_i2cREG1_temp.PID11                              | 4466                        |                                   |          |
| target_i2cREG1_temp.PID12                              | 44                          |                                   |          |
| target_i2cREG1_temp.DMAC                               | 1                           |                                   |          |
| target_i2cREG1_temp.FUN                                | 1                           |                                   |          |
| target_i2cREG1_temp.DIR                                | 2                           |                                   |          |
| target_i2cREG1_temp.DIN                                | 0                           |                                   |          |
| target_i2cREG1_temp.DOUT                               | 1                           |                                   |          |
| target_i2cREG1_temp.SET                                | 1                           |                                   |          |
| target_i2cREG1_temp.CLR                                | 2                           |                                   |          |
| target_i2cREG1_temp.ODR                                | 0                           |                                   |          |
| target_i2cREG1_temp.PD                                 | 3                           |                                   |          |
| target_i2cREG1_temp.PSL                                | 3                           |                                   |          |
| Name   | Actual Value                | Expected Value                    | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                        | 36                          | 36                                | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                        | 80                          | 80                                | ✓        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                        | 90                          | 90                                | ~        |
| Dis Gall PsInt_BusBusySeqError_Cnt_M_lgc               | 0                           | 0                                 | ✓        |
| DigColPsInt_CurrentSlave_Cnt_M_u08                     | 70                          | 70                                | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                   | INIT_SENSOR1_READERROR_SETF | REG INIT_SENSOR1_READERROR_SETREG | ✓        |
| DigColPsInt_GetData()                                  | 44                          | 44                                |          |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc                   | 0                           | 0                                 |          |
| DigColPsInt_NackOccured_Cnt_M_lgc                      | 0                           | 0                                 | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08               | 38                          | 38                                | ✓        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                 | 0                           | 0                                 | ~        |
| DigColPsInt_SensInitialized_Cnt_M_Igc                  | 1                           | 1                                 | <b>Y</b> |
| I2c_Send(Length_Cnt_T_u32)                             | 1                           | 1                                 |          |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)          | 1                           | 1                                 |          |
| target_ColSnsrDataPtr_Cnt_T_u16                        | 31492                       | 31492                             | ~        |
| target_DataTypePtr_Cnt_T_u08                           | 0                           | 0                                 | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                | 567                         | 567                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                | 44                          | 44                                | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                | 4444                        | 4444                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL               | 566                         | 566                               | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH               | 4466                        | 4466                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                | 129                         | 129                               | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                | 6                           | 6                                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                | 567                         | 567                               | ✓        |
| target_l2c_Send_l2SeegPt2cRegPtrs@nDXR_                | 44                          | 44                                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR                | 566                         | 566                               |          |
| target_l2c_Send_l2cReg. Bten 6_n i2 dReg. FlV RCnt_T_O | R 554                       | 554                               |          |

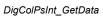
2014-10-14, 23:01:16+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ✓        |
| target_SpurSnsrDataPtr_Cnt_T_u16                        | 25672        | 25672          | <b>~</b> |

| Τ                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | •        |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | ~        |

| Test Step 2.32 (Repeat Count = 1)           | la constant de la con |
|---|--|
| Name  | Input Value  |
| ColSnsrDataPtr_Cnt_T_u16                    | target_ColSnsrDataPtr_Cnt_T_u16  |
| DataTypePtr_Cnt_T_u08                       | target_DataTypePtr_Cnt_T_u08   |
| DigColPsInt_Buffer_Cnt_M_u08[0]             | 3  |
| DigColPsInt_Buffer_Cnt_M_u08[1]             | 6  |
| DigColPsInt_Buffer_Cnt_M_u08[2]             | 9  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc       | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc       | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16           | 34282  |
| DigColPsInt_CurrentSlave_Cnt_M_u08          | 115  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum        | INIT_SENSOR1_READERROR_SETREG  |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc        | 0  |
| DigColPsInt_InitialTime_mS_M_u32            | 36572109   |
| DigColPsInt_NackOccured_Cnt_M_lgc           | 1  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08    | 53   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc      | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08         | 1  |
| DigColPsInt_SensInitialized_Cnt_M_lgc       | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16          | 26371  |
| DigColPsInt_TransactionCnt_Cnt_M_u08        | 42   |
| OtrmnElapsedTime_mS_u16(ElapsedTime)        | target_DtrmnElapsedTime_mS_u16_ElapsedTime   |
| GetSystemTime_mS_u32(CurrentTime)           | target_GetSystemTime_mS_u32_CurrentTime  |
| 2c Send(I2cRegPtr Cnt T str)                | target_l2c_Send_l2cRegPtr_Cnt_T_str  |
| _ , , , , , , , , , , , , , , , , , , ,     |  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str   |
| SpurSnsrDataPtr_Cnt_T_u16                   | target_SpurSnsrDataPtr_Cnt_T_u16   |
| 2cREG1_temp                                 | target_i2cREG1_temp  |
| C_ColSensorI2CAddress_Cnt_u08               | 77   |
| x_I2CHWInitTransactionTime_Sec_f32          | 2.29999995   |
| arget_DtrmnElapsedTime_mS_u16_ElapsedTime   | 0  |
| arget_GetSystemTime_mS_u32_CurrentTime      | 32561101   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR      | 65   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR      | 89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR      | 67   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL     | 7  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH     | 577  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT      | 88   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR      | 23   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR      | 65   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR      | 89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR      | 7  |
| arget I2c Send I2cRegPtr Cnt T str.IVR      | 44   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR     | 2  |
| arget I2c Send I2cRegPtr Cnt T str.PSC      | 89   |
| arget I2c Send I2cRegPtr Cnt T str.PID11    | 577  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12    | 89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC     | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN      | 0  |
|   | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR      | 1  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN     |  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT    | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET      | 2  |





| DigColPsInt_CurrentSlave_Cnt_M_u08  115  115  115  V  DigColPsInt_CurrentStepNo_Cnt_M_enum  INIT_SENSOR1_READERROR_SETREG  DigColPsInt_GetData()  34  34   | Name   | Input Value                   |                               |          |
|--|--|-------------------------------|-------------------------------|----------|
| Langer, Die, Sender (Jacksephn, Comp. 1 - Jan Pieter, Der 1 - Jan Pieter, Die, Steller, Dieser, Dieser | target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 0                             |                               |          |
| Sept   12-86   | target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  |                               |                               |          |
| Sept   Descriptions   Transmit Discopin Cent   Ten DAR   Sept   Descriptions   Ten DAR   Sep   |  |                               |                               |          |
| Bingst 129. Subplobated Frameric Calegory Co. T. an IMR   180  | · ·  |                               |                               |          |
| taget_DE_SequebaserTransmert_Descript_Cort_T_sec_TEXT target_DE_SequebaserTransmert_Descript_Cort_T_sec_TEXT target_DE_SequebaseT_T_sec_TEXT target_DE_Seq_TEXT_T_sec_TEXT_T_sec |  |                               |                               |          |
| Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 1 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 1 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 2 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 3 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 3 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 3 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 3 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 3 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 3 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 3 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 3 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 3 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 3 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 4 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 4 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and LOK. 4 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and Lok. 4 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and Lok. 4 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and Lok. 4 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and Lok. 4 Hange, Die, Shaphdester Transent, Deckley, Dr. J. and Lok. 4 Hange, Die, Shaphdester Transent, |  |                               |                               |          |
| burger   Dec.   Section   Section   Continue   Contin   |  |                               |                               |          |
| taggs   De_SeapAdamor Transmill_CoRegings   Cmil_ and SMR   50   |  |                               |                               |          |
| Image   Dec. Selephotes Framering   Celephotes   Celeph   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88                            |                               |          |
| taged_128_8abpAdestransmit_D28eggt_Conf_12 st DNR  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 23                            |                               |          |
| Langer, I.Z Seubphane Transmill, I.Zerlegy C. OLT, 2 ab 700  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   |                               |                               |          |
| tayed, 10. SetupAdateFramenia (2016-1971 CMT 1 ± 147-1874) tayed, 10. SetupAdateFramenia (2016-1971 |  |                               |                               |          |
| Image   Dec. SetupAttent Transmull DeReignPr, CMT_set PADR   20   20   20   20   20   20   20   2  | · · ·  |                               |                               |          |
| target_L2s_shupAnterTransmit_L2Rep0Pr_CnTst_PBC target_L2s_shupAnterTransmit_L2Rep0Pr_CnTst_PBD12 target_L2s_shupAnterTransmit_L2Rep0Pr_CnTst_PBD12 target_L2s_shupAnterTransmit_L2Rep0Pr_CnTst_PBD12 target_L2s_shupAnterTransmit_L2Rep0Pr_CnTst_PBD12 target_L2s_shupAnterTransmit_L2Rep0Pr_CnTst_DN target_L2s_shupAnterTransmit_L2rep0Pr_CnTshupAnterTransmit_L2s_cnD target_L2s_shupAnterTransmit_L2rep0Pr_CnTshupAnterTransmit_L2s_cnD target_L2s_shupAnterTransmit_L2re   |  |                               |                               |          |
| larget 12.5 Sebus/Matter Transmit 12.6Reg/Pt Celt _ 1 set PID11  | · · ·  |                               |                               |          |
| Image   L.S SelayAbasterTransing   John Paper   Lost - T. Jun Pin Pin Pin Pin Pin Pin Pin Pin Pin Pi   |  |                               |                               |          |
| tinged_R2_SetupMasterTransmut_R2People_Costset_DIR  tinged_R2_SetupMasterTransmut_R2People_Costset_DIR  tinged_R2_SetupMasterTransmut_R2People_Costset_DIR  tinged_R2_SetupMasterTransmut_R2People_Costset_DOUT*  2 tinged_R2_SetupMasterTransmut_R2People_Costset_DOUT*  2 tinged_R2_SetupMasterTransmut_R2People_Costset_DOUT*  2 tinged_R2_SetupMasterTransmut_R2People_Costset_DOUT*  2 tinged_R2_SetupMasterTransmut_R2People_Costset_DOUT*  2 tinged_R2_Set_DispMasterTransmut_R2People_Costset_DOUT*  2 tinged_R2_Set_DispMasterTransmut_R2People_Costset_DOUT*  2 tinged_R2_Set_DispMasterTransmut_R2People_Costset_DOUT*  2 tinged_R2_Set_DispMasterTransmut_R2People_Costset_DOUT*  2 tinged_R2_Set_DispMasterTransmut_R2People_Costset_DOUT*  2 tinged_R2_Set_DispMasterTransmut_R2People_Costset_DOUT*  3 tinged_R2_Set_DispMasterTransmut_R2People_Costset_DOUT*  4 tinged_R2_Set_DispMasterTransmut_R2_Set_Dout*  4 tinged_R2_Set_DispMasterTransmut_R2_Set_Dout*  4 tinged_R2_Set_DispMasterTransmut_R2_Set_Dout*  4 tinged_R2_Set_DispMasterTransmut_R2_Set_Dout*  4 tinged_R2_Set_DispMasterTransmut_R2_Set_Dout*  4 tinged_R2_Set_DispMasterTransmut_R2_Set_Dout*  5 tinge   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89                            |                               |          |
| Image   Les SebugMasterTransmit   ZerRegitPr Cost   T at DIN   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2                             |                               |          |
| target_L2s_SetupMateFrammit_L2RepQP*_Cnt_T_str.DNT   1   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   |                               |                               |          |
| Lingual Lingual Sect    |  |                               |                               |          |
| Image   Ling     |  |                               |                               |          |
| Larges   Lag. SetupMeater Transmil   Larges   Pro. Cont.   1 str. Cont.  |  |                               |                               |          |
| Integral_Eo_SebupMasterTransmal_EoRegPir_Conl_T_sir_DOR  |  |                               |                               |          |
| Image_Lipe_SehupAssierTransmit_LipeRepPr_Cnl_T_str.PD  |  |                               |                               |          |
| Images   LazeREG1   Jamp DAR   |  |                               |                               |          |
| larget_ZeREG1   lamp, LINR   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0                             |                               |          |
| Bargel_22REG1_lamp_DCLKL   7   7   7   7   7   7   7   7   7   | target_i2cREG1_temp.OAR                                  | 65                            |                               |          |
| Images   JackREG1   temp CILK  | target_i2cREG1_temp.IMR                                  |                               |                               |          |
| Internal Local Edit   Internal CLKH   S77   Internal Local Edit   Internal CLKH   Internal C   |  |                               |                               |          |
| Integret   J2CRECG   temp. DNR   23  |  |                               |                               |          |
| target_J2cREG1_temp.DRR 65 target_J2cREG1_temp.DRR 89 target_J2cREG1_temp.DRR 97 target_J2cREG1_temp.DRR 97 target_J2cREG1_temp.DRR 97 target_J2cREG1_temp.EMDR 97 target_J2cREG1_temp.EMDR 97 target_J2cREG1_temp.EMDR 97 target_J2cREG1_temp.EMDR 97 target_J2cREG1_temp.PD11 97 target_J2cREG1_temp.PD12 98 target_J2cREG1_temp.DMAC 97 target_J2cREG1_temp.DMAC 97 target_J2cREG1_temp.DIR 97 target_J2cREG1_temp.DIR 97 target_J2cREG1_temp.DIR 97 target_J2cREG1_temp.DIR 97 target_J2cREG1_temp.DIR 97 target_J2cREG1_temp.DIR 97 target_J2cREG1_temp.DUT 97 target_J2cREG1_temp.PSL 97 target_J2cREG1_temp.DUT 97 target_J2cREG1_temp.DUT 97 target_J2cREG |  |                               |                               |          |
| target_J2cREG temp_DXR   |  |                               |                               |          |
| target_IZCREG1_temp.DXR         99           target_IZCREG1_temp.MDR         7           target_IZCREG1_temp.RMR         44           target_IZCREG1_temp.EMDR         2           target_IZCREG1_temp.PID11         577           target_IZCREG1_temp.PID12         89           target_IZCREG1_temp.DID12         89           target_IZCREG1_temp.DIN         0           target_IZCREG1_temp.DIN         0           target_IZCREG1_temp.DIN         1           target_IZCREG1_temp.DUT         2           target_IZCREG1_temp.DUT         2           target_IZCREG1_temp.DUT         2           target_IZCREG1_temp.DCR         0           target_IZCREG1_temp.DCR         1           target_IZCREG1_temp.DDR         1           target_IZCREG1_temp.DDR         1           target_IZCREG1_temp.DDR         2           target_IZCREG1_temp.DDR         1           target_IZCREG1_temp.DDR         1           target_IZCREG1_temp.DDR         1           target_IZCREG1_temp.DDB         2           target_IZCREG1_temp.DDB         2           target_IZCREG1_temp.DDB         1           target_IZCREG1_temp.DDB         1           target_IZCREG1_temp.DDB   |  |                               |                               |          |
| target_J2cREG1_temp.MDR         7           target_J2cREG1_temp.WR         44           target_J2cREG1_temp.PDRC         2           target_J2cREG1_temp.PDSC         89           target_J2cREG1_temp.PDI11         577           target_J2cREG1_temp.PDIN2         89           target_J2cREG1_temp.DMAC         2           target_J2cREG1_temp.DIN         0           target_J2cREG1_temp.DIN         1           target_J2cREG1_temp.DIN         1           target_J2cREG1_temp.DCR         0           target_J2cREG1_temp.DCR         0           target_J2cREG1_temp.DCR         0           target_J2cREG1_temp.DDR         1           target_J2cREG1_temp.DDR         1           target_J2cREG1_temp.DDR         1           target_J2cREG1_temp.DDR         0           target_J2cREG1_temp.DDR         1           target_J2cREG1_temp.DBS.         0           Namo         Actual Value         Expected Value         Result           DjGcOPsint_Buffer_Cnt_M_u08(0)         3         3         4           DjGcOPsint_Buffer_Cnt_M_u08(1)         6         6         4           DjGcOPsint_Buffer_Cnt_M_u08(1)         6         6         4           DjGcOPsint_   |  |                               |                               |          |
| target_j2cREG1_temp_EMDR         2           target_j2cREG1_temp_PSC         89           target_j2cREG1_temp_PID11         577           target_j2cREG1_temp_PID12         89           target_j2cREG1_temp_DIDAC         2           target_j2cREG1_temp_DIR         0           target_j2cREG1_temp_DIN         1           target_j2cREG1_temp_DIN         1           target_j2cREG1_temp_DOT         2           target_j2cREG1_temp_DET         2           target_j2cREG1_temp_DOR         1           target_j2cREG1_temp_DD         2           target_j2cREG1_temp_DD         2           target_j2cREG1_temp_DS         0           Namo         Actual Value         Expected Value         Result           DigCoPsint_Buffer_Cnt_M_u08(0)         3         3         9           NgCoPsint_Buffer_Cnt_M_u08(1)         6         6         9           DigCoPsint_Buffer_Cnt_M_u08(1)         9         9         9           DigCoPsint_CurrentSlave_Cnt_M_u08         115         115         115           DigCoPsint_CurrentSlave_Cnt_M_u08         115         115         11           DigCoPsint_CurrentSlave_Cnt_M_u08         115         115         1           DigCoPsint_Naco   |  | 7                             |                               |          |
| target_ ZeREG1_temp.PID11   577      | target_i2cREG1_temp.IVR                                  | 44                            |                               |          |
| target_l2cREG1_temp.PID11         577           target_l2cREG1_temp.PID12         89           target_l2cREG1_temp.DMC         2           target_l2cREG1_temp.DIR         0           target_l2cREG1_temp.DIR         1           target_l2cREG1_temp.DIN         1           target_l2cREG1_temp.DOUT         2           target_l2cREG1_temp.DOUT         2           target_l2cREG1_temp.DOR         0           target_l2cREG1_temp.DOR         1           target_l2cREG1_temp.PD         2           target_l2cREG1_temp.PSL         0           Name         Actual Value         Expected Value         Result           DigColPsint_Buffer_Ont_M_u08(0)         3         3         V           DigColPsint_Buffer_Cnt_M_u08(1)         6         6         V           DigColPsint_Buffer_Cnt_M_u08(2)         9         9         V           DigColPsint_CurrentSlave_Cnt_M_u08         115         115         V           DigColPsint_CurrentSlave_Cnt_M_u08         115         115         V           DigColPsint_CurrentSlave_Cnt_M_u08         115         115         N           DigColPsint_NotCourrentSlave_Cnt_M_u08         34         V           DigColPsint_NotCourrentSlave_Cnt_M_u08 <td< td=""><td>target_i2cREG1_temp.EMDR</td><td>2</td><td></td><td></td></td<>   | target_i2cREG1_temp.EMDR                                 | 2                             |                               |          |
| target_!2cREG1_temp.PID12         89           target_!2cREG1_temp.DMAC         2           target_!2cREG1_temp.DIN         0           target_!2cREG1_temp.DIN         1           target_!2cREG1_temp.DOUT         2           target_!2cREG1_temp.DCR         2           target_!2cREG1_temp.DCR         0           target_!2cREG1_temp.DCR         1           target_!2cREG1_temp.DDR         1           target_!2cREG1_temp.DDR         2           target_!2cREG1_temp.PD         2           target_!2cREG1_temp.PSL         0           Name         Actual Value         Expected Value         Result           DigColPsint_Buffer_Cnt_M_u08[0]         3         3         3         9<   |  |                               |                               |          |
| target_!2cREG1_temp_DMAC         2           target_!2cREG1_temp_FUN         0           target_!2cREG1_temp_DIR         0           target_!2cREG1_temp_DOUT         1           target_!2cREG1_temp_DOUT         2           target_!2cREG1_temp_DET         2           target_!2cREG1_temp_ODR         1           target_!2cREG1_temp_PD         2           target_!2cREG1_temp_PD         2           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         3         3         V           DigColPsInt_Buffer_Cnt_M_u08[1]         6         6         V         V           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9         V         V         V         D         V         D         V         D         V         D         V         D         V         D         V         V         D         V         D   | · ·  |                               |                               |          |
| target_ 2cREG1_temp.FUN  | 0 =  |                               |                               |          |
| target_!2cREG1_temp.DIR         0           target_!2cREG1_temp.DIN         1           target_!2cREG1_temp.DOUT         2           target_!2cREG1_temp.CLR         0           target_!2cREG1_temp.DDR         1           target_!2cREG1_temp.DDR         1           target_!2cREG1_temp.PD         2           target_!2cREG1_temp.PSL         0           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Ont_M_u08[0]         3         3         ✓           DigColPsint_Buffer_Ont_M_u08[1]         6         6         ✓         ✓           DigColPsint_Buffer_Ont_M_u08[2]         9         9         ✓         ✓         O  |  |                               |                               |          |
| target_lzcREG1_temp.DIN         1           target_lzcREG1_temp.DOUT         2           target_lzcREG1_temp.SET         2           target_lzcREG1_temp.DCLR         0           target_lzcREG1_temp.DDR         1           target_lzcREG1_temp.PD         2           target_lzcREG1_temp.PSL         0           Name         Actual Value         Expected Value         Result           DigcolPsInt_Buffer_Cnt_M_u08[0]         3         3         V           DigcolPsInt_Buffer_Cnt_M_u08[1]         6         6         V         P   |  |                               |                               |          |
| target_i2cREG1_temp.DOUT         2           target_i2cREG1_temp.SET         2           target_i2cREG1_temp.DOR         1           target_i2cREG1_temp.DOR         1           target_i2cREG1_temp.PD         2           target_i2cREG1_temp.PSL         0           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         3         3         V           DigColPsInt_Buffer_Cnt_M_u08[1]         6         6         V           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9         V           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9         V           DigColPsInt_CurrentSlave_Cnt_M_u08         115         115         115         V           DigColPsInt_CurrentSlepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG         V         DigColPsInt_Init_BailedOnce_Cnt_M_lgc         0         0         0         V         DigColPsInt_NackOccured_Cnt_M_lgc         0         0         0         V         DigColPsInt_Readerror_Cnt_M_lgc         0         0         0         V         DigColPsInt_Readerror_Cnt_M_lgc         0         0         0         V         DigColPsInt_Readerror_Cnt_M_lgc         0         0         0  | <b>0</b>   |                               |                               |          |
| target_i2cREG1_temp.CDR  |  | 2                             |                               |          |
| target_i2cREG1_temp.PDR  | target_i2cREG1_temp.SET                                  | 2                             |                               |          |
| target_i2cREG1_temp.PD         2           target_i2cREG1_temp.PSL         0           Name         Actual Value         Expected Value         Result           DigcolPsInt_Buffer_Cnt_M_u08[0]         3         3         3         3         3         9 <td< td=""><td>target_i2cREG1_temp.CLR</td><td>0</td><td></td><td></td></td<>   | target_i2cREG1_temp.CLR                                  | 0                             |                               |          |
| Name   |  |                               |                               |          |
| Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         3         3         4           DigColPsInt_Buffer_Cnt_M_u08[1]         6         6         4           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9         9           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9         9           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         0           DigColPsInt_Buffer_Cnt_M_u08         115         115         115           DigColPsInt_CurrentSlave_Cnt_M_u08         115         115         115           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG         V           DigColPsInt_GetData()         34         34         34         34           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         0         0           DigColPsInt_RecovoerrunError_Cnt_M_u08         42         42         42           DigColPsInt_Sensinitalized_Cnt_M_lgc         1         1         1           Larget_DatTypePtr_Cnt_T_u16         34282         34282         42  |  |                               |                               |          |
| DigColPsInt_Buffer_Cnt_M_u08[0]   3   3   6   6     DigColPsInt_Buffer_Cnt_M_u08[1]   6   6   6     DigColPsInt_Buffer_Cnt_M_u08[2]   9   9   9     DigColPsInt_BusBusySeqError_Cnt_M_lgc   0   0   0     DigColPsInt_CurrentSlave_Cnt_M_u08   115   115     DigColPsInt_CurrentStepNo_Cnt_M_enum   INIT_SENSOR1_READERROR_SETREG   INIT_SENSOR1_READERROR_SETREG     DigColPsInt_GetData()   34   34   34   34     DigColPsInt_InitFailedOnce_Cnt_M_lgc   0   0   0   0     DigColPsInt_NackOccured_Cnt_M_lgc   0   0   0   0     DigColPsInt_PrevTransactionCnt_Cnt_M_u08   42   42   0     DigColPsInt_RecvOverrunError_Cnt_M_lgc   0   0   0   0     DigColPsInt_SensInitialized_Cnt_M_lgc   0   0   0     DigColPsInt_SensInitialized_Cnt_M_lgc   1   1   0     target_ColSnsrDataPtr_Cnt_T_u08   1   1   0     target_DataTypePtr_Cnt_T_str.OAR   65   65   0     target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   89   89     target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   67   67   0     DigColPsInt_DataTypePtr_Cnt_T_str.STR   67   67   0     DigColPsInt_DataTypePtr_Cnt_T_str.STR   67   67   0     DigColPsInt_SensInitialized_Cnt_T_str.STR   67   0     DigColPsInt_SensInitialized_Cnt_T_str.STR   67   0     DigColPsInt_SensInitialized_Cnt_T_str.STR   0   0     DigColPsInt_SensInitialized_Cn   | _ · ·  |                               | I=                            | 1        |
| DigColPsInt_Buffer_Cnt_M_u08[1]         6         6           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08         115         115           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG           DigColPsInt_GetData()         34         34           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         42         42           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_Sensinitialized_Cnt_M_lgc         0         0           DigColPsInt_Sensinitialized_Cnt_M_lgc         1         1           Target_ColSnsrDataPtr_Cnt_T_u16         34282         34282           Target_DataTypePtr_Cnt_T_u08         1         1           Target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         65         65           Target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         67         67  |  |                               | · ·                           | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[2]         9         9           DigColPsInt_BusBusySeqError_Cnt_M_u08         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08         115         115           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG           DigColPsInt_GetData()         34         34           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         42         42           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           DigColSnsrDataPtr_Cnt_T_u16         34282         34282           target_DataTypePtr_Cnt_T_u08         1         1           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         65         65           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         89         89           target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         67         67  |  |                               |                               | -        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0           DigColPsInt_CurrentSlave_Cnt_M_u08         115         115           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG           DigColPsInt_GetData()         34         34           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         42         42           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           DigColSnsrDataPtr_Cnt_T_u16         34282         34282           target_DataTypePtr_Cnt_T_u08         1         1           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         65         65           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         89         89           target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         67         67  |  |                               |                               |          |
| DigColPsInt_CurrentSlave_Cnt_M_u08         115         115           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_READERROR_SETREG         INIT_SENSOR1_READERROR_SETREG           DigColPsInt_GetData()         34         34           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         42         42           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           DigColSnsrDataPtr_Cnt_T_u16         34282         34282           target_DataTypePtr_Cnt_T_u08         1         1           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         65         65           target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         89         89           target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         67         67  |  | -                             |                               | <b>~</b> |
| DigColPsInt_GetData()       34       34       34         DigColPsInt_InitFailedOnce_Cnt_M_Igc       0       0       0         DigColPsInt_NackOccured_Cnt_M_Igc       0       0       0         DigColPsInt_PrevTransactionCnt_Cnt_M_u08       42       42       42         DigColPsInt_RecvOverrunError_Cnt_M_Igc       0       0       0         DigColPsInt_SensInitialized_Cnt_M_Igc       1       1       4         target_ColSnsrDataPtr_Cnt_T_u16       34282       34282       34282       4         target_DataTypePtr_Cnt_T_u08       1       1       1       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR       65       65       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR       89       89       89         target_I2c_Send_I2cRegPtr_Cnt_T_str.STR       67       67       4   |  |                               |                               | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         42         42           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1           target_ColSnsrDataPtr_Cnt_T_u16         34282         34282           target_DataTypePtr_Cnt_T_u08         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR         65         65           target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR         89         89           target_l2c_Send_l2cRegPtr_Cnt_T_str.STR         67         67   |  | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | •        |
| DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓           DigColPsInt_PrevTransactionCnt_Cnt_M_u08         42         42         ✓           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           target_ColSnsrDataPtr_Cnt_T_u16         34282         34282         ✓           target_DataTypePtr_Cnt_T_u08         1         1         1         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR         65         65         ✓         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR         89         89         ✓         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.STR         67         67         ✓         ✓   | DigColPsInt_GetData()                                    |                               |                               | -        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08       42       42       42         DigColPsInt_RecvOverrunError_Cnt_M_lgc       0       0       ✓         DigColPsInt_SensInitialized_Cnt_M_lgc       1       1       ✓         target_ColSnsrDataPtr_Cnt_T_u16       34282       34282       ✓         target_DataTypePtr_Cnt_T_u08       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR       65       65       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR       89       89       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.STR       67       67       ✓  |  |                               |                               | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0         ✓           DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           target_ColSnsrDataPtr_Cnt_T_u16         34282         34282         ✓           target_DataTypePtr_Cnt_T_u08         1         1         1         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR         65         65         ✓         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR         89         89         ✓         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.STR         67         67         ✓         ✓  |  |                               | 1                             | -        |
| DigColPsInt_SensInitialized_Cnt_M_lgc         1         1         ✓           target_ColSnsrDataPtr_Cnt_T_u16         34282         34282         ✓           target_DataTypePtr_Cnt_T_u08         1         1          ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR         65         65         ✓<   |  |                               |                               |          |
| target_ColSnsrDataPtr_Cnt_T_u16       34282       34282       ✓         target_DataTypePtr_Cnt_T_u08       1       1       ✓         target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR       65       65       ✓         target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR       89       89       ✓         target_l2c_Send_l2cRegPtr_Cnt_T_str.STR       67       67       ✓   |  |                               | 1.                            | -        |
| target_DataTypePtr_Cnt_T_u08       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR       65       65         target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR       89       89         target_l2c_Send_l2cRegPtr_Cnt_T_str.STR       67       67   |  |                               |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR       65       65         target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR       89       89         target_I2c_Send_I2cRegPtr_Cnt_T_str.STR       67       67  |  |                               |                               | · ·      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR 89 89 47 4arget_l2c_Send_l2cRegPtr_Cnt_T_str.STR 67 67   | ·  |                               |                               | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR 67   |  |                               |                               | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL 7   | target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  |                               |                               | ~        |
|  | target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 7                             | 7                             | ~        |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 577          | 577            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 88           | 88             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 23           | 23             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 65           | 65             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 89           | 89             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 7            | 7              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 44           | 44             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 2            | 2              | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC                  | 89           | 89             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 577          | 577            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 89           | 89             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 0            | 0              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 0            | 0              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 1            | 1              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 0            | 0              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 1            | 1              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 89           | 89             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 7            | 7              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 89           | 89             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR  | 2            | 2              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 89           | 89             | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11 | 577          | 577            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89           | 89             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 1            | 1              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 0            | 0              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 0            | 0              |          |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 26371        | 26371          |          |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime mS u16 | 1     | DtrmnElapsedTime mS u16 | 1     | _        |

| Test Step 2.33 (Repeat Count = 1)        |                                 |
|--|---------------------------------|
| Name                                     | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16                 | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08                    | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]          | 11                              |
| DigColPsInt_Buffer_Cnt_M_u08[1]          | 22                              |
| DigColPsInt_Buffer_Cnt_M_u08[2]          | 33                              |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc    | 1                               |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc    | 0                               |
| DigColPsInt_ColSnsrData_Cnt_M_u16        | 37072                           |
| DigColPsInt_CurrentSlave_Cnt_M_u08       | 122                             |
| DigColPsInt_CurrentStepNo_Cnt_M_enum     | INIT_SENSOR1_CHECKSTAT_READ     |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc     | 0                               |
| DigColPsInt_InitialTime_mS_M_u32         | 37574861                        |
| DigColPsInt_NackOccured_Cnt_M_lgc        | 1                               |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 | 59                              |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                               |
| DigColPsInt_RecvdDataType_Cnt_M_u08      | 2                               |



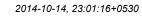


| 0  |
|--|
| 27070  |
| 46   |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| target_GetSystemTime_mS_u32_CurrentTime            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| target_SpurSnsrDataPtr_Cnt_T_u16                   |
| target_i2cREG1_temp  84                            |
| 2.70000005   |
| 65535  |
| 33563853   |
| 55   |
| 66   |
| 556  |
| 2309   |
| 1204   |
| 87   |
| 67   |
| 55   |
| 66   |
| 2309   |
| 5  |
| 3  |
| 66   |
| 1204   |
| 66   |
| 3  |
| 1  |
| 1  |
| 2  |
| 3  |
| 3  |
| 1 2  |
| 3  |
| 3  |
| 55   |
| 66   |
| 556  |
| 2309   |
| 1204   |
| 87   |
| 67   |
| 55   |
| 66   |
| 2309   |
| 5  |
| 3  |
| 66   |
| 1204   |
| 66   |
| 3  |
| 1  |
| 1  |
| 2  |
| 3  |
| 3  |
| 1  |
| 2  |
| 3  |
| 3  |
| 55<br>66   |
| 556  |
| 2309   |
| 1204   |
|  |
|  |
| 87   |
| 87<br>67   |
| 87   |
|  |

2014-10-14, 23:01:16+0530



| Name  | Input Value                   |                               |          |
|---|-------------------------------|-------------------------------|----------|
| target_i2cREG1_temp.IVR   | 5                             |                               |          |
| target_i2cREG1_temp.EMDR  | 3                             |                               |          |
| target_i2cREG1_temp.PSC   | 66                            |                               |          |
| target_i2cREG1_temp.PID11   | 1204                          |                               |          |
| target_i2cREG1_temp.PID12   | 66                            |                               |          |
| target_i2cREG1_temp.DMAC<br>target_i2cREG1_temp.FUN   | 3                             |                               |          |
| target_i2cREG1_temp.DIR   | 1                             |                               |          |
| target_i2cREG1_temp.DIN   | 2                             |                               |          |
| target i2cREG1 temp.DOUT  | 3                             |                               |          |
| target_i2cREG1_temp.SET   | 3                             |                               |          |
| target_i2cREG1_temp.CLR   | 1                             |                               |          |
| target_i2cREG1_temp.ODR   | 2                             |                               |          |
| target_i2cREG1_temp.PD  | 3                             |                               |          |
| target_i2cREG1_temp.PSL   | 3                             |                               |          |
| Name  | Actual Value                  | Expected Value                | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 36                            | 36                            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 22                            | 22                            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 33                            | 33                            | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                             | 0                             | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 84                            | 84                            | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | <b>V</b> |
| DigColPsInt_GetData()   | 6                             | 6                             | <b>Y</b> |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                             | 0                             |          |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt PrevTransactionCnt Cnt M u08                                    | 46                            | 46                            |          |
| DigColPsInt_Prev TransactionCnt_Cnt_M_uoo  DigColPsInt RecvOverrunError Cnt M Igc                             | 0                             | 0                             |          |
| DigColPsInt SensInitialized Cnt M Igc   | 1                             | 1                             | -        |
| I2c_Send(Length_Cnt_T_u32)  | 1                             | 1                             | -        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1                             | 1                             | <b>✓</b> |
| target_ColSnsrDataPtr_Cnt_T_u16   | 37072                         | 37072                         | -        |
| target_DataTypePtr_Cnt_T_u08  | 2                             | 2                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55                            | 55                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66                            | 66                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556                           | 556                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309                          | 2309                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204                          | 1204                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87                            | 87                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67                            | 67                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55                            | 55                            | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66                            | 66                            | <b>Y</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309                          | 2309<br>5                     | ,        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR                              | 3                             | 3                             | -        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 66                            | 66                            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204                          | 1204                          | •        |
| target I2c Send I2cRegPtr Cnt T str.PID12   | 66                            | 66                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3                             | 3                             | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                             | 1                             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1                             | 1                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2                             | 2                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3                             | 3                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3                             | 3                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1                             | 1                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2                             | 2                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3                             | 3                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                             | 3                             | <b>*</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 55                            | 55<br>66                      | <b>Y</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR | 556                           | 556                           | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL   | 2309                          | 2309                          |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 1204                          | 1204                          | <b>*</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 87                            | 87                            | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 67                            | 67                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 55                            | 55                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 66                            | 66                            | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 2309                          | 2309                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 5                             | 5                             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3                             | 3                             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 66                            | 66                            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 1204                          | 1204                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 66                            | 66                            | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 3                             | 3                             | ~        |
|   |                               |                               |          |





| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •      |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~      |
| target_SpurSnsrDataPtr_Cnt_T_u16                        | 27070        | 27070          | ~      |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | -        |

| Test Step 2.34 (Repeat Count = 1)   | <b>✓</b>   |
|---|--|
| Name  | Input Value  |
| ColSnsrDataPtr Cnt T u16  | target ColSnsrDataPtr Cnt T u16                    |
| DataTypePtr Cnt T u08   | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt Buffer Cnt M u08[0]   | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 20   |
| DigColPsInt Buffer Cnt M u08[2]   | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0  |
| DigColPsInt CmdFailOccurred Cnt M Igc   | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 39862  |
| DigColPsInt CurrentSlave Cnt M u08  | 1  |
| DigColPsInt CurrentStepNo Cnt M enum  | INIT SENSOR2 READERROR READ                        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1  |
| DigColPsInt_InitialTime_mS_M_u32  | 38577613   |
| DigColPsInt NackOccured Cnt M Igc   | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 65   |
| DigColPsInt RecvOverrunError Cnt M Igc  | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 3  |
| DigColPsInt SensInitialized Cnt M Igc   | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 27769  |
| DigColPsInt TransactionCnt Cnt M u08  | 50   |
| DtrmnElapsedTime mS u16(ElapsedTime)  | target DtrmnElapsedTime mS u16 ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime            |
| l2c Send(l2cRegPtr Cnt T str)   | target I2c Send I2cRegPtr Cnt T str                |
| I2c SetupMasterTransmit(I2cRegPtr Cnt T str)                                    | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |
| SpurSnsrDataPtr Cnt T u16   | target SpurSnsrDataPtr Cnt T u16                   |
| i2cREG1 temp  | target i2cREG1 temp                                |
| k_ColSensorl2CAddress_Cnt_u08   | 91   |
| k I2CHWInitTransactionTime Sec f32  | 3.099999   |
| target DtrmnElapsedTime mS u16 ElapsedTime                                      | 14789  |
| target GetSystemTime mS u32 CurrentTime   | 34566605   |
| target I2c Send I2cRegPtr Cnt T str.OAR   | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 78   |
| target I2c Send I2cRegPtr Cnt T str.STR   | 78   |
| target I2c Send I2cRegPtr Cnt T str.CLKL  | 495  |
| target I2c Send I2cRegPtr Cnt T str.CLKH  | 56   |
| target I2c Send I2cRegPtr Cnt T str.CNT   | 897  |
| target I2c Send I2cRegPtr Cnt T str.DRR   | 98   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 66   |
| target I2c Send I2cRegPtr Cnt T str.DXR   | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 495  |
| target I2c Send I2cRegPtr Cnt T str.IVR   | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0  |
| target I2c Send I2cRegPtr Cnt T str.PSC   | 78   |
| target I2c Send I2cRegPtr_Cnt_T_str.PSC   | 56   |
| target I2c Send I2cRegPtr_Cnt_T_str.PiD11                                       | 78   |
| target I2c Send I2cRegPtr_Cnt_T_str.PiD12                                       | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DWAC  | 0  |
|   | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN | 1  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 0  |
| angur_120_00110_120100gt tt_O11t_1_3tt.D001                                     |  |





| Name  | Input Value                 |                             |          |
|---|-----------------------------|-----------------------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0                           |                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0                           |                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1                           |                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD<br>target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                                 | 0                           |                             |          |
| target I2c SetupMasterTransmit I2cReqPtr Cnt T str.OAR  | 66                          |                             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR  | 78                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 78                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 495                         |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 56                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 897                         |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR     | 98<br>66                    |                             |          |
| target I2c SetupMasterTransmit I2cReqPtr Cnt T str.DXR  | 78                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 495                         |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 66                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 78                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 56<br>  78                  |                             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC   | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR     | 0 1                         |                             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 0                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0                           |                             |          |
| target_i2cREG1_temp.OAR   | 66                          |                             |          |
| target_i2cREG1_temp.IMR   | 78                          |                             |          |
| target_i2cREG1_temp.STR   | 78                          |                             |          |
| target_i2cREG1_temp.CLKL  | 495<br>56                   |                             |          |
| target_i2cREG1_temp.CLKH<br>target_i2cREG1_temp.CNT   | 897                         |                             |          |
| target_i2cREG1_temp.DRR   | 98                          |                             |          |
| target_i2cREG1_temp.SAR   | 66                          |                             |          |
| target_i2cREG1_temp.DXR   | 78                          |                             |          |
| target_i2cREG1_temp.MDR   | 495                         |                             |          |
| target_i2cREG1_temp.IVR   | 66                          |                             |          |
| target_i2cREG1_temp.EMDR<br>target_i2cREG1_temp.PSC   | 78                          |                             |          |
| target i2cREG1 temp.PID11   | 56                          |                             |          |
| target_i2cREG1_temp.PID12   | 78                          |                             |          |
| target_i2cREG1_temp.DMAC  | 0                           |                             |          |
| target_i2cREG1_temp.FUN   | 0                           |                             |          |
| target_i2cREG1_temp.DIR   | 0                           |                             |          |
| target_i2cREG1_temp.DIN   | 0                           |                             |          |
| target_i2cREG1_temp.DOUT<br>target_i2cREG1_temp.SET   | 0                           |                             |          |
| target_i2cREG1_temp.CLR   | 0                           |                             |          |
| target_i2cREG1_temp.ODR   | 1                           |                             |          |
| target_i2cREG1_temp.PD  | 0                           |                             |          |
| target_i2cREG1_temp.PSL   | 0                           |                             |          |
| Name  | Actual Value                | Expected Value              | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 10 20                       | 20                          | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt Buffer Cnt M u08[2]   | 30                          | 30                          |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                           | 0                           | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 1                           | 1                           | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_READERROR_READ | INIT_SENSOR2_READERROR_READ | ~        |
| DigColPsInt_GetData()   | 168                         | 168                         | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1                           | 1                           | <b>V</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 50                          | 0<br>50                     | <b>*</b> |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc                                   | 0                           | 0                           | 7        |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1                           | 1                           | ·        |
| target_ColSnsrDataPtr_Cnt_T_u16   | 39862                       | 39862                       | ~        |
| target_DataTypePtr_Cnt_T_u08  | 3                           | 3                           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 66                          | 66                          | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 78<br>78                    | 78                          | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 10                          | 78                          | <b>✓</b> |

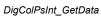
2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 495          | 495            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 56           | 56             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 897          | 897            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 98           | 98             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 66           | 66             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 78           | 78             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 495          | 495            | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 78           | 78             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 56           | 56             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 78           | 78             | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.DMAC                 | 0            | 0              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.FUN                  | 0            | 0              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.DIR                  | 0            | 0              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.DIN                  | 1            | 1              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 0            | 0              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 1            | 1              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 0            | 0              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 78           | 78             | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 78           | 78             | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 495          | 495            | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 56           | 56             | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 897          | 897            | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 98           | 98             | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 66           | 66             | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 78           | 78             | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 495          | 495            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR  | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 0            | 0              | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 0            | 0              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 1            | 1              | <b>v</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 0            | 0              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 0            | 0              | _        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 27769        | 27769          | _        |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | <b>✓</b> |

| Test Step 2.35 (Repeat Count = 1)        | <b>✓</b>                        |
|--|---------------------------------|
| Name                                     | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16                 | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08                    | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]          | 40                              |
| DigColPsInt_Buffer_Cnt_M_u08[1]          | 50                              |
| DigColPsInt_Buffer_Cnt_M_u08[2]          | 60                              |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc    | 0                               |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc    | 1                               |
| DigColPsInt_ColSnsrData_Cnt_M_u16        | 34282                           |
| DigColPsInt_CurrentSlave_Cnt_M_u08       | 115                             |
| DigColPsInt_CurrentStepNo_Cnt_M_enum     | INIT_SENSOR1_READERROR_SETREG   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc     | 0                               |
| DigColPsInt_InitialTime_mS_M_u32         | 39580365                        |
| DigColPsInt_NackOccured_Cnt_M_lgc        | 1                               |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 | 53                              |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                               |





| Name  | Input Value   |
|---|---|
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 1   |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1   |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 26371   |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 42  |
| DtrmnElapsedTime_mS_u16(ElapsedTime)  | target_DtrmnElapsedTime_mS_u16_ElapsedTime                                  |
| GetSystemTime_mS_u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime target_l2c_Send_l2cRegPtr_Cnt_T_str |
| I2c_Send(I2cRegPtr_Cnt_T_str) I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                                      | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str                          |
| SpurSnsrDataPtr Cnt T u16   | target_SpurSnsrDataPtr_Cnt_T_u16  |
| i2cREG1_temp  | target_i2cREG1_temp   |
| k_ColSensorl2CAddress_Cnt_u08   | 0   |
| k_I2CHWInitTransactionTime_Sec_f32  | 2.2999995   |
| target DtrmnElapsedTime mS u16 ElapsedTime  | 18975   |
| target_GetSystemTime_mS_u32_CurrentTime   | 35569357  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 65  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 89  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 67  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 7   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 577   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 88  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 23  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 65  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 89  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 7   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 89  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 577   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12   | 89  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                                | 2 0   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR   | 0   |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIN   | 1   |
| target_12c_Send_12cRegPtr_Cnt_T_str.DOUT  | 2   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 2   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 65  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 67  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 7   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 577   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 88  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 23  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 89  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 44  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR   | 2   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  | 89  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 577   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  | 89  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0 0   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_I_str.DIN  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 2   |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_1_str.DO01 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET  | 2   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 0   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 2   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0   |
| target_i2cREG1_temp.OAR   | 65  |
| target_i2cREG1_temp.IMR   | 89  |
| target_i2cREG1_temp.STR   | 67  |
| target_i2cREG1_temp.CLKL  | 7   |
| target_i2cREG1_temp.CLKH  | 577   |
| target_i2cREG1_temp.CNT   | 88  |
| target_i2cREG1_temp.DRR   | 23  |
| target_i2cREG1_temp.SAR   | 65  |
| target_i2cREG1_temp.DXR   | 89  |

2014-10-14, 23:01:16+0530



|  |                               | ( )                           | <i>J</i> 0 |
|--|-------------------------------|-------------------------------|------------|
| Name   | Input Value                   |                               |            |
| target_i2cREG1_temp.MDR  | 7                             |                               |            |
| target_i2cREG1_temp.IVR  | 44                            |                               |            |
| target_i2cREG1_temp.EMDR   | 2                             |                               |            |
| target_i2cREG1_temp.PSC  | 89                            |                               |            |
| target_i2cREG1_temp.PID11  | 577                           |                               |            |
| target_i2cREG1_temp.PID12  | 89                            |                               |            |
| target_i2cREG1_temp.DMAC   | 2                             |                               |            |
| target_i2cREG1_temp.FUN  | 0                             |                               |            |
| target_i2cREG1_temp.DIR<br>target_i2cREG1_temp.DIN   | 1                             |                               |            |
| target_i2cREG1_temp.DOUT   | 2                             |                               |            |
| target i2cREG1 temp.SET  | 2                             |                               |            |
| target i2cREG1 temp.CLR  | 0                             |                               |            |
| target_i2cREG1_temp.ODR  | 1                             |                               |            |
| target_i2cREG1_temp.PD   | 2                             |                               |            |
| target_i2cREG1_temp.PSL  | 0                             |                               |            |
| Name   | Actual Value                  | Expected Value                | Result     |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 40                            | 40                            | -          |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 50                            | 50                            | •          |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 60                            | 60                            | -          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0                             | 0                             | •          |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 115                           | 115                           | -          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | •          |
| DigColPsInt_GetData()  | 162                           | 162                           | <b>✓</b>   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc   | 0                             | 0                             | •          |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                             | 0                             | -          |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 42                            | 42                            | •          |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                             | 0                             | ~          |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1                             | 1                             | ~          |
| target_ColSnsrDataPtr_Cnt_T_u16  | 34282                         | 34282                         | ~          |
| target_DataTypePtr_Cnt_T_u08   | 1                             | 1                             | ~          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 65                            | 65                            | _          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR  | 89                            | 89                            | _          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 67                            | 67                            | _          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 7                             | 7                             |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 577<br>88                     | 577<br>88                     |            |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR                                  | 23                            | 23                            |            |
| target I2c Send I2cRegPtr Cnt T str.SAR  | 65                            | 65                            |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 89                            | 89                            |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 7                             | 7                             | -          |
| target I2c Send I2cRegPtr Cnt T str.IVR  | 44                            | 44                            | _          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 2                             | 2                             | -          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 89                            | 89                            | -          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 577                           | 577                           | -          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 89                            | 89                            | -          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 2                             | 2                             | -          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0                             | 0                             | <b>✓</b>   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0                             | 0                             | •          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1                             | 1                             | -          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 2                             | 2                             | •          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 2                             | 2                             | ~          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0                             | 0                             | •          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1                             | 1                             | ~          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 2                             | 2                             | _          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 0                             | 0                             |            |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 65                            | 65                            | •          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89                            | 89                            | · ·        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 67<br>7                       | 67<br>7                       | Ĭ          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 577                           | 577                           |            |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 88                            | 88                            |            |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR | 23                            | 23                            |            |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65                            | 65                            |            |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89                            | 89                            | -          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7                             | 7                             |            |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44                            | 44                            |            |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2                             | 2                             | -          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89                            | 89                            | -          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 577                           | 577                           | -          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 89                            | 89                            | -          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2                             | 2                             | -          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0                             | 0                             | -          |
|  |                               |                               |            |





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | <b>✓</b> |
| target SpurSnsrDataPtr Cnt T u16                        | 26371        | 26371          | <b>✓</b> |

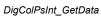
| T .                     |       |                         |       |      | 0  |
|-------------------------|-------|-------------------------|-------|------|----|
| Actual Function         | Count | Expected Function       | Count | Resu | lt |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     |      | V  |

| Test Step 2.36 (Repeat Count = 1)   | · ·  |
|---|--|
| Name  | Input Value  |
| ColSnsrDataPtr_Cnt_T_u16  | target ColSnsrDataPtr Cnt T u16                    |
| DataTypePtr Cnt T u08   | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt Buffer Cnt M u08[0]   | 70   |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 80   |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 90   |
| DigColPsInt BusBusySeqError Cnt M Igc   | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 0  |
| DigColPsInt ColSnsrData Cnt M u16   | 37072  |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 122  |
| DigColPsInt CurrentStepNo Cnt M enum  | INIT SENSOR1 CHECKSTAT READ                        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0  |
| DigColPsInt_InitialTime_mS_M_u32  | 40583117   |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 1  |
| DigColPsInt PrevTransactionCnt Cnt M u08  | 59   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 2  |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 27070  |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 46   |
| DtrmnElapsedTime_mS_u16(ElapsedTime)  | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime mS u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c SetupMasterTransmit(I2cRegPtr Cnt T str)  | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr Cnt T u16   | target SpurSnsrDataPtr Cnt T u16                   |
| i2cREG1_temp  | target_i2cREG1_temp                                |
| k ColSensorl2CAddress Cnt u08   | 127  |
| k I2CHWInitTransactionTime Sec f32  | 2.70000005   |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime  | 21458  |
| target_GetSystemTime_mS_u32_CurrentTime   | 36572109   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 555  |
| target I2c Send I2cRegPtr Cnt T str.IMR   | 66   |
|   | 556  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 87   |
|   | 67   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55   |
|   | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309   |
| target_I2c_Serid_I2cRegPtr_Crit_1_str.N/DR target_I2c_Serid_I2cRegPtr_Crit_T_str.I/VR   | 5  |
| · · ·   | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66   |
| target 120 ochu 120Negrti Ont i Sti.r 30  |  |
|   | 1204   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 66<br>3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 66<br>3<br>1                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 66<br>3<br>1<br>1                                  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 66<br>3<br>1<br>1<br>2                             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 66<br>3<br>1<br>1<br>2<br>3                        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 66<br>3<br>1<br>1<br>2<br>3<br>3                   |
| target_12c_Send_12cRegPtr_Cnt_T_str.PID11 target_12c_Send_12cRegPtr_Cnt_T_str.PID12 target_12c_Send_12cRegPtr_Cnt_T_str.DMAC target_12c_Send_12cRegPtr_Cnt_T_str.FUN target_12c_Send_12cRegPtr_Cnt_T_str.DIR target_12c_Send_12cRegPtr_Cnt_T_str.DIN target_12c_Send_12cRegPtr_Cnt_T_str.DOUT target_12c_Send_12cRegPtr_Cnt_T_str.SET target_12c_Send_12cRegPtr_Cnt_T_str.CLR   | 66<br>3<br>1<br>1<br>2<br>3<br>3                   |
| target_12c_Send_12cRegPtr_Cnt_T_str.PID11 target_12c_Send_12cRegPtr_Cnt_T_str.PID12 target_12c_Send_12cRegPtr_Cnt_T_str.DMAC target_12c_Send_12cRegPtr_Cnt_T_str.FUN target_12c_Send_12cRegPtr_Cnt_T_str.DIR target_12c_Send_12cRegPtr_Cnt_T_str.DIN target_12c_Send_12cRegPtr_Cnt_T_str.DOUT target_12c_Send_12cRegPtr_Cnt_T_str.SET target_12c_Send_12cRegPtr_Cnt_T_str.CLR target_12c_Send_12cRegPtr_Cnt_T_str.CLR target_12c_Send_12cRegPtr_Cnt_T_str.ODR | 66<br>3<br>1<br>1<br>2<br>3<br>3<br>1              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT target_I2c_Send_I2cRegPtr_Cnt_T_str.SET target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 66<br>3<br>1<br>1<br>2<br>3<br>3                   |

2014-10-14, 23:01:16+0530



| Name  | Input Value                                       |  |      |
|---|---|--|------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 55  |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66  |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556   |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 2309  |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 1204  |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 87  |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 67  |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 55  |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 66  |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2309  |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 5   |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3   |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 66  |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 1204  |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 66  |  |      |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC   | 3   |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1   |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1   |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2   |  |      |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT   | 3   |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3   |  |      |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR  | 1   |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2   |  |      |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD   | 3   |  |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3   |  |      |
| target_izc_Setupmaster transmit_izcRegPtt_Cnt_1_str.PSL target_i2cREG1_temp.OAR   | 55  |  |      |
|   | 66  |  |      |
| target_i2cREG1_temp.IMR   | 556   |  |      |
| target_i2cREG1_temp.STR   |   |  |      |
| target_i2cREG1_temp.CLKL  | 2309  |  |      |
| target_i2cREG1_temp.CLKH  | 1204  |  |      |
| target_i2cREG1_temp.CNT   | 87  |  |      |
| target_i2cREG1_temp.DRR   | 67  |  |      |
| arget_i2cREG1_temp.SAR  | 55  |  |      |
| target_i2cREG1_temp.DXR   | 66  |  |      |
| target_i2cREG1_temp.MDR   | 2309  |  |      |
| target_i2cREG1_temp.IVR   | 5   |  |      |
| target_i2cREG1_temp.EMDR  | 3   |  |      |
| target_i2cREG1_temp.PSC   | 66  |  |      |
| target_i2cREG1_temp.PID11   | 1204  |  |      |
| target_i2cREG1_temp.PID12   | 66  |  |      |
| target_i2cREG1_temp.DMAC  | 3   |  |      |
| target_i2cREG1_temp.FUN   | 1   |  |      |
| target_i2cREG1_temp.DIR   | 1   |  |      |
| target_i2cREG1_temp.DIN   | 2   |  |      |
| target_i2cREG1_temp.DOUT  | 3   |  |      |
| arget_i2cREG1_temp.SET  | 3   |  |      |
| target_i2cREG1_temp.CLR   | 1   |  |      |
| target_i2cREG1_temp.ODR   | 2   |  |      |
| target_i2cREG1_temp.PD  | 3   |  |      |
| target_i2cREG1_temp.PSL   | 3   |  |      |
| Name  | Actual Value                                      | Expected Value                               | Res  |
|   | 36  | 36   | IXES |
| DigColPsInt_Buffer_Cnt_M_u08[0]   |   |  |      |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 80  | 80   |      |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 90  | 90   |      |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0   | 0  |      |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 127   | 127  |      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READERROR_SETREG                     | INIT_SENSOR1_READERROR_SETREG                |      |
| DigColPsInt_GetData()   | 6   | 6  |      |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0   | 0  |      |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0   | 0  |      |
|   |   | 46   |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 46  |  |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 0   | 0  |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc   |   | 1  |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc   | 0   |  |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32)   | 0 1   | 1  |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 0<br>1<br>1                                       | 1  |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16) arget_ColSnsrDataPtr_Cnt_T_u16   | 0<br>1<br>1<br>1                                  | 1 1 1  |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16) arget_ColSnsrDataPtr_Cnt_T_u16 arget_DataTypePtr_Cnt_T_u08   | 0<br>1<br>1<br>1<br>37072<br>2                    | 1<br>1<br>1<br>37072<br>2                    |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16) larget_ColSnsrDataPtr_Cnt_T_u16 larget_DataTypePtr_Cnt_T_u08 larget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 0<br>1<br>1<br>1<br>37072<br>2<br>55              | 1<br>1<br>1<br>37072<br>2<br>55              |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc 2c_Send(Length_Cnt_T_u32) 2c_SetupMasterTransmit(DataLength_Cnt_T_u16) arget_ColSnsrDataPtr_Cnt_T_u16 arget_DataTypePtr_Cnt_T_u08 arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 0<br>1<br>1<br>1<br>37072<br>2<br>55<br>66        | 1<br>1<br>1<br>37072<br>2<br>55<br>66        |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_ColSnsrDataPtr_Cnt_T_u16 target_DataTypePtr_Cnt_T_u08 target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR target_I2c_Send_I2cRegPtr_Cnt_T_str.STR | 0<br>1<br>1<br>1<br>37072<br>2<br>55<br>66<br>556 | 1<br>1<br>1<br>37072<br>2<br>55<br>66<br>556 |      |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SensInitialized_Cnt_M_lgc l2c_Send(Length_Cnt_T_u32) l2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_ColSnsrDataPtr_Cnt_T_u16 target_DataTypePtr_Cnt_T_u08 target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 0<br>1<br>1<br>1<br>37072<br>2<br>55<br>66        | 1<br>1<br>1<br>37072<br>2<br>55<br>66        |      |



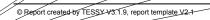


| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target I2c Send I2cRegPtr Cnt T str.DRR                  | 67           | 67             | ~        |
| target I2c Send I2cRegPtr Cnt T str.SAR                  | 55           | 55             | •        |
| target I2c Send I2cRegPtr Cnt T str.DXR                  | 66           | 66             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 2309         | 2309           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 5            | 5              | ~        |
| target I2c Send I2cRegPtr Cnt T str.EMDR                 | 3            | 3              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 1204         | 1204           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 27070        | 27070          | ~        |

| T ✓                     |       |                         |       |          |  |
|-------------------------|-------|-------------------------|-------|----------|--|
| Actual Function         | Count | Expected Function       | Count | Result   |  |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |  |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |  |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |  |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |  |
| GetSystemTime mS u32    | 1     | GetSystemTime mS u32    | 1     | •        |  |

| Test Step 2.37 (Repeat Count = 1)        |                                 |
|--|---------------------------------|
| Name                                     | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16                 | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08                    | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]          | 44                              |
| DigColPsInt_Buffer_Cnt_M_u08[1]          | 55                              |
| DigColPsInt_Buffer_Cnt_M_u08[2]          | 66                              |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc    | 0                               |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc    | 1                               |
| DigColPsInt_ColSnsrData_Cnt_M_u16        | 39862                           |
| DigColPsInt_CurrentSlave_Cnt_M_u08       | 1                               |
| DigColPsInt_CurrentStepNo_Cnt_M_enum     | INIT_SENSOR2_READERROR_READ     |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc     | 1                               |
| DigColPsInt_InitialTime_mS_M_u32         | 41585869                        |
| DigColPsInt_NackOccured_Cnt_M_lgc        | 0                               |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 | 65                              |

G I2 I2 Si i20 k\_ tar



2014-10-14, 23:01:16+0530



| Name   | Input Value                 |                             |          |
|--|-----------------------------|-----------------------------|----------|
| target_i2cREG1_temp.DXR  | 78                          |                             |          |
| target_i2cREG1_temp.MDR  | 495<br>66                   |                             |          |
| target_i2cREG1_temp.IVR<br>target_i2cREG1_temp.EMDR  | 0                           |                             |          |
| target i2cREG1 temp.PSC  | 78                          |                             |          |
| target_i2cREG1_temp.PID11  | 56                          |                             |          |
| target_i2cREG1_temp.PID12  | 78                          |                             |          |
| target_i2cREG1_temp.DMAC   | 0                           |                             |          |
| target_i2cREG1_temp.FUN  | 0                           |                             |          |
| target_i2cREG1_temp.DIR  | 0                           |                             |          |
| target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT   | 0                           |                             |          |
| target_i2cREG1_temp.SET  | 0                           |                             |          |
| target_i2cREG1_temp.CLR  | 0                           |                             |          |
| target_i2cREG1_temp.ODR  | 1                           |                             |          |
| target_i2cREG1_temp.PD   | 0                           |                             |          |
| target_i2cREG1_temp.PSL  | 0                           |                             |          |
| Name   | Actual Value                | Expected Value              | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 44                          | 44                          | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 55                          | 55                          | <b>*</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 66<br>0                     | 66                          | -        |
| DigColPsInt CurrentSlave Cnt M u08   | 1                           | 1                           |          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT SENSOR2 READERROR READ | INIT SENSOR2 READERROR READ | -        |
| DigColPsInt_GetData()  | 168                         | 168                         | -        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc   | 1                           | 1                           | -        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                           | 0                           | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 50                          | 50                          | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                           | 0                           | ~        |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 39862                       | 39862                       | <b>*</b> |
| target_ColSnsrDataPtr_Cnt_T_u16 target_DataTypePtr_Cnt_T_u08   | 3                           | 3                           | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 66                          | 66                          | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 78                          | 78                          | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 78                          | 78                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 495                         | 495                         | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 56                          | 56                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 897                         | 897                         | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 98<br>66                    | 98<br>66                    | <b>✓</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR                             | 78                          | 78                          |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 495                         | 495                         | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 66                          | 66                          | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 0                           | 0                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 78                          | 78                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 56                          | 56                          | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 78                          | 78<br>0                     | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN                               | 0                           | 0                           |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0                           | 0                           | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1                           | 1                           | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 0                           | 0                           | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0                           | 0                           | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0                           | 0                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1                           | 1                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0                           | 0                           | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 0<br>66                     | 0<br>66                     | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR  | 78                          | 78                          |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78                          | 78                          | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495                         | 495                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56                          | 56                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897                         | 897                         | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98                          | 98                          | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66                          | 66                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78                          | 78                          | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495<br>66                   | 495<br>66                   | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR | 0                           | 0                           |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC   | 78                          | 78                          | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 56                          | 56                          | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 78                          | 78                          | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0                           | 0                           | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0                           | 0                           |          |

2014-10-14, 23:01:16+0530



| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | -      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~      |
| target_SpurSnsrDataPtr_Cnt_T_u16                        | 27769        | 27769          | ~      |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |

| Test Step 2.38 (Repeat Count = 1)   |  |
|---|--|
| Name  | Input Value  |
|   | Input Value target ColSnsrDataPtr Cnt T u16        |
| ColSnsrDataPtr_Cnt_T_u16  |  |
| DataTypePtr_Cnt_T_u08   | target_DataTypePtr_Cnt_T_u08                       |
| DigColPoint_Buffer_Cnt_M_u08[0]   | 6  |
| DigColPoint_Buffer_Cnt_M_u08[1]   | 9  |
| DigColPoint_Buffer_Cnt_M_u08[2]   | 9  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 1  |
| DigColPsInt ColSnsrData Cnt M u16   | 34282  |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 115  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT SENSOR1 READERROR SETREG                      |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0  |
| DigColPsInt_InitialTime_mS_M_u32  | 42588621   |
|   | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 53   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                                      | 0  |
| DigColPsInt_RecvOveridirEndi_Cnt_M_u08                                      | 1  |
|   | 0  |
| DigColPsInt_SensInitialized_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16    | 26371  |
|   | 42   |
| DigColPsInt_TransactionCnt_Cnt_M_u08 DtrmnElapsedTime_mS_u16(ElapsedTime)   | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime            |
| l2c_Send(l2cRegPtr_Cnt_T_str)   | target I2c Send I2cRegPtr Cnt T str                |
| l2c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str)                                | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr Cnt T u16   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp  | target_i2cREG1_temp                                |
| k ColSensorl2CAddress Cnt u08   | 77   |
| k_I2CHWInitTransactionTime_Sec_f32  | 2.2999995  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime                                  | 9360   |
| target_GetSystemTime_mS_u32_CurrentTime                                     | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                                     | 65   |
| target I2c Send I2cRegPtr Cnt T str.IMR                                     | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                     | 67   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                    | 7  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                                    | 577  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                                     | 88   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                                     | 23   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                                     | 65   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                                     | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                     | 7  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                                     | 44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                                    | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                                     | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                   | 577  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                   | 89   |
| target I2c Send I2cRegPtr Cnt T str.DMAC                                    | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                                     | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                                     | 0  |
| target I2c Send I2cRegPtr Cnt T str.DIN                                     | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                                    | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                                     | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                                     | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR                                     | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                                      | 2  |
| a.gocond_izorogi a_ont_i_oa.i D   | -  |

2014-10-14, 23:01:16+0530



| Name   | Input Value                   |                               |          |
|--|-------------------------------|-------------------------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0                             |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 65                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR<br>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR | 89<br>67                      |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 577                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 23                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7                             |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 2                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 577                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 89                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT target_I2c_SetupMasterTransmit_I2cReqPtr_Cnt_T_str.SET   | 2                             |                               |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt_T_str.SET target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR    | 0                             |                               |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 1                             |                               |          |
| target I2c SetupMasterTransmit I2cReqPtr Cnt T str.PD  | 2                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0                             |                               |          |
| target_i2cREG1_temp.OAR  | 65                            |                               |          |
| target_i2cREG1_temp.IMR  | 89                            |                               |          |
| target_i2cREG1_temp.STR  | 67                            |                               |          |
| target_i2cREG1_temp.CLKL   | 7                             |                               |          |
| target_i2cREG1_temp.CLKH   | 577<br>88                     |                               |          |
| target_i2cREG1_temp.CNT<br>target_i2cREG1_temp.DRR   | 23                            |                               |          |
| target i2cREG1 temp.SAR  | 65                            |                               |          |
| target i2cREG1 temp.DXR  | 89                            |                               |          |
| target_i2cREG1_temp.MDR  | 7                             |                               |          |
| target_i2cREG1_temp.IVR  | 44                            |                               |          |
| target_i2cREG1_temp.EMDR   | 2                             |                               |          |
| target_i2cREG1_temp.PSC  | 89                            |                               |          |
| target_i2cREG1_temp.PID11  | 577                           |                               |          |
| target_i2cREG1_temp.PID12<br>target_i2cREG1_temp.DMAC  | 89                            |                               |          |
| target i2cREG1 temp.FUN  | 0                             |                               |          |
| target i2cREG1 temp.DIR  | 0                             |                               |          |
| target_i2cREG1_temp.DIN  | 1                             |                               |          |
| target_i2cREG1_temp.DOUT   | 2                             |                               |          |
| target_i2cREG1_temp.SET  | 2                             |                               |          |
| target_i2cREG1_temp.CLR  | 0                             |                               |          |
| target_i2cREG1_temp.ODR  | 1                             |                               |          |
| target_i2cREG1_temp.PD   | 0                             |                               |          |
| target_i2cREG1_temp.PSL  Name  | Actual Value                  | Expected Value                | Result   |
| DigColPsInt Buffer Cnt M u08[0]  | 36                            | 36                            | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 6                             | 6                             | -        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 9                             | 9                             | -        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0                             | 0                             | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 77                            | 77                            | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | ~        |
| DigColPsInt_GetData()  | 34                            | 34                            | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc   | 0                             | 0                             | <b>V</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                             | 0                             | <b>✓</b> |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc                                  | 0                             | 0                             | <b>*</b> |
| DigColPsInt_RecvoveriditError_Crit_wi_gc  DigColPsInt_SensInitialized_Crit_M_lgc                                 | 1                             | 1                             | ~        |
| I2c_Send(Length_Cnt_T_u32)   | 1                             | 1                             | -        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 1                             | 1                             | <b>✓</b> |
| target_ColSnsrDataPtr_Cnt_T_u16  | 34282                         | 34282                         | ~        |
| target_DataTypePtr_Cnt_T_u08   | 1                             | 1                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 65                            | 65                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 89                            | 89                            | <b>✓</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR  | 67                            | 67                            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 7<br>577                      | 7<br>577                      | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | JIII                          | SIT                           |          |

DigColPsInt\_GetData

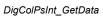




| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 88           | 88             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 23           | 23             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 65           | 65             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 89           | 89             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 7            | 7              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 44           | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 577          | 577            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 577          | 577            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89           | 89             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | <b>Y</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 0              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | •              |          |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 26371        | 26371          |          |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | •        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | ~        |

| Test Step 2.39 (Repeat Count = 1)     | ✓                               |
|---------------------------------------|---------------------------------|
| Name                                  | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 11                              |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 22                              |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 33                              |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 1                               |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 0                               |
| DigColPsInt_ColSnsrData_Cnt_M_u16     | 37072                           |
| DigColPsInt_CurrentSlave_Cnt_M_u08    | 122                             |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_CHECKSTAT_READ     |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                               |
| DigColPsInt_InitialTime_mS_M_u32      | 43591373                        |
| DigColPsInt_NackOccured_Cnt_M_lgc     | 1                               |





| Name  | Input Value  |
|---|--|
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                | 59   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                     | 2  |
| DigColPsInt_SensInitialized_Cnt_M_lgc                   | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                      | 27070  |
| DigColPsInt_TransactionCnt_Cnt_M_u08                    | 46   |
| OtrmnElapsedTime_mS_u16(ElapsedTime)                    | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)                       | target_GetSystemTime_mS_u32_CurrentTime            |
| 2c_Send(I2cRegPtr_Cnt_T_str)                            | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)             | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16                               | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| 2cREG1_temp   | target_i2cREG1_temp                                |
| C_ColSensorI2CAddress_Cnt_u08                           | 84   |
| x_I2CHWInitTransactionTime_Sec_f32                      | 2.70000005   |
| arget_DtrmnElapsedTime_mS_u16_ElapsedTime               | 9867   |
| arget_GetSystemTime_mS_u32_CurrentTime                  | 4294967295   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                  | 55   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                  | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 556  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 2309   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 1204   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 87   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 67   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 55   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 2309   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 5  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 1204   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 1  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 3  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1.   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3  |
| arget_i2cREG1_temp.OAR                                  | 55   |
| arget i2cREG1 temp.IMR                                  | 66   |
|   | 556  |
|   |  |
| arget_i2cREG1_temp.STR                                  |  |
| arget_i2cREG1_temp.STR<br>arget_i2cREG1_temp.CLKL       | 2309   |
| arget_i2cREG1_temp.STR                                  |  |

2014-10-14, 23:01:16+0530



| Name   | Input Value                   |                               |          |
|--|-------------------------------|-------------------------------|----------|
| target_i2cREG1_temp.SAR  | 55                            |                               |          |
| target_i2cREG1_temp.DXR  | 66                            |                               |          |
| target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR  | 2309<br>5                     |                               |          |
| target i2cREG1 temp.EMDR   | 3                             |                               |          |
| target_i2cREG1_temp.PSC  | 66                            |                               |          |
| target_i2cREG1_temp.PID11  | 1204                          |                               |          |
| target_i2cREG1_temp.PID12  | 66                            |                               |          |
| target_i2cREG1_temp.DMAC   | 3                             |                               |          |
| target_i2cREG1_temp.FUN  | 1                             |                               |          |
| target_i2cREG1_temp.DIR  | 1                             |                               |          |
| target_i2cREG1_temp.DIN  | 3                             |                               |          |
| target_i2cREG1_temp.DOUT<br>target_i2cREG1_temp.SET  | 3                             |                               |          |
| target_i2cREG1_temp.CLR  | 1                             |                               |          |
| target i2cREG1 temp.ODR  | 2                             |                               |          |
| target_i2cREG1_temp.PD   | 3                             |                               |          |
| target_i2cREG1_temp.PSL  | 3                             |                               |          |
| Name   | Actual Value                  | Expected Value                | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 36                            | 36                            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 22                            | 22                            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 33                            | 33                            | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 84                            | 0<br>84                       | <b>*</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt CurrentStepNo Cnt M enum  | INIT SENSOR1 READERROR SETREG | INIT_SENSOR1_READERROR_SETREG | -        |
| DigColPsInt_GuttentstepNo_Cnt_M_enum  DigColPsInt GetData()  | 6                             | 6                             |          |
| DigColPsInt InitFailedOnce Cnt M lgc   | 0                             | 0                             | -        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                             | 0                             | -        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 46                            | 46                            | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                             | 0                             | ~        |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1                             | 1                             | ~        |
| I2c_Send(Length_Cnt_T_u32)   | 1                             | 1                             | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 1                             | 1                             | •        |
| target_ColSnsrDataPtr_Cnt_T_u16  | 37072                         | 37072                         | ~        |
| target_DataTypePtr_Cnt_T_u08   | 2                             | 2                             | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR  | 55                            | 55                            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 556                           | 556                           | ,        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                               | 2309                          | 2309                          | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204                          | 1204                          | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87                            | 87                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67                            | 67                            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55                            | 55                            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66                            | 66                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309                          | 2309                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5                             | 5                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3                             | 3                             | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11                              | 1204                          | 66<br>1204                    | <b>*</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66                            | 66                            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3                             | 3                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1                             | 1                             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1                             | 1                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2                             | 2                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3                             | 3                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3                             | 3                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1                             | 1                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2                             | 2                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3                             | 3                             | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 3                             | 3                             | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR  | 55<br>66                      | 55<br>66                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_I_str.IMR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556                           | 556                           | -        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL  | 2309                          | 2309                          | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204                          | 1204                          | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87                            | 87                            | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67                            | 67                            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55                            | 55                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66                            | 66                            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309                          | 2309                          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5                             | 5                             | ~        |
|  | 1 -                           |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC | 3<br>66                       | 3<br>66                       | <b>✓</b> |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~      |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 27070        | 27070          | ~      |

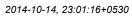
| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | •        |

| Test Step 2.40 (Repeat Count = 1)   |  |
|---|--|
| Name  | Input Value  |
| ColSnsrDataPtr_Cnt_T_u16  | target_ColSnsrDataPtr_Cnt_T_u16                    |
| DataTypePtr_Cnt_T_u08   | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt Buffer Cnt M u08[0]   | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 30   |
| DigColPsInt BusBusySeqError Cnt M Igc   | 0  |
| DigColPsInt CmdFailOccurred Cnt M lgc   | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 39862  |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 1  |
| DigColPsInt CurrentStepNo Cnt M enum  | INIT SENSOR2 READERROR READ                        |
| DigColPsInt InitFailedOnce Cnt M Igc  | 1  |
| DigColPsInt_InitialTime_mS_M_u32  | 44594125   |
| DigColPsint_InitialTime_ms_M_usz DigColPsint_NackOccured_Cnt_M_lgc              | 0  |
| DigColPsInt_NackOccured_Crit_M_igc  DigColPsInt_PrevTransactionCnt_Cnt_M_u08    | 65   |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u06 DigColPsInt_RecvOverrunError_Cnt_M_lgc | 1  |
| DigColPsInt_RecvOverrunErrol_Cnt_M_igc  DigColPsInt RecvdDataType Cnt M u08     | 3  |
| DigColPsInt SensInitialized Cnt M Igc   | 0  |
| DigColPsInt SpurSnsrData Cnt M u16  | 27769  |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 50   |
| Digeon-sini_mansactionent_ent_in_uos  DtrmnElapsedTime mS u16(ElapsedTime)      | target DtrmnElapsedTime mS u16 ElapsedTime         |
| GetSystemTime mS u32(CurrentTime)   | target GetSystemTime mS u32 CurrentTime            |
| · · ·   |  |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                                    | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp  | target_i2cREG1_temp 91                             |
| k_ColSensorl2CAddress_Cnt_u08   | 3.099999   |
| k_I2CHWInitTransactionTime_Sec_f32  |  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime                                      | 10374  |
| target_GetSystemTime_mS_u32_CurrentTime   | 1478524  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 66   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 78   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 78   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 495  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 56   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 897  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 98   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 66   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 495  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 78   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11                                       | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                       | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0  |

2014-10-14, 23:01:16+0530



|   |                               | •                             |          |  |
|---|-------------------------------|-------------------------------|----------|--|
| Name  | Input Value                   |                               |          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0                             |                               |          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1                             |                               |          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 0                             |                               |          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0                             |                               |          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0                             |                               |          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1                             |                               |          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0                             | 0                             |          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0                             |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 66                            |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 78                            |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 78                            |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 495                           |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 56                            |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 897                           |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 98                            |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 66                            |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 78                            |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 495                           |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 66                            |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0                             |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 78                            |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 56                            |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 78                            |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 0                             |                               |          |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR | 0                             |                               |          |  |
| target I2c SetupMasterTransmit I2cRegPti_Cnt_1_str.DIN  | 1                             |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 0                             |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0                             |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0                             |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1                             |                               |          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0                             |                               |          |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL  | 0                             |                               |          |  |
| target i2cREG1 temp.OAR   | 66                            |                               |          |  |
| target_i2cREG1_temp.IMR   | 78                            |                               |          |  |
| target i2cREG1 temp.STR   | 78                            |                               |          |  |
| target i2cREG1 temp.CLKL  | 495                           |                               |          |  |
| target_i2cREG1_temp.CLKH  | 56                            |                               |          |  |
| target_i2cREG1_temp.CNT   | 897                           |                               |          |  |
| target i2cREG1 temp.DRR   | 98                            |                               |          |  |
| target i2cREG1 temp.SAR   | 66                            |                               |          |  |
| target i2cREG1 temp.DXR   | 78                            |                               |          |  |
| target i2cREG1 temp.MDR   | 495                           |                               |          |  |
| target i2cREG1 temp.IVR   | 66                            |                               |          |  |
| target_i2cREG1_temp.EMDR  | 0                             |                               |          |  |
| target i2cREG1 temp.PSC   | 78                            |                               |          |  |
| target_i2cREG1_temp.PID11   | 56                            |                               |          |  |
| target_i2cREG1_temp.PID12   | 78                            |                               |          |  |
| target_i2cREG1_temp.DMAC  | 0                             |                               |          |  |
| target_i2cREG1_temp.FUN   | 0                             |                               |          |  |
| target_i2cREG1_temp.DIR   | 0                             |                               |          |  |
| target_i2cREG1_temp.DIN   | 1                             |                               |          |  |
| target_i2cREG1_temp.DOUT  | 0                             |                               |          |  |
| target_i2cREG1_temp.SET   | 0                             |                               |          |  |
| target_i2cREG1_temp.CLR   | 0                             |                               |          |  |
| target_i2cREG1_temp.ODR   | 1                             |                               |          |  |
| target_i2cREG1_temp.PD  | 0                             |                               |          |  |
| target_i2cREG1_temp.PSL   | 0                             |                               |          |  |
| Name  | Actual Value                  | Expected Value                | Result   |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 36                            | 36                            | ~        |  |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 20                            | 20                            | <b>✓</b> |  |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 30                            | 30                            | ~        |  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                             | 0                             | ~        |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 91                            | 91                            | ~        |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | ~        |  |
| DigColPsInt_GetData()   | 40                            | 40                            | ~        |  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                             | 0                             | ~        |  |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                             | 0                             | ~        |  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 50                            | 50                            | •        |  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                             | 0                             | ~        |  |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1                             | 1                             | ~        |  |
| I2c_Send(Length_Cnt_T_u32)  | 1                             | 1                             | ~        |  |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1                             | 1                             | ~        |  |
|   |                               |                               |          |  |

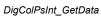




| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_ColSnsrDataPtr_Cnt_T_u16   | 39862        | 39862          | ~        |
| target_DataTypePtr_Cnt_T_u08  | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                       | 56           | 56             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                       | 78           | 78             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | •        |
| target I2c Send I2cRegPtr Cnt T str.DIN   | 1            | 1              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | <b>~</b> |
| target I2c Send I2cRegPtr Cnt T str.SET   | 0            | 0              | -        |
|   | 0            | 0              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR | 1            | 1              |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.PD  | 0            | 0              | ~        |
|   | 0            | 0              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   | 66           | 66             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR                          | 78           | 78             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR                          | 78           | 78             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR                          |              |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL                         | 495          | 495            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH                         | 56           | 56             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT                          | 897          | 897            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                          | 98           | 98             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR                          | 66           | 66             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR                          | 78           | 78             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR                          | 495          | 495            | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR                          | 66           | 66             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR                         | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC                          | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                        | 56           | 56             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12                        | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC                         | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN                          | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR                          | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN                          | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT                         | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET                          | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR                          | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR                          | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD                           | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL                          | 0            | 0              | -        |
| target_SpurSnsrDataPtr_Cnt_T_u16  | 27769        | 27769          | ~        |

| Τ                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | •        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | •        |
| I2c_Send                | 1     | I2c_Send                | 1     | •        |
| GetSystemTime mS u32    | 1     | GetSystemTime mS u32    | 1     | <b>✓</b> |

| Test Step 2.41 (Repeat Count = 1)     | <b>✓</b>                        |
|---------------------------------------|---------------------------------|
| Name                                  | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 0                               |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 0                               |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 0                               |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc | 0                               |





| Name   | Input Value  |
|--|--|
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 0  |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 0  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_NOT_INITIALIZED                               |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0  |
| DigColPsInt_InitialTime_mS_M_u32   | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 0  |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc DigColPsInt_RecvdDataType_Cnt_M_u08   | 0  |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 0  |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 0  |
| DtrmnElapsedTime_mS_u16(ElapsedTime)   | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)  | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16  | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp   | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08<br>k_12CHWInitTransactionTime_Sec_f32  | 0  |
| k_I2CHWINItTransactionTime_Sec_f32 target_DtrmnElapsedTime_mS_u16_ElapsedTime  | 0  |
| target GetSystemTime mS u32 CurrentTime  | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD   | 0  |
| target I2c Send I2cRegPtr Cnt T str.PSL  | 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR target_I2c SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   |  |
|  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   |  |
|  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 0<br>0<br>0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0<br>0<br>0<br>0                                   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 0<br>0<br>0<br>0<br>0<br>0                         |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.FUN target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET   | 0<br>0<br>0<br>0<br>0<br>0                         |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.FUN target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR  | 0<br>0<br>0<br>0<br>0<br>0<br>0                    |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.FUN target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CDR | 0<br>0<br>0<br>0<br>0<br>0<br>0<br>0               |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.FUN target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR  | 0<br>0<br>0<br>0<br>0<br>0<br>0                    |

2014-10-14, 23:01:16+0530



| DigCoPaint   Buffer Cort M   U08101   0   0   0   0   0   0   0   0   0  |   |              |                |          |
|--|---|--------------|----------------|----------|
| Sept.   CARROOL   Sept. OLD  | Name  | Input Value  |                |          |
| Image:ARRECO   Image DTR   | target_i2cREG1_temp.OAR                                 | 0            |                |          |
| Sept   DePOID   Imm CLEV   | target_i2cREG1_temp.IMR                                 | 0            |                |          |
| Image   Professor   Sump Cit   | target_i2cREG1_temp.STR                                 | 0            |                |          |
| Image   JORAFIC   Image   JO   | target_i2cREG1_temp.CLKL                                | 0            |                |          |
| Impact_DRPRCS_ImpactSAMP_DRPSR   Impact_DRPRCS_ImpactSAMP_DRPSR   Impact_DRPRCS_ImpactSAMP_DRPSR   Impact_DRPSRCS_ImpactSAMP_DRPSRCS_Impact_DRPsRCS_Impact   | target_i2cREG1_temp.CLKH                                |              |                |          |
| Image_CareCol_   |   |              |                |          |
| Images   DeRRIGS   Image   DeRRIGS   DeRRIGS   Image   DeRRIGS   | · ·   |              |                |          |
| Image:   |   |              |                |          |
| Image:   Companies   Compani   |   |              |                |          |
| ImageL_ROREG Lamp ENDR  ImageL_ROREG Lamp PED 12  ImageL_ROREG Lamp DED 12  ImageL_ROREG Lamp DED 13  ImageL_ROREG Lamp DED 14  ImageL_ROREG Lamp DED 15  ImageL_ROREG Lamp DE |   |              |                |          |
| Image: DeSEGS   Iman PSEC  |   |              |                |          |
| tagest_DEFECS   temp_DRIVE2  |   |              |                |          |
| Signate   248EG   1 jenn 2 m/L   |   |              |                |          |
| Surgial CRREG1   SIRD PLAN   |   |              |                |          |
| Single_DREGI_Imp_TUN   |   |              |                |          |
|  | target_i2cREG1_temp.FUN                                 | 0            |                |          |
| Images   James   Jam   | target_i2cREG1_temp.DIR                                 | 0            |                |          |
| Bingel 2.08EG   Jemp CLR   | target_i2cREG1_temp.DIN                                 | 0            |                |          |
| Images   Large   Lar   | target_i2cREG1_temp.DOUT                                | 0            |                |          |
| Institute   Inst   | target_i2cREG1_temp.SET                                 | 0            |                |          |
| Image   LockEG1   Image PD   | target_i2cREG1_temp.CLR                                 |              |                |          |
| Marget   Dort    | target_i2cREG1_temp.ODR                                 | 0            |                |          |
| Name   | target_i2cREG1_temp.PD                                  |              |                |          |
| DepCaPaint, Buffer, Cnt, M. (u081)   | target_i2cREG1_temp.PSL                                 |              |                |          |
| DigCoPaint Reffer Cnt. M. 108[1]   | Name  | Actual Value | Expected Value | Result   |
| DigCoPinit   Budfor Cort, M. 10812   |   |              |                | ~        |
| DigColPaint_CurrentSlave_Cnt_M_u08   |   |              |                | ~        |
| DigGoPaint_CurrentSlapNo_Cnt_M_enum  |   |              |                | ~        |
| DigCoPaint_CeuronStepho_Crit_M_enum  |   |              |                | ~        |
| DigColPsim_GelData)  |   |              |                |          |
| DigCoPlant_IntificatedOnce. Cnt_M_lgc  |   |              |                |          |
| DigColPaint_NackOccured_Cnt_M_lgc  |   |              |                |          |
| DigGoPsint_PrevTransactionCnt_Cnt_M_upe  |   |              |                |          |
| DigColPsint, Sensinitaiized, Cnt, M. Igo   |   |              |                |          |
| DigColPatn_Sensinitalized_Cnt_M_lge  |   |              |                |          |
| target_ColSnsrDataPtr_Cnt_T_u16  larget_DotaTypePtr_Cnt_T_str_AnA  o   |   |              |                | _        |
| target_DataTypePtr_Cnt_T_u08   |   |              |                |          |
| target_12c_Send_12cRegPtr_Cnt_T str.DMR  |   |              |                | •        |
| target_ 2c_Send_ 2cRegPtr_Cnt_T str.STRR   |   |              |                |          |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.CLKL         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.CLKL         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.CNT         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DRR         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDT         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDT         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DM         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DM         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DM         0         0   |   | 0            | 0              | <b>✓</b> |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.ChtH  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.Cht  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DRR  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.MDR  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.MDR  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.EMDR  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.EMDR  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.PSC  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.PSC  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DDT  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DDT  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DNRC  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DNRC  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DNR  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DNR  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DNR  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DNR  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DOT  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DOT  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DOT  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DOT  0 0 0  target_!2c_Send_!2cRegPtr_Cnt_T_str.DOR  0 0 0  target_!2c_Send_!2cRegPtr |   | 0            | 0              | <b>✓</b> |
| target_!2e_Send_!2cRegPtr_Cnt_T_str.CNT  | target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                | 0            | 0              | ~        |
| target_!2e_Send_!2cRegPtr_Cnt_T_str.DRR  | target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                | 0            | 0              | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DAR  | target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                 | 0            | 0              | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DXR         0           target_12c_Send_12cRegPtr_Cnt_T_str.MDR         0           target_12c_Send_12cRegPtr_Cnt_T_str.MDR         0           target_12c_Send_12cRegPtr_Cnt_T_str.DMR         0           target_12c_Send_12cRegPtr_Cnt_T_str.PDR         0           target_12c_Send_12cRegPtr_Cnt_T_str.PDD11         0           target_12c_Send_12cRegPtr_Cnt_T_str.PDD12         0           target_12c_Send_12cRegPtr_Cnt_T_str.DMAC         0           target_12c_Send_12cRegPtr_Cnt_T_str.DMAC         0           target_12c_Send_12cRegPtr_Cnt_T_str.DNA         0           target_12c_Send_12cRegPtr_Cnt_T_str.DNA         0           target_12c_Send_12cRegPtr_Cnt_T_str.DNA         0           target_12c_Send_12cRegPtr_Cnt_T_str.DNA         0           target_12c_Send_12cRegPtr_Cnt_T_str.DUT         0           target_12c_Send_12cRegPtr_Cnt_T_str.DUT         0           target_12c_Send_12cRegPtr_Cnt_T_str.DCR         0           target_12c_Send_12cRegPtr_Cnt_T_str.CNR         0           target_12c_Send_12cRegPtr_Cnt_T_str.DOR         0           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLK         0  | target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                 | 0            | 0              | ~        |
| target_ 2c_Send_ 2cRegPtr_Cnt_T_str.MDR         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.IVR         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.EMDR         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PSC         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PID11         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PID12         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PID12         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DMAC         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DM         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIN         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIN         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DOUT         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.SET         0           target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DLR         0           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DLR         0           targe   | target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                 | 0            | 0              | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.EMDR         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.EMDR         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.PSC         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.PID11         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.PID12         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DMAC         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DIN         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DIN         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DIN         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DUT         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DUT         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DCR         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DCR         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DOR         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DA         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DA         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CIK   | target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                 |              |                | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DID12         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.SET         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.SET         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DR         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DAR         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL         0  | target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                 |              |                | ~        |
| target_!2c_Send_!2cRegPtr_Cntstr.PID11       0         target_!2c_Send_!2cRegPtr_Cntstr.PID11       0         target_!2c_Send_!2cRegPtr_Cntstr.PID12       0         target_!2c_Send_!2cRegPtr_Cntstr.DMAC       0         target_!2c_Send_!2cRegPtr_Cntstr.DMAC       0         target_!2c_Send_!2cRegPtr_Cntstr.DN       0         target_!2c_Send_!2cRegPtr_Cntstr.DN       0         target_!2c_Send_!2cRegPtr_Cntstr.DN       0         target_!2c_Send_!2cRegPtr_Cntstr.DN       0         target_!2c_Send_!2cRegPtr_Cntstr.DUT       0         target_!2c_Send_!2cRegPtr_Cntstr.DUT       0         target_!2c_Send_!2cRegPtr_Cntstr.CLR       0         target_!2c_Send_!2cRegPtr_Cntstr.DD       0         target_!2c_Send_!2cRegPtr_Cntstr.DD       0         target_!2c_Send_!2cRegPtr_Cntstr.DAR       0         target_!2c_Send_!2cRegPtr_Cntstr.DAR       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.DAR       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.CLKL       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.CLKL       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.CLKL       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cntstr.CLKL       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt   |   |              |                | ~        |
| target_!2c_Send_!2cRegPt_Cnt_T_str.PID11       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PID12       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DOR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DOR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0   |   |              |                | ~        |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.PID12       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.FUN       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DOT       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.SET       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0  |   |              |                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.OLR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       0       0         target_I2c_Send_BasterTransmit_I2cRegPtr_Cnt_T_str.OAR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR       0       0  |   |              |                |          |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.FUN       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.SET       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0   |   |              |                |          |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DUT       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.SET       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DLR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DL       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       0       0  |   |              |                |          |
| target_!2c_Send_ 2cRegPtr_Cnt_T_str.DIN       0       0         target_!2c_Send_ 2cRegPtr_Cnt_T_str.DOUT       0       0         target_!2c_Send_ 2cRegPtr_Cnt_T_str.SET       0       0         target_!2c_Send_ 2cRegPtr_Cnt_T_str.CLR       0       0         target_!2c_Send_ 2cRegPtr_Cnt_T_str.ODR       0       0         target_!2c_Send_ 2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_ 2cRegPtr_Cnt_T_str.PSL       0       0         target_!2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.IMR       0       0         target_!2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.STR       0       0         target_!2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       0       0   |   |              |                |          |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.SET       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DNT       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DNT       0  |   |              |                |          |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.SET       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       0       0   |   |              |                |          |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       0       0  |   |              |                |          |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       0       0   |   |              |                | ~        |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.PD       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       0       0  |   |              |                | ~        |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.PSL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       0       0   |   |              |                | <b>✓</b> |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OAR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       0       0   |   |              |                | ~        |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKH       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       0       0  |   |              | 0              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0   |   |              |                | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0  |   | 0            | 0              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   |   | 0            | 0              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 0 0   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 0            | 0              | ~        |
|  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  |              |                | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR 0 0   |   |              |                | ~        |
|  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 0            | 0              | ~        |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 0            | 0              | ~        |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~      |

| Name  | Input Value  |
|---|--|
| ColSnsrDataPtr_Cnt_T_u16                    | target ColSnsrDataPtr Cnt T u16                    |
| DataTypePtr Cnt T u08                       | target DataTypePtr Cnt T u08                       |
| DigColPsInt Buffer Cnt M u08[0]             | 255  |
| DigColPsInt_Buffer_Cnt_M_u08[1]             | 255  |
| DigColPsInt Buffer Cnt M u08[2]             | 255  |
| DigColPsInt BusBusySegError Cnt M Igc       | 1  |
| DigColPsInt CmdFailOccurred Cnt M lgc       | 1  |
| DigColPsInt ColSnsrData Cnt M u16           | 65535  |
| DigColPsInt_CurrentSlave_Cnt_M_u08          | 127  |
| DigColPsInt CurrentStepNo Cnt M enum        | READ COMPLETE                                      |
| DigColPsInt InitFailedOnce Cnt M Igc        | 1  |
| DigColPsInt InitialTime mS M u32            | 4294967295   |
| DigColPsInt NackOccured Cnt M lgc           | 1  |
| DigColPsInt PrevTransactionCnt Cnt M u08    | 255  |
| DigColPsInt RecvOverrunError Cnt M Igc      | 1  |
| DigColPsInt RecvdDataType Cnt M u08         | 5  |
| DigColPsInt SensInitialized Cnt M lgc       | 1  |
| DigColPsInt SpurSnsrData Cnt M u16          | 65535  |
| DigColPsInt TransactionCnt Cnt M u08        | 255  |
| OtrmnElapsedTime mS u16(ElapsedTime)        | target DtrmnElapsedTime mS u16 ElapsedTime         |
| GetSystemTime mS u32(CurrentTime)           | target GetSystemTime mS u32 CurrentTime            |
| 2c_Send(I2cRegPtr_Cnt_T_str)                | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |
| SpurSnsrDataPtr_Cnt_T_u16                   | target SpurSnsrDataPtr Cnt T u16                   |
| 2cREG1 temp                                 | target i2cREG1 temp                                |
| ColSensorI2CAddress Cnt u08                 | 127  |
| C I2CHWInitTransactionTime Sec f32          | 10   |
| arget DtrmnElapsedTime mS u16 ElapsedTime   | 65535  |
| arget GetSystemTime mS u32 CurrentTime      | 4294967295   |
| arget I2c Send I2cRegPtr Cnt T str.OAR      | 1023   |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR     | 255  |
| arget I2c Send I2cRegPtr Cnt T str.STR      | 32767  |
| arget I2c Send I2cRegPtr Cnt T str.CLKL     | 65535  |
| arget I2c Send I2cRegPtr Cnt T str.CLKH     | 65535  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT     | 65535  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR     | 255  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR      | 1023   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR      | 255  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR      | 65535  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.IVR      | 4095   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR     | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC      | 255  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.PID11    | 65535  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.PID12    | 255  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC    | 3  |





| Name  | Input Value        |                    |   |
|---|--------------------|--------------------|---|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                  |                    |   |
| target I2c Send I2cRegPtr Cnt T str.DIR   | 3                  |                    |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3                  |                    |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3                  |                    |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3                  |                    |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 3                  |                    |   |
|   | 3                  |                    |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   |                    |                    |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3                  |                    |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                  |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 1023               |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 255                |                    |   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  | 32767              |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 65535              |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 65535              |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 65535              |                    |   |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 255                |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 1023               |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 255                |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 65535              |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 4095               |                    |   |
|   | 3                  |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   |                    |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 255                |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 65535              |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 255                |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 3                  |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1                  |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 3                  |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3                  |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3                  |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3                  |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 3                  |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3                  |                    |   |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD   | 3                  |                    |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3                  |                    |   |
| target_i2cREG1_temp.OAR   | 1023               |                    |   |
| target_i2cREG1_temp.IMR   | 255                |                    |   |
|   |                    |                    |   |
| target_i2cREG1_temp.STR   | 32767              |                    |   |
| target_i2cREG1_temp.CLKL  | 65535              |                    |   |
| target_i2cREG1_temp.CLKH  | 65535              |                    |   |
| target_i2cREG1_temp.CNT   | 65535              |                    |   |
| target_i2cREG1_temp.DRR   | 255                |                    |   |
| target_i2cREG1_temp.SAR   | 1023               |                    |   |
| target_i2cREG1_temp.DXR   | 255                |                    |   |
| target_i2cREG1_temp.MDR   | 65535              |                    |   |
| target_i2cREG1_temp.IVR   | 4095               |                    |   |
| target_i2cREG1_temp.EMDR  | 3                  |                    |   |
| target_i2cREG1_temp.PSC   | 255                |                    |   |
| target_i2cREG1_temp.PID11   | 65535              |                    |   |
| target i2cREG1 temp.PID12   | 255                |                    |   |
| target i2cREG1 temp.DMAC  | 3                  |                    |   |
| target i2cREG1 temp.FUN   | 1                  |                    |   |
| target i2cREG1 temp.DIR   | 3                  |                    |   |
|   | 3                  |                    |   |
| target_i2cREG1_temp.DIN   |                    |                    |   |
| target_i2cREG1_temp.DOUT  | 3                  |                    |   |
| target_i2cREG1_temp.SET   | 3                  |                    |   |
| target_i2cREG1_temp.CLR   | 3                  |                    |   |
| target_i2cREG1_temp.ODR   | 3                  |                    |   |
| target_i2cREG1_temp.PD  | 3                  |                    |   |
| target_i2cREG1_temp.PSL   | 3                  |                    |   |
| Name  | Actual Value       | Expected Value     | Result  |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 255                | 255                | ~   |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 255                | 255                | ~   |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 255                | 255                | ~   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                  | 0                  | •   |
| DigColPsInt CurrentSlave Cnt M u08  | 127                | 127                | -   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ COMPLETE      | READ COMPLETE      | ~   |
|   | NEAD_COMPLETE      | _                  |   |
| DigColPsInt_GetData()   | 62                 | 62                 |   |
| Disco-ID-last InitE-ilaston as C 1 11 1   | 62                 | 62                 |   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1                  | 1                  | •   |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 1 0                | 1 0                | <b>*</b>  |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 1<br>0<br>255      | 1<br>0<br>255      | · ·   |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc | 1<br>0<br>255<br>0 | 1<br>0<br>255<br>0 | \rightarrow \frac{1}{\rightarrow \cdot \frac{1}{\rightarrow \cdot |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 1<br>0<br>255      | 1<br>0<br>255      | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \   |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc | 1<br>0<br>255<br>0 | 1<br>0<br>255<br>0 | \rightarrow \frac{1}{\rightarrow \cdot \frac{1}{\rightarrow \cdot |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_DataTypePtr_Cnt_T_u08                             | 5            | 5              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                  | 1023         | 1023           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                  | 255          | 255            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 32767        | 32767          | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 65535        | 65535          | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 65535        | 65535          | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 65535        | 65535          | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 255          | 255            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 1023         | 1023           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 255          | 255            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 65535        | 65535          | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 4095         | 4095           |          |
| target I2c Send I2cRegPtr Cnt T str.EMDR                 | 3            | 3              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 255          | 255            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 65535        | 65535          | <b>v</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 255          | 255            | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 1            | 1              | _        |
| target I2c Send I2cRegPtr Cnt T str.DIR                  | 3            | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 3            | 3              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.SET                  | 3            | 3              |          |
| target I2c Send I2cReqPtr Cnt T str.CLR                  | 3            | 3              | ·        |
| target I2c Send I2cRegPtr Cnt T str.ODR                  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 3            | 3              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL                  | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 1023         | 1023           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 255          | 255            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 32767        | 32767          |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 65535        | 65535          |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 65535        | 65535          |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 65535        | 65535          |          |
|  | 255          | 255            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 1023         | 1023           |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 255          | 255            |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 65535        | 65535          |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 4095         | 4095           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 255          | 255            |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 65535        | 65535          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 255          | 255            | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 65535        | 65535          |          |

| T               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | ~        |



#### **Test Case 3: Path Test**

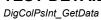
Description

Test Vector Description:

Test Vector Description:

TS3.1"(DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == FALSE)=True
(ElapsedTime\_mS\_T\_u16 >= (uint16)D\_SENSINITDELAY\_MS\_U08 )=True
(DigColPsInt\_NackOccured\_Cnt\_M\_lgc == TRUE)=False
(DigColPsInt\_NackOccured\_Cnt\_M\_lgc == TRUE)=False
(DigColPsInt\_RecvOverrunError\_Cnt\_M\_lgc == TRUE)=False
(DigColPsInt\_DMERIOCcurred\_Cnt\_M\_lgc == TRUE)=False
(DigColPsInt\_CmdFailoCcurred\_Cnt\_M\_u08 == DigColPsInt\_PrevTransactionCnt\_Cnt\_M\_u08) && (DigColPsInt\_RecvdDataType\_Cnt\_M\_u08 != D\_NONE\_CNT\_U08) )=False"
TS3.2"(DigColPsInt\_TransactionCnt\_Cnt\_M\_u08 == DigColPsInt\_PrevTransactionCnt\_Cnt\_M\_u08) && (DigColPsInt\_RecvdDataType\_Cnt\_M\_u08 != D\_NONE\_CNT\_U08) )=False"
TS3.2"(DigColPsInt\_CurrentStepNo\_Cnt\_M\_lgc == FALSE)=False
(DigColPsInt\_CurrentStepNo\_Cnt\_M\_lgc == TRUE)=True
(ElapsedTime\_mS\_T\_u16 > (uint16)(k\_12CHWInitTransactionTime\_Sec\_f32\*D\_SECTOMILLSEC\_CNT\_F32))=True
(DigColPsInt\_RecvOverrunError\_Cnt\_M\_lgc == TRUE)=False
(DigColPsInt\_BusBusySeqError\_Cnt\_M\_lgc == TRUE)=False
(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum\_cnt\_True)
(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum\_cnt\_True)
(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum\_cnt\_True)
(ElapsedTime\_mS\_T\_u16 > (uint16)(k\_12CHWInitTransactionTime\_Sec\_f32\*D\_SECTOMILLSEC\_CNT\_F32))=False"
TS3.4"((DigColPsInt\_TransactionCnt\_Cnt\_M\_u08 == DigColPsInt\_PrevTransactionCnt\_Cnt\_M\_u08) =True && (DigColPsInt\_RecvDataType\_Cnt\_M\_u08 == D\_NONE\_CNT\_U08) =False)
TS3.5"(DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == FALSE)=False
(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_COMPLETE)=False"
TS3.6"(DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == FALSE)=False
(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_COMPLETE)=False"
TS3.6"(DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == FALSE)=True
(ElapsedTime\_mS\_T\_u16 >= (uint16)(k\_12CHWIntTransactionCnt\_Cnt\_M\_u08) =False)
TS3.7"(DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == FALSE)=True
(ElapsedTime\_mS\_T\_u16 >= (uint16)(k\_12CHWIntTransactionCnt\_Cnt\_M\_u08) =False)
TS3.7"(DigColPsInt\_SensInitialized\_Cnt\_M\_lgc == FALSE)=True

| Test Step 3.1 (Repeat Count = 1)             |  |
|--|--|
| Name   | Input Value  |
| ColSnsrDataPtr_Cnt_T_u16                     | target_ColSnsrDataPtr_Cnt_T_u16                    |
| DataTypePtr_Cnt_T_u08                        | target_DataTypePtr_Cnt_T_u08                       |
| DigColPsInt_Buffer_Cnt_M_u08[0]              | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]              | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]              | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc        | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc        | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16            | 5600   |
| DigColPsInt_CurrentSlave_Cnt_M_u08           | 14   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum         | INIT_SENSOR1_READERROR_READ                        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc         | 0  |
| DigColPsInt_InitialTime_mS_M_u32             | 5486797  |
| DigColPsInt_NackOccured_Cnt_M_lgc            | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08     | 19   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc       | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08          | 0  |
| DigColPsInt_SensInitialized_Cnt_M_lgc        | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16           | 9687   |
| DigColPsInt_TransactionCnt_Cnt_M_u08         | 12   |
| DtrmnElapsedTime_mS_u16(ElapsedTime)         | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)            | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)                | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16                    | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp                                 | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                | 119  |
| k_I2CHWInitTransactionTime_Sec_f32           | 1.10000002   |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime   | 1247   |
| target_GetSystemTime_mS_u32_CurrentTime      | 1475789  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR      | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR      | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR      | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL     | 495  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH     | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT      | 897  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR      | 98   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR      | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR      | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR      | 495  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR      | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR     | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC      | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11    | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12    | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC     | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN      | 0  |





| Name   | Input Value                   |                               |          |
|--|-------------------------------|-------------------------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 0                             |                               |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET  | 0                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0                             |                               |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR              | 66                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66                            |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 0                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 56                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 78<br>0                       |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN | 0                             |                               |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 0                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0                             |                               |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 0                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 0                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0                             |                               |          |
| target_i2cREG1_temp.OAR  | 66                            |                               |          |
| target_i2cREG1_temp.IMR  | 78                            |                               |          |
| target_i2cREG1_temp.STR  | 78                            |                               |          |
| target_i2cREG1_temp.CLKL   | 495                           |                               |          |
| target_i2cREG1_temp.CLKH   | 56                            |                               |          |
| target_i2cREG1_temp.CNT  | 897                           |                               |          |
| target_i2cREG1_temp.DRR<br>target_i2cREG1_temp.SAR   | 98                            |                               |          |
| target i2cREG1 temp.DXR  | 78                            |                               |          |
| target i2cREG1 temp.MDR  | 495                           |                               |          |
| target i2cREG1 temp.IVR  | 66                            |                               |          |
| target_i2cREG1_temp.EMDR   | 0                             |                               |          |
| target_i2cREG1_temp.PSC  | 78                            |                               |          |
| target_i2cREG1_temp.PID11  | 56                            |                               |          |
| target_i2cREG1_temp.PID12  | 78                            |                               |          |
| target_i2cREG1_temp.DMAC   | 0                             |                               |          |
| target_i2cREG1_temp.FUN  | 0                             |                               |          |
| target_i2cREG1_temp.DIR  | 0                             |                               |          |
| target_i2cREG1_temp.DIN  | 1                             |                               |          |
| target_i2cREG1_temp.DOUT   | 0                             |                               |          |
| target_i2cREG1_temp.SET  | 0                             |                               |          |
| target_i2cREG1_temp.CLR  | 0                             |                               |          |
| target_i2cREG1_temp.ODR<br>target_i2cREG1_temp.PD  | 0                             |                               |          |
| target_i2cREG1_temp.PSL  | 0                             |                               |          |
| Name   | Actual Value                  | Expected Value                | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 36                            | 36                            | Result   |
| DigColPsInt_Buffer_Cnt_M_u00[0]  DigColPsInt Buffer Cnt M u08[1]   | 20                            | 20                            | -        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30                            | 30                            | -        |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc  | 0                             | 0                             | <b>~</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 119                           | 119                           | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | ~        |
| DigColPsInt_GetData()  | 40                            | 40                            | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0                             | 0                             | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                             | 0                             | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 12                            | 12                            | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                             | 0                             | ~        |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1                             | 1                             | ~        |
| I2c_Send(Length_Cnt_T_u32)   | 1                             | 1                             | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 1                             | 1                             | <b>✓</b> |

DigColPsInt\_GetData





| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_ColSnsrDataPtr_Cnt_T_u16                          | 5600         | 5600           | ~      |
| target_DataTypePtr_Cnt_T_u08                             | 0            | 0              | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                  | 66           | 66             | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                  | 78           | 78             | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                  | 78           | 78             | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 495          | 495            | •      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH                 | 56           | 56             | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 897          | 897            | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 98           | 98             | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 66           | 66             | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 78           | 78             | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 495          | 495            | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 66           | 66             | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 0            | 0              | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 78           | 78             | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 56           | 56             | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 78           | 78             | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 0            | 0              | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 0            | 0              | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 0            | 0              | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 1            | 1              | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 0            | 0              | ~      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET                  | 0            | 0              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 0            | 0              | •      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR                  | 1            | 1              | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 0            | 0              | ~      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~      |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 9687         | 9687           |        |

| Τ                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | •        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | •        |
| I2c_Send                | 1     | I2c_Send                | 1     | •        |
| GetSystemTime mS u32    | 1     | GetSystemTime mS u32    | 1     | <b>✓</b> |

| Test Step 3.2 (Repeat Count = 1)      |                                 | <b>✓</b> |
|---------------------------------------|---------------------------------|----------|
| Name                                  | Input Value                     |          |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |          |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |          |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 40                              |          |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 50                              |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 60                              |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 1                               |          |





| Name   | Input Value   |
|--|---|
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 0   |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 7985  |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 21  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_READEXTERR_READ  |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc   | 0   |
| DigColPsInt_InitialTime_mS_M_u32   | 6489549   |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1   |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 31  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0   |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 1   |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1   |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 11230   |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 29  |
| DtrmnElapsedTime_mS_u16(ElapsedTime)   | target_DtrmnElapsedTime_mS_u16_ElapsedTime                                  |
| GetSystemTime_mS_u32(CurrentTime)  I2c_Send(I2cRegPtr_Cnt_T_str)   | target_GetSystemTime_mS_u32_CurrentTime target_I2c_Send_I2cRegPtr_Cnt_T_str |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str                          |
| SpurSnsrDataPtr_Cnt_T_u16  | target_SpurSnsrDataPtr_Cnt_T_u16  |
| i2cREG1_temp   | target_i2cREG1_temp   |
| k ColSensorl2CAddress Cnt u08  | 126   |
| k_I2CHWInitTransactionTime_Sec_f32   | 1.5   |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime   | 7841  |
| target_GetSystemTime_mS_u32_CurrentTime  | 2478541   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 567   |
| target I2c Send I2cRegPtr Cnt T str.IMR  | 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 4444  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 129   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 6   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 566   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 554   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  | 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 4466  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 2   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c Send_l2cRegPtr_Cnt_T str.DIN                                | 0   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2   |
| target I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 4466  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12   | 44  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2 0   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 1   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_I_str.DOU1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET | 1   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3   |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 3   |
|  |   |

2014-10-14, 23:01:16+0530



|   |                              | ( )                          | 00       |
|---|------------------------------|------------------------------|----------|
| Name  | Input Value                  |                              |          |
| target_i2cREG1_temp.OAR   | 567                          |                              |          |
| target_i2cREG1_temp.IMR   | 44                           |                              |          |
| target_i2cREG1_temp.STR   | 4444                         |                              |          |
| target_i2cREG1_temp.CLKL<br>target_i2cREG1_temp.CLKH  | 566<br>4466                  |                              |          |
| target i2cREG1 temp.CNT   | 129                          |                              |          |
| target i2cREG1 temp.DRR   | 6                            |                              |          |
| target_i2cREG1_temp.SAR   | 567                          |                              |          |
| target_i2cREG1_temp.DXR   | 44                           |                              |          |
| target_i2cREG1_temp.MDR   | 566                          |                              |          |
| target_i2cREG1_temp.IVR   | 554                          |                              |          |
| target_i2cREG1_temp.EMDR  | 1                            |                              |          |
| target_i2cREG1_temp.PSC   | 4466                         |                              |          |
| target_i2cREG1_temp.PID11<br>target_i2cREG1_temp.PID12  | 4400                         |                              |          |
| target_i2cREG1_temp.DMAC  | 1                            |                              |          |
| target_i2cREG1_temp.FUN   | 1                            |                              |          |
| target_i2cREG1_temp.DIR   | 2                            |                              |          |
| target_i2cREG1_temp.DIN   | 0                            |                              |          |
| target_i2cREG1_temp.DOUT  | 1                            |                              |          |
| target_i2cREG1_temp.SET   | 1                            |                              |          |
| target_i2cREG1_temp.CLR   | 2                            |                              |          |
| target_i2cREG1_temp.ODR   | 3                            |                              |          |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  | 3                            |                              |          |
| Name  | Actual Value                 | Expected Value               | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 40                           | 40                           | - Nobult |
| DigColPsInt Buffer Cnt M u08[1]   | 50                           | 50                           | ·        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 60                           | 60                           | •        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                            | 0                            | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 21                           | 21                           | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READEXTERR_READ | INIT_SENSOR1_READEXTERR_READ | ~        |
| DigColPsInt_GetData()   | 134                          | 134                          | <b>V</b> |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 0                            | 0                            | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0 29                         | 29                           | <b>✓</b> |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc                               | 0                            | 0                            |          |
| DigColPsInt SensInitialized Cnt M Igc   | 1                            | 1                            |          |
| target_ColSnsrDataPtr_Cnt_T_u16   | 7985                         | 7985                         | -        |
| target_DataTypePtr_Cnt_T_u08  | 1                            | 1                            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567                          | 567                          | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 44                           | 44                           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 4444                         | 4444                         | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 566                          | 566                          | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  | 4466<br>129                  | 4466<br>129                  | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                               | 6                            | 6                            |          |
| target I2c Send I2cRegPtr Cnt T str.SAR   | 567                          | 567                          | ·        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 44                           | 44                           |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 566                          | 566                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 554                          | 554                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1                            | 1                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 44                           | 44                           | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 4466                         | 4466                         | <b>*</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                            | 1                            | 1                            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                            | 1                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 2                            | 2                            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 0                            | 0                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1                            | 1                            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1                            | 1                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2                            | 2                            | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 0                            | 0                            | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 3                            | 3                            | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   | 3                            | 3<br>567                     | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR | 567<br>44                    | 44                           |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.NRR target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR | 4444                         | 4444                         | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 566                          | 566                          |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 4466                         | 4466                         | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 129                          | 129                          | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 6                            | 6                            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 567                          | 567                          | ~        |
|   |                              |                              |          |

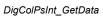
2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 11230        | 11230          | ~        |

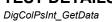
| T                       |       |                         |       |      | V        |
|-------------------------|-------|-------------------------|-------|------|----------|
| Actual Function         | Count | Expected Function       | Count | Resu | ılt      |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     |      | <b>~</b> |

| T4-04   |  |
|---|--|
| Test Step 3.3 (Repeat Count = 1)  | Input Value  |
| ColSnsrDataPtr_Cnt_T_u16  | target_ColSnsrDataPtr_Cnt_T_u16                                |
| DataTypePtr Cnt T u08   | target_ColsistPataFit_Crit_1_016 target_DataTypePtr_Crit_T_u08 |
|   | 3  |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]             | 6  |
|   | 9  |
| DigColPoint_Buffer_Cnt_M_u08[2]   | 1  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 0  |
|   | 27065  |
| DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt CurrentSlave Cnt M u08        | 77   |
|   |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_READERROR_SETREG                                  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | · ·  |
| DigColPsInt_InitialTime_mS_M_u32  | 14511565   |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 1  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                                    | 130  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                                      | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 4  |
| DigColPsInt_SensInitialized_Cnt_M_lgc                                       | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 23574  |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 79   |
| DtrmnElapsedTime_mS_u16(ElapsedTime)  | target_DtrmnElapsedTime_mS_u16_ElapsedTime                     |
| GetSystemTime_mS_u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime                        |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                            |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                                | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str             |
| SpurSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                               |
| i2cREG1_temp  | target_i2cREG1_temp  |
| k_ColSensorl2CAddress_Cnt_u08   | 66   |
| k_I2CHWInitTransactionTime_Sec_f32  | 4.6999981  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime                                  | 741  |
| target_GetSystemTime_mS_u32_CurrentTime                                     | 10500557   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                                     | 54   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                                     | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                     | 8  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                    | 554  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                                    | 344  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                                     | 123  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                                     | 45   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                                     | 54   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                                     | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                     | 554  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                                     | 788  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                                    | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                                     | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                   | 344  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                   | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                                    | 3  |





| Name  | Input Value                   |                               |          |
|---|-------------------------------|-------------------------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3                             |                               |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR                                   | 3                             |                               |          |
| target_I2C_Send_I2cRegPtr_Cnt_T_str.ODR   | 2                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 1                             |                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 2                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 54                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 8                             |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL   | 554                           |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT    | 344<br>123                    |                               |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 45                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 54                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 66                            |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 554                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 788                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3                             |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  | 66                            |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 344<br>66                     |                               |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC   | 3                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 3                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 3                             |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 2                             |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL      | 2                             |                               |          |
| target_i2c_Getupiwaster Harishin_i2ckegr ti_Gin_i_str.P.S.  | 54                            |                               |          |
| target_i2cREG1_temp.IMR   | 66                            |                               |          |
| target_i2cREG1_temp.STR   | 8                             |                               |          |
| target_i2cREG1_temp.CLKL  | 554                           |                               |          |
| target_i2cREG1_temp.CLKH  | 344                           |                               |          |
| target_i2cREG1_temp.CNT   | 123                           |                               |          |
| target_i2cREG1_temp.DRR   | 45                            |                               |          |
| target_i2cREG1_temp.SAR<br>target_i2cREG1_temp.DXR  | 54<br>66                      |                               |          |
| target i2cREG1 temp.MDR   | 554                           |                               |          |
| target_i2cREG1_temp.IVR   | 788                           |                               |          |
| target_i2cREG1_temp.EMDR  | 3                             |                               |          |
| target_i2cREG1_temp.PSC   | 66                            |                               |          |
| target_i2cREG1_temp.PID11   | 344                           |                               |          |
| target_i2cREG1_temp.PID12   | 66                            |                               |          |
| target_i2cREG1_temp.DMAC  | 3                             |                               |          |
| target_i2cREG1_temp.FUN   | 3                             |                               |          |
| target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN   | 2                             |                               |          |
| target_i2cREG1_temp.DOUT  | 3                             |                               |          |
| target i2cREG1 temp.SET   | 3                             |                               |          |
| target_i2cREG1_temp.CLR   | 3                             |                               |          |
| target_i2cREG1_temp.ODR   | 2                             |                               |          |
| target_i2cREG1_temp.PD  | 1                             |                               |          |
| target_i2cREG1_temp.PSL   | 2                             |                               |          |
| Name  | Actual Value                  | Expected Value                | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 3                             | 3                             | <b>*</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]   | 9                             | 6                             |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                             | 0                             | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 77                            | 77                            | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_READERROR_SETREG | INIT_SENSOR2_READERROR_SETREG | ~        |
| DigColPsInt_GetData()   | 6                             | 6                             | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 0                             | 0                             | <b>✓</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                             | 0                             | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 79                            | 79                            | <b>V</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0 1                           | 0                             | <b>✓</b> |
| DigColPsInt_SensInitialized_Cnt_M_lgc<br>target_ColSnsrDataPtr_Cnt_T_u16  | 27065                         | 27065                         | , v      |
| 0   |                               | 1                             |          |





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_DataTypePtr_Cnt_T_u08   | 4            | 4              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 54           | 54             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 8            | 8              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 554          | 554            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 344          | 344            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 123          | 123            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 45           | 45             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 54           | 54             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 554          | 554            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 788          | 788            | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 344          | 344            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | _        |
| target I2c Send I2cRegPtr Cnt T str.CLR  | 3            | 3              | •        |
| target I2c Send I2cRegPtr Cnt T str.ODR  | 2            | 2              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 2            | 2              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 344          | 344            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11   | 344          | 344            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              |          |
|  | 1            | 1              | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  | 3            | 3              |          |
|  | 2            | 2              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT | 3            | 3              | -        |
|  |              | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | V        |
| target_SpurSnsrDataPtr_Cnt_T_u16   | 23574        | 23574          |          |

| Τ                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | <b>✓</b> |

| Test Step 3.4 (Repeat Count = 1)      |                                 | ✓ |
|---------------------------------------|---------------------------------|---|
| Name                                  | Input Value                     |   |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |   |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 11                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 22                              |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 33                              |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 0                               |   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 1                               |   |
| DigColPsInt_ColSnsrData_Cnt_M_u16     | 0                               |   |
| DigColPsInt_CurrentSlave_Cnt_M_u08    | 84                              |   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_CHECKSTAT_READ     |   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 1                               |   |





| Name  | Input Value  |
|---|--|
| DigColPsInt_InitialTime_mS_M_u32  | 15514317   |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 93   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt RecvdDataType Cnt M u08                                    | 0  |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 25117  |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 93   |
| DtrmnElapsedTime_mS_u16(ElapsedTime)  | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)   | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16   | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| i2cREG1_temp  | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08   | 73   |
| k_I2CHWInitTransactionTime_Sec_f32  | 5.0999999  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime  | 1248   |
| target_GetSystemTime_mS_u32_CurrentTime   | 11503309   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 100  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 7788   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 2767   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 556  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 564  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 88   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                               | 100  |
| target I2c Send I2cRegPtr Cnt T str.MDR   | 2767   |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.IVR   | 9  |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.EMDR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 100  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 556  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 100  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 100  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 7788   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 2767   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH   | 556  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 564  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR | 88   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR | 100  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2767   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 9  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR   | 0  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC  | 100  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 556  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 100  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3  |
| target_i2cREG1_temp.OAR   | 3  |
| target_i2cREG1_temp.IMR   | 100  |
| target_i2cREG1_temp.STR   | 7788   |
| target_i2cREG1_temp.CLKL  | 2767   |
| target_i2cREG1_temp.CLKH  | 556  |

2014-10-14, 23:01:16+0530



|   |                                  | •                                |          |
|---|----------------------------------|----------------------------------|----------|
| Name  | Input Value                      |                                  |          |
| target_i2cREG1_temp.CNT   | 564                              |                                  |          |
| target_i2cREG1_temp.DRR   | 88                               |                                  |          |
| target_i2cREG1_temp.SAR   | 3                                |                                  |          |
| target_i2cREG1_temp.DXR   | 100                              |                                  |          |
| target_i2cREG1_temp.MDR   | 2767                             |                                  |          |
| target_i2cREG1_temp.IVR   | 9                                |                                  |          |
| target_i2cREG1_temp.EMDR  | 0                                |                                  |          |
| target_i2cREG1_temp.PSC   | 100                              |                                  |          |
| target_i2cREG1_temp.PID11<br>target_i2cREG1_temp.PID12                          | 556<br>100                       |                                  |          |
| target_i2cREG1_temp.DMAC  | 2                                |                                  |          |
| target_i2cREG1_temp.FUN   | 0                                |                                  |          |
| target_i2cREG1_temp.DIR   | 1                                |                                  |          |
| target_i2cREG1_temp.DIN   | 3                                |                                  |          |
| target_i2cREG1_temp.DOUT  | 2                                |                                  |          |
| target_i2cREG1_temp.SET   | 0                                |                                  |          |
| target_i2cREG1_temp.CLR   | 1                                |                                  |          |
| target_i2cREG1_temp.ODR   | 3                                |                                  |          |
| target_i2cREG1_temp.PD  | 0                                |                                  |          |
| target_i2cREG1_temp.PSL   | 3                                |                                  |          |
| Name  | Actual Value                     | Expected Value                   | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 36                               | 36                               | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 22                               | 22                               | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 33                               | 33                               | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                                | 0                                | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 73                               | 73                               | <b>*</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_GetData()                      | INIT_SENSOR1_READERROR_SETREG 40 | INIT_SENSOR1_READERROR_SETREG 40 |          |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 0                                | 0                                | -        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                                | 0                                | -        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 93                               | 93                               | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                                | 0                                | ~        |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1                                | 1                                | ~        |
| I2c_Send(Length_Cnt_T_u32)  | 1                                | 1                                | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)                                   | 1                                | 1                                | ~        |
| target_ColSnsrDataPtr_Cnt_T_u16   | 0                                | 0                                | ~        |
| target_DataTypePtr_Cnt_T_u08  | 0                                | 0                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 3                                | 3                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 100                              | 100                              | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 7788                             | 7788                             | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2767                             | 2767                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 556                              | 556<br>564                       | <b>*</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c Send_l2cRegPtr_Cnt_T_str.DRR | 564<br>88                        | 88                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 3                                | 3                                | -        |
| target I2c Send I2cRegPtr Cnt T str.DXR   | 100                              | 100                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2767                             | 2767                             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 9                                | 9                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0                                | 0                                | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 100                              | 100                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                       | 556                              | 556                              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                       | 100                              | 100                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2                                | 2                                | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0                                | 0                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1                                | 1                                | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN   | 3                                | 3                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2                                | 2                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0                                | 0                                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 3                                | 3                                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR target_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 0                                | 0                                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                                | 3                                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                          | 3                                | 3                                | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR                          | 100                              | 100                              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR                          | 7788                             | 7788                             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL                         | 2767                             | 2767                             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH                         | 556                              | 556                              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT                          | 564                              | 564                              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                          | 88                               | 88                               | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR                          | 3                                | 3                                | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR                          | 100                              | 100                              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR                          | 2767                             | 2767                             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR                          | 9                                | 9                                | -        |
|   |                                  |                                  |          |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 556          | 556            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 100          | 100            | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •      |
| target_SpurSnsrDataPtr_Cnt_T_u16                         | 25117        | 25117          | •      |

| T                       | Т     |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c_Send                | 1     | I2c_Send                | 1     | ~        |
| GetSystemTime_mS_u32    | 1     | GetSystemTime_mS_u32    | 1     | <b>✓</b> |

| Name   | Input Value  |
|--|--|
| ColSnsrDataPtr_Cnt_T_u16   | target ColSnsrDataPtr Cnt T u16                    |
| DataTypePtr Cnt T u08  | target DataTypePtr Cnt T u08                       |
|  | 40   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 50   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  |  |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 60   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | ·  |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 28702  |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 101  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_SENSOR1_SETREG                                |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0  |
| DigColPsInt_InitialTime_mS_M_u32   | 34566605   |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 41   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 4  |
| DigColPsInt_SensInitialized_Cnt_M_lgc  | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 24973  |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 34   |
| OtrmnElapsedTime_mS_u16(ElapsedTime)   | target_DtrmnElapsedTime_mS_u16_ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)  | target_GetSystemTime_mS_u32_CurrentTime            |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| SpurSnsrDataPtr_Cnt_T_u16  | target_SpurSnsrDataPtr_Cnt_T_u16                   |
| 2cREG1_temp  | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08   | 63   |
| _I2CHWInitTransactionTime_Sec_f32  | 1.5  |
| arget_DtrmnElapsedTime_mS_u16_ElapsedTime  | 10881  |
| arget GetSystemTime mS u32 CurrentTime   | 30555597   |
| arget I2c Send I2cRegPtr Cnt T str.OAR   | 66   |
| arget I2c Send I2cRegPtr Cnt T str.IMR   | 78   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 78   |
| arget I2c Send I2cRegPtr Cnt T str.CLKL  | 495  |
| arget I2c Send I2cRegPtr Cnt T str.CLKH  | 56   |
| arget I2c Send I2cRegPtr Cnt T str.CNT   | 897  |
| arget I2c Send I2cRegPtr Cnt T str.DRR   | 98   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 78   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 495  |
| arget I2c Send I2cRegPtr Cnt T str.IVR   | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FMDR  | 0  |
| arget_12c_Send_12cRegPtr_Cnt_T_str.PSC   | 78   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.P5C<br>arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 | 56   |
| target_12c_send_12cRegPtr_Cnt_1_str.PID11  | 78   |

2014-10-14, 23:01:16+0530



| 3   |                       |                       |          |
|---|-----------------------|-----------------------|----------|
| Name  | Input Value           |                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                              | 0                     |                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0                     |                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1                     |                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 0                     |                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0                     |                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0                     |                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1                     |                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0                     |                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                | 66                    |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 78                    |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 78                    |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 495                   |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 56                    |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 897                   |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 98                    |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR | 78                    |                       |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 495                   |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 66                    |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0                     |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 78                    |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 56                    |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 78                    |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 0                     |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0                     |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN | 0                     |                       |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT   | 0                     |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0                     |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0                     |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1                     |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0                     |                       |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0                     |                       |          |
| target_i2cREG1_temp.OAR   | 66                    |                       |          |
| target_i2cREG1_temp.IMR   | 78<br>78              |                       |          |
| target_i2cREG1_temp.STR<br>target_i2cREG1_temp.CLKL   | 495                   |                       |          |
| target_i2cREG1_temp.CLKH  | 56                    |                       |          |
| target_i2cREG1_temp.CNT   | 897                   |                       |          |
| target_i2cREG1_temp.DRR   | 98                    |                       |          |
| target_i2cREG1_temp.SAR   | 66                    |                       |          |
| target_i2cREG1_temp.DXR   | 78                    |                       |          |
| target_i2cREG1_temp.MDR   | 495                   |                       |          |
| target_i2cREG1_temp.IVR<br>target_i2cREG1_temp.EMDR   | 66                    |                       |          |
| target i2cREG1 temp.PSC   | 78                    |                       |          |
| target_i2cREG1_temp.PID11   | 56                    |                       |          |
| target_i2cREG1_temp.PID12   | 78                    |                       |          |
| target_i2cREG1_temp.DMAC  | 0                     |                       |          |
| target_i2cREG1_temp.FUN   | 0                     |                       |          |
| target_i2cREG1_temp.DIR   | 0                     |                       |          |
| target_i2cREG1_temp.DIN   | 1                     |                       |          |
| target_i2cREG1_temp.DOUT  | 0                     |                       |          |
| target_i2cREG1_temp.SET<br>target_i2cREG1_temp.CLR  | 0                     |                       |          |
| target_i2cREG1_temp.ODR   | 1                     |                       |          |
| target_i2cREG1_temp.PD  | 0                     |                       |          |
| target_i2cREG1_temp.PSL   | 0                     |                       |          |
| Name  | Actual Value          | Expected Value        | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 40                    | 40                    | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 50                    | 50                    | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 60                    | 60                    | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                     | 0                     | <b>Y</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 101                   | 101                   | <b>✓</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ_SENSOR1_SETREG 2 | READ_SENSOR1_SETREG 2 |          |
| DigColPsInt_GetData() DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                     | 0                     | ~        |
| DigColPsInt_Intralledonce_cnt_wi_gc  DigColPsInt_NackOccured_Cnt_M_lgc  | 0                     | 0                     |          |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 34                    | 34                    | ·        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                     | 0                     | ~        |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 1                     | 1                     | <b>✓</b> |
|   |                       |                       |          |

DigColPsInt\_GetData





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_ColSnsrDataPtr_Cnt_T_u16   | 28702        | 28702          | ~        |
| target_DataTypePtr_Cnt_T_u08  | 4            | 4              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                       | 56           | 56             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                       | 78           | 78             | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | •        |
| target I2c Send I2cRegPtr Cnt T str.FUN   | 0            | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>~</b> |
| target I2c Send I2cRegPtr Cnt T str.DIN   | 1            | 1              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| target I2c Send I2cRegPtr Cnt T str.SET   | 0            | 0              | -        |
|   | 0            | 0              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR | 1            | 1              |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.PD  | 0            | 0              | ~        |
|   | 0            | 0              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   | 66           | 66             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR                          | 78           | 78             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR                          | 78           | 78             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR                          |              |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL                         | 495          | 495            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH                         | 56           | 56             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT                          | 897          | 897            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                          | 98           | 98             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR                          | 66           | 66             | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR                          | 78           | 78             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR                          | 495          | 495            | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR                          | 66           | 66             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR                         | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC                          | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                        | 56           | 56             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12                        | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC                         | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN                          | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR                          | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN                          | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT                         | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET                          | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR                          | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR                          | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD                           | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL                          | 0            | 0              | ~        |
| target_SpurSnsrDataPtr_Cnt_T_u16  | 24973        | 24973          | ~        |

| Т               |       |                          | V     |        |
|-----------------|-------|--------------------------|-------|--------|
| Actual Function | Count | Expected Function        | Count | Result |
| *none*          | 0     | *** No Call Expected *** | 0     | -      |

| Test Step 3.6 (Repeat Count = 1)      |                                 |
|---------------------------------------|---------------------------------|
| Name                                  | Input Value                     |
| ColSnsrDataPtr_Cnt_T_u16              | target_ColSnsrDataPtr_Cnt_T_u16 |
| DataTypePtr_Cnt_T_u08                 | target_DataTypePtr_Cnt_T_u08    |
| DigColPsInt_Buffer_Cnt_M_u08[0]       | 0                               |
| DigColPsInt_Buffer_Cnt_M_u08[1]       | 0                               |
| DigColPsInt_Buffer_Cnt_M_u08[2]       | 0                               |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc | 0                               |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc | 0                               |
| DigColPsInt_ColSnsrData_Cnt_M_u16     | 0                               |
| DigColPsInt_CurrentSlave_Cnt_M_u08    | 0                               |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_NOT_INITIALIZED            |





| Name  | Input Value  |
|---|--|
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0  |
| DigColPsInt_InitialTime_mS_M_u32  | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08  | 0  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 0  |
| DigColPsInt_SensInitialized_Cnt_M_lgc   | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 0 0  |
| DigColPsInt_TransactionCnt_Cnt_M_u08 DtrmnElapsedTime mS u16(ElapsedTime)                                       |  |
| GetSystemTime_mS_u32(CurrentTime)   | target_DtrmnElapsedTime_mS_u16_ElapsedTime target_GetSystemTime_mS_u32_CurrentTime |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str                                 |
| SpurSnsrDataPtr Cnt T u16   | target_SpurSnsrDataPtr_Cnt_T_u16   |
| i2cREG1_temp  | target_i2cREG1_temp  |
| k_ColSensorl2CAddress_Cnt_u08   | 0  |
| k_I2CHWInitTransactionTime_Sec_f32  | 0  |
| target_DtrmnElapsedTime_mS_u16_ElapsedTime  | 0  |
| target_GetSystemTime_mS_u32_CurrentTime   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11                            | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12   | 0  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 0 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  | 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_1_str.PSC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 0  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  | 0  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0  |
| target_i2cREG1_temp.OAR   | 0  |
| target_i2cREG1_temp.IMR   | 0  |
| target_i2cREG1_temp.STR   | 0  |
| <b>0</b> =  |  |

2014-10-14, 23:01:16+0530



| Name  | Input Value          |                      |          |
|---|----------------------|----------------------|----------|
|   |                      |                      |          |
| target_i2cREG1_temp.CLKH                                | 0                    |                      |          |
| target_i2cREG1_temp.CNT                                 | 0                    |                      |          |
| target_i2cREG1_temp.DRR                                 | 0                    |                      |          |
| target_i2cREG1_temp.SAR                                 | 0                    |                      |          |
| target_i2cREG1_temp.DXR                                 | 0                    |                      |          |
| target_i2cREG1_temp.MDR                                 | 0                    |                      |          |
| target_i2cREG1_temp.IVR                                 | 0                    |                      |          |
| target_i2cREG1_temp.EMDR                                | 0                    |                      |          |
| target_i2cREG1_temp.PSC                                 | 0                    |                      |          |
| target_i2cREG1_temp.PID11                               | 0                    |                      |          |
|   |                      |                      |          |
| target_i2cREG1_temp.PID12                               | 0                    |                      |          |
| target_i2cREG1_temp.DMAC                                | 0                    |                      |          |
| target_i2cREG1_temp.FUN                                 | 0                    |                      |          |
| target_i2cREG1_temp.DIR                                 | 0                    |                      |          |
| target_i2cREG1_temp.DIN                                 | 0                    |                      |          |
| target_i2cREG1_temp.DOUT                                | 0                    |                      |          |
| target_i2cREG1_temp.SET                                 | 0                    |                      |          |
| target_i2cREG1_temp.CLR                                 | 0                    |                      |          |
| target_i2cREG1_temp.ODR                                 | 0                    |                      |          |
| target_i2cREG1_temp.PD                                  | 0                    |                      |          |
|   | 0                    |                      |          |
| target_i2cREG1_temp.PSL                                 |                      | 1                    |          |
| Name  | Actual Value         | Expected Value       | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                         | 0                    | 0                    | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                         | 0                    | 0                    | <b>✓</b> |
| DigColPsInt Buffer Cnt M u08[2]                         | 0                    | 0                    | ~        |
| DigColPsInt BusBusySegError Cnt M Igc                   | 0                    | 0                    | <b>~</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08                      | 0                    | 0                    | _        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                    | INIT_NOT_INITIALIZED | INIT_NOT_INITIALIZED | ~        |
|   |                      |                      |          |
| DigColPsInt_GetData()                                   | 0                    | 0                    | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc                    | 0                    | 0                    | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc                       | 0                    | 0                    | ~        |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08                | 0                    | 0                    | <b>✓</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                  | 0                    | 0                    | ~        |
| DigColPsInt_SensInitialized_Cnt_M_lgc                   | 0                    | 0                    | <b>✓</b> |
| target_ColSnsrDataPtr_Cnt_T_u16                         | 0                    | 0                    | _        |
| target_DataTypePtr_Cnt_T_u08                            | 0                    | 0                    | <b>✓</b> |
|   | 0                    | 0                    | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                 |                      |                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                 | 0                    | 0                    |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR                 | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                 | 0                    | 0                    | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                 | 0                    | 0                    | -        |
| target I2c Send I2cRegPtr Cnt T str.SAR                 | 0                    | 0                    | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                 | 0                    | 0                    | _        |
| target I2c Send I2cRegPtr Cnt T str.MDR                 | 0                    | 0                    | •        |
| · ·   |                      | 0                    |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                 | 0                    |                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                | 0                    | 0                    | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                 | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11               | 0                    | 0                    | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12               | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                | 0                    | 0                    | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                 | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                 | 0                    | 0                    | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                 | 0                    | 0                    | -        |
|   | 0                    | 0                    |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                |                      |                      |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET                 | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                 | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                 | 0                    | 0                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                  | 0                    | 0                    | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 0                    | 0                    | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 0                    | 0                    | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 0                    | 0                    | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 0                    | 0                    |          |
|   |                      |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 0                    | 0                    | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 0                    | 0                    | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 0                    | 0                    | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 0                    | 0                    | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 0                    | 0                    | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 0                    | 0                    | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 0                    | 0                    | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 0                    | 0                    | 9        |
|   | 0                    | 0                    |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR | V                    | U U                  |          |
|   |                      |                      |          |

DigColPsInt\_GetData

target\_SpurSnsrDataPtr\_Cnt\_T\_u16

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | <b>✓</b> |
| target 12c SetupMasterTransmit 12cRegPtr Cnt T str PSI   | 0            | 0              | <b>✓</b> |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| DtrmnElapsedTime_mS_u16 | 1     | DtrmnElapsedTime_mS_u16 | 1     | ~        |

0

0

| Test Step 3.7 (Repeat Count = 1)   | <b>✓</b>   |
|--|--|
| Name   | Input Value  |
| ColSnsrDataPtr Cnt T u16   | target ColSnsrDataPtr Cnt T u16                    |
| DataTypePtr Cnt T u08  | target DataTypePtr Cnt T u08                       |
| DigColPsInt Buffer Cnt M u08[0]  | 255  |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 255  |
| DigColPsInt Buffer Cnt M u08[2]  | 255  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1  |
| DigColPsInt CmdFailOccurred Cnt M Igc  | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 65535  |
| DigColPsInt CurrentSlave Cnt M u08   | 127  |
| DigColPsInt CurrentStepNo Cnt M enum   | READ COMPLETE                                      |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 1  |
| DigColPsInt_InitialTime_mS_M_u32   | 4294967295   |
| DigColPsInt NackOccured Cnt M Igc  | 1  |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08   | 255  |
| DigColPsInt RecvOverrunError Cnt M Igc   | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 5  |
| DigColPsInt SensInitialized Cnt M Igc  | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 65535  |
| DigColPsInt TransactionCnt Cnt M u08   | 255  |
| DtrmnElapsedTime mS u16(ElapsedTime)   | target DtrmnElapsedTime mS u16 ElapsedTime         |
| GetSystemTime_mS_u32(CurrentTime)  | target_GetSystemTime_mS_u32_CurrentTime            |
| I2c Send(I2cReqPtr Cnt T str)  | target I2c Send I2cRegPtr Cnt T str                |
| I2c SetupMasterTransmit(I2cRegPtr Cnt T str)                                     | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |
| SpurSnsrDataPtr Cnt T u16  | target SpurSnsrDataPtr Cnt T u16                   |
| i2cREG1 temp   | target i2cREG1 temp                                |
| k_ColSensorl2CAddress_Cnt_u08  | 127  |
| k I2CHWInitTransactionTime Sec f32   | 10   |
| target DtrmnElapsedTime mS u16 ElapsedTime                                       | 65535  |
| target GetSystemTime mS u32 CurrentTime  | 4294967295   |
| target I2c Send I2cRegPtr Cnt T str.OAR  | 1023   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 255  |
| target I2c Send I2cRegPtr Cnt T str.STR  | 32767  |
| target I2c Send I2cRegPtr Cnt T str.CLKL   | 65535  |
| target I2c Send I2cRegPtr Cnt T str.CLKH   | 65535  |
| target I2c Send I2cRegPtr Cnt T str.CNT  | 65535  |
| target I2c Send I2cRegPtr Cnt T str.DRR  | 255  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 1023   |
| target I2c Send I2cRegPtr Cnt T str.DXR  | 255  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 65535  |
| target I2c Send I2cRegPtr Cnt T str.IVR  | 4095   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3  |
| target I2c Send I2cRegPtr Cnt T str.PSC  | 255  |
| target I2c Send I2cRegPtr_Cnt_T_str.PSC  | 65535  |
| target I2c Send I2cRegPtr_Cnt_T_str.PID11  | 255  |
| target I2c Send I2cRegPtr_Cnt_T_str.Pib12  | 3  |
| target_l2c_Send_l2cRegPtr_Cnt_1_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN | 1  |
|  | 3  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN  | 3  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT  | 3  |
| a.gssolid_izoriogr u_ont_r_ott.boor  |  |





| Name  | Input Value    |                |          |
|---|----------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 3              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                                  | 3              |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   | 3              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 1023           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 255            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 32767          |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 65535          |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH   | 65535<br>65535 |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 255            |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR  | 1023           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 255            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 65535          |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 4095           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 255<br>65535   |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12  | 255            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 3              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 3              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3              |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 3              |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD   | 3              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3              |                |          |
| target_i2cREG1_temp.OAR   | 1023           |                |          |
| target_i2cREG1_temp.IMR   | 255            |                |          |
| target_i2cREG1_temp.STR   | 32767          |                |          |
| target_i2cREG1_temp.CLKL<br>target_i2cREG1_temp.CLKH  | 65535<br>65535 |                |          |
| target i2cREG1 temp.CNT   | 65535          |                |          |
| target_i2cREG1_temp.DRR   | 255            |                |          |
| target_i2cREG1_temp.SAR   | 1023           |                |          |
| target_i2cREG1_temp.DXR   | 255            |                |          |
| target_i2cREG1_temp.MDR   | 65535          |                |          |
| target_i2cREG1_temp.IVR<br>target_i2cREG1_temp.EMDR   | 4095<br>3      |                |          |
| target i2cREG1_temp.PSC   | 255            |                |          |
| target_i2cREG1_temp.PID11   | 65535          |                |          |
| target_i2cREG1_temp.PID12   | 255            |                |          |
| target_i2cREG1_temp.DMAC  | 3              |                |          |
| target_i2cREG1_temp.FUN   | 1              |                |          |
| target_i2cREG1_temp.DIR   | 3              |                |          |
| target_i2cREG1_temp.DIN<br>target_i2cREG1_temp.DOUT   | 3              |                |          |
| target i2cREG1 temp.SET   | 3              |                |          |
| target_i2cREG1_temp.CLR   | 3              |                |          |
| target_i2cREG1_temp.ODR   | 3              |                |          |
| target_i2cREG1_temp.PD  | 3              |                |          |
| target_i2cREG1_temp.PSL   | 3              |                |          |
| Name  | Actual Value   | Expected Value | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 255            | 255            | -        |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]   | 255<br>255     | 255<br>255     | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0              | 0              | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 127            | 127            | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ_COMPLETE  | READ_COMPLETE  | ~        |
| DigColPsInt_GetData()   | 62             | 62             | <b>V</b> |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1              | 1              | <b>V</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0<br>255       | 255            | <b>*</b> |
| DigColPsInt_PrevTransactionCnt_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc                                 | 0              | 0              |          |
| DigColPsInt SensInitialized Cnt M Igc   | 1              | 1              | ~        |
| target_ColSnsrDataPtr_Cnt_T_u16   | 65535          | 65535          | ~        |
| target_DataTypePtr_Cnt_T_u08  | 5              | 5              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 1023           | 1023           | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 255            | 255            | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 32767          | 32767          |          |

2014-10-14, 23:01:16+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                 | 65535        | 65535          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                 | 65535        | 65535          | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 65535        | 65535          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                  | 255          | 255            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 1023         | 1023           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                  | 255          | 255            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  | 65535        | 65535          | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 4095         | 4095           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 255          | 255            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 65535        | 65535          | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 255          | 255            | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.DMAC                 | 3            | 3              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.FUN                  | 1            | 1              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.DIR                  | 3            | 3              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.DIN                  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 3            | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 3            | 3              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 1023         | 1023           | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 255          | 255            | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 32767        | 32767          | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 65535        | 65535          | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 65535        | 65535          | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 65535        | 65535          | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 255          | 255            | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 1023         | 1023           | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 255          | 255            | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 65535        | 65535          | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 4095         | 4095           | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 255          | 255            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 65535        | 65535          | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 255          | 255            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 3            | 3              | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 3            | 3              | -        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 3            | 3              | <u> </u> |
| target SpurSnsrDataPtr Cnt T u16                         | 65535        | 65535          |          |

| T               |       |                          | <b>✓</b> |        |
|-----------------|-------|--------------------------|----------|--------|
| Actual Function | Count | Expected Function        | Count    | Result |
| *none*          | 0     | *** No Call Expected *** | 0        | _      |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

Project DigColPsInt Module DigColPsInt

Test Object DigColPsInt\_InterruptNotification

#### Instrumentation: Test Object Only

| Statement (C0) Coverage | 98.5 %  |
|-------------------------|---------|
| Branch (C1) Coverage    | 98.52 % |
| MCC Coverage            | 100 %   |
| MC/DC Coverage          | 98.59 % |

#### **Statistics**

| Total Testcases | 3 |   |
|-----------------|---|---|
| Successful      | 3 | ✓ |
| Failed          | 0 |   |
| Not Executed    | 0 |   |

#### **Module Properties**

| Project Root Directory | D:\Synergy_Work_Area\C1xx_DigColPs   |
|------------------------|--|
| Configuration File     | D:\Synergy_Work_Area\C1xx_DigColPs\UnitTestEnv\config\TMS570_GCC_UDE_CCS4_Config.xml   |
| Target Environment     | TI TMS 570 PLS UDE (Default)   |
| Kind of Test           | Unit Test  |
| Linker Options         |  |
| Source File(s)         |  |
| File                   | \$(PROJECTROOT)\DigColPs\src\Sa_DigColPsInt.c  |
| Compiler Options       | -D_DATA_ACCESS= -Dconst= -DSTATIC= -Dinline= -I\$(PROJECTROOT)\DigColPs\utp\contract -I\$(PROJECTROOT)\DigColPs\utp\contract\Sa_DigColPs -I\$(PROJECTROOT)\DigColPs\include -I\$(PROJECTROOT)\NxtrLib\include -I\$(PROJECTROOT)\StdDef\include -I\$ (PROJECTROOT)\StdDef\include\tau\) |

| Comments/Description/Spe | ecification |
|--------------------------|-------------|
| Name                     | Text        |

of range.'

DigColPsInt\_InterruptNotification



Module 'DigColPsInt'

Warne of Tester:Priti Mangalekar
Code File(s) Under Test:Sa\_DigColPsInt.c
Code File(s) Version:7
Module Design Document:DigColPsInt\_MDD.docx
Module Design Document Version:8
Data Dictionary Version:9
Unit Test Plan Version:2
Optimization Level:Level 2
Compiler (CodeGen) Version:TMS470\_4.9.5
Model Type:Excel Macro
Model Version:Nexteer EPS Unit Test Tool 2.7d/EPS Library 1.30
Total FLASH Used (Bytes):N/A
Total RAM Used (Bytes):N/A
Total RAM Used (Bytes):N/A
Special Test Requirements:
Test Date:10/13/2014
Comments:

NOTE 1: In """DigColPsInt\_StartRequest""" function, path """(Type\_Cnt\_T\_u08 > D\_NONE\_CNT\_u08) = TRUE && (Type\_Cnt\_T\_u08 <= D\_STATUSREG\_CNT\_u08) = FALSE"" cannot be covered because range of """Type\_Cnt\_T\_u08"mis '0-5' and value of """D\_STATUSREG\_CNT\_U08) = TRUE && (Type\_Cnt\_T\_u08 <= D\_STATUSREG\_CNT\_u08) = FALSE"" cannot be covered because range of """Type\_Cnt\_T\_u08"mis '0-5' and value of """D\_STATUSREG\_CNT\_u08" is '34'.

NOTE2: In function "DigColPsInt\_GetData", ""DigColPsInt\_StartRequest"" and ""DigColPsInt\_InterruptNotification"" values for """12c\_SetRecv(Length\_Cnt\_T\_u32)""", """12c\_SetRecv(Length\_Cnt\_T\_u32)"", """12c\_SetStatus(Status\_Cnt\_T\_u16)" mind
12c\_SetupMasterRecve(DataLength\_Cnt\_T\_u16)" and 12c\_SetupMasterRecve(DataLength\_Cnt\_T\_u16)" are ignored in few vectors as they are taking garbage value when they are not updated with expected value in particular vector.

NOTE3: The return value of """DigColPsInt\_GetData"" function is going out of range, anomaly """6156" is raised for the same.

NOTE4:Range of DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum is considered as 0 to 36, as enum DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum is of type CommStepType which is of 37 elements.

NOTE5:In function ""DigColPsInt\_InterruptNotification"", output variable "DigColPsInt\_AttempOccurForCustDatRead\_Cnt\_M\_u08" is going out

| Attributes            |  |  |  |
|-----------------------|--|--|--|
| Name                  | Value  |  |  |
| Compiler Install Path | \$(ProgramFiles)\Texas Instruments\ccsv4\tools\compiler\tms470_4.9.5       |  |  |
| Float Precision       | 9  |  |  |
| InitObjDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\obj                         |  |  |
| InitSrcDir            | \$(PROJECTROOT)\UnitTestEnv\static_build_files\src                         |  |  |
| Linker File           | \$(PROJECTROOT)\UnitTestEnv\static_build_files\sys_link.cmd                |  |  |
| Makefile Template     | \$(PROJECTROOT)\UnitTestEnv\config\Nexteer_ts_make_ude_ti_tms570.tpl       |  |  |
| Target Install Path   | \$(Compiler Install Path)\include  |  |  |
| Time Unit             | Cycles   |  |  |
| Timer Enabled         | false  |  |  |
| Timer Prescale        | 0  |  |  |
| Timer Resolution      | 1  |  |  |
| UDE Config File       | \$(PROJECTROOT)\UnitTestEnv\config\TMS570_UDE_12PIN_JTAG.cfg               |  |  |
| Workspace File        | D:\Synergy_Work_Area\C1xx_DigColPs\UnitTestEnv\config\UDE_TMS570_DEBUG.WSP |  |  |



#### **Test Case 1: Metrics Test**

DigColPsInt\_InterruptNotification

Description

Test Vector Description:

TS1.1"Shortest Execution Path switch ((i2cIntFlags)Flags\_Cnt\_T\_b16)=>Default" TS1.2"Longest Execution Path switch case INIT\_SENSOR2\_EXTREADCTRLREG\_READ:True ((DigColPsInt\_Buffer\_Cnt\_M\_u08[1] & 0x01U) == 0x01U )=True ((DigColPsInt\_ColCustDatFound\_Cnt\_M\_Igc == TRUE) && (DigColPsInt\_ColCustDatFound\_Cnt\_M\_Igc == TRUE) && (DigColPsInt\_AttempOccurForCustDatRead\_Cnt\_M\_u08 > D\_MAXATTEMPTSFORCUSTDATREAD\_CNT\_U08 )=False"

| Test Step 1.1 (Repeat Count = 1)                 | · · · · · · · · · · · · · · · · · · ·              |
|--|--|
| Name   | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 2  |
| DigColPsInt Buffer Cnt M u08[0]                  | 22   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                  | 44   |
| DigColPsInt Buffer Cnt M u08[2]                  | 55   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc            | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc            | 0  |
| DigColPsInt ColCustDatFound Cnt M Igc            | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16                | 495  |
| DigColPsInt_CurrentSlave_Cnt_M_u08               | 100  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum             | INIT SENSOR1 READERROR READ                        |
| DigColPsInt_I2CHwCustData_Uls_M_u16              | 7  |
| DigColPsInt I2CHwIncompleteCustData Uls M u16    | 5  |
| DigColPsInt InitFailedOnce Cnt M Igc             | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc                | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08            | 2  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc           | 1  |
|  | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08              | 1  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc          | 1  |
| DigColPoint_SpurCostDatFound_Cnt_M_lgc           | 897  |
| DigColPoint_SpurSnsrData_Cnt_M_u16               | 20   |
| DigColPsInt_TransactionCnt_Cnt_M_u08             |  |
| Flags_Cnt_T_b16                                  | 64   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                       | 0  |
| T_DataRegisters_Cnt_u08[1]                       | 32   |
| T_DataRegisters_Cnt_u08[2]                       | 30   |
| T_DataRegisters_Cnt_u08[3]                       | 36   |
| T_DataRegisters_Cnt_u08[4]                       | 38   |
| T_DataRegisters_Cnt_u08[5]                       | 34   |
| T_DataRegisters_Cnt_u08[6]                       | 10   |
| T_DataRegisters_Cnt_u08[7]                       | 12   |
| T_DataRegisters_Cnt_u08[8]                       | 14   |
| i2cREG1_temp                                     | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                    | 14   |
| k_SpurSensorl2CAddress_Cnt_u08                   | 20   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 495  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 56   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 897  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 98   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 495  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 56   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 0  |
| 0  |  |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

| DigColPSint_interruptNotinication   |             |  |
|---|-------------|--|
| Name  | Input Value |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                                       | 0           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                                       | 0           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                                       | 1           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 0           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                                       | 0           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 66          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 78          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 78          |  |
| arget I2c Send I2cRegPtr Cnt T str.CLKL   | 495         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 56          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 897         |  |
|   | 98          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  |             |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 66          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 78          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 495         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 66          |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR   | 0           |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  | 78          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 56          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 78          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 0           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 0           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 78          |  |
|   | 78          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   |             |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 495         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 56          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 897         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 98          |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   | 66          |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 78          |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 495         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 0           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 78          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 56          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 78          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 0           |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.FUN   | 0           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 0           |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.DIN   | 1           |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.D0UT  | 0           |  |
|   | 0           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR | 0           |  |
|   |             |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 0           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 78          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 78          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 495         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 56          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 897         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 98          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 78          |  |
|   | 495         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   |             |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 0           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 78          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11                                       | 56          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12                                       | 78          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 0           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0           |  |
| arget_12c_SetStatus_12cregFti_Crit_1_str.1 ON                                       | 7           |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 0           |
|  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL             | 0           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 495         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 56          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 897         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 98          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 66          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DXR    | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 495         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 78          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 56          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 78          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 66          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 78          |
|  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0           |
| target_i2cREG1_temp.OAR                                  | 66          |
| target_i2cREG1_temp.IMR                                  | 78          |
| target i2cREG1 temp.STR                                  | 78          |
| target_i2cREG1_temp.CLKL                                 | 495         |
| target_i2cREG1_temp.CLKH                                 | 56          |
|  | 897         |
| target_i2cREG1_temp.CNT                                  |             |
| target_i2cREG1_temp.DRR                                  | 98          |
| target_i2cREG1_temp.SAR                                  | 66          |
| target_i2cREG1_temp.DXR                                  | 78          |
| target_i2cREG1_temp.MDR                                  | 495         |
| target_i2cREG1_temp.IVR                                  | 66          |
| target_i2cREG1_temp.EMDR                                 | 0           |
| target_i2cREG1_temp.PSC                                  | 78          |
| target_i2cREG1_temp.PID11                                | 56          |
| target_i2cREG1_temp.PID12                                | 78          |
| target_i2cREG1_temp.DMAC                                 | 0           |
|  |             |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

| Nome   | Innut Value                 |                             |          |
|--|-----------------------------|-----------------------------|----------|
| Name   | Input Value                 |                             |          |
| target_i2cREG1_temp.FUN  | 0                           |                             |          |
| target_i2cREG1_temp.DIR  | 0                           |                             |          |
| target_i2cREG1_temp.DIN  | 1                           |                             |          |
| target_i2cREG1_temp.DOUT   | 0                           |                             |          |
| target_i2cREG1_temp.SET  | 0                           |                             |          |
| target_i2cREG1_temp.CLR  | 0                           |                             |          |
| target_i2cREG1_temp.ODR  | 1                           |                             |          |
| target_i2cREG1_temp.PD   | 0                           |                             |          |
| target_i2cREG1_temp.PSL  | 0                           |                             |          |
| Name   | Actual Value                | Expected Value              | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                              | 2                           | 2                           | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 22                          | 22                          | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 44                          | 44                          | •        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 55                          | 55                          | •        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1                           | 1                           | •        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 0                           | 0                           | <b>✓</b> |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 0                           | 0                           | •        |
| DigColPsInt ColSnsrData Cnt M u16  | 495                         | 495                         | <b>✓</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 100                         | 100                         | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT SENSOR1 READERROR READ | INIT SENSOR1 READERROR READ | ~        |
| DigColPsInt I2CHwCustData Uls M u16  | 7                           | 7                           | -        |
| DigColPsInt I2CHwIncompleteCustData Uls M u16                                | 5                           | 5                           | •        |
| DigColPsInt InitFailedOnce Cnt M Igc   | 1                           | 1                           | -        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1                           | 1                           | -        |
| DigColPsInt_NackOccured_Crit_int_igc  DigColPsInt_RecvOverrunError_Cnt_M_lgc | 1                           | 1                           |          |
| DigColPsInt_RecvOverrunError_Cnt_M_igc  DigColPsInt_RecvdDataType Cnt M u08  | 1                           | 1                           |          |
| •  | 1                           | 1                           |          |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                                       |                             |                             | -        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 897                         | 897                         |          |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 20                          | 20                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                               | 66                          | 66                          | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                               | 78                          | 78                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                               | 78                          | 78                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                              | 495                         | 495                         | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                              | 56                          | 56                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                               | 897                         | 897                         | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                               | 98                          | 98                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                               | 66                          | 66                          | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                               | 78                          | 78                          | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                               | 495                         | 495                         | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                               | 66                          | 66                          | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                              | 0                           | 0                           | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                               | 78                          | 78                          | <b>✓</b> |
| target I2c GenStopCond I2cRegPtr Cnt T str.PID11                             | 56                          | 56                          | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                             | 78                          | 78                          | <b>✓</b> |
| target I2c GenStopCond I2cRegPtr Cnt T str.DMAC                              | 0                           | 0                           |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.FUN                               | 0                           | 0                           | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR                               | 0                           | 0                           | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN                               | 1                           | 1                           |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT                              | 0                           | 0                           |          |
|  | 0                           | 0                           | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET                               | 0                           | 0                           |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                               |                             |                             | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                               | 1                           | 1                           |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                                | 0                           | 0                           | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                               | 0                           | 0                           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                                      | 66                          | 66                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                                      | 78                          | 78                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                      | 78                          | 78                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                     | 495                         | 495                         | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                                     | 56                          | 56                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                                      | 897                         | 897                         | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                                      | 98                          | 98                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                                      | 66                          | 66                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                                      | 78                          | 78                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                      | 495                         | 495                         | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                                      | 66                          | 66                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                                     | 0                           | 0                           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                                      | 78                          | 78                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                    | 56                          | 56                          | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                    | 78                          | 78                          | -        |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.DMAC                                     | 0                           | 0                           | -        |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.FUN                                      | 0                           | 0                           |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIR                                      | 0                           | 0                           |          |
| target I2c Send I2cRegPtr Cnt T str.DIN                                      | 1                           | 1                           |          |
| taryot izo ochu izoneyfli Olil I Sti.DiiN                                    | 1.1                         | 1.1                         | - I      |

 $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIN$ 

2014-10-14, 23:08:30+0530



| N   | A street Webse | Pour and ad Malon | D14      |
|---|----------------|-------------------|----------|
| Name  | Actual Value   | Expected Value    | Result   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT target_l2c_Send_l2cRegPtr_Cnt_T_str.SET                            | 0              | 0                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0              | 0                 | -        |
| target I2c Send I2cRegPtr Cnt T str.ODR   | 1              | 1                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0              | 0                 | ~        |
| target I2c Send I2cRegPtr Cnt T str.PSL   | 0              | 0                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 66             | 66                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 78             | 78                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 78             | 78                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 495            | 495               | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 56             | 56                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 897            | 897               | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 98             | 98                | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 66             | 66                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 78             | 78                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 495            | 495               | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR  | 66             | 66                | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 0              | 0                 | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 78             | 78<br>56          |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12                   | 78             | 78                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PMAC   | 0              | 0                 |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 0              | 0                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 0              | 0                 |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 1              | 1                 | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 0              | 0                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 0              | 0                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0              | 0                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1              | 1                 | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 0              | 0                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 0              | 0                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 66             | 66                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 78             | 78                | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 78             | 78                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 495            | 495               | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 56             | 56                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 897            | 897               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 98             | 98                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 66             | 66                | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR  | 78             | 78                | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR  | 495            | 495               |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 0              | 66<br>0           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC                  | 78             | 78                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 56             | 56                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 78             | 78                | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 0              | 0                 | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0              | 0                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0              | 0                 | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1              | 1                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 0              | 0                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 0              | 0                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 0              | 0                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1              | 1                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 0              | 0                 | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL  | 0              | 0                 | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 66             | 66                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 78             | 78                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 78             | 78                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 495            | 495               | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  | 56             | 56                | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR | 897<br>98      | 897<br>98         | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR   | 66             | 66                |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR   | 78             | 78                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 495            | 495               |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 66             | 66                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0              | 0                 | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 78             | 78                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 56             | 56                | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12   | 78             | 78                | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC  | 0              | 0                 | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0              | 0                 | ~        |
|   |                |                   |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 0            | 0              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | <b>~</b> |

| T               |       |                          |       | ~      |
|-----------------|-------|--------------------------|-------|--------|
| Actual Function | Count | Expected Function        | Count | Result |
| *none*          | 0     | *** No Call Expected *** | 0     | ~      |

| Test Step 1.2 (Repeat Count = 1)                | <b>▼</b>   |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 0  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2767   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 45   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADCTRLREG_READ                   |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 76   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 77   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 2  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 2  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 564  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 130  |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |

2014-10-14, 23:08:30+0530



| DigColPSInt_InterruptNotilication               |                     | ( MACIMI |
|---|---------------------|----------|
| Name  | Input Value         |          |
| 「_DataRegisters_Cnt_u08[2]                      | 30                  |          |
| Γ_DataRegisters_Cnt_u08[3]                      | 36                  |          |
| Γ_DataRegisters_Cnt_u08[4]                      | 38                  |          |
| Γ_DataRegisters_Cnt_u08[5]                      | 34                  |          |
| Γ_DataRegisters_Cnt_u08[6]                      | 10                  |          |
| T_DataRegisters_Cnt_u08[7]                      | 12                  |          |
| T_DataRegisters_Cnt_u08[8]                      | 14                  |          |
| 2cREG1_temp                                     | target_i2cREG1_temp |          |
| ColSensorI2CAddress Cnt u08                     | 7                   |          |
| <pre>C_SpurSensorI2CAddress_Cnt_u08</pre>       | 123                 |          |
| arget I2c GenStopCond I2cRegPtr Cnt T str.OAR   | 3                   |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.IMR  | 100                 |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 7788                |          |
|   | 2767                |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  |                     |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 556                 |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 564                 |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 88                  |          |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR   | 3                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 100                 |          |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR   | 2767                |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 9                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 0                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 100                 |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 556                 |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 100                 |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 3                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 0                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 3                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 0                   |          |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL   | 3                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 3                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 100                 |          |
| rarget_12c_Send_12cRegPtr_Cnt_T_str.STR         | 7788                |          |
|   | 2767                |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         |                     |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 556                 |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 564                 |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 88                  |          |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.SAR          | 3                   |          |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DXR          | 100                 |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 2767                |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 9                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 0                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 100                 |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 556                 |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 100                 |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 2                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 0                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 1                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 3                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 2                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 0                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 1                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 3                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 0                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3                   |          |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.OAR       | 3                   |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 100                 |          |
|   | 7788                |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       |                     |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 2767                |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 556                 |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 564                 |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 88                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 3                   |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 100                 |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 2767                |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 9                   |          |
|   | 0                   |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 0                   |          |

2014-10-14, 23:08:30+0530



| Name  | Input Value |  |
|---|-------------|--|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 556         |  |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12            | 100         |  |
|   | 2           |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC             | 0           |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN              |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 1           |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN              | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 0           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 0           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 100         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 7788        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 2767        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 556         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 564         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 88          |  |
|   | 3           |  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR            |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 100         |  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR            | 2767        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 9           |  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR           | 0           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 100         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 556         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 100         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 0           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 1           |  |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.ODR            | 3           |  |
|   | 0           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            |             |  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR   | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 100         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 7788        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2767        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 556         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 564         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 88          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 100         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2767        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 9           |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.EMDR  | 0           |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC   | 100         |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11 | 556         |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11 | 100         |  |
|   |             |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 0           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 0           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 3           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 100         |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 7788        |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL | 2767        |  |
|   |             |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 556         |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 564         |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  | 88          |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR  | 3           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 100         |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2767        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 9           |  |
|   |             |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value   |   |                                       |
|--|---|---|---------------------------------------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 100   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 556   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 100   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3   |   |                                       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD  | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3   |   |                                       |
| target_i2cREG1_temp.OAR  | 3   |   |                                       |
| target i2cREG1 temp.IMR  | 100   |   |                                       |
| target_i2cREG1_temp.STR  | 7788  |   |                                       |
| target_i2cREG1_temp.CLKL   | 2767  |   |                                       |
| target_i2cREG1_temp.CLKH   | 556   |   |                                       |
| target i2cREG1 temp.CNT  | 564   |   |                                       |
| target i2cREG1 temp.DRR  | 88  |   |                                       |
| target_i2cREG1_temp.SAR  | 3   |   |                                       |
| target_i2cREG1_temp.DXR  | 100   |   |                                       |
| target i2cREG1 temp.MDR  | 2767  |   |                                       |
| target i2cREG1 temp.IVR  | 9   |   |                                       |
| target_i2cREG1_temp.EMDR   | 0   |   |                                       |
| target_i2cREG1_temp.PSC  | 100   |   |                                       |
| target_i2cREG1_temp.PID11  | 556   |   |                                       |
| target i2cREG1 temp.PID12  | 100   |   |                                       |
| target_i2cREG1_temp.DMAC   | 2   |   |                                       |
| target i2cREG1 temp.FUN  | 0   |   |                                       |
| target i2cREG1 temp.DIR  | 1   |   |                                       |
| target i2cREG1 temp.DIN  | 3   |   |                                       |
| target_i2cREG1_temp.DOUT   | 2   |   |                                       |
| target_i2cREG1_temp.SET  | 0   |   |                                       |
|  | 1   |   |                                       |
| Tarder IZCREGI Temp.CLR  |   |   |                                       |
| target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR  |   |   |                                       |
| target_i2cREG1_temp.ODR  | 3   |   |                                       |
| target_i2cREG1_temp.ODR<br>target_i2cREG1_temp.PD  | 3 0   |   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL   | 3<br>0<br>3   | Evnected Value  | Result                                |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name   | 3<br>0<br>3<br>Actual Value   | Expected Value  |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 3<br>0<br>3<br>Actual Value   | 1   | ~                                     |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]   | 3<br>0<br>3<br>Actual Value<br>1  | 1 12  | ~                                     |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  | 3<br>0<br>3<br><b>Actual Value</b><br>1<br>12<br>145  | 1<br>12<br>145  | <b>*</b>                              |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]   | 3<br>0<br>3<br><b>Actual Value</b><br>1<br>12<br>145<br>200   | 1<br>12<br>145<br>200   | ~                                     |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 3<br>0<br>3<br><b>Actual Value</b><br>1<br>12<br>145<br>200   | 1<br>12<br>145<br>200<br>0  | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 3<br>0<br>3<br><b>Actual Value</b><br>1<br>12<br>145<br>200<br>0  | 1<br>12<br>145<br>200<br>0  | <b>*</b>                              |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 3<br>0<br>3<br><b>Actual Value</b><br>1<br>12<br>145<br>200<br>0  | 1<br>12<br>145<br>200<br>0<br>0   | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  | 3<br>0<br>3<br><b>Actual Value</b><br>1<br>12<br>145<br>200<br>0<br>0   | 1<br>12<br>145<br>200<br>0<br>0<br>0<br>2767  | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08   | 3<br>0<br>3<br>Actual Value<br>1<br>12<br>145<br>200<br>0<br>0<br>0<br>0<br>2767  | 1<br>12<br>145<br>200<br>0<br>0<br>0<br>2767  | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum  | 3 0 3 Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET  | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET   | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16  | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76  | 1<br>12<br>145<br>200<br>0<br>0<br>0<br>2767<br>7<br>INIT_SENSOR1_EXTREADCTRLREG_SET<br>76                                    | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  | 3 0 3 Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77  | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77   | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_I1cTFailedOnce_Cnt_M_lgc   | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0   | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIcompleteCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_I1chitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc  | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0   | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusbusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u16  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc   | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0   | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u16  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I3cHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOdDataType_Cnt_M_u08   | 3 0 3 Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2  | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_GusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u16 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_I1tFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 3 0 3 Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 0 2 1  | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I3cHcurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustData_Cnt_M_u16   | 3 0 3 Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1                                  | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 1 564   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_12CHwCustData_Uls_M_u16 DigColPsInt_I1fFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOdataType_Cnt_M_u08 DigColPsInt_SpurCustDataCnt_M_u16 DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08  | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 564   | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 564 130   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I3itFailedOnce_Cnt_M_lgc DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32)   | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 564 130   | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 564 130 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CorlColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I3cHwIncompleteCustData_Uls_M_u16 DigColPsInt_IiifFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 564 130 1   | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 564 130 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_I2CHwCustDatA_Uls_M_u16 DigColPsInt_I2CHwCustDatA_Uls_M_u16 DigColPsInt_I1FailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 564 130   | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 564 130 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I1FailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 564 130 1 1 3   | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 564 130 1 1 3 100                                   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I1fFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_u08 DigColPsInt_SpurCustDataFound_Cnt_M_lgc DigColPsInt_SpurCustDataFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.NMR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 1 564 130 1 1 3 100 7788                                  | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 0 0 0 2 1 564 130 1 1 3 100 7788                                 |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDataFound_Cnt_M_lgc DigColPsInt_SpurCustDataFound_Cnt_M_lgc DigColPsInt_SpurCustDataFound_Cnt_M_lgc DigColPsInt_SpurCustDataFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 1 564 130 1 1 3 100 7788 2767                             | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 0 0 0 2 1 564 130 1 1 3 100 7788 2767                            |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 564 130 1 1 1 3 100 7788 2767 556                       | 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 3 100 7788 2767 556                               |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 564 130 1 1 1 3 100 7788 2767 556 564                   | 1 12 145 200 0 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 3 100 7788 2767 556 564                         |                                       |
| target_i2cREG1_temp.DD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 3 0 3  Actual Value 1 12 145 200 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 3 100 7788 2767 556 564 88                              | 1 12 145 200 0 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 3 100 7788 2767 556 564 88                      |                                       |
| target_i2cREG1_temp.DD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusbusySeqError_Cnt_M_lgc DigColPsInt_DusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_I3cHound_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_u08 DigColPsInt_SpurCustDataTound_Cnt_M_lgc DigColPsInt_TspurCustDataTound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 3 0 3  Actual Value 1 12 145 200 0 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 564 130 1 1 1 3 100 7788 2767 556 564 88 3            | 1 12 145 200 0 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 3 100 7788 2767 556 564 88 3                    |                                       |
| target_i2cREG1_temp.DD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I3cHewCustData_Uls_M_u16 DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR   | 3 0 3 Actual Value 1 12 145 200 0 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 564 130 1 1 1 3 100 7788 2767 556 564 88 3 100         | 1 12 145 200 0 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 3 100 7788 2767 556 564 88 3 100                |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CndFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_enum DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_u08 DigColPsInt_RecvDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.LKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR | 3 0 3  Actual Value 1 12 145 200 0 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 0 1 1 1 564 130 1 1 1 3 100 7788 2767 556 564 88 3 100 2767 | 1 12 145 200 0 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 2 1 564 130 1 1 3 100 7788 2767 556 564 88 3 100 2767 |                                       |
| target_i2cREG1_temp.DD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I3cHewCustData_Uls_M_u16 DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR   | 3 0 3 Actual Value 1 12 145 200 0 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 564 130 1 1 1 3 100 7788 2767 556 564 88 3 100         | 1 12 145 200 0 0 0 0 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0 1 1 1 3 100 7788 2767 556 564 88 3 100                |                                       |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN<br>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              |        |
| target I2c GenStopCond I2cRegPtr Cnt T str.PD  | 0            | 0              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3              |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2767         | 2767           | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 556          | 556            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 88           | 88             | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 100          | 100            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 9            | 9              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 100          | 100            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              |        |
| target I2c SetRecv I2cRegPtr Cnt T str.OAR   | 3            | 3              |        |
| target I2c SetRecv I2cRegPtr Cnt T str.IMR   | 100          | 100            |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            | •      |
| target I2c SetRecv I2cRegPtr Cnt T str.CNT   | 564          | 564            |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | •      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ·      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR   | 100          | 100            |        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR   | 7788         |                |        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR   | 7788<br>2767 | 7788<br>2767   |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  |              |                |        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH  | 556<br>564   | 556<br>564     |        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT   | 88           | 88             |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              |        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 100          | 100            |        |
| WINDS IN CONTROL IN THE RESEARCH OF THE PROPERTY OF THE PROPER | 100          | 100            |        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | · · ·    |
| target I2c SetStatus I2cRegPtr Cnt T str.EMDR  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR                        | 1            | 1              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PD  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2767         | 2767           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 88           | 88             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 100          | 100            | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR  | 9            | 9              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 100          | 100            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC<br>target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 556          | 556            |          |
| target_I2C_SetupMasterReceive_I2CRegPtr_Cnt_T_str.PID12  | 100          | 100            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN  | 0            | 0              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 3            | 3              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 100          | 7788           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 7788<br>2767 | 2767           | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 564          | 564            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 3              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT   | 3 2          | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_1_str.DOUT target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
|  | ·            |                |          |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | _        |

#### DigColPsInt\_InterruptNotification

#### **Test Case 2: Boundary Test**

#### Description

Test Vector Description:

```
TS2.1Flags_Cnt_T_b16 = min
TS2.2Flags_Cnt_T_b16 = max
TS2.3Flags_Cnt_T_b16 = mid
TS2.4DigColPsInt_CurrentStepNo_Cnt_M_enum = min
TS2.5DigColPsInt_CurrentStepNo_Cnt_M_enum = max
TS2.6DigColPsInt_CurrentStepNo_Cnt_M_enum = mid
TS2.7k_SpurSensorl2CAddress_Cnt_u08 = min
TS2.7k_SpurSensorl2CAddress_Cnt_u08 = min
TS2.8k_SpurSensorl2CAddress_Cnt_u08 = mid
TS2.1DigColPsInt_Buffer_Cnt_M_u08[3] = min
TS2.1DigColPsInt_Buffer_Cnt_M_u08[3] = min
TS2.11DigColPsInt_Buffer_Cnt_M_u08[3] = mid
TS2.12DigColPsInt_Buffer_Cnt_M_u08[3] = mid
TS2.13DigColPsInt_InitFailedOnce_Cnt_M_lgc = max
TS2.15DigColPsInt_SkipRegisterWrite_Cnt_M_lgc = max
TS2.15DigColPsInt_SkipRegisterWrite_Cnt_M_lgc = max
TS2.15DigColPsInt_SkipRegisterWrite_Cnt_M_lgc = max
TS2.17DigColPsInt_PrevReqDataType_Cnt_M_u08 = min
TS2.18DigColPsInt_PrevReqDataType_Cnt_M_u08 = min
TS2.18DigColPsInt_PrevReqDataType_Cnt_M_u08 = min
TS2.19DigColPsInt_TransactionCnt_Cnt_M_u08 = min
TS2.21DigColPsInt_TransactionCnt_Cnt_M_u08 = min
TS2.21DigColPsInt_TransactionCnt_Cnt_M_u08 = min
TS2.22bigColPsInt_TransactionCnt_Cnt_M_u08 = min
TS2.23k_ColSensorl2CAddress_Cnt_u08 = min
TS2.24k_ColSensorl2CAddress_Cnt_u08 = min
TS2.25k_ColSensorl2CAddress_Cnt_u08 = min
TS2.25k_ColSensorl2CAddress_Cnt_u08 = min
TS2.25bigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 = min
TS2.22DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 = min
TS2.23DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 = min
TS2.3DigColPsInt_ColCustDatFound_Cnt_M_lgc = min
TS2.3DigColPsInt_12CHwIncompleteCustData_Uls_M_u16 = min
TS2.3DigColPsInt_12CHwIncompleteCustData_Uls_M_u16 = min
TS2.3DigColPsInt_SpurCustDatFound_Cnt_M_lgc = min
TS2.35DigColPsInt_SpurCustDatFound_Cnt_M_lgc = min
```

| Test Step 2.1 (Repeat Count = 1)                                 | 🗸  |
|--|--|
| Name   | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                  | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                                  | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                                  | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                                  | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                            | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                            | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                            | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16                                | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08                               | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                             | INIT_SENSOR1_READERROR_SETREG                      |
| DigColPsInt_I2CHwCustData_Uls_M_u16                              | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                    | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                             | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc                                | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08                            | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                           | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                              | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc                          | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                           | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                               | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08                             | 10   |
| Flags_Cnt_T_b16  | 1  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)                             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)                               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                                       | 0  |
| T_DataRegisters_Cnt_u08[1]                                       | 32   |
| T_DataRegisters_Cnt_u08[2]                                       | 30   |
| T_DataRegisters_Cnt_u08[3]                                       | 36   |
| T_DataRegisters_Cnt_u08[4]                                       | 38   |
| T_DataRegisters_Cnt_u08[5]                                       | 34   |
| T_DataRegisters_Cnt_u08[6]                                       | 10   |
| T_DataRegisters_Cnt_u08[7]                                       | 12   |
| © Depart counts described by TEOOVAVO 4.0 count to count to 2004 |  |

© Report created by TESSY V3.1.9, report template V2.1

2014-10-14, 23:08:30+0530



| Name   | Input Value         |  |
|--|---------------------|--|
| T_DataRegisters_Cnt_u08[8]                       | 14                  |  |
| i2cREG1_temp                                     | target_i2cREG1_temp |  |
| k_ColSensorl2CAddress_Cnt_u08                    | 9                   |  |
| k_SpurSensorI2CAddress_Cnt_u08                   | 10                  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55                  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66                  |  |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR   | 556                 |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309                |  |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLKH  | 1204                |  |
| target I2c GenStopCond I2cRegPtr Cnt T str.CNT   | 87                  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67                  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55                  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309                |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5                   |  |
| target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.EMDR  | 3                   |  |
|  | 66                  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   |                     |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204                |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66                  |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC  | 3                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 3                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 55                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 66                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 556                 |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 2309                |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 1204                |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 87                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 67                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 55                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 66                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 2309                |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR          | 5                   |  |
|  | 3                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 66                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          |                     |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 1204                |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 66                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 3                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 1                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 3                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 1                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 2                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 3                   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3                   |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 55                  |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 66                  |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 556                 |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 2309                |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH      | 1204                |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 87                  |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 67                  |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR       | 55                  |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 66                  |  |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR       | 2309                |  |
|  | 5                   |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR       |                     |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR      | 3                   |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC       | 66                  |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 1204                |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     | 66                  |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 3                   |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       | 1                   |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       | 1                   |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN       | 2                   |  |
|  |                     |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  | 3           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT              |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET               | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR               | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR               | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL               | 3           |
| target I2c SetStatus I2cRegPtr Cnt T str.OAR             | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR             | 66          |
|  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR             | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 55          |
|  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 66          |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5           |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 1           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL    | 3           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
|  |             |

2014-10-14, 23:08:30+0530



| DigCoiPsint_interruptiNotinication   |   | 1   | WAC I CAIL |
|--|---|---|------------|
| Name   | Input Value   |   |            |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1   |   |            |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2   |   |            |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 3   |   |            |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 1   |   |            |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 2   |   |            |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD  | 3   |   |            |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3   |   |            |
| target_i2cREG1_temp.OAR  | 55  |   |            |
| target_i2cREG1_temp.IMR  | 66  |   |            |
| target_i2cREG1_temp.STR  | 556   |   |            |
| target_i2cREG1_temp.CLKL   | 2309  |   |            |
| target_i2cREG1_temp.CLKH   | 1204  |   |            |
| target_i2cREG1_temp.CNT  | 87  |   |            |
| target_i2cREG1_temp.DRR  | 67  |   |            |
| target_i2cREG1_temp.DVP  | 55<br>66  |   |            |
| target_i2cREG1_temp.DXR<br>target_i2cREG1_temp.MDR   | 2309  |   |            |
| target_i2cREG1_temp.IVR  | 5   |   |            |
| target_i2cREG1_temp.EMDR   | 3   |   |            |
| target_i2cREG1_temp.PSC  | 66  |   |            |
| target_i2cREG1_temp.PID11  | 1204  |   |            |
| target_i2cREG1_temp.PID12  | 66  |   |            |
| target_i2cREG1_temp.DMAC   | 3   |   |            |
| target_i2cREG1_temp.FUN  | 1   |   |            |
| target_i2cREG1_temp.DIR  | 1   |   |            |
| target_i2cREG1_temp.DIN  | 2   |   |            |
| target_i2cREG1_temp.DOUT   | 3   |   |            |
| target_i2cREG1_temp.SET  | 3   |   |            |
| target_i2cREG1_temp.CLR<br>target_i2cREG1_temp.ODR   | 2   |   |            |
| target i2cREG1_temp.PD   | 3   |   |            |
| target_i2cREG1_temp.PSL  | 3   |   |            |
| Name   | Actual Value  | Expected Value  | Result     |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 1   | 1   | -          |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10  | 10  | <b>✓</b>   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20  | 20  | <b>✓</b>   |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30  | 30  | ~          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1   | 1   |            |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1   | 1   | ~          |
| DigColPsInt_ColCustDatFound_Cnt_M_Igc  | 1   | 1   |            |
| DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt CurrentSlave Cnt M u08   | 2309<br>123   | 2309<br>123   |            |
| DigColPsInt CurrentStepNo Cnt M enum   | INIT_COMPLETE   | INIT_COMPLETE   |            |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 1   | 1   |            |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 2   | 2   | •          |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0   | 0   | -          |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0   | 0   | <b>✓</b>   |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc   | 0   | 0   | <b>✓</b>   |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 0   | 0   | •          |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0   | 0   | ~          |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 87  | 87  | <b>✓</b>   |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10  | 10  |            |
| I2c_SetStatus(Status_Cnt_T_u16)  | 7   | 7   | •          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR  | 55<br>66  | 55<br>66  |            |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR   | 556   | 556   |            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309  | 2309  |            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204  | 1204  |            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   |   | 1-41  |            |
|  | 87  | 87  | ✓          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 87<br>67  | 87<br>67  |            |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR   |   |   |            |
|  | 67  | 67  | -          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 67<br>55<br>66<br>2309                                    | 67<br>55<br>66<br>2309                                    | 0          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 67<br>55<br>66<br>2309<br>5                               | 67<br>55<br>66<br>2309<br>5                               |            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 67<br>55<br>66<br>2309<br>5<br>3                          | 67<br>55<br>66<br>2309<br>5                               |            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 67<br>55<br>66<br>2309<br>5<br>3<br>66                    | 67<br>55<br>66<br>2309<br>5<br>3<br>66                    |            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 67<br>55<br>66<br>2309<br>5<br>3<br>66<br>1204            | 67<br>55<br>66<br>2309<br>5<br>3<br>66<br>1204            |            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 67<br>55<br>66<br>2309<br>5<br>3<br>66<br>1204            | 67<br>55<br>66<br>2309<br>5<br>3<br>66<br>1204            |            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 67<br>55<br>66<br>2309<br>5<br>3<br>66<br>1204<br>66<br>3 | 67<br>55<br>66<br>2309<br>5<br>3<br>66<br>1204<br>66<br>3 |            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN | 67<br>55<br>66<br>2309<br>5<br>3<br>66<br>1204<br>66<br>3 | 67<br>55<br>66<br>2309<br>5<br>3<br>66<br>1204<br>66<br>3 |            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 67<br>55<br>66<br>2309<br>5<br>3<br>66<br>1204<br>66<br>3 | 67<br>55<br>66<br>2309<br>5<br>3<br>66<br>1204<br>66<br>3 |            |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD   | 3            | 3              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | <b>~</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR   | 3<br>66      | 3<br>66        | <i>y</i> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11           | 1204         | 1204           |          |
| target I2c Send I2cRegPtr Cnt T str.PID12  | 66           | 66             |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PiD12  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>*</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 556          | 556            | <i>y</i> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL  | 2309<br>1204 | 2309<br>1204   |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT         | 87           | 87             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>V</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT          | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>•</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | · ·      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR   | 5            | 5              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3<br>66      | 3<br>66        | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC<br>target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              |          |
|  | 1            | 1              |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2            | 2              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3            | 3              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1            | 1              | <b>✓</b> |
| target I2c SetStatus I2cRegPtr Cnt T str.ODR             | 2            | 2              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66           | 66             | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.STR    | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87           | 87             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR    | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11  | 1204         | 1204           |          |
|  |              | 66             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | <b>~</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | <b>~</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | <b>~</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

| T               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
| I2c_SetStatus   | 1     | I2c_SetStatus     | 1     | ~        |

| Test Step 2.2 (Repeat Count = 1)                |             | ✓ |
|---|-------------|---|
| Name  | Input Value |   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 2           |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 22          |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 44          |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 55          |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1           |   |



|  | (1111010   |
|--|--|
| Name   | Input Value  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc            | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc            | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16                | 495  |
| DigColPsInt CurrentSlave Cnt M u08               | 100  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum             | INIT_SENSOR1_READERROR_READ                        |
| DigColPsInt_I2CHwCustData_Uls_M_u16              | 7  |
| DigColPsInt I2CHwIncompleteCustData UIs M u16    | 5  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc             | 1  |
| DigColPsInt NackOccured Cnt M Igc                | 1  |
| DigColPsInt PrevReqDataType Cnt M u08            | 2  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc           | 1  |
|  | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08              |  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc          | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16               | 897  |
| DigColPsInt_TransactionCnt_Cnt_M_u08             | 20   |
| Flags_Cnt_T_b16                                  | 64   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                       | 0  |
| T_DataRegisters_Cnt_u08[1]                       | 32   |
| T_DataRegisters_Cnt_u08[2]                       | 30   |
| T_DataRegisters_Cnt_u08[3]                       | 36   |
| T_DataRegisters_Cnt_u08[4]                       | 38   |
| T_DataRegisters_Cnt_u08[5]                       | 34   |
| T_DataRegisters_Cnt_u08[6]                       | 10   |
| T_DataRegisters_Cnt_u08[7]                       | 12   |
| T_DataRegisters_Cnt_u08[8]                       | 14   |
| i2cREG1_temp                                     | target i2cREG1 temp                                |
| k_ColSensorl2CAddress_Cnt_u08                    | 14   |
| k_SpurSensorl2CAddress_Cnt_u08                   | 20   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 66   |
|  | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 495  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 56   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 897  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 98   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 495  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 56   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 0  |
| target I2c GenStopCond I2cRegPtr Cnt T str.ODR   | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 78   |
|  | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL         | 495  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 897  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 98   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 495  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 78   |
|  |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11              | 56          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12              | 78          |
|  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC               |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT               | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                | 0           |
|  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                 | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR             | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR             | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR             | 78          |
|  | 495         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL            |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH            | 56          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT             | 897         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 98          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR             | 66          |
| target I2c SetRecv I2cRegPtr Cnt T str.DXR             | 78          |
|  | 495         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR             |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR             | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR            | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC             | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11           | 56          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12           | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC            | 0           |
|  |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN             | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR             | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT            | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET             | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR             | 0           |
|  | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR           | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR           | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL          | 495         |
|  | 56          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH          |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT           | 897         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR           | 98          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR           | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR           | 495         |
| target I2c SetStatus I2cRegPtr Cnt T str.IVR           | 66          |
| target I2c SetStatus I2cRegPtr Cnt T str.EMDR          | 0           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC           | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         | 56          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC          | 0           |
| target I2c SetStatus I2cRegPtr Cnt T str.FUN           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR           | 0           |
| target I2c SetStatus I2cRegPtr Cnt T str.DIN           | 1           |
| · ·  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT          | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL           | 0           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL | 495         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH | 56          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 897         |
|  | 98          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 495         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 66          |
|  | •           |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

| Name   | Input Value  |                     |          |
|--|--------------|---------------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0            |                     |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC    | 78           |                     |          |
|  |              |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 56           |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 78           |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 0            |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0            |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1            |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 0            |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 0            |                     |          |
|  |              |                     |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR    | 0            |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1            |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 0            |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0            |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66           |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 78           |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78           |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495          |                     |          |
|  | 56           |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  |              |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897          |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98           |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66           |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78           |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495          |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 66           |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 78           |                     |          |
|  |              |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            |                     |          |
|  |              |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            |                     |          |
| target_i2cREG1_temp.OAR                                  | 66           |                     |          |
| target_i2cREG1_temp.IMR                                  | 78           |                     |          |
| target i2cREG1 temp.STR                                  | 78           |                     |          |
|  |              |                     |          |
| target_i2cREG1_temp.CLKL                                 | 495          |                     |          |
| target_i2cREG1_temp.CLKH                                 | 56           |                     |          |
| target_i2cREG1_temp.CNT                                  | 897          |                     |          |
| target_i2cREG1_temp.DRR                                  | 98           |                     |          |
| target_i2cREG1_temp.SAR                                  | 66           |                     |          |
| target i2cREG1 temp.DXR                                  | 78           |                     |          |
| target_i2cREG1_temp.MDR                                  | 495          |                     |          |
| target i2cREG1_temp.IVR                                  | 66           |                     |          |
| · ·  |              |                     |          |
| target_i2cREG1_temp.EMDR                                 | 0            |                     |          |
| target_i2cREG1_temp.PSC                                  | 78           |                     |          |
| target_i2cREG1_temp.PID11                                | 56           |                     |          |
| target_i2cREG1_temp.PID12                                | 78           |                     |          |
| target_i2cREG1_temp.DMAC                                 | 0            |                     |          |
| target i2cREG1 temp.FUN                                  | 0            |                     |          |
|  | 0            |                     |          |
| target_i2cREG1_temp.DIR                                  |              |                     |          |
| target_i2cREG1_temp.DIN                                  | 1            |                     |          |
| target_i2cREG1_temp.DOUT                                 | 0            |                     |          |
| target_i2cREG1_temp.SET                                  | 0            |                     |          |
| target_i2cREG1_temp.CLR                                  | 0            |                     |          |
| target_i2cREG1_temp.ODR                                  | 1            |                     |          |
| target_i2cREG1_temp.PD                                   | 0            |                     |          |
| target_i2cREG1_temp.PSL                                  | 0            |                     |          |
|  |              | Eyen a stand Medica | Dec. 1   |
| Name   | Actual Value | Expected Value      | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08          | 2            | 2                   | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                          | 22           | 22                  | •        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                          | 44           | 44                  | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2]                          | 55           | 55                  | <b>✓</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                    | 1            | 1                   | _        |
| DigColPsInt CmdFailOccurred Cnt M Igc                    | 0            | 0                   |          |
|  | 0            | 0                   |          |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                    |              |                     |          |
| DigColPsInt ColSnsrData Cnt M u16                        | 495          | 495                 | <b>✓</b> |

495

495

DigColPsInt\_ColSnsrData\_Cnt\_M\_u16

DigColPsInt InterruptNotification

2014-10-14, 23:08:30+0530



**Actual Value Expected Value** Result DigColPsInt CurrentSlave Cnt M u08 100 100 INIT\_SENSOR1\_READERROR\_READ INIT\_SENSOR1\_READERROR\_READ DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum DigColPsInt I2CHwCustData Uls M u16 DigColPsInt\_I2CHwIncompleteCustData\_UIs\_M\_u16 5 DigColPsInt InitFailedOnce Cnt M Igc 1 DigColPsInt\_NackOccured\_Cnt\_M\_lgc DigColPsInt RecvOverrunError Cnt M Igc 1 1 DigColPsInt\_RecvdDataType\_Cnt\_M\_u08 1 1 DigColPsInt\_SpurCustDatFound\_Cnt\_M\_lgc  $DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16$ 897 897 DigColPsInt\_TransactionCnt\_Cnt\_M\_u08 20 20 66 target I2c GenStopCond I2cRegPtr Cnt T str.OAR 66 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IMR 78 78 78 78  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.STR$ target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKL 495 495 56 56 target I2c GenStopCond I2cRegPtr Cnt T str.CLKH target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CNT 897 897 target I2c GenStopCond I2cRegPtr Cnt T str.DRR 98 98  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.SAR$ 66 66  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DXR$ 78 78 V  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.MDR$ 495 495 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IVR 66 66 J  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.EMDR$ Λ Λ target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PSC 78 78 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PID11 56 56  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PID12$ 78 78 target I2c GenStopCond I2cRegPtr Cnt T str.DMAC 0 0 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.FUN 0 0 target I2c GenStopCond I2cRegPtr Cnt T str.DIR 0 0 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DIN 1 1 target I2c GenStopCond I2cRegPtr Cnt T str.DOUT 0 0 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.SET 0 0 target I2c GenStopCond I2cRegPtr Cnt T str.CLR 0 0 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.ODR 1 1 ~ target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PD 0 0 0 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PSL 0  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.OAR$ 66 66 78 78 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.STR 78 78  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 495 495 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKH 56 56 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CNT 897 897 ~ target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DRR 98 98 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SAR 66 66 V  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DXR$ 78 78 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.MDR 495 495 target I2c Send I2cRegPtr Cnt T str.IVR 66 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.EMDR 0 0 target I2c Send I2cRegPtr Cnt T str.PSC 78 78 56 56 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID11 target I2c Send I2cRegPtr Cnt T str.PID12 78 78 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DMAC 0 0 target I2c Send I2cRegPtr Cnt T str.FUN 0 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIR 0 0 target I2c Send I2cRegPtr Cnt T str.DIN 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DOUT 0 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SET 0 0  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLR$ 0 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.ODR 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PD 0 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSL 0 0 66 66 target I2c SetRecv I2cRegPtr Cnt T str.OAR target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IMR 78 78 78 78 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.STR target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKL 495 495 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKH 56 56 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CNT 207 807 target I2c SetRecv I2cRegPtr Cnt T str.DRR 98 98 ~ target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.SAR 66 66 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DXR 78 78 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.MDR 495 495

66

0

66

0

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IVR

 $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.EMDR$ 

DigColPsInt\_InterruptNotification



Razorcat

|   |              | I=             | - I      |
|---|--------------|----------------|----------|
| Name  | Actual Value | Expected Value | Result   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 78           | 78             | <b>V</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PiD11  | 56           | 56             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 78           | 78             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       | 0            | 0              |          |
|   | 1            | 1              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT      | 0            | 0              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.SET  | 0            | 0              | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.CLR  | 0            | 0              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | <b>*</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.PSL  | 0            | 0              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR  | 66           | 66             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.UMR  | 78           | 78             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR  | 78           | 78             |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL   | 495          | 495            | <b>*</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH   | 56           | 56             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT  | 897          | 897            | <u> </u> |
| target I2c SetStatus I2cRegPtr Cnt T str.DRR  | 98           | 98             |          |
|   | 66           | 66             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR  | 78           | 78             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR  | 495          | 78<br>495      |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  |              | 66             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR  | 66<br>0      | 0              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR   | 78           | 78             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 | 56           | 78<br>56       |          |
|   |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 78           | 78             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0            |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                                       | 66           | 66             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                                       | 78           | 78             | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR                                       | 78           | 78             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                                      | 495          | 495            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH                                      | 56           | 56             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT                                       | 897          | 897            | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR                                       | 98           | 98             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR                                       | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR                                       | 78           | 78             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR                                       | 495          | 495            | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR                                       | 66           | 66             | <b>v</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR                                      | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC                                       | 78           | 78             | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11                                     | 56           | 56             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12                                     | 78           | 78             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC                                      | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN                                       | 0            | 0              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR                                       | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN                                       | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT                                      | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET                                       | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR                                       | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR                                       | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL                                       | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                                      | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR                                      | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR                                      | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL                                     | 495          | 495            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH                                     | 56           | 56             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT                                      | 897          | 897            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                                      | 98           | 98             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR                                      | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR                                      | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR                                      | 495          | 495            | ~        |

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DOUT$ 

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR

 $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.ODR$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL

DiaColPsInt InterruptNotification

2014-10-14, 23:08:30+0530



| Bigeon em_menapaveumeaden                                |              |                |  |  |
|--|--------------|----------------|--|--|
| Name   | Actual Value | Expected Value |  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             |  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              |  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             |  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             |  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             |  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              |  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              |  |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              |  |  |
|  |              |                |  |  |

0

0

0

0

0

| T               |       |                          |       | V      |
|-----------------|-------|--------------------------|-------|--------|
| Actual Function | Count | Expected Function        | Count | Result |
| *none*          | 0     | *** No Call Expected *** | 0     | -      |

0

0

0

0

0

| Test Step 2.3 (Repeat Count = 1)                |  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 3  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| igColPsInt_Buffer_Cnt_M_u08[1]                  | 15   |
| igColPsInt Buffer Cnt M u08[2]                  | 16   |
| igColPsInt BusBusySegError Cnt M lgc            | 0  |
| igColPsInt CmdFailOccurred Cnt M Igc            | 1  |
| igColPsInt ColCustDatFound Cnt M Igc            | 1  |
| igColPsInt ColSnsrData Cnt M u16                | 566  |
| igColPsInt CurrentSlave Cnt M u08               | 110  |
| igColPsInt CurrentStepNo Cnt M enum             | INIT SENSOR1 READEXTERR SETREG                     |
| igColPsInt_I2CHwCustData_Uls_M_u16              | 7  |
| igColPsInt_I2CHwIncompleteCustData_Uls_M_u16    | 8  |
| igColPsInt InitFailedOnce Cnt M Igc             | 0  |
| igColPsInt_NackOccured_Cnt_M_lgc                | 0  |
| bigColPsInt_NackOccured_Cnt_M_igc               | 3  |
| igColPsInt_PrevReqDataType_Cnt_ivi_uoo          | 0  |
| igColPsInt_RecvOverrunError_Cnt_M_igc           | 2  |
|   | 0  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc          | 0  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc           | 129  |
| igColPsInt_SpurSnsrData_Cnt_M_u16               |  |
| igColPsInt_TransactionCnt_Cnt_M_u08             | 30   |
| lags_Cnt_T_b16                                  | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]                       | 0  |
| _DataRegisters_Cnt_u08[1]                       | 32   |
| _DataRegisters_Cnt_u08[2]                       | 30   |
| _DataRegisters_Cnt_u08[3]                       | 36   |
| _DataRegisters_Cnt_u08[4]                       | 38   |
| _DataRegisters_Cnt_u08[5]                       | 34   |
| _DataRegisters_Cnt_u08[6]                       | 10   |
| _DataRegisters_Cnt_u08[7]                       | 12   |
| _DataRegisters_Cnt_u08[8]                       | 14   |
| cREG1_temp                                      | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08                    | 19   |
| _SpurSensorl2CAddress_Cnt_u08                   | 30   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR    | 567  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR    | 44   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR    | 4444   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 566  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 4466   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 129  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 6  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.SAR   | 567  |

2014-10-14, 23:08:30+0530



|   | ( 32 / 2    | 10-10 |
|---|-------------|-------|
| Name  | Input Value |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 44          |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 566         |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 554         |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                                       | 1.          |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 44          |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                      | 4466        |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                      | 44          |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                                       | 1           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 2           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 0           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                       | 1           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 2           |       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR  | 0           |       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD   | 3 3         |       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL  | 567         |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 44          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR target_I2c_Send_I2cRegPtr_Cnt_T_str.STR       | 4444        |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 566         |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 129         |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 6           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 567         |       |
| target I2c Send I2cRegPtr Cnt T str.DXR   | 44          |       |
| target I2c Send I2cRegPtr Cnt T str.MDR   | 566         |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 554         |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 44          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 4466        |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 44          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 1           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 2           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 0           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 567         |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 44          |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  | 4444        |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL   | 566         |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 4466        |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR | 129<br>6    |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 567         |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 44          |       |
| target I2c SetRecv I2cRegPtr Cnt T str.MDR  | 566         |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 554         |       |
| target I2c SetRecv I2cRegPtr Cnt T str.EMDR   | 1           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 44          |       |
| target I2c SetRecv I2cRegPtr Cnt T str.PID11  | 4466        |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 44          |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 2           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 0           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 1           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 1           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 2           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 0           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3           |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 567         |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 44          |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 4444        |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 566         |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 129         |       |
|   |             |       |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 6           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 567         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 566         |
|  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR             | 554         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 4466        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 44          |
| target I2c SetStatus I2cRegPtr Cnt T str.DMAC            | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.FUN             | 1           |
|  | 2           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.CLR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
|  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR    | 567         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 44          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR    | 4444        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6           |
|  | 567         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44          |
|  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 0           |
|  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 4466        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 129         |
|  | 6           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 44          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11 | 4466        |
|  | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.ODR   | 0           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_i2cREG1_temp.OAR                                  | 567         |
| target_i2cREG1_temp.IMR                                  | 44          |
| target_i2cREG1_temp.STR                                  | 4444        |
| target_i2cREG1_temp.CLKL                                 | 566         |
|  |             |



| Name  | Input Value  |  |                                       |
|---|--|--|---------------------------------------|
| target_i2cREG1_temp.CLKH  | 4466   |  |                                       |
| target_i2cREG1_temp.CNT   | 129  |  |                                       |
| target_i2cREG1_temp.DRR<br>target_i2cREG1_temp.SAR  | 6<br>567   |  |                                       |
| target i2cREG1 temp.DXR   | 44   |  |                                       |
| target_i2cREG1_temp.MDR   | 566  |  |                                       |
| target_i2cREG1_temp.IVR   | 554  |  |                                       |
| target_i2cREG1_temp.EMDR  | 1  |  |                                       |
| target_i2cREG1_temp.PSC   | 44   |  |                                       |
| target_i2cREG1_temp.PID11   | 4466   |  |                                       |
| target_i2cREG1_temp.PID12   | 44   |  |                                       |
| target_i2cREG1_temp.DMAC  | 1  |  |                                       |
| target_i2cREG1_temp.FUN<br>target_i2cREG1_temp.DIR  | 2  |  |                                       |
| target i2cREG1 temp.DIN   | 0  |  |                                       |
| target i2cREG1 temp.DOUT  | 1  |  |                                       |
| target_i2cREG1_temp.SET   | 1  |  |                                       |
| target_i2cREG1_temp.CLR   | 2  |  |                                       |
| target_i2cREG1_temp.ODR   | 0  |  |                                       |
| target_i2cREG1_temp.PD  | 3  |  |                                       |
| target_i2cREG1_temp.PSL   | 3  | I  |                                       |
| Name  | Actual Value   | Expected Value                               | Result                                |
| DigColPolet Puffer Cet M v00/01   | 3<br>10  | 10   | <b>✓</b>                              |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt Buffer Cnt M u08[1]   | 15   | 15   | ,                                     |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 16   | 16   | ~                                     |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0  | 0  | _                                     |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1  | 1  | ~                                     |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 1  | 1  | ~                                     |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 566  | 566  | ~                                     |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 110  | 110  | ~                                     |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READEXTERR_SETREG                       | INIT_SENSOR1_READEXTERR_SETREG               | <b>✓</b>                              |
| DigColPsInt_I2CHwCustData_UIs_M_u16   | 7  | 7  | <b>V</b>                              |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 8  | 8  | <b>*</b>                              |
| DigColPsInt NackOccured Cnt M Igc   | 0  | 0  | ~                                     |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0  | 0  | •                                     |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 2  | 2  | ~                                     |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0  | 0  | ~                                     |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 129  | 129  | ~                                     |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 30   | 30   | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 567  | 567  | <b>V</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 4444   | 4444   | <b>✓</b>                              |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 566  | 566  |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 4466   | 4466   | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 129  | 129  | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 6  | 6  | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 567  | 567  | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 44   | 44   | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 566  | 566  | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 554  | 554  | <b>✓</b>                              |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR<br>target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC   | 44   | 44   | ~<br>~                                |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11  | 4466   | 4466   | ,                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 44   | 44   | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 1  | 1  | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1  | 1  | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 2  | 2  | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 0  | 0  | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 1  | 1  | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  |  | 1  | <b>~</b>                              |
|   | 1  |  |                                       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR  | 2  | 2  |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2 0  | 2  | · ·                                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 2  | 2  | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 2<br>0<br>3  | 2<br>0<br>3                                  | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 2 0 3 3 3  | 2 0 3 3 3                                    | \( \frac{1}{2} \)                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 2<br>0<br>3<br>3<br>567                              | 2<br>0<br>3<br>3<br>567                      | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 2<br>0<br>3<br>3<br>567<br>44                        | 2<br>0<br>3<br>3<br>567<br>44                | \(\frac{1}{2}\)                       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR target_l2c_Send_l2cRegPtr_Cnt_T_str.JMR target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL | 2<br>0<br>3<br>3<br>567<br>44<br>4444<br>566<br>4466 | 2<br>0<br>3<br>3<br>567<br>44<br>4444<br>566 | · · · · · · · · · · · · · · · · · · · |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 2<br>0<br>3<br>3<br>567<br>44<br>4444<br>566         | 2<br>0<br>3<br>3<br>567<br>44<br>4444<br>566 | · · · · · · · · · · · · · · · · · · · |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 554          | 554            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | <b>~</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR   | 2            | 2              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN   | 0            | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 2            | 2              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 6            | 6              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 567<br>44    | 567<br>44      | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR  |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 566          | 566            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            | <b>Y</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 44             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 44           |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | · ·      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR  | 567          | 567            |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR  | 44           | 44             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567<br>44      |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 44           |                |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR  | 566          | 566            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | · ·      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | · ·      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | · ·      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | · ·      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | · ·      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | · ·      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD   | 3            | 3              | <b>~</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>~</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | ~        |
|   | 4444         | 4444           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH | 566<br>4466  | 566<br>4466    | · ·      |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129          | 129            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6            | 6              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567          | 567            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 566          | 566            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554          | 554            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | <b>✓</b> |

| T               |       |                          |       | V      |
|-----------------|-------|--------------------------|-------|--------|
| Actual Function | Count | Expected Function        | Count | Result |
| *none*          | 0     | *** No Call Expected *** | 0     | ~      |

0

3

3

0

3

3

| Test Step 2.4 (Repeat Count = 1)                |                      |  |
|---|----------------------|--|
| Name  | Input Value          |  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 4                    |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 28                   |  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 56                   |  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 100                  |  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1                    |  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0                    |  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1                    |  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7                    |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 120                  |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_NOT_INITIALIZED |  |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 10                   |  |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 11                   |  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1                    |  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1                    |  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 4                    |  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1                    |  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 3                    |  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_Igc         | 1                    |  |

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.ODR

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD

 $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL$ 

2014-10-14, 23:08:30+0530



| DigColFsini_interruptivouncation                |  |  |
|---|--|--|
| Name  | Input Value  |  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 88   |  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 40   |  |
| Flags_Cnt_T_b16                                 | 2  |  |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |  |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |  |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |  |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |  |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |  |
| 2c SetupMasterTransmit(I2cRegPtr Cnt T str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |  |
| DataRegisters Cnt u08[0]                        | 0  |  |
| DataRegisters Cnt u08[1]                        | 32   |  |
| DataRegisters Cnt u08[2]                        | 30   |  |
| aataRegisters_Cnt_u08[3]                        | 36   |  |
| DataRegisters_Cnt_u08[4]                        | 38   |  |
| _DataRegisters_Cnt_u08[5]                       | 34   |  |
| _DataRegisters_Cnt_u08[6]                       | 10   |  |
| _DataRegisters_Cnt_u08[7]                       | 12   |  |
|   | 14   |  |
| _DataRegisters_Cnt_u08[8]                       |  |  |
| tcREG1_temp                                     | target_i2cREG1_temp                                |  |
| _ColSensorI2CAddress_Cnt_u08                    | 24   |  |
| _SpurSensorI2CAddress_Cnt_u08                   | 40   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 65   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 89   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 67   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 7  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 577  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 88   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 23   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 65   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 89   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 7  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 44   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 2  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 89   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 577  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 89   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0  |  |
|   | 0  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  |  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 2  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 0  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 2  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 65   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 89   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 67   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 7  |  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH          | 577  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 88   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 23   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 65   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 89   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 7  |  |
| urget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 44   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 2  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 89   |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.PID11        | 577  |  |
|   | 89   |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.PID12        | 2  |  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         |  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 1  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 2  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 2  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 1  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 2  |  |
|   | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          |  |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR              | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR              | 67          |
|   | 7           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL             |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH             | 577         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT              | 88          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              | 23          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 65          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 7           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 2           |
| target I2c SetRecv I2cRegPtr Cnt T str.PSC              | 89          |
|   | 577         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11            |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 0           |
|   | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD               | 2           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL              | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 65          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 7           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 577         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 88          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 23          |
|   | 65          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR            |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 7           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 577         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 89          |
| target I2c SetStatus I2cRegPtr Cnt T str.DMAC           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0           |
| target I2c SetStatus I2cRegPtr Cnt T str.DIR            | 0           |
|   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 2           |
| target I2c SetStatus I2cRegPtr Cnt T str.PSL            | 0           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.OAR   | 65          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IMR   | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 67          |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 7           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 577         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 88          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 23          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 65          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 89          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 7           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR   | 44          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  | 2           |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 577         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 2           |
|   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 2           |
|   |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value  |                |        |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 0            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 67           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 577          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 23           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 577          |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12   | 89           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 0            |                |        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN   | 1            |                |        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT  | 2            |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 2            |                |        |
|  | 0            |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD target_I2c SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL | 0            |                |        |
|  | 65           |                |        |
| target_i2cREG1_temp.OAR  | 89           |                |        |
| target_i2cREG1_temp.IMR  | 67           |                |        |
| target_i2cREG1_temp.STR  | 7            |                |        |
| target_i2cREG1_temp.CLKL   |              |                |        |
| target_i2cREG1_temp.CLKH   | 577          |                |        |
| target_i2cREG1_temp.CNT  | 88           |                |        |
| target_i2cREG1_temp.DRR  | 23           |                |        |
| target_i2cREG1_temp.SAR  | 65           |                |        |
| target_i2cREG1_temp.DXR  | 89           |                |        |
| target_i2cREG1_temp.MDR  | 7            |                |        |
| target_i2cREG1_temp.IVR  | 44           |                |        |
| target_i2cREG1_temp.EMDR   | 2            |                |        |
| target_i2cREG1_temp.PSC  | 89           |                |        |
| target_i2cREG1_temp.PID11  | 577          |                |        |
| target_i2cREG1_temp.PID12  | 89           |                |        |
| target_i2cREG1_temp.DMAC   | 2            |                |        |
| target_i2cREG1_temp.FUN  | 0            |                |        |
| target_i2cREG1_temp.DIR  | 0            |                |        |
| target_i2cREG1_temp.DIN  | 1            |                |        |
| target_i2cREG1_temp.DOUT   | 2            |                |        |
| target_i2cREG1_temp.SET  | 2            |                |        |
| target_i2cREG1_temp.CLR  | 0            |                |        |
| target_i2cREG1_temp.ODR  | 1            |                |        |
| target_i2cREG1_temp.PD   | 2            |                |        |
| target_i2cREG1_temp.PSL  | 0            |                |        |
| Name   | Actual Value | Expected Value | Result |

| target_i2cREG1_temp.PSL                         | 0                             |                               |          |
|---|-------------------------------|-------------------------------|----------|
| Name  | Actual Value                  | Expected Value                | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 4                             | 4                             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 36                            | 36                            | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 56                            | 56                            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 100                           | 100                           | <b>✓</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1                             | 1                             | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0                             | 0                             | •        |
| DigColPsInt_ColCustDatFound_Cnt_M_Igc           | 1                             | 1                             | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7                             | 7                             | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 40                            | 40                            | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_READERROR_SETREG | INIT_SENSOR2_READERROR_SETREG | <b>✓</b> |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 10                            | 10                            | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 11                            | 11                            | <b>✓</b> |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 1                             | 1                             | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1                             | 1                             | <b>✓</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1                             | 1                             | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 3                             | 3                             | <b>✓</b> |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1                             | 1                             | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 88                            | 88                            | <b>✓</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 40                            | 40                            | ~        |
| I2c_Send(Length_Cnt_T_u32)                      | 1                             | 1                             | <b>✓</b> |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1                             | 1                             | ~        |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR  | 67           | 67             | <b>Y</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              | <i>y</i> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | - J      |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT  | 88           | 23             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR | 65           | 65             |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.DXR  | 89           | 89             | ·        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 7            | 7              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ·        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | <b>Y</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 577<br>88    | 577<br>88      |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 23           | 23             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR               | 65           | 65             | _        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 89           | 89             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ·        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 577          | 577            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 89           | 89             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | <b>Y</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | · ·      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  | 67           | 67<br>7        | Ž        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 7            |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 577<br>88    | 577<br>88      | - J      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 23           | 23             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR         | 65           | 65             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR  | 89           | 89             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  | 7            | 7              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | <b>✓</b> |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                | 2            | 2              | ~      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL               | 0            | 0              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR             | 65           | 65             | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR             | 89           | 89             | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR             | 67           | 67             | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            | 7            | 7              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 577          | 577            | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 88           | 88             | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 23           | 23             | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 65           | 65             | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 89           | 89             | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 7            | 7              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 44           | 44             | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 2            | 2              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 89           | 89             | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 577          | 577            | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 89           | 89             | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 2            | 2              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 0            | 0              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 0            | 0              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 1            | 1              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 2            | 2              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 2            | 2              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 0            | 0              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 1            | 1              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 2            | 2              | ~      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 65           | 65             | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 89           | 89             | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 67           | 67             | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 88           | 88             | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 23           | 23             | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 65           | 65             | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 89           | 89             | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 7            | 7              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 44           | 44             | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 89           | 89             | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1            | 1              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 2            | 2              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1            | 1              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 2            | 2              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 577          | 577            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89           | 89             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ~      |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL | 0            | 0              | ✓        |

| T                       |       |                         | V     |        |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| I2c_GenStopCond         | 1     | I2c_GenStopCond         | 1     | ~      |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~      |
| I2c_Send                | 1     | I2c_Send                | 1     | -      |

| Test Step 2.5 (Repeat Count = 1)                | Innut Value  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 5  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 554  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 5  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ_COMPLETE                                      |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 13   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 14   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 0  |
| igColPsInt_NackOccured_Cnt_M_lgc                | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 5  |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 4  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 123  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 50   |
| Flags_Cnt_T_b16                                 | 1  |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Γ_DataRegisters_Cnt_u08[0]                      | 0  |
| Γ_DataRegisters_Cnt_u08[1]                      | 32   |
| Γ_DataRegisters_Cnt_u08[2]                      | 30   |
| Γ_DataRegisters_Cnt_u08[3]                      | 36   |
| Γ_DataRegisters_Cnt_u08[4]                      | 38   |
| Γ_DataRegisters_Cnt_u08[5]                      | 34   |
| Γ_DataRegisters_Cnt_u08[6]                      | 10   |
| Γ_DataRegisters_Cnt_u08[7]                      | 12   |
| 「_DataRegisters_Cnt_u08[8]                      | 14   |
| 2cREG1_temp                                     | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08                    | 29   |
| _SpurSensorl2CAddress_Cnt_u08                   | 50   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 54   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 8  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 554  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 344  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 123  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 45   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 54   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 554  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 788  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 344  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3  |

2014-10-14, 23:08:30+0530



|   | <u> </u>    |  |
|---|-------------|--|
| Name  | Input Value |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1           |  |
| target I2c GenStopCond I2cRegPtr Cnt T str.DIR  | 3           |  |
|   | 2           |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN  | 3           |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT |             |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3           |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR  | 3           |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR  | 2           |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD   | 1           |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         | 54          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         | 66          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         | 8           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL        | 554         |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH        | 344         |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT         | 123         |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR         | 45          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR         | 54          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         | 66          |  |
| target I2c Send I2cRegPtr Cnt T str.MDR         | 554         |  |
|   | 788         |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         |             |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR        | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         | 66          |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11       | 344         |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       | 66          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC        | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN         | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT        | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD          | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         | 2           |  |
|   | 54          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR      | 66          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR      |             |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR      | 8           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL     | 554         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH     | 344         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT      | 123         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR      | 45          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR      | 54          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR      | 66          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR      | 554         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR      | 788         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR     | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC      | 66          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11    | 344         |  |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12    | 66          |  |
|   |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC     | 3           |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN      | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR      | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN      | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT     | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET      | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR      | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR      | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD       | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL      | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR    | 54          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR    | 66          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR    | 8           |  |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL   | 554         |  |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKH   | 344         |  |
|   |             |  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT    | 123         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR    | 45          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR    | 54          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR    | 66          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR    | 554         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR    | 788         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC    | 66          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 344         |  |
| · · · · ·                                       |             |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 54          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 8           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 344         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 123         |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 45          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 54          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 788         |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
|  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
|  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 123         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 45          |
|  | 54          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 66          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344         |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target I2c SetupMasterTransmit I2cReqPtr Cnt T str.DIR   | 3           |
|  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 2           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD    | 1           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2           |
| target_i2cREG1_temp.OAR                                  | 54          |
| target_i2cREG1_temp.IMR                                  | 66          |
| target_i2cREG1_temp.STR                                  | 8           |
| target i2cREG1 temp.CLKL                                 | 554         |
|  |             |
| target_i2cREG1_temp.CLKH                                 | 344         |
| target_i2cREG1_temp.CNT                                  | 123         |
| target_i2cREG1_temp.DRR                                  | 45          |
| target i2cREG1 temp.SAR                                  | 54          |
| target_i2cREG1_temp.DXR                                  | 66          |
|  |             |
| target_i2cREG1_temp.MDR                                  | 554         |
| target_i2cREG1_temp.IVR                                  | 788         |
| target_i2cREG1_temp.EMDR                                 | 3           |
|  |             |

2014-10-14, 23:08:30+0530



| Name  | Input Value  |                |          |
|---|--------------|----------------|----------|
| target_i2cREG1_temp.PSC                         | 66           |                |          |
| target_i2cREG1_temp.PID11                       | 344          |                |          |
| target_i2cREG1_temp.PID12                       | 66           |                |          |
| target_i2cREG1_temp.DMAC                        | 3            |                |          |
| target_i2cREG1_temp.FUN                         | 1            |                |          |
| target_i2cREG1_temp.DIR                         | 3            |                |          |
| target_i2cREG1_temp.DIN                         | 2            |                |          |
| target_i2cREG1_temp.DOUT                        | 3            |                |          |
| target_i2cREG1_temp.SET                         | 3            |                |          |
| target_i2cREG1_temp.CLR                         | 3            |                |          |
| target_i2cREG1_temp.ODR                         | 2            |                |          |
| target_i2cREG1_temp.PD                          | 1            |                |          |
| target_i2cREG1_temp.PSL                         | 2            |                |          |
| Name  | Actual Value | Expected Value | Result   |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08 | 5            | 5              | <b>✓</b> |

| target_izcREG1_temp.ODR  | 2             |                |          |
|--|---------------|----------------|----------|
| target_i2cREG1_temp.PD   | 1             |                |          |
| target_i2cREG1_temp.PSL  | 2             |                |          |
| Name   | Actual Value  | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                                  | 5             | 5              | ✓        |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 123           | 123            | ✓        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 145           | 145            | ✓        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 200           | 200            | <b>✓</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1             | 1              | <b>✓</b> |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1             | 1              | ✓        |
| DigColPsInt_ColCustDatFound_Cnt_M_Igc  | 0             | 0              | <b>✓</b> |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 554           | 554            | ✓        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 5             | 5              | ✓        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_COMPLETE | READ_COMPLETE  | <b>✓</b> |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 13            | 13             | ✓        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                                    | 14            | 14             | ✓        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0             | 0              | <b>✓</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0             | 0              | ✓        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0             | 0              | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 4             | 4              | ✓        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0             | 0              | <b>✓</b> |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 123           | 123            | ✓        |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 50            | 50             | <b>✓</b> |
| I2c_SetStatus(Status_Cnt_T_u16)  | 7             | 7              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                                   | 54            | 54             | <b>✓</b> |
| target I2c GenStopCond I2cRegPtr Cnt T str.IMR                                   | 66            | 66             | ✓        |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR                                   | 8             | 8              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                                  | 554           | 554            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                                  | 344           | 344            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                                   | 123           | 123            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                                   | 45            | 45             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                                   | 54            | 54             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                                   | 66            | 66             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                                   | 554           | 554            | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                                   | 788           | 788            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                                  | 3             | 3              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                                   | 66            | 66             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                 | 344           | 344            | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                 | 66            | 66             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                                  | 3             | 3              | <b>~</b> |
| target I2c GenStopCond I2cRegPtr Cnt T str.FUN                                   | 1             | 1              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                                   | 3             | 3              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                                   | 2             | 2              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                  | 3             | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                                   | 3             | 3              |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLR                                   | 3             | 3              | <b>*</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                                   | 2             | 2              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                                    | 1             | 1              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                                   | 2             | 2              |          |
| target I2c Send I2cRegPtr Cnt T str.OAR  | 54            | 54             | -        |
| target I2c Send I2cRegPtr Cnt T str.IMR  | 66            | 66             |          |
|  | 8             | 8              | _        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL | 554           | 554            |          |
|  | 344           | 344            | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 123           | 123            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  |               |                | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 45            | 45             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 54            | 54             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66            | 66             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 554           | 554            | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 788           | 788            | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3             | 3              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66            | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 344           | 344            |          |

2014-10-14, 23:08:30+0530





| Namo  | Actual Value | Expected Value    | Result   |
|---|--------------|-------------------|----------|
| Name target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66           | Expected Value 66 | Result   |
| target_12c_Send_12cRegPtr_Cnt_T_str.DMAC  | 3            | 3                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1                 | <b>V</b> |
| target I2c Send I2cRegPtr Cnt T str.DIR   | 3            | 3                 | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3            | 3                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 1            | 1                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2                 | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR  | 54           | 54                |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR  | 66           | 66                | ¥        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 8<br>554     | 8<br>554          | -        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH                     | 344          | 344               |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CNT  | 123          | 123               | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 45           | 45                | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 54           | 54                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 554          | 554               | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 788          | 788               | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 3            | 3                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 344          | 344               | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3                 | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  | 2            | 2                 | · ·      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 3            | 3                 |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 3            | 3                 |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR                       | 2            | 2                 |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.PD   | 1            | 1                 | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 2            | 2                 | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 54           | 54                | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 8            | 8                 | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 554          | 554               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 344          | 344               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 123          | 123               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 45           | 45                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 54           | 54                | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR  | 66           | 66                | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR  | 554          | 554               | · ·      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 788          | 788               | ¥        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3<br>66      | 3<br>66           |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11                 | 344          | 344               |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66                |          |
| target I2c SetStatus I2cRegPtr Cnt T str.DMAC   | 3            | 3                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1                 | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3            | 3                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 1            | 1                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 2            | 2                 | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR   | 54           | 54                |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR   | 66           | 66                | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 8            | 8                 | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554               | <b>*</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 344<br>123   | 123               | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   |              | 45                | -        |
| target 12c SetunMasterReceive 12cRegPtr Cnt T etr DDD   | 45           |                   |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR   | 45<br>54     |                   | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54                | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR |              |                   |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 54<br>66     | 54<br>66          |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344          | 344            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344          | 344            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | ~        |

| T               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
| I2c_SetStatus   | 1     | I2c_SetStatus     | 1     | ~        |

| Test Step 2.6 (Repeat Count = 1)                | <b>✓</b>                                   |
|---|--|
| Name  | Input Value                                |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 6  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 100  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 200  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 250  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7846                                       |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 10   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_READEXTERR_SETREG             |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 16   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 17   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 0  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 5  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 98   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 60   |
| Flags_Cnt_T_b16                                 | 1  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_l2c_Send_l2cRegPtr_Cnt_T_str        |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str     |



| Digoon ont_interruptivetineation                |  | , , , |
|---|--|-------|
| Name  | Input Value  |       |
| l2c_SetStatus(l2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |       |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |       |
| l2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |       |
| T_DataRegisters_Cnt_u08[0]                      | 0  |       |
| T DataRegisters Cnt u08[1]                      | 32   |       |
| T_DataRegisters_Cnt_u08[2]                      | 30   |       |
| T_DataRegisters_Cnt_u08[3]                      | 36   |       |
| T_DataRegisters_Cnt_u08[4]                      | 38   |       |
| T_DataRegisters_Cnt_u08[5]                      | 34   |       |
| T_DataRegisters_Cnt_u08[6]                      | 10   |       |
|   | 12   |       |
| T_DataRegisters_Cnt_u08[7]                      |  |       |
| Γ_DataRegisters_Cnt_u08[8]                      | 14   |       |
| 2cREG1_temp                                     | target_i2cREG1_temp                                |       |
| c_ColSensorI2CAddress_Cnt_u08                   | 34   |       |
| C_SpurSensorI2CAddress_Cnt_u08                  | 60   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 10   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 10   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 1223   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 7846   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 8974   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 98   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 12   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 10   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 10   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 7846   |       |
| arget I2c GenStopCond I2cRegPtr Cnt T str.IVR   | 55   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 10   |       |
|   | 8974   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 |  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 10   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 1  |       |
| arget I2c GenStopCond I2cRegPtr Cnt T str.PSL   | 1  |       |
| arget I2c Send I2cRegPtr Cnt T str.OAR          | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 1223   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 7846   |       |
|   |  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 8974   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 98   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 12   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 7846   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 55   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 8974   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1  |       |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DIR          | 2  |       |
|   | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         |  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 2  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 1  |       |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 10   |       |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 10   |       |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 1223   |       |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 7846   |       |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 8974   |       |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 98   |       |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR       | 12   |       |
|   |  |       |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 10   |       |

2014-10-14, 23:08:30+0530



| Name  | Input Value                              |
|---|--|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 10                                       |
|   | 7846                                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 55                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 1  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 10                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 8974                                     |
|   |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 10                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1  |
| target I2c SetRecv I2cRegPtr Cnt T str.FUN  | 1  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 2  |
|   |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 1  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 1  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 2  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1  |
|   |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD   | 1  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 1  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 10                                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 10                                       |
|   | 1223                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 7846                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 8974                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 98                                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 12                                       |
|   |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 10                                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 10                                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 7846                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 55                                       |
|   |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 1  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 10                                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 8974                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 10                                       |
|   | 1  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC   |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 2  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1  |
|   |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 2  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 1  |
| target I2c SetStatus I2cRegPtr Cnt T str.PSL  | 1  |
|   |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 10                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 10                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 1223                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 7846                                     |
|   |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 8974                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 98                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 12                                       |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR   | 10                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 10                                       |
|   |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 7846                                     |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR   | 55                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 1  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 10                                       |
|   |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 8974                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 10                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 1  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN   | 1  |
|   | 2  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   |  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN   | 1  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 1  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 1  |
| · · · · · · · · · · · · · · · · ·   | 2  |
| target I2c SetupMasterReceive I2cPeaDtr Cnt T atr CLD   | -  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 4  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR   | 1  |
|   | 1  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR   |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 1  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 1<br>1<br>10                             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR  | 1<br>1<br>10<br>10                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 1<br>1<br>10                             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR  | 1<br>1<br>10<br>10                       |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL | 1<br>1<br>10<br>10<br>10<br>1223         |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 1<br>1<br>10<br>10<br>10<br>1223<br>7846 |

2014-10-14, 23:08:30+0530



|  |               |                | TOLO TOLO |
|--|---------------|----------------|-----------|
| Name   | Input Value   |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12            |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 10            |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 10            |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7846          |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55            |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1             |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10            |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 8974          |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 10            |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1             |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1             |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2             |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1             |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1             |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1             |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2             |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1             |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1             |                |           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1             |                |           |
| target_i2cREG1_temp.OAR                                  | 10            |                |           |
| target_i2cREG1_temp.IMR                                  | 10            |                |           |
| target_i2cREG1_temp.STR                                  | 1223          |                |           |
| target_i2cREG1_temp.CLKL                                 | 7846          |                |           |
| target_i2cREG1_temp.CLKH                                 | 8974          |                |           |
| target_i2cREG1_temp.CNT                                  | 98            |                |           |
| target_i2cREG1_temp.DRR                                  | 12            |                |           |
| target_i2cREG1_temp.SAR                                  | 10            |                |           |
| target_i2cREG1_temp.DXR                                  | 10            |                |           |
| target_i2cREG1_temp.MDR                                  | 7846          |                |           |
| target_i2cREG1_temp.IVR                                  | 55            |                |           |
| target_i2cREG1_temp.EMDR                                 | 1             |                |           |
| target_i2cREG1_temp.PSC                                  | 10            |                |           |
| target_i2cREG1_temp.PID11                                | 8974          |                |           |
| target_i2cREG1_temp.PID12                                | 10            |                |           |
| target_i2cREG1_temp.DMAC                                 | 1             |                |           |
| target_i2cREG1_temp.FUN                                  | 1             |                |           |
| target_i2cREG1_temp.DIR                                  | 2             |                |           |
| target_i2cREG1_temp.DIN                                  | 1             |                |           |
| target_i2cREG1_temp.DOUT                                 | 1             |                |           |
| target_i2cREG1_temp.SET                                  | 1             |                |           |
| target_i2cREG1_temp.CLR                                  | 2             |                |           |
| target_i2cREG1_temp.ODR                                  | 1             |                |           |
| target_i2cREG1_temp.PD                                   | 1             |                |           |
| target_i2cREG1_temp.PSL                                  | 1             |                |           |
| Name   | Actual Value  | Expected Value | Result    |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08          | 6             | 6              | •         |
| DigColPsInt Buffer Cnt M u08[0]                          | 100           | 100            |           |
| DigColPsInt_Buffer_Cnt_M_u08[1]                          | 200           | 200            |           |
| DigColPsInt Buffer Cnt M u08[2]                          | 250           | 250            |           |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                    | 1             | 1              |           |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                    | 1             | 1              |           |
| DigColPsInt ColCustDatFound Cnt M Igc                    | 1             | 1              |           |
| DigColPsInt ColSnsrData Cnt M u16                        | 7846          | 7846           |           |
| DigColPsInt CurrentSlave Cnt M u08                       | 10            | 10             |           |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                     | INIT_COMPLETE | INIT_COMPLETE  | •         |
| DigColPsInt I2CHwCustData Uls M u16                      | 16            | 16             |           |
| DigColPsInt I2CHwIncompleteCustData Uls M u16            | 17            | 17             |           |
| 2.goo. ot_izor winoompictoodotbata_olo_ivi_u 10          |               |                |           |

| Name  | Actual value  | Expected value | Result   |
|---|---------------|----------------|----------|
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 6             | 6              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 100           | 100            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 200           | 200            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 250           | 250            | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1             | 1              | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1             | 1              | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1             | 1              | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7846          | 7846           | <b>~</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 10            | 10             | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_COMPLETE | INIT_COMPLETE  | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 16            | 16             | ~        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 17            | 17             | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 1             | 1              | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1             | 1              | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1             | 1              | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 5             | 5              | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1             | 1              | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 98            | 98             | ~        |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 60            | 60             | ~        |
| I2c_SetStatus(Status_Cnt_T_u16)                 | 7             | 7              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 10            | 10             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 10            | 10             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 1223          | 1223           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 7846          | 7846           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH | 8974          | 8974           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 98            | 98             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 12            | 12             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 10            | 10             | ~        |
|   |               |                |          |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR  | 12           | 12             | Kesuit   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 10           | 10             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 10           | 10             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 7846         | 7846           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 55           | 55             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 10           | 10             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 8974         | 8974           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 10           | 10             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              |          |
| target I2c SetStatus I2cRegPtr Cnt T str.DIN  | 1            | 1              | ·        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 1            | 1              | <b>V</b> |
|   | 10           | 10             |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR | 10           | 10             |          |
|   |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846           |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974           | ,        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 98           | 98             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10             | <u> </u> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10             | <b>*</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55             | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 8974         | 8974           | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 10           | 10             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 10           | 10             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 10           | 10             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 1223         | 1223           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 7846         | 7846           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 8974         | 8974           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 98           | 98             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 12           | 12             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 10           | 10             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 10           | 10             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7846         | 7846           | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR  | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 10           | 10             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 8974         | 8974           | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12  | 10           | 10             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 1            | 1              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 1            | 1              |          |
|   | 1            | 1              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 1            | 1              |          |



| Τ               |       |                   |       | v      |
|-----------------|-------|-------------------|-------|--------|
| Actual Function | Count | Expected Function | Count | Result |
| I2c_SetStatus   | 1     | I2c_SetStatus     | 1     | •      |

| Test Step 2.7 (Repeat Count = 1)  |  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 7  |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 5  |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 9  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt ColSnsrData Cnt M u16                           | 0<br>847   |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 15   |
| DigColPsInt CurrentStepNo Cnt M enum  | INIT SENSOR1 DUMMY READ  |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 19   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 20   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 1  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 487  |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 70   |
| Flags_Cnt_T_b16   | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str                                 |
| I2c_Send(I2cRegPtr_Cnt_T_str) I2c_SetRecv(I2cRegPtr_Cnt_T_str)                                    | target_I2c_Send_I2cRegPtr_Cnt_T_str target_I2c_SetRecv_I2cRegPtr_Cnt_T_str |
| 2c_SetStatus( 2cRegPtr_Cnt_T_str)   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str                                   |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)   | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str                          |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str                         |
| T_DataRegisters_Cnt_u08[0]  | 0  |
| T_DataRegisters_Cnt_u08[1]  | 32   |
| T_DataRegisters_Cnt_u08[2]  | 30   |
| T_DataRegisters_Cnt_u08[3]  | 36   |
| T_DataRegisters_Cnt_u08[4]  | 38   |
| T_DataRegisters_Cnt_u08[5]  | 34   |
| T_DataRegisters_Cnt_u08[6]  | 10   |
| T_DataRegisters_Cnt_u08[7]  | 12   |
| T_DataRegisters_Cnt_u08[8]  | 14   |
| i2cREG1_temp  | target_i2cREG1_temp  |
| k_ColSensorl2CAddress_Cnt_u08   | 39   |
| k_SpurSensorI2CAddress_Cnt_u08  | 0<br>34  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR     | 24   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR  | 455  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 847  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 987  |
| target I2c GenStopCond I2cRegPtr Cnt T str.CNT  | 487  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 34   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 34   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 24   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 847  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 56   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 24   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 987  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 24   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 2  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN  | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 3 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN<br>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT | 2  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT   | 2 2  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR  | 3  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR  | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 34          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 24          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 455<br>847  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 987         |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 487         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 34          |
| target I2c Send I2cRegPtr Cnt T str.SAR   | 34          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 24          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 847         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 56          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 24          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 987         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 24          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 2 2         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR           | 3           |
| target I2c Send I2cRegPti_Cnt_T_str.CLR   | 3           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 2           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 34          |
| target I2c SetRecv I2cRegPtr Cnt T str.IMR  | 24          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 455         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 847         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 987         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 487         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 34          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 34          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 24          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 847         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 56          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 987         |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12  | 24          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 2           |
| target I2c SetRecv I2cRegPtr Cnt T str.FUN  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 2           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 34          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 24          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 455         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 847         |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH   | 987         |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT  | 487         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR | 34<br>34    |
| target_lzc_SetStatus_lzcRegPtr_Cnt_I_str.SAR target_lzc_SetStatus_lzcRegPtr_Cnt_T_str.DXR | 24          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR  | 847         |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR  | 56          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 24          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 987         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 24          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 3           |

2014-10-14, 23:08:30+0530



| Simple   Co.   Deficial   College    |  |             |
|--|--|-------------|
| Busch   12. Septimize   Facing Pro   1.0 T as P 79   | Name   | Input Value |
|  | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR             | 3           |
| Langel J.D., SouthWater Recover J. Parking F. Cert. J. and J. M.         24           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. T.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. T.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         49           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C. <t< td=""><td>target I2c SetStatus I2cRegPtr Cnt T str.PD</td><td>2</td></t<>  | target I2c SetStatus I2cRegPtr Cnt T str.PD              | 2           |
| Langel J.D., SouthWater Recover J. Parking F. Cert. J. and J. M.         24           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. T.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. T.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         487           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         48           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C.         49           Langel J.D., SouthWater Recover J. Parking F. Cert. T. and J. C. <t< td=""><td>target I2c SetStatus I2cRegPtr Cnt T str.PSL</td><td>2</td></t<>   | target I2c SetStatus I2cRegPtr Cnt T str.PSL             | 2           |
| Barget 102   SchickholmerRecewer   Carleging Co. T., 1987   1403   |  |             |
| bild of Dischardson-Receive Long-Right Cont. 7 at 5 TR         465           bild of Dischardson-Receive Long-Right Cont. 7 at 6 CR 4         607           bild of Dischardson-Receive Long-Right Cont. 7 at 6 CR 4         607           bild of Dischardson-Receive Long-Right Cont. 7 at 6 CR 7         447           bild of Dischardson-Receive Long-Right Cont. 7 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 7 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 7 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 7 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 8 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 8 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 8 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 8 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 8 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 8 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 8 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 8 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 8 at 6 CR 8         34           bild of Dischardson-Receive Long-Right Cont. 8 at 6 CR 8         34  |  |             |
| Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         847           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         187           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         34           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         34           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         34           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         34           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         34           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         34           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         34           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         34           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         34           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         2           Integral Ex. Subspikerine Receives (Jack Page Co. T. do CLA)         3           Integral Ex. Subspikerine Receives (Jack Page Co. T. do Cla)         3           Integral Ex. Subspikerine Receives (Jack Page Co. T. do Cla)         3           Integral Ex. Subspikerine Receives (Jack Page Co. T. do Cla)         3           Integral Ex. Subspikerine Receives (Jack Page Co. T. do Cla)         3           Integral Ex. Subspikerine Receives (Ja   |  |             |
| Larged, 10.2, SebaphaserRecove, Enrichter, C. T., M. C.U. H.  Larged, 10.2, SebaphaserRecove, Enrichter, C. T., M. C. T. S. L. DERR  James, 10.2, SebaphaserRecove, Enrichter, C. T., M. DERR  |  |             |
| Integral (2), Sephyshater Receive, Enriche (1.1 ± 0.008)  Integral (2), Se |  |             |
| Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         34           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         24           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         24           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         36           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         36           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         24           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         36           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         36           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         3           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         3           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         3           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         3           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         3           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         3           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         3           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         3           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         3           Long JLE, Shipkhart Recene (Disting For ILT, at ISRN 194         3 <td< td=""><td></td><td></td></td<>  |  |             |
| Image_IP_S. SemplehaterReceive_Distright_Crit are DNA  |  |             |
| Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and DRR         94           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and DRR         95           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and DRR         95           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and PSC         24           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and PSC         24           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and PSC         24           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and PSC         24           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and DSC         2           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and DSC         3           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and DSC         2           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and DSC         2           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and DSC         3           Langer, D.C., Salusharder Roome, D.C. Registro, C.M., J. and DSC         3           Langer, D.C., Salusharder Tarranne, D.C. Registro, C.M., J. and DSC         4           Langer, D.C., Salusharder Tarranne, D.C. Registro, C.M., J. and DSC         4           Langer, D.C., Salusharder Tarranne, D.C. Registro, C.M., J. and DSC         4           Langer, D.C., Salusharder Tarranne, D.C. Registro, C.M., J. and DSC         4<   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    |             |
| Barger   12.5. Sepulphderificeous   2.5 Sepu   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 34          |
| Langel LD, Saluphder Recove   District Coll T   Lange   District Recovered   Distr                        | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 24          |
|  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 847         |
| tampq_1_P2_Sebaph/testifectories_P2-P6-P6-P6_P0_T1_EFF P011         97           tampq_1_P2_Sebaph/testifectories_P2-P6-P6-P6_P0_T1_EFF P011         98           tampq_1_P2_Sebaph/testifectories_P2-P6-P6-P6_P0_T0_T_EFF P0102         24           tampq_1_P2_Sebaph/testifectories_P2-P6-P6_P0_T0_T0_TEST P0102         24           tampq_1_P2_Sebaph/testifectories_P2-P6-P6_P0_T0_T0_TS P0108         3           tampq_1_P2_Sebaph/testifectories_P2-P6-P6_P0_T0_T0_TS P0108         3           tampq_1_P2_Sebaph/testifectories_P2-P6-P6_P0_T0_T0_TS P0108         3           tampq_1_P2_Sebaph/testifectories_P2-P6-P6_P0_T0_T0_TS P010         2           tampq_1_P2_Sebaph/testifectories_P2-P6-P6_P0_T0_T0_TS P01         3           tampq_1_P2_Sebaph/testifectories_P2-P6-P0_T0_T0_TS P01         3           tampq_1_P2_Sebaph/testifectories_P2-P6-P0_T0_T0_TS P01         2           tampq_1_P2_Sebaph/testifectories_P2-P6-P0_T0_TS P01         3           tampq_1_P2_Sebaph/testifectories_P2-P6-P0_T0_TS P01         4           tampq_1_P2_Se  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 56          |
| Langet, D.C., Seluphidest Francisco, Li 2016-100         24           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         2           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         2           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         3           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         3           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         3           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         2           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         3           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         3           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         3           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         4           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         4           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         4           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         4           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         4           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         4           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         4           Langet, D.C., Seluphidest Francisco, Lord, Conf. of DIAC         4           Langet, D.C.,   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2           |
| Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Receive (2014) Col. 1 at DINZ           Langel E.D. Setuphater Transmill (2014) Col. 1 at DINZ           Langel E.D. Setuphater Transmill (2014) Col. 1 at DINZ           Langel E.D. Setuphater Transmill (2014) Col. 1 at DINZ           Langel E.D. Setuphater Transmill (2014) Col. 1 at DINZ           Langel E.D. Setuphater Transmill (2014) Col. 1 at DINZ           Langel E.D. Setuphater Transmill (2014) Col. 1 at DINZ           Langel E.D. Setuphater Transmill (2014) Col. 1 at DINZ           Langel E.D. Setuphater Transmill (2014) Col. 1 at D  | target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC    | 24          |
| Langer, D. S., Schuphaster Rockers, Dischart Conf. 1 at DIMAC         2           Langer, D. S., Schuphaster Rockers, Dischart Conf. 1 at DIMAC         2           Langer, D. S., Schuphaster Rockers, Dischart Conf. 1 at DIM         3           Langer, D. S., Schuphaster Rockers, Dischart Conf. 1 at DIM         3           Langer, D. S., Schuphaster Rockers, Dischart Conf. 1 at DIM         3           Langer, D. S., Schuphaster Rockers, Dischart Conf. 1 at DIM         3           Langer, D. S., Schuphaster Rockers, Dischart Conf. 2 at DIM         3           Langer, D. S., Schuphaster Rockers, Dischart Conf. 2 at DIM         3           Langer, D. S., Schuphaster Rockers, Dischart Conf. 2 at DIM         3           Langer, D. S., Schuphaster Rockers, Dischart Conf. 2 at DIM         2           Langer, D. S., Schuphaster Transmill, Elengary Conf. 2 at DIM         2           Langer, D. S., Schuphaster Transmill, Elengary Conf. 2 at DIM         2           Langer, D. S., Schuphaster Transmill, Elengary Conf. 2 at DIM         24           Langer, D. S., Schuphaster Transmill, Elengary Conf. 2 at DIM         24           Langer, D. S., Schuphaster Transmill, Elengary Conf. 2 at DIM         24           Langer, D. S., Schuphaster Transmill, Elengary Conf. 2 at DIM         24           Langer, D. S., Schuphaster Transmill, Elengary Conf. 2 at DIM         24           Langer, D. S., Schuphaster Transmill, Elengar   | target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11  | 987         |
| Image: 12.5 SebupMaterForcous   Exchange Tr. Cont.   Jan. 12.10  |  | 24          |
| taged, IZC. SetupMaster Receive, IZR-RegPtr, Cott. [1 air RIN   1   1   1   1   1   1   1   1   1  |  |             |
| Image, Tick, Setup-Macter Receipe, Directop Fr. Cert. 1 at DNN   3   1   1   1   1   1   1   1   1   1   |  |             |
| target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONT 1 target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONT 2 target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONT 2 target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONT 3 target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONT 3 target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONR 3 target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONR 3 target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONR 3 target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONR 3 target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONR 3 target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONR 3 target, IZC. SetupMasterRecore (IZR-RegPir Cnt. ] at DONR 3 target, IZC. SetupMasterTransmit, IZR-RegPir Cnt. ] at DONR 3 target, IZC. SetupMasterTransmit, IZR-RegPir, Cnt. ] at DONR 3 targ |  |             |
| Insert   12. SetupMaseFreenee   Enferght Cost   1 at DOUT  |  |             |
| target_RE_SetupMasterRecove_REPREPIDE_COLT_str COR         3           target_RE_SetupMasterRecove_REPREPIDE_COLT_str COR         3           target_RE_SetupMasterRecove_REPREPIDE_COLT_str DOR         3           target_RE_SetupMasterRecove_REPREPIDE_COLT_str DOR         2           target_RE_SetupMasterRecove_REPREPIDE_COLT_str DOR         2           target_RE_SetupMasterRecove_REPREPIDE_COLT_str DOR         3           target_RE_SetupMasterRecove_REPREPIDE_COLT_str DOR         3           target_RE_SetupMasterTransmit_REPREPID_COLT_str DOR         34           target_RE_SetupMasterTransmit_REPREPID_COLT_str DOR         34           target_RE_SetupMasterTransmit_REPREPID_COLT_str DOR         34           target_RE_SetupMasterTransmit_REPREPID_COLT_str DOR         36           target_RE_SetupMasterTransmit_REPREPID_COLT_str DOR         34           target_RE_SetupMasterTransmit_REPREPID_COLT_str DOR         3           target_RE_SetupMasterTransmit_REPREPID_COLT_str DOR         3   |  |             |
| Image:   Dr. SetupMasterRecove   ZeRepPt: Cell   Set ODR   |  |             |
| target [22. SetupMasterReceive [20RegPtr. Cert.] 1 str PD         2           target [22. SetupMasterReceive [20RegPtr. Cert.] 1 str PD         2           target [22. SetupMasterReceive [20RegPtr. Cert.] 1 str PD         2           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str NAR         34           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str NAR         24           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str NAR         24           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str NAR         455           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str CARL         947           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str CARL         947           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str CARL         947           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str NAR         34           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str NAR         34           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str NAR         36           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str NAR         56           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str NAR         56           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str PD11         987           target [22. SetupMaster Transmil. [20RegPtr. Cert.] 1 str PD12         24           target [22. SetupMaste   |  |             |
| langel, I.S., Sehuphdaster Francer, I.S., Carloy, T. C. M. T., att PD.         2           largel, I.Zo., Sehuphdaster Francer, I.Z., Sephr. C.M. T., att P.S.         2           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att NR         34           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att NR         24           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att C.K.H.         447           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att C.K.H.         487           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att D.R.R.         34           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att D.R.R.         34           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att D.R.R.         34           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att D.R.R.         34           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att D.R.R.         34           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att P.D.R.         34           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att P.D.R.         36           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att P.D.R.         38           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att P.D.R.         38           largel, I.Zo., Sehuphdaster Transmil, I.Z.Reght, C.M. T., att P.D.R.         3           largel, I.Zo., Sehuphdaster Tra  |  |             |
| target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_PSI         2           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_MRR         24           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_MRR         24           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_MRR         24           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_CLK         847           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_CLK         847           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_CLK         847           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_DRR         34           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_DRR         34           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_DRR         24           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_DRR         24           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_DRR         25           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_DRR         26           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_DRR         26           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_DRR         27           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_DRR         28           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_DRR         28           target_Ize_SetupMasterTransmit_EcRegPtr_Cnit_T_str_DRR         28           target_Ize_SetupMasterT  |  |             |
| langel 2.C. SetupMasterTransmit J2cRegPtr_CnLT_str_MR         24           lorgel, 2.C. SetupMasterTransmit J2cRegPtr_CnLT_str_MR         45           langel, 2.C. SetupMasterTransmit J2cRegPtr_CnLT_str_MR         45           langel, 2.C. SetupMasterTransmit J2cRegPtr_CnLT_str_Str_N         47           langel, 2.C. SetupMasterTransmit J2cRegPtr_CnLT_str_Str_N         487           langel, 2.C. SetupMasterTransmit J2cRegPtr_CnLT_str_DRR         34           langel, 2.C. SetupMasterTransmit J2cRegPtr_CnLT_str_DRR         36           langel, 2.C. SetupMasterTransmit J2cRegPtr_CnLT_str_DRR         2           langel, 2.C. SetupMasterTransmit J2cRegPtr_CnLT_str_DRR         2           langel, 2.C. SetupMasterTransmit J2cRegPtr_CnLT_str_DRR         3           langel, 2.C.   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 2           |
| target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.MR         24           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.CkL         847           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.CkL         847           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.CkNL         987           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.CkNL         987           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.CkNL         487           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.SkNL         34           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.SkNL         34           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.MR         84           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.MR         84           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.MR         84           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.MR         26           target_L2e_SebupMaster Transmit_L2cRepPtr_CntT_str.Dtr.Dtr.Compt_Lat.Ck.Ck.Ck.Ck.Ck.Ck.Ck.Ck.Ck.Ck.Ck.Ck.Ck.  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2           |
| large_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.CkL         847           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.CkL         847           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.CkN         897           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.CkN         487           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.DkR         34           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.DkR         34           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.DkR         24           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.DkR         24           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.DkR         24           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.DkDR         2           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.DkDR         2           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.DkDR         2           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.DkDR         24           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.DkDR         2           target_L2e_SetupMasterTransmit_ZeRepPrb_Cnlstr.DkDR         2           target_L2e_SetupMasterTransmit_ZeRepPrc_Cnlstr.DkDR         2           target_L2e_SetupMasterTransmit_ZeRepPrc_Cnlstr.DkDR         3           target_L2e_SetupMasterTransmit_ZeRepPrc_Cnlstr.DkDR         3           target_L2e_SetupMasterTransmit_ZerepPrc_Cnlstr.DkDR <td>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR</td> <td>34</td>  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 34          |
| target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.CLKL         847           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.CNT         457           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.CNT         457           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.SAR         34           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         25           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         26           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         2           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         3           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         3           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         3           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         2           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         3           target_L2e_SetupMas  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 24          |
| target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.CLKL         847           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.CNT         457           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.CNT         457           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.SAR         34           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         25           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         26           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXR         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         24           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         2           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         3           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         3           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         3           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         2           target_L2e_SetupMasterTransmit_L2cRepPtc_Ont_T_str.DXDX         3           target_L2e_SetupMas  | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 455         |
| target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tstr.CNT         487           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DRR         34           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DRR         34           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DRR         34           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DRR         34           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DRR         47           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DRR         47           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DRR         2           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DRC         2           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DDT1         387           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DDT1         387           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DDT2         2           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DDT3         3           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DDT3         3           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DDT3         3           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DDT3         3           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DDT3         3           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DDT3         3           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_tst.DDT3 <td></td> <td>847</td>   |  | 847         |
| torget_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_CNT         487           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_SAR         34           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DRR         24           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DRR         24           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DRR         56           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DRR         56           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DRC         24           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DRC         24           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DRC         24           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DRC         24           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DRC         2           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DRC         2           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DDT         3           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DDT         2           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DDT         2           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DD         3           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DD         2           target_L2e_SetupMasterTransmit_L2cRegPtr_Cnt_T_str_DD         2           target_L2e_SetupMasterTransmit_L2cR  |  |             |
| target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DRR         34           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DRR         24           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DRR         34           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DRR         34           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DRR         65           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DRR         2           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DRT         387           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DID12         24           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DMC         2           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DMC         2           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DIR         3           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DIR         3           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DIR         3           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DIR         3           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DIR         3           target_Ize_SetupMasterTransmit_IzcRegPtr_Cnt_T_str.DIR         3           target_Ize_SetupMasterTransmit_IzeRegPtr_Cnt_T_str.DIR         3           target_Ize_SetupMasterTransmit_IzeRegPtr_Cnt_T_str.DIR         3           target_Ize_SetUpMasterTransmit_Iz  |  |             |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         24           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         34           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         367           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         56           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         24           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         24           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         3           target_12c_Set_1_temp.DXR         45           target_12c_REGT_1_temp.DXR         45   |  |             |
| large_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.NDR         24           targe_12_SetupMasterTransmit_122-RepPtr_Cnt_T_str.NDR         847           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.NDR         56           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.NDR         2           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.NDR         2           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.NDL         24           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.NDL         2           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.NDL         2           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.NDL         2           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.DDL         3           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.DDL         2           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.DDL         2           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.DDL         2           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.DDL         3           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.DDL         3           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.DDL         2           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.DDL         3           targe_12_S. SetupMasterTransmit_122-RepPtr_Cnt_T_str.DDL         4           targe  |  |             |
| target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.NR         56           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.NR         2           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.PRC         24           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.PDC         24           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.PDD12         24           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.PDD12         24           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.PDD12         24           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.DRC         2           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.DR         3           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.DRC         3           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.DRC         2           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.DRC         3           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.DRC         2           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.DRC         2           target 12c. SetupMasterTransmit 12cRegPtr_CntT_str.DRC         2           target 12c. SetupMasterTransmit 12  |  |             |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.NRR         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.PMRR         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.PD11         987           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.PD11         987           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.PD12         24           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.DNAC         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.DNAC         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.DNA         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.DNA         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.DNA         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.Str.DNA         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.Str.DNA         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.DNA         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.DNA         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_str.DNA         4           target_12c_REGI_temp_OAR         4           target_12c_REGI_temp_DAR         4           target_12c_REGI_temp_DNR         4           target_12c_REGI_temp_DNR         4           target_12c_REGI_temp_DNR         4      <  |  |             |
| target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.PNC         24           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.PID11         987           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.PID12         24           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.PID12         24           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DMC         2           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DW         0           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DW         3           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DW         3           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DW         2           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DW         3           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DW         3           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DW         3           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DW         3           target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DW         4           target_12c_REG_1_temp_OAR         4           target_12c_REG_1_temp_DAR         455           target_12c_REG_1_temp_STR         445           target_12c_REG_1_temp_DAR         487           target_12c_REG_1_temp_DAR         487           target_12c_REG_1_temp_DAR         487 <td< td=""><td></td><td></td></td<>  |  |             |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PDt1         987           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PDt12         24           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNAC         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DN         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DN         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CtR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CDR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DN         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DD         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DN         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DN         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DN         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DN         3           target_12c_REG_1_temp_DMR         4           target_12c_REG_1_temp_DMR         45           target_12c_REG_1_temp_DNR         487           target_12c_REG_1_   |  |             |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12         24           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNC         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNC         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOR         34           target_12c_REG_1_temp_DAR         45           target_12c_REG_1_temp_DAR         45           target_12c_REG_1_temp_CLKL         847           target_12c_REG_1_temp_CLKL         487           target_12c_REG_1_temp_CLK         487           target_12c_REG_1_temp_DAR         34           target_12c_REG_1_temp_DAR         34           target_1  |  |             |
| larget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12         24           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNAC         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DONT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.ClR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.ClR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DON         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DON         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DON         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DON         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DN         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DN         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DN         4           target_12c_REG1_temp_DIMR         45           target_12c_REG1_temp_DLK         847           target_12c_REG1_temp_DXR         34           target_12c_REG1_temp_DXR         34           target_12c_REG1_temp_DXR         44  |  | 24          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL         2           target_12c_REG0_1emp_OAR         34           target_12c_REG0_1emp_DAR         45           target_12c_REG0_1emp_CLKL         847           target_12c_REG0_1emp_CLKL         847           target_12c_REG0_1emp_DAR         34           target_12c_REG0_1emp_DAR         34           target_12c_REG0_1emp_DAR         44           target_12c_REG0_1emp_DAR         47           target_12c_REG0_1emp_NDR         2           target_12c_REG0_1emp_NDR         24   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 987         |
| target_I2_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN         3           target_I2_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN         3           target_I2_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN         3           target_I2_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT         2           target_I2_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET         2           target_I2_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOR         3           target_I2_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOR         34           target_I2_Set_Inmp_STR         45           target_I2_Set_Inmp_STR         45           target_I2_CREG1_temp_CKH         487           target_I2_CREG1_temp_CKT         487           target_I2_CREG1_temp_DRR         34           target_I2_CREG1_temp_DRR         34           target_I2_CREG1_temp_DNR         24           target_I2_CREG1_temp_DNDR  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 24          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DINT         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET         2           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET         2           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CDR         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD         2           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR         3           target_I2c_REG_Itemp_CNR         34           target_I2c_REG_Itemp_CNR         45           target_I2c_REG_Itemp_CLKL         847           target_I2c_REG_Itemp_CLKL         987           target_I2c_REG_Itemp_CNT         487           target_I2c_REG_Itemp_DRR         34           target_I2c_REG_Itemp_DRR         34           target_I2c_REG_Itemp_DRR         34           target_I2c_REG_Itemp_DRR         487           target_I2c_REG_Itemp_DRR         847           target_I2c_REG_Itemp_DRR         24           target_I2c_REG_Itemp_DRR         24           target_I2c_REG_Itemp_DRR         24           target_I2c_REG_Itemp_DRD         24           ta  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR         3           target_l2c_SetUpMasterTransmit_l2cRegPtr_Cnt_T_str.DDR         3           target_l2c_REG1_temp_OAR         34           target_l2c_REG1_temp.DAR         45           target_l2c_REG1_temp_CLKL         847           target_l2c_REG1_temp_CNT         487           target_l2c_REG1_temp_DAR         34           target_l2c_REG1_temp_DAR         34           target_l2c_REG1_temp_DAR         47           target_l2c_REG1_temp_DNR         487           target_l2c_REG1_temp_DNR         487           target_l2c_REG1_temp_DNR         487           target_l2c_REG1_temp_DNB         2           target_l2c_REG1_temp_DNG </td <td>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN</td> <td>0</td>   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.SET         2           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.SET         2           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNR         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DN         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PD         2           target_!2cREG1_temp_OAR         34           target_!2cREG1_temp_DAR         24           target_!2cREG1_temp_CLK.         847           target_!2cREG1_temp_CLK         847           target_!2cREG1_temp_CLK         847           target_!2cREG1_temp_DCLK         847           target_!2cREG1_temp_DCLK         847           target_!2cREG1_temp_DCLK         847           target_!2cREG1_temp_DAR         34           target_!2cREG1_temp_DAR         34           target_!2cREG1_temp_DAR         34           target_!2cREG1_temp_DNR         847           target_!2cREG1_temp_DNR         847           target_!2cREG1_temp_DMDR         2           target_!2cREG1_temp_EMDR         2           target_!2cREG1_temp_PDD1         987           target_!2cREG1_temp_DMAC         2           target_!2cREG1_temp_DMAC         2           target_!2cREG1_temp_D   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3           |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLR         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLR         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DDR         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DD         2           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DSL         2           target_!2cREG1_temp.OAR         34           target_!2cREG1_temp.DMR         24           target_!2cREG1_temp.CLKL         847           target_!2cREG1_temp.CLKL         847           target_!2cREG1_temp.CNT         487           target_!2cREG1_temp.DNR         34           target_!2cREG1_temp.DNR         34           target_!2cREG1_temp.DNR         34           target_!2cREG1_temp.DNR         34           target_!2cREG1_temp.DNR         34           target_!2cREG1_temp.DNR         34           target_!2cREG1_temp.DNR         24           target_!2cREG1_temp.DNR         24           target_!2cREG1_temp.DNR         24           target_!2cREG1_temp.ENDR         2           target_!2cREG1_temp.DNC         24           target_!2cREG1_temp.DNC         24           target_!2cREG1_temp.DNC         24           target_!2cREG1_temp.DNC   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3           |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLR         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DDR         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PD         2           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL         2           target_!2cREG1_temp_OAR         34           target_!2cREG1_temp_IMR         24           target_!2cREG1_temp_CLKL         847           target_!2cREG1_temp_CLKH         967           target_!2cREG1_temp_DRR         34           target_!2cREG1_temp_DRR         34           target_!2cREG1_temp_DRR         34           target_!2cREG1_temp_DRR         34           target_!2cREG1_temp_DRR         24           target_!2cREG1_temp_DRR         24           target_!2cREG1_temp_MDR         847           target_!2cREG1_temp_DRR         24           target_!2cREG1_temp_DRDR         24           target_!2cREG1_temp_ENDR         2           target_!2cREG1_temp_DRC         24           target_!2cREG1_temp_DRD         24           target_!2cREG1_temp_DRD         24           target_!2cREG1_temp_DRD         24           target_!2cREG1_temp_DRD         2           target_!2cREG1_temp_DRD         2   | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 2           |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLR         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DDR         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PD         2           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL         2           target_!2cREG1_temp_OAR         34           target_!2cREG1_temp_IMR         24           target_!2cREG1_temp_CLKL         847           target_!2cREG1_temp_CLKH         967           target_!2cREG1_temp_DRR         34           target_!2cREG1_temp_DRR         34           target_!2cREG1_temp_DRR         34           target_!2cREG1_temp_DRR         34           target_!2cREG1_temp_DRR         24           target_!2cREG1_temp_DRR         24           target_!2cREG1_temp_MDR         847           target_!2cREG1_temp_DRR         24           target_!2cREG1_temp_DRDR         24           target_!2cREG1_temp_ENDR         2           target_!2cREG1_temp_DRC         24           target_!2cREG1_temp_DRD         24           target_!2cREG1_temp_DRD         24           target_!2cREG1_temp_DRD         24           target_!2cREG1_temp_DRD         2           target_!2cREG1_temp_DRD         2   |  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL         2           target_l2cREG1_temp_OAR         34           target_l2cREG1_temp_DIMR         24           target_l2cREG1_temp_CLKL         847           target_l2cREG1_temp_CLKH         967           target_l2cREG1_temp_DRR         34           target_l2cREG1_temp_DRR         34           target_l2cREG1_temp_DRR         34           target_l2cREG1_temp_DRR         34           target_l2cREG1_temp_DAR         34           target_l2cREG1_temp_DAR         34           target_l2cREG1_temp_DAR         34           target_l2cREG1_temp_DDR         847           target_l2cREG1_temp_DMR         24           target_l2cREG1_temp_DMR         2           target_l2cREG1_temp_PBC         24           target_l2cREG1_temp_PDD1         24           target_l2cREG1_temp_PDD2         24           target_l2cREG1_temp_DMAC         2           target_l2cREG1_temp_DMAC         2           target_l2cREG1_temp_DMR         3           target_l2cREG1_temp_DIN         3           target_l2  |  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL         2           target_l2cREG1_temp.OAR         34           target_l2cREG1_temp.IMR         24           target_l2cREG1_temp.STR         455           target_l2cREG1_temp.CLKL         847           target_l2cREG1_temp.CKH         987           target_l2cREG1_temp.DRR         487           target_l2cREG1_temp.DRR         34           target_l2cREG1_temp.DRR         34           target_l2cREG1_temp.DNR         24           target_l2cREG1_temp.DNR         847           target_l2cREG1_temp.DNR         847           target_l2cREG1_temp.DNR         24           target_l2cREG1_temp.DNR         2           target_l2cREG1_temp.EMDR         2           target_l2cREG1_temp.PID11         987           target_l2cREG1_temp.PID12         24           target_l2cREG1_temp.PID101         24           target_l2cREG1_temp.PID11         24           target_l2cREG1_temp.DNR         2           target_l2cREG1_temp.DNR         0           target_l2cREG1_temp.FUN         0           target_l2cREG1_temp.DIR         3           target_l2cREG1_temp.DIR   |  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL         2           target_l2cREG1_temp.OAR         34           target_l2cREG1_temp.MIMR         24           target_l2cREG1_temp.STR         455           target_l2cREG1_temp.CLKL         847           target_l2cREG1_temp.CLKH         997           target_l2cREG1_temp.DNR         34           target_l2cREG1_temp.DNR         34           target_l2cREG1_temp.DNR         24           target_l2cREG1_temp.MDR         847           target_l2cREG1_temp.MDR         847           target_l2cREG1_temp.MDR         2           target_l2cREG1_temp.EMDR         2           target_l2cREG1_temp.PDDR         2           target_l2cREG1_temp.PDD11         997           target_l2cREG1_temp.PID11         997           target_l2cREG1_temp.PID101         2           target_l2cREG1_temp.PID101         2           target_l2cREG1_temp.PID101         2           target_l2cREG1_temp.DMAC         2           target_l2cREG1_temp.DINR         3           target_l2cREG1_temp.DINR         3           target_l2cREG1_temp.DINR         3  |  |             |
| target_i2cREG1_temp.OAR       34         target_i2cREG1_temp.IMR       24         target_i2cREG1_temp.STR       455         target_i2cREG1_temp.CLKL       847         target_i2cREG1_temp.CLKH       987         target_i2cREG1_temp.CNT       487         target_i2cREG1_temp.DRR       34         target_i2cREG1_temp.DRR       34         target_i2cREG1_temp.DNR       24         target_i2cREG1_temp.MDR       847         target_i2cREG1_temp.IVR       56         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PDB1       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3          target_i2cREG1_temp.DIN       3  |  |             |
| target_i2cREG1_temp.IMR       24         target_i2cREG1_temp.STR       455         target_i2cREG1_temp.CLKL       847         target_i2cREG1_temp.CLKH       987         target_i2cREG1_temp.CNT       487         target_i2cREG1_temp.DRR       34         target_i2cREG1_temp.SAR       34         target_i2cREG1_temp.DXR       24         target_i2cREG1_temp.MDR       847         target_i2cREG1_temp.WR       56         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       0   |  |             |
| target_i2cREG1_temp.STR       455         target_i2cREG1_temp.CLKL       847         target_i2cREG1_temp.CLKH       987         target_i2cREG1_temp.DNT       487         target_i2cREG1_temp.DRR       34         target_i2cREG1_temp.DNR       34         target_i2cREG1_temp.DXR       24         target_i2cREG1_temp.MDR       847         target_i2cREG1_temp.EMDR       56         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.PIDNAC       2         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3  |  |             |
| target_i2cREG1_temp.CLKL       847         target_i2cREG1_temp.CLKH       987         target_i2cREG1_temp.CNT       487         target_i2cREG1_temp.DRR       34         target_i2cREG1_temp.DAR       34         target_i2cREG1_temp.DXR       24         target_i2cREG1_temp.MDR       847         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3  | · ·  |             |
| target_i2cREG1_temp.CLKH       987         target_i2cREG1_temp.CNT       487         target_i2cREG1_temp.DRR       34         target_i2cREG1_temp.SAR       34         target_i2cREG1_temp.DXR       24         target_i2cREG1_temp.MDR       847         target_i2cREG1_temp.IVR       56         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3   |  |             |
| target_i2cREG1_temp.CNT       487         target_i2cREG1_temp.DRR       34         target_i2cREG1_temp.SAR       34         target_i2cREG1_temp.DXR       24         target_i2cREG1_temp.MDR       847         target_i2cREG1_temp.IVR       56         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3  | · ·  |             |
| target_i2cREG1_temp.DRR       34         target_i2cREG1_temp.SAR       34         target_i2cREG1_temp.DXR       24         target_i2cREG1_temp.MDR       847         target_i2cREG1_temp.IVR       56         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3  |  |             |
| target_i2cREG1_temp.SAR       34         target_i2cREG1_temp.DXR       24         target_i2cREG1_temp.MDR       847         target_i2cREG1_temp.IVR       56         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3   |  |             |
| target_i2cREG1_temp.DXR       24         target_i2cREG1_temp.MDR       847         target_i2cREG1_temp.IVR       56         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3  |  |             |
| target_i2cREG1_temp.MDR       847         target_i2cREG1_temp.IVR       56         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3   |  |             |
| target_i2cREG1_temp.IVR       56         target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3   |  |             |
| target_i2cREG1_temp.EMDR       2         target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3  | target_i2cREG1_temp.MDR                                  | 847         |
| target_i2cREG1_temp.PSC       24         target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3   | target_i2cREG1_temp.IVR                                  | 56          |
| target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3  | target_i2cREG1_temp.EMDR                                 | 2           |
| target_i2cREG1_temp.PID11       987         target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3  | target_i2cREG1_temp.PSC                                  | 24          |
| target_i2cREG1_temp.PID12       24         target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3  |  |             |
| target_i2cREG1_temp.DMAC       2         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       3   |  |             |
| target_i2cREG1_temp.FUN         0           target_i2cREG1_temp.DIR         3           target_i2cREG1_temp.DIN         3  |  |             |
| target_i2cREG1_temp.DIR 3 target_i2cREG1_temp.DIN 3  | · ·  |             |
| target_i2cREG1_temp.DIN 3  |  |             |
| V  |  |             |
| talge_izenteoi_tenip.b001  |  |             |
|  | target_rzci\LG1_terrip.DG01                              | -           |

2014-10-14, 23:08:30+0530



| Name  | Input Value                     |                                 |          |
|---|---------------------------------|---------------------------------|----------|
| target_i2cREG1_temp.SET   | 2                               |                                 |          |
| target_i2cREG1_temp.CLR   | 3                               |                                 |          |
| target_i2cREG1_temp.ODR   | 3                               |                                 |          |
| target_i2cREG1_temp.PD  | 2                               |                                 |          |
| target_i2cREG1_temp.PSL   | 2                               | I                               | 1        |
| Name  | Actual Value                    | Expected Value                  | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 7                               | 7                               | ~        |
| DigColPoint_Buffer_Cnt_M_u08[0]   | 10 3                            | 10 3                            | Ž        |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]                               | 7                               | 7                               | -        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                               | 0                               | -        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 0                               | 0                               | <b>✓</b> |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0                               | 0                               | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 847                             | 847                             | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 0                               | 0                               | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_EXTREADADDRREG_SEN | INIT_SENSOR2_EXTREADADDRREG_SEN | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 19                              | 19                              | ~        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 20                              | 20                              | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                               | 0                               | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                               | 0                               | <b>*</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc DigColPsInt_RecvdDataType_Cnt_M_u08                    | 0                               | 1                               | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0                               | 0                               | ,        |
| DigColPsInt SpurSnsrData Cnt M u16  | 487                             | 487                             | -        |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 70                              | 70                              | -        |
| I2c_Send(Length_Cnt_T_u32)  | 3                               | 3                               | <b>✓</b> |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 3                               | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 34                              | 34                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 24                              | 24                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 455                             | 455                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 847                             | 847                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 987                             | 987                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 487                             | 487                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 34                              | 34                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 34                              | 34                              | <b>*</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR  | 24<br>847                       | 24<br>847                       | Ž        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR | 56                              | 56                              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 2                               | 2                               | J        |
| target I2c GenStopCond I2cRegPtr Cnt T str.PSC  | 24                              | 24                              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 987                             | 987                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 24                              | 24                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 2                               | 2                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 0                               | 0                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 3                               | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 3                               | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 2                               | 2                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 2                               | 2                               | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR | 3 3                             | 3 3                             | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD   | 2                               | 2                               | ,        |
| target I2c GenStopCond I2cRegPtr Cnt T str.PSL  | 2                               | 2                               | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 34                              | 34                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 24                              | 24                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 455                             | 455                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 847                             | 847                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 987                             | 987                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 487                             | 487                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 34                              | 34                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 34                              | 34                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 24                              | 24                              | · ·      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 847<br>56                       | 847<br>56                       | <b>*</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR              | 2                               | 2                               | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 24                              | 24                              | Ž        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 987                             | 987                             | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 24                              | 24                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2                               | 2                               | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0                               | 0                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3                               | 3                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3                               | 3                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2                               | 2                               | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 2                               | 2                               | ~        |
|   |                                 |                                 |          |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR     | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR     | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD      | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL     | 2            | 2              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 34           | 34             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 24           | 24             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 455          | 455            | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL | 847          | 847            | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH | 987          | 987            | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 487          | 487            | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 34           | 34             |          |
|   |              |                |          |

2014-10-14, 23:08:30+0530



|  | 1            | I              |          |
|--|--------------|----------------|----------|
| Name   | Actual Value | Expected Value | Result   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 34           | 34             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 24           | 24             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 455          | 455            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 847          | 847            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 987          | 987            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 487          | 487            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 34           | 34             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 34           | 34             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 24           | 24             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 847          | 847            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 56           | 56             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 24           | 24             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 987          | 987            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 24           | 24             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | •        |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteData          | 1     | SetupWriteData          | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | -        |

| Test Step 2.8 (Repeat Count = 1)                | ullet  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 8  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 28   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 56   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 100  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 20   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_EXTREADCTRLREG_READ                   |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 22   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 23   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 2  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 2  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 80   |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |

2014-10-14, 23:08:30+0530



| DigColFSInt_InterruptNotification   |                     | ( WECKER |
|---|---------------------|----------|
| Name  | Input Value         |          |
| 「_DataRegisters_Cnt_u08[2]  | 30                  |          |
| T_DataRegisters_Cnt_u08[3]  | 36                  |          |
| Γ_DataRegisters_Cnt_u08[4]  | 38                  |          |
| 「_DataRegisters_Cnt_u08[5]  | 34                  |          |
| Γ_DataRegisters_Cnt_u08[6]  | 10                  |          |
| Γ_DataRegisters_Cnt_u08[7]  | 12                  |          |
| T_DataRegisters_Cnt_u08[8]  | 14                  |          |
| 2cREG1_temp   | target_i2cREG1_temp |          |
| <_ColSensorl2CAddress_Cnt_u08   | 44                  |          |
| <pre>&lt;_SpurSensorI2CAddress_Cnt_u08</pre>  | 127                 |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55                  |          |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66                  |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR  | 556                 |          |
|   | 2309                |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  |                     |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 1204                |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87                  |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67                  |          |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR   | 55                  |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                  |          |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR   | 2309                |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66                  |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 1204                |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66                  |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                   |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3                   |          |
| rarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL  | 3                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55                  |          |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66                  |          |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556                 |          |
|   | 2309                |          |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  |                     |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204                |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87                  |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67                  |          |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.SAR  | 55                  |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66                  |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309                |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66                  |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204                |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66                  |          |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC   | 3                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2                   |          |
| arget I2c Send I2cRegPtr Cnt T str.DOUT   | 3                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3                   |          |
|   | 55                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   |                     |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 556                 |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2309                |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 1204                |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 87                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66                  |          |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 2309                |          |
|   | 5                   |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 3                   |          |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR<br>arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR | 3                   |          |

2014-10-14, 23:08:30+0530



| <u> </u>   |             |  |
|--|-------------|--|
| Name   | Input Value |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.PID11            | 1204        |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 1           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 1           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 2           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 1           |  |
|  | 2           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               |             |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 55          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 556         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 2309        |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 1204        |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 87          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 67          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR            | 55          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 2309        |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 5           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 1204        |  |
| arget I2c SetStatus I2cRegPtr Cnt T str.PID12          | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 1           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 1           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 2           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 3           |  |
|  |             |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 1 2         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            |             |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55          |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66          |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87          |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67          |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55          |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66          |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309        |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 5           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66          |  |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11 | 1204        |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 66          |  |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC  | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |  |
|  | 1           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   |             |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 55          |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66          |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556         |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 2309        |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 1204        |  |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT  | 87          |  |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 67          |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 55          |  |
|  | 66          |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  |             |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2309        |  |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR  | 5           |  |

2014-10-14, 23:08:30+0530



|  | Input Value   |  |        |
|--|---|--|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66  |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 1204  |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 66  |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1   |  |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 2   |  |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 3   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET target_I2c SetupMasterTransmit_I2cRegPtr_Cnt_T str.CLR  | 1   |  |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 2   |  |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD  | 3   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3   |  |        |
| target_i2cREG1_temp.OAR  | 55  |  |        |
| target i2cREG1 temp.IMR  | 66  |  |        |
| target_i2cREG1_temp.STR  | 556   |  |        |
| target_i2cREG1_temp.CLKL   | 2309  |  |        |
| target_i2cREG1_temp.CLKH   | 1204  |  |        |
| target_i2cREG1_temp.CNT  | 87  |  |        |
| target_i2cREG1_temp.DRR  | 67  |  |        |
| target_i2cREG1_temp.SAR  | 55  |  |        |
| target_i2cREG1_temp.DXR  | 66  |  |        |
| target_i2cREG1_temp.MDR  | 2309  |  |        |
| target_i2cREG1_temp.IVR  | 5   |  |        |
| target_i2cREG1_temp.EMDR   | 3   |  |        |
| target_i2cREG1_temp.PSC  | 66  |  |        |
| target_i2cREG1_temp.PID11  | 1204  |  |        |
| target_i2cREG1_temp.PID12  | 66  |  |        |
| target_i2cREG1_temp.DMAC   | 3   |  |        |
| target_i2cREG1_temp.FUN  | 1   |  |        |
| target_i2cREG1_temp.DIR  | 1   |  |        |
| target_i2cREG1_temp.DIN  | 2   |  |        |
| target_i2cREG1_temp.DOUT   | 3   |  |        |
| target_i2cREG1_temp.SET  | 1   |  |        |
| target_i2cREG1_temp.CDR  | 2   |  |        |
| target_i2cREG1_temp.ODR  | 3   |  |        |
|  | 3   |  |        |
| target_i2cREG1_temp.PD   | 3   |  |        |
| target_i2cREG1_temp.PSL  | 3 Actual Value  | Expected Value   | Pocult |
| target_i2cREG1_temp.PSL  Name  | Actual Value  | Expected Value   | Result |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   |   | Expected Value 8 12  | Result |
| target_i2cREG1_temp.PSL  Name  | Actual Value  | 8  | •      |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  | Actual Value<br>8<br>12   | 8 12   | Ž      |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]   | Actual Value  8 12 56   | 8<br>12<br>56  | ~      |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  | Actual Value  8 12 56 100   | 8<br>12<br>56<br>100   | ~      |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc   | Actual Value  8 12 56 100 1   | 8<br>12<br>56<br>100<br>1  | ***    |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | Actual Value 8 12 56 100 1  | 8<br>12<br>56<br>100<br>1  | 0      |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc   | Actual Value  8 12 56 100 1 1   | 8<br>12<br>56<br>100<br>1<br>1   |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  | Actual Value  8  12  56  100  1  1  1  2309   | 8<br>12<br>56<br>100<br>1<br>1<br>1<br>2309  |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u18  | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22   | 8<br>12<br>56<br>100<br>1<br>1<br>1<br>2309  | 0      |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23   | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23   | 0      |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I1itFailedOnce_Cnt_M_lgc  | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1   |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1   |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1   | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1                                     |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08   | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  2   | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1                                   |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  2  1  | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 2 1                               |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16   | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  1  1  1  1  1  1  1  1  1  1                  | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 2 1 87                            |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u18  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I12CHwCustData_Uls_M_u16  DigColPsInt_I12CHwCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u18  DigColPsInt_TransactionCnt_Cnt_M_u08   | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  2  1  87  80                                  | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 2 1 87 80                           |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I12CHwCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u08  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  2  1  87  80  1                               | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 2 1 87 80 1                         |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I12CHwCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u08  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | Actual Value  8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 2 1 87 80 1 1  | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 2 1 87 80 1 1                       |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I12CHwCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  1  1  1  5  87  80  1  1  1  55               | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 2 1 87 80 1 1 1 55                |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_cnt_M_enum  DigColPsInt_i2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I3CHwCustData_Uls_M_u16  DigColPsInt_I3CHwCustData_Uls_M_u16  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  1  1  55  66                                  | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 2 1 5 6 1 1 5 6 6                 |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I3CHwIncompleteCustData_Uls_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.JMR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.JMR  | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  1  1  5  66  556                              | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 1 55 66 556                       |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIcustData_Uls_M_u16  DigColPsInt_I2CHwIcustData_Uls_M_u16  DigColPsInt_I3cHailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DKR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DKR  | Actual Value  8  12  56  100  1  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  1  1  1  55  66  556  2309                 | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 1 55 66 556 2309                  |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwLoustData_Uls_M_u16  DigColPsInt_I2CHwIcoustData_Uls_M_u16  DigColPsInt_I3CHwIncompleteCustData_Uls_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u18  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | Actual Value  8  12  56  100  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  1  1  5  66  556                              | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 1 2 1 55 66 556 2309 1204         |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_ColFustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | Actual Value  8  12  56  100  1  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  1  1  55  66  556  2309  1204              | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 1 55 66 556 2309                  |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwLoustData_Uls_M_u16  DigColPsInt_I2CHwIcoustData_Uls_M_u16  DigColPsInt_I3CHwIncompleteCustData_Uls_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u18  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | Actual Value  8  12  56  100  1  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  1  1  55  66  556  2309  1204  87          | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 1 2 1 55 66 556 2309 1204 87      |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                   | Actual Value  8  12  56  100  1  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  1  1  55  66  556  2309  1204  87  67      | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 1 55 66 556 2309 1204 87 67       |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR                        | Actual Value  8  12  56  100  1  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  1  55  66  556  2309  1204  87  67  55     | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 1 55 66 556 2309 1204 87 67 55    |        |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR | Actual Value  8  12  56  100  1  1  1  1  2309  127  INIT_SENSOR2_EXTREADCTRLREG_SET  22  23  1  1  1  1  55  66  556  2309  1204  87  67  55  66 | 8 12 56 100 1 1 1 1 2309 127 INIT_SENSOR2_EXTREADCTRLREG_SET 22 23 1 1 1 1 1 55 66 556 2309 1204 87 67 55 66 |        |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result                                |
|---|--------------|----------------|---------------------------------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 1204<br>66   | 1204<br>66     |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12<br>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC | 3            | 3              |                                       |
| target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2 3          | 2 3            |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                      | 3            | 3              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |                                       |
| target I2c SetRecv I2cRegPtr Cnt T str.OAR  | 55           | 55             |                                       |
| target I2c SetRecv I2cRegPtr Cnt T str.IMR  | 66           | 66             |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            |                                       |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKL   | 2309         | 2309           |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | •                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | •                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | •                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ·                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | •                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ·                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | · · · · · · · · · · · · · · · · · · · |
| target_i2c_SetStatus_i2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |                                       |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD  | 3            | 3              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | -4       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66<br>556    | 66<br>556      | -        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309<br>1204 | 2309<br>1204   | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT | 87           | 1204<br>87     |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_1_str.Cn1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | -        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SAR  | 55           | 55             |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | J              |          |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | <b>V</b> |



| Test Step 2.9 (Repeat Count = 1)                                   |  |
|--|--|
| Name   | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                    | 9  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                                    | 123  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                                    | 145  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                                    | 200  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                              | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                              | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                              | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16                                  | 495  |
| DigColPsInt_CurrentSlave_Cnt_M_u08                                 | 25   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                               | INIT_SENSOR1_CHECKSTAT_SETREG  |
| DigColPsInt_I2CHwCustData_Uls_M_u16                                | 25   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                      | 26   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                               | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc                                  | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08                              | 3  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                             | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                                | 3  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc                            | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                             | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                                 | 897  |
| DigColPsInt_TransactionCnt_Cnt_M_u08                               | 90   |
| Flags_Cnt_T_b16  | 2 target I2c GenStopCond I2cRegPtr Cnt T str                               |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str) I2c_Send(I2cRegPtr_Cnt_T_str) |  |
| I2C_Sena(I2CRegPtr_Cnt_I_str) I2C SetRecv(I2cRegPtr_Cnt_T_str)     | target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str |
| 2c_SetStatus( 2cRegPtr_Cnt_T_str)                                  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str                                   |
| I2c_SetsIatus(I2cRegPtl_Cnt_1_str)                                 | target_lzc_SetupMasterReceive_lzcRegPtr_Cnt_T_str                          |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                       | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str                         |
| T_DataRegisters_Cnt_u08[0]   | 0  |
| T_DataRegisters_Cnt_u08[1]   | 32   |
| T_DataRegisters_Cnt_u08[2]   | 30   |
| T_DataRegisters_Cnt_u08[3]   | 36   |
| T_DataRegisters_Cnt_u08[4]   | 38   |
| T_DataRegisters_Cnt_u08[5]   | 34   |
| T_DataRegisters_Cnt_u08[6]   | 10   |
| T_DataRegisters_Cnt_u08[7]   | 12   |
| T_DataRegisters_Cnt_u08[8]   | 14   |
| i2cREG1_temp   | target i2cREG1 temp  |
| k_ColSensorl2CAddress_Cnt_u08                                      | 49   |
| k SpurSensorI2CAddress Cnt u08                                     | 100  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                     | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                     | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                     | 78   |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLKL                    | 495  |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLKH                    | 56   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                     | 897  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                     | 98   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                     | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                     | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                     | 495  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                     | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                    | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                     | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                   | 56   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                    | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                     | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                     | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                     | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                    | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                     | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                     | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                     | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                      | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                     | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                            | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                            | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                            | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                           | 495  |
|  |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                  | 897         |
| target I2c Send I2cRegPtr Cnt T str.DRR                  | 98          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                  | 66          |
| target I2c Send I2cRegPtr Cnt T str.DXR                  | 78          |
|  | 495         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                  |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 78          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 56          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 78          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 0           |
|  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR               | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR               | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR               | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL              | 495         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH              | 56          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT               | 897         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR               | 98          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR               | 66          |
|  | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR               |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR               | 495         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR               | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC               | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11             | 56          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12             | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN               | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR               | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN               | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT              | 0           |
|  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET               |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR               | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR               | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL               | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR             | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR             | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR             | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            | 495         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 56          |
| target I2c SetStatus I2cRegPtr Cnt T str.CNT             | 897         |
| target I2c SetStatus I2cRegPtr Cnt T str.DRR             | 98          |
|  | 66          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR             | 78          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 495         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 56          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 0           |
|  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 78          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR    | 78          |
| go=o_ootupriiuotoii tooolifo_izoitogi ti_oiit_1_8tt.011\ | 1.5         |

2014-10-14, 23:08:30+0530



| Name   |   |             |
|--|---|-------------|
| suget 12. Schelpfwordscore. Displayer Colf schild         69           sungl 12. Schelpfwordscore. Displayer Colf schild         69           sungl 12. Schelpfwordscore. Displayer Colf schild         68           sungl 12. Schelpfwordscore. Displayer Colf schild         69           sungl 12. Schelpfwordscore. Displayer Colf schild         69           sungl 12. Schelpfwordscore. Displayer Colf schild         49           sungl 12. Schelpfwordscore. Displayer Colf schild         49           sungl 12. Schelpfwordscore. Displayer Colf schild         69           sungl 12. Schelpfwordscore. Displayer Colf schild         71           sungl 12. Schelpfwordscore. Displayer Colf schild         71           sungl 12. Schelpfwordscore. Displayer Colf schild         72           sungl 12. Schelpfwordscore. Displayer Colf schild         72           sungl 12. Schelpfwordscore. Displayer Colf schild         73           sungl 12. Schelpfwordscore. Displayer Colf schild         74           sungl 12. Schelpfwordscore. Displayer Colf schild  | Name  | Input Value |
| suget 12. Schelpfwordscore. Displayer Colf schild         69           sungl 12. Schelpfwordscore. Displayer Colf schild         69           sungl 12. Schelpfwordscore. Displayer Colf schild         68           sungl 12. Schelpfwordscore. Displayer Colf schild         69           sungl 12. Schelpfwordscore. Displayer Colf schild         69           sungl 12. Schelpfwordscore. Displayer Colf schild         49           sungl 12. Schelpfwordscore. Displayer Colf schild         49           sungl 12. Schelpfwordscore. Displayer Colf schild         69           sungl 12. Schelpfwordscore. Displayer Colf schild         71           sungl 12. Schelpfwordscore. Displayer Colf schild         71           sungl 12. Schelpfwordscore. Displayer Colf schild         72           sungl 12. Schelpfwordscore. Displayer Colf schild         72           sungl 12. Schelpfwordscore. Displayer Colf schild         73           sungl 12. Schelpfwordscore. Displayer Colf schild         74           sungl 12. Schelpfwordscore. Displayer Colf schild  | target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL  | 495         |
|  |   |             |
| Target LD: SchaphtharderSective LD: Parties PCD LT at DDR to target LD: SchaphtharderSective L |   |             |
| Sept   Dec.   Subspike   Subspi   |   |             |
| Sept   1.0.2. Septimization recovery   1.0.7 cm   1.0   |   |             |
| Integral 126, Schiphylateric Recover, 126, 126, 127, 127, 127, 127, 127, 127, 127, 127   |   |             |
| Sept 102   Septimized Feecew   Directory   Cut   1 st NYR  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 78          |
| Imaged_IDE_Semplement Receives_Districts_Cort or PROFE_   Imaged_IDE_Semplement Receives_Districts_Cort or DROFE_   Imaged_IDE_Semplement Im   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 495         |
|  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 66          |
| Image: Ligo   Subship      | target I2c SetupMasterReceive I2cRegPtr Cnt T str.EMDR  | 0           |
| Barget, 122, Septimident Recover, 127 Reprint Cont. T. or. PDT 11  |   | 78          |
| Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 0   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 0   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 0   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 1. 1   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 1. 1   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Records 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02, Schiphthater Transmill 1.22-Regift Cmt 1. at DNA 0. 1   Target 1.02-Regift Cmt 1. at DNA 0. 1   Target 1.02-Regift Cmt 1. at DNA  |   |             |
|  |   |             |
| staget 126, SemphdesterRecewa (Distingth' City T at DYN to target 126, SemphdesterRecewa (Distingth' City T at DN to target 126, SemphdesterRecewa (Distingth' City T at DN to target 126, SemphdesterRecewa (Distingth' City T at DN to target 126, SemphdesterRecewa (Distingth' City T at DN to target 126, SemphdesterRecewa (Distingth' City T at DN to target 126, SemphdesterRecewa (Distingth' City T at DN to                         |   |             |
|  |   |             |
| Target 2.0. Seleptidate Treasury (2-Repti) Col. T. ptil DOI 1  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   |             |
| aranget IZE Sabuphteenforcowery (2-Reptiler) CMT_stres STT 0 tampet IZE. Sabuphteenforcowery (2-Reptiler) CMT_stres STD 0 tampet IZE. Sabuphteenforcowery ( | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0           |
|  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1           |
|  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 0           |
|  | target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET   | 0           |
|  |   |             |
| Tangel, IZC. SetupMaster Review (2-RevigiPtr. Cott.] as RP 10  |   |             |
| Larget_Dis_SelvpMaster Transmut_Disperit_Cost_T_at PSL         0           Larget_Dis_SelvpMaster Transmut_Disperit_Cost_T_at PSL         0           Larget_Disperit_Cost_T_at PSL         66           Larget_Dis_SelvpMaster Transmut_Disperit_Cost_T_at PSL         78           Larget_Dis_SelvpMaster Transmut_Disperit_Cost_T_at PSL         46           Larget_Dis_SelvpMaster Transmut_Disperit_Cost_T_at PSL         46           Larget_Dis_SelvpMaster Transmut_Disperit_Cost_T_at PSL         47           Larget_Dis_SelvpMaster Transmut_Disperit_Cost_T_at PSL         47           Larget_Dis_SelvpMaster Transmut_Disperit_Cost_T_at PSL         48           Larget_Dis_SelvpMaster Transmut_Disperit_Cost_T_at PSL         78           Larget_Dis_SelvpMaster Transmut_Disperit_Cost_T_at P  |   |             |
| Image: 122 SetupMatest Frammail: 126RegPt* Cost. 1_ str. NRR   |   |             |
| tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.NM         76           tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.STR         78           tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.CLKL         485           tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.CLKL         485           tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.CKT         887           tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.DRR         98           tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.DRR         98           tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.DRR         78           tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.DRR         78           tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.DRR         78           tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.DRR         66           tampet_12c. SelegyMasterTransmut_E2cRegPtr_Cortstr.DRR         0   |   |             |
| Langel JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCLM         485           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCLM         485           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCLM         58           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         98           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         98           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         78           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         78           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         495           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         66           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         78           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         78           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         0           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         0           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         0           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         0           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         0           Largel, JZ, SebupMaster Transmall, 22RegPT, Cort. J. et JCNR         0           Largel, JZ, SebupMaster Transmall, 22R   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 66          |
| Lampet J.E. SelbupMaster Transmall, 20RegPtr Cont. T. str. CLKL         495           Lampet J.E. SelbupMaster Transmall, 20RegPtr Cont. T. str. CLKH         58           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNT         897           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNT         897           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         98           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         78           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         495           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         66           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         66           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         78           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         78           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         78           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         0           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         0           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         0           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR         0           Lampet, J.E., SelbupMaster Transmall, 20RegPtr, Cont. T. str. CNR  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 78          |
| tanget_IZC_SebupMasterTransmit_IZCRegPt*Cont_pt CNLH  56 tanget_IZC_SebupMasterTransmit_IZCRegPt*Cont_pt CNLH  57 tanget_IZC_SebupMasterTransmit_IZCRegPt*Cont_pt CNLH  58 tanget_IZC_SebupMasterTransmit_IZCRegPt*Cont_pt CNL | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 78          |
| Lasget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. CLNT         897           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. DRR         98           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. DRR         98           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. DRR         98           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. DRR         495           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. DRR         495           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. ENDR         0           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. ENDR         0           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. ENDR         0           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. END I         56           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. END I         78           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. END I         10           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. END I         0           Larget I.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. END I         0           Larget J.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. END I         0           Larget J.E.S. SchupMaster Transmit J. 2cRegPPL Cnt T. str. SET         0           Larget J.E. SchupMaster Transmit J. 2cRegPPL Cnt T. str. SET         0   |   |             |
| Laged_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DRR         98           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DRR         98           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DDRR         78           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DMR         78           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DMR         495           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DMR         66           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DMR         0           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DNT         0           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DNT         0           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DNT         0           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DMAC         0           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DNT         0           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DNT         0           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DNT         1           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DNT         1           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DNT         1           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DNT         1           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DNT         1           Larget_12c_SetupMasterTransmit_D2cRegPt_Cnl_tst.DNT         1  |   |             |
| Langel L2: SetupMaster Transmil L2RegPtr_Cnt_T_str DRR         98           Lorget L2: SetupMaster Transmil L2RegPtr_Cnt_T_str DRR         78           Langel L2: SetupMaster Transmil L2RegPtr_Cnt_T_str DDR         78           Langel L2: SetupMaster Transmil L2RegPtr_Cnt_T_str DDR         78           Langel L2: SetupMaster Transmil L2RegPtr_Cnt_T_str DDR         495           Langel L2: SetupMaster Transmil L2RegPtr_Cnt_T_str DDR         0           Langel L2: SetupMaster Transmil L2RegPtr_Cnt_T_str DDR         1           Langel L2: SetupMaster Transmil L2RegPtr_Cnt_T_str DDR         0           Langel L2: SetupMaster Transmil L2Reg  |   |             |
| Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DXR         78           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DXR         78           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DXR         495           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMR         66           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMR         0           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMR         78           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMR         10           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMR         0           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMR         0           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMR         0           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMR         0           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMR         0           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMT         1           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMT         0           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMT         0           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMT         0           Larged_L2C_SetupMasterTransmit_L2CRepPtL_CNLT_str.DMT         0           Larged_L2C_REG_I_temp_LDR         6           Larged_L2C_REG_I_temp_LDR         6           L   |   |             |
| Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.NDR         495           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.NDR         66           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.NDR         0           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.NDR         0           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.NDR         78           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.NDR         0           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.NDR         0           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.DNR         0           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.DNR         0           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.DNR         0           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.DNR         1           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.DNR         1           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.DNR         1           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.DNR         1           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.DNR         1           Larget_LZe_SebupMasterTransmit_LZeRegPtE_Cnt_T_str.DNR         1           Larget_LZe_REGI_lem_DAR         6           Larget_LZe_REGI_lem_DAR         6           Larget_LZe_REGI_lem_DAR         78           Larget_LZe_REGI_lem_D   |   |             |
| target_I2c_SetupMaster Transmit_I2cRegPtr_Cnt_T_str.MOR         495           target_I2c_SetupMaster Transmit_I2cRegPtr_Cnt_T_str.MOR         0           target_I2c_SetupMaster Transmit_I2cRegPtr_Cnt_T_str.DOR         0           target_I2c_SetupMaster Transmit_I2cRegPtr_Cnt_T_str.DOR         78           target_I2c_SetupMaster Transmit_I2cRegPtr_Cnt_T_str.DOR         0           target_I2c_SetupMaster Transmit_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2  |   |             |
| target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.NR         66           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.PBC         78           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.PDC         78           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.PDT1         56           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.DDT2         78           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.DDT3         0           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.DDT3         0           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.DDT3         1           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.DDT3         0           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.DDT3         0           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.DDT4         0           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.DDT5         0           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.DDT6         1           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_Tstr.DDT6         1           target_IZe_REGT_temp_DDT7         0           target_IZe_REGT_temp_DDT8         66           target_IZe_REGT_temp_DDT8         66           target_IZe_REGT_temp_DDT8         67           target_IZe_REGT_temp_DDT8         66           target_IZe_REGT_temp_DDT8         66  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 78          |
| target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_PSC         78           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_PID11         55           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_PID12         78           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_PID12         78           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_DMAC         0           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_DMAC         0           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_DMN         1           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_DMN         1           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_DMN         1           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_DMN         0           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_DMN         1           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_DMN         1           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_DMN         0           target_IZe_SetupMasterTransmit_IZeRegPtr_Cnt_T_str_DMN         0           target_IZe_REG_Izer_DMN         1           target_IZe_REG_Izer_DMN         78           target_IZe_REG_Izer_DMN         78           target_IZe_REG_Izer_DMN         98           target_IZe_REG_Izer_DMN         98           target_IZe_REG_Izer_DMN         98   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 495         |
| target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.PID11         56           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.PID12         78           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DID12         78           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DID12         0           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         0           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         0           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         0           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         0           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetUpMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_Set_Inmp.DINR         8           target_Ize_Set_Inmp.DINR         88           target_Ize_Set_Inmp.DIN         89           target_Ize_Set_Inmp.DIN <td>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR</td> <td>66</td>   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 66          |
| target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.PID11         56           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.PID12         78           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DID12         78           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DID12         0           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         0           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         0           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         0           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         0           target_Ize_SetupMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_SetUpMasterTransmit_IzeRegPtr_Cntstr.DIN         1           target_Ize_Set_Inmp.DINR         8           target_Ize_Set_Inmp.DINR         88           target_Ize_Set_Inmp.DIN         89           target_Ize_Set_Inmp.DIN <td>target I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR</td> <td>0</td>   | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR | 0           |
| target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str IPI012         78           target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str IPI02         0           target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str DNAC         0           target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str DNAC         0           target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str DNAC         0           target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str DNT         0           target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str DNT         0           target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str Str DNT         0           target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str Str Str ON         0           target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str DN         1           target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str DN         0           target_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str DN         0           target_Ize_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str DN         0           target_Ize_Ize_SetupMasterTransmit_IzeRepPtr_Cnt_T_str DN         0           target_Ize_Ize_Ize_Ize_Ize_Ize_Ize_Ize_Ize_Ize  |   | 78          |
| larget_IZe_SetupMasterTransmit_I2cRegPtr_Cnt_T_str PID12         78           target_IZe_SetupMasterTransmit_I2cRegPtr_Cnt_T_str DNAC         0           target_IZe_SetupMasterTransmit_I2cRegPtr_Cnt_T_str DIN         0           target_IZe_SetupMasterTransmit_I2cRegPtr_Cnt_T_str DIN         1           target_IZe_SetupMasterTransmit_I2cRegPtr_Cnt_T_str DOUT         0           target_IZe_SetupMasterTransmit_I2cRegPtr_Cnt_T_str DOUT         0           target_IZe_SetupMasterTransmit_I2cRegPtr_Cnt_T_str DOUT         0           target_IZe_SetupMasterTransmit_I2cRegPtr_Cnt_T_str DOUT         0           target_IZe_SetupMasterTransmit_I2cRegPtr_Cnt_T_str DON         1           target_IZe_SetupMasterTransmit_I2cRegPtr_Cnt_T_str DON         1           target_IZe_SetupMasterTransmit_I2cRegPtr_Cnt_T_str DON         1           target_IZe_REGT_temp_DAR         6           target_IZe_REGT_temp_DAR         6           target_IZe_REGT_temp_DAR         78           target_IZe_REGT_temp_DAR         95           target_IZe_REGT_temp_DAR         96           target_IZe_REGT_temp_DAR         98           target_IZe_REGT_temp_DAR         98           target_IZe_REGT_temp_DAR         98           target_IZe_REGT_temp_DAR         98           target_IZe_REGT_temp_DAR         98           <   |   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOR         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOR         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD         0           target_I2c_REG_Itemp.DMR         78           target_I2c_REG_Itemp.DMR         78           target_I2c_REG_Itemp.CLK         495           target_I2c_REG_Itemp.DNR         98           target_I2c_REG_Itemp.DNR         98           target_I2c_REG_Itemp.DNR         96 <td< td=""><td></td><td></td></td<>  |   |             |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.FUN   |   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DIN         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DIN         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DOUT         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.CLR         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DIN         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DIN         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DIN         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DIN         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DIN         0           target_I2c_REG1_temp_DAR         66           target_I2c_REG1_temp_DAR         78           target_I2c_REG1_temp_DCLKH         495           target_I2c_REG1_temp_DCR         98           target_I2c_REG1_temp_DDR         98           target_I2c_REG1_temp_DDR         495           target_I2c_REG1_temp_DDR         495           target_I2c_REG1_temp_DDR         66           target_I2c_REG1_temp_DDR         66           target_I2c_REG1_temp_DDR         78           target_I2c_REG1_temp_DDR         66           target_I2c_REG1_temp_DDR         0           target_I2c_REG1_temp_DDAC         0 </td <td></td> <td>1</td>  |   | 1           |
| larget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR         1           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR         1           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DD         0           larget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DBR         0           target_12c_REG_1_temp_DAR         66           target_12c_REG_1_temp_DAR         78           target_12c_REG_1_temp_CKL         495           target_12c_REG_1_temp_CNT         897           target_12c_REG_1_temp_DAR         98           target_12c_REG_1_temp_DAR         98           target_12c_REG_1_temp_DNR         495           target_12c_REG_1_temp_DNR         66           target_12c_REG_1_temp_DNR         66           target_12c_REG_1_temp_DNDR         66           target_12c_REG_1_temp_DNDR         66           target_12c_REG_1_temp_DNDR         66           target_12c_REG_1_temp_DNDR         66           target_12c_REG_1_temp_DNDR         66   |   |             |
| targe_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SET         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR         1           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR         1           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR         66           target_12c_REG1_temp_DMR         78           target_12c_REG1_temp_STR         78           target_12c_REG1_temp_CLKH         495           target_12c_REG1_temp_CNT         397           target_12c_REG1_temp_DNR         98           target_12c_REG1_temp_DNR         78           target_12c_REG1_temp_DNR         78           target_12c_REG1_temp_DNR         495           target_12c_REG1_temp_DNR         66           target_12c_REG1_temp_DNR         78           target_12c_REG1_temp_DNB         0           target_12c_REG1_temp_PDD1         78           target_12c_REG1_temp_DNAC         0           target_12c_REG1_temp_DNAC         0           target_12c_REG1_temp_DNAC         0           target_12c_REG1_temp_DNAC  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CDR         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL         0           target_I2cREG1_temp_LMR         78           target_I2cREG1_temp_DSTR         78           target_I2cREG1_temp_CLKL         495           target_I2cREG1_temp_DCNT         897           target_I2cREG1_temp_DXR         897           target_I2cREG1_temp_DXR         78           target_I2cREG1_temp_DXB         0           target_I2cREG1_temp_DXB         0           target_I2cREG1_temp_DXB         78           target_I2cREG1_temp_DXB         78           target_I2cREG1_temp_DXB         0           target_I2cREG1_temp_DXB   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR         1           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR         1           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL         0           target_l2cREG1_temp_DAR         66           target_l2cREG1_temp_DIR         78           target_l2cREG1_temp_CLKL         495           target_l2cREG1_temp_DLKH         56           target_l2cREG1_temp_DRR         98           target_l2cREG1_temp_DRR         98           target_l2cREG1_temp_DRR         66           target_l2cREG1_temp_DXR         78           target_l2cREG1_temp_DNR         98           target_l2cREG1_temp_DNR         98           target_l2cREG1_temp_DNR         495           target_l2cREG1_temp_DNR         495           target_l2cREG1_temp_DNR         66           target_l2cREG1_temp_DNR         78           target_l2cREG1_temp_DNDR         78           target_l2cREG1_temp_DNDR         78           target_l2cREG1_temp_DNAC         0           target_l2cREG1_temp_DNAC         0           target_l2cREG1_temp_DNR         0           target_l2cREG1_temp_DNR         0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL         0           target_I2cREG1_temp_CMR         66           target_I2cREG1_temp_BTR         78           target_I2cREG1_temp_CLKL         495           target_I2cREG1_temp_CNT         897           target_I2cREG1_temp_DRR         98           target_I2cREG1_temp_DRR         98           target_I2cREG1_temp_DXR         78           target_I2cREG1_temp_DXR         78           target_I2cREG1_temp_DXR         66           target_I2cREG1_temp_DXR         78           target_I2cREG1_temp_DXR         78           target_I2cREG1_temp_DXR         78           target_I2cREG1_temp_DXR         78           target_I2cREG1_temp_DXR         66           target_I2cREG1_temp_DXR         66           target_I2cREG1_temp_DXR         0           target_I2cREG1_temp_DXB         0           target_I2cREG1_temp_DID1         56           target_I2cREG1_temp_DID1         56           target_I2cREG1_temp_DID1         0           target_I2cREG1_temp_DIN         0           target_I2cRE  | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET  | 0           |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR         1           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL         0           target_12cREG1_temp_OAR         66           target_12cREG1_temp_STR         78           target_12cREG1_temp_CtkL         495           target_12cREG1_temp_CtkL         56           target_12cREG1_temp_DRT         897           target_12cREG1_temp_DRR         98           target_12cREG1_temp_DRR         66           target_12cREG1_temp_DRR         495           target_12cREG1_temp_DRR         66           target_12cREG1_temp_DRR         66           target_12cREG1_temp_DXR         78           target_12cREG1_temp_DXR         78           target_12cREG1_temp_DXR         66           target_12cREG1_temp_DXR         66           target_12cREG1_temp_DXR         78           target_12cREG1_temp_DXR         78           target_12cREG1_temp_DXB         0           target_12cREG1_temp_DXB         0           target_12cREG1_temp_DXB         0           target_12cREG1_temp_DXB         0           target_12cREG1_temp_DXB         0           target_12cREG1  | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PDL         0           target_I2c_REG1_temp_OAR         66           target_I2cREG1_temp_DAR         78           target_I2cREG1_temp_DTR         78           target_I2cREG1_temp_CLKL         495           target_I2cREG1_temp_DCLKH         56           target_I2cREG1_temp_DRT         897           target_I2cREG1_temp_DRR         98           target_I2cREG1_temp_DRR         66           target_I2cREG1_temp_DRR         78           target_I2cREG1_temp_DRR         66           target_I2cREG1_temp_DRR         66           target_I2cREG1_temp_MDR         495           target_I2cREG1_temp_MDR         66           target_I2cREG1_temp_PDR         78           target_I2cREG1_temp_PDR         78           target_I2cREG1_temp_PDR         78           target_I2cREG1_temp_PDR         78           target_I2cREG1_temp_PDR         78           target_I2cREG1_temp_PDR         78           target_I2cREG1_temp_PDR         0           target_I2cREG1_temp_PDR         0           target_I2cREG1_temp_DDR         0           target_I2cREG1_temp_DDR         0           target_I2cREG1_temp_DDR         0   |   | 1           |
| target_!2e_SetupMasterTransmit_!2cRegPtr_Cnt_Tstr.PSL         0           target_!2cREG1_temp.DAR         66           target_!2cREG1_temp.IMR         78           target_!2cREG1_temp.CLKL         495           target_!2cREG1_temp.CLKH         56           target_!2cREG1_temp.CNT         897           target_!2cREG1_temp.DRR         98           target_!2cREG1_temp.DXR         66           target_!2cREG1_temp.DXR         78           target_!2cREG1_temp.DXR         66           target_!2cREG1_temp.DXR         66           target_!2cREG1_temp.DXR         66           target_!2cREG1_temp.BDR         66           target_!2cREG1_temp.PBDR         78           target_!2cREG1_temp.PBC         78           target_!2cREG1_temp.PBC         78           target_!2cREG1_temp.PBC         78           target_!2cREG1_temp.PBC         78           target_!2cREG1_temp.DMAC         0           target_!2cREG1_temp.DMAC         0           target_!2cREG1_temp.DIN         1           target_!2cREG1_temp.DIN         1           target_!2cREG1_temp.SET         0           target_!2cREG1_temp.SET         0           target_!2cREG1_temp.CLR         0  |   |             |
| target_2cREG1_temp.OAR         66           target_12cREG1_temp.IMR         78           target_12cREG1_temp.STR         78           target_12cREG1_temp.CLKL         495           target_12cREG1_temp.CLKH         56           target_12cREG1_temp.DRR         897           target_12cREG1_temp.DRR         66           target_12cREG1_temp.DXR         78           target_12cREG1_temp.DXR         495           target_12cREG1_temp.MDR         495           target_12cREG1_temp.MDR         66           target_12cREG1_temp.EMDR         0           target_12cREG1_temp.PNC         78           target_12cREG1_temp.PDC         78           target_12cREG1_temp.PID11         56           target_12cREG1_temp.PID12         78           target_12cREG1_temp.FUN         0           target_12cREG1_temp.DIN         0           target_12cREG1_temp.DIN         1           target_12cREG1_temp.DIN         1           target_12cREG1_temp.SET         0           target_12cREG1_temp.SET         0           target_12cREG1_temp.CNR         1           target_12cREG1_temp.DOR         1           target_12cREG1_temp.DOR         0           target_12cREG1_temp.DOR   |   |             |
| target_j2cREG1_temp.IMR         78           target_j2cREG1_temp.CLKL         495           target_j2cREG1_temp.CLKH         56           target_j2cREG1_temp.DRR         897           target_j2cREG1_temp.DRR         98           target_j2cREG1_temp.DAR         66           target_j2cREG1_temp.DAR         495           target_j2cREG1_temp.DAR         495           target_j2cREG1_temp.DAR         495           target_j2cREG1_temp.IMR         66           target_j2cREG1_temp.EMDR         0           target_j2cREG1_temp.EMDR         78           target_j2cREG1_temp.PDC         78           target_j2cREG1_temp.PDC         78           target_j2cREG1_temp.PDD1         56           target_j2cREG1_temp.PDD2         78           target_j2cREG1_temp.PDD3         78           target_j2cREG1_temp.DDD4         0           target_j2cREG1_temp.DDD4         0           target_j2cREG1_temp.DDN         0           target_j2cREG1_temp.SET         0           target_j2cREG1_temp.SET         0           target_j2cREG1_temp.CLR         0           target_j2cREG1_temp.DDR         0           target_j2cREG1_temp.CLR         0           target_j2cREG1_tem   |   |             |
| target_l2cREG1_temp.STR         78           target_l2cREG1_temp.CLKL         495           target_l2cREG1_temp.CLKH         56           target_l2cREG1_temp.DRT         897           target_l2cREG1_temp.DRR         98           target_l2cREG1_temp.DXR         78           target_l2cREG1_temp.DXR         495           target_l2cREG1_temp.MDR         66           target_l2cREG1_temp.PMR         66           target_l2cREG1_temp.PMR         0           target_l2cREG1_temp.PBMR         0           target_l2cREG1_temp.PDD1         56           target_l2cREG1_temp.PID12         78           target_l2cREG1_temp.PIDNAC         0           target_l2cREG1_temp.DMAC         0           target_l2cREG1_temp.DIN         0           target_l2cREG1_temp.DIN         1           target_l2cREG1_temp.DOT         0           target_l2cREG1_temp.SET         0           target_l2cREG1_temp.DCLR         0           target_l2cREG1_temp.DCR         0           target_l2cREG1_temp.DCR         0           target_l2cREG1_temp.DCR         0           target_l2cREG1_temp.DCR         0           target_l2cREG1_temp.DCR         0           target_l2cREG1_temp.DCR   | target_i2cREG1_temp.OAR                                 |             |
| target_izcREG1_temp.CLKL         495           target_izcREG1_temp.CLKH         56           target_izcREG1_temp.DRT         897           target_izcREG1_temp.DRR         98           target_izcREG1_temp.DXR         66           target_izcREG1_temp.DXR         495           target_izcREG1_temp.MDR         66           target_izcREG1_temp.EMDR         0           target_izcREG1_temp.EMDR         0           target_izcREG1_temp.PSC         78           target_izcREG1_temp.PID11         56           target_izcREG1_temp.PID12         78           target_izcREG1_temp.DMAC         0           target_izcREG1_temp.EMDR         0           target_izcREG1_temp.DIR         0           target_izcREG1_temp.DIR         0           target_izcREG1_temp.DIR         0           target_izcREG1_temp.DUT         0           target_izcREG1_temp.DUT         0           target_izcREG1_temp.DUT         0           target_izcREG1_temp.DUT         0           target_izcREG1_temp.DUR         0           target_izcREG1_temp.DUR         0           target_izcREG1_temp.DUR         0           target_izcREG1_temp.DUR         0           target_izcREG1_temp.DUR </td <td>target_i2cREG1_temp.IMR</td> <td>78</td>   | target_i2cREG1_temp.IMR                                 | 78          |
| target_2cREG1_temp.CkH         56           target_2cREG1_temp.CNT         897           target_2cREG1_temp.DRR         98           target_2cREG1_temp.SAR         66           target_2cREG1_temp.DXR         78           target_2cREG1_temp.MDR         495           target_2cREG1_temp.EMDR         66           target_2cREG1_temp.EMDR         0           target_2cREG1_temp.PSC         78           target_2cREG1_temp.PID11         56           target_2cREG1_temp.PID12         78           target_2cREG1_temp.PID1AC         0           target_2cREG1_temp.DMAC         0           target_2cREG1_temp.DIR         0           target_2cREG1_temp.DIR         0           target_2cREG1_temp.DIR         0           target_2cREG1_temp.DIR         0           target_2cREG1_temp.DET         0           target_2cREG1_temp.SET         0           target_2cREG1_temp.CLR         0           target_2cREG1_temp.DDR         0           target_2cREG1_temp.DDR         0           target_2cREG1_temp.DCR         0           target_2cREG1_temp.DCR         0           target_2cREG1_temp.DCR         0           target_2cREG1_temp.DCR         0  | target_i2cREG1_temp.STR                                 | 78          |
| target_2cREG1_temp.CkH         56           target_2cREG1_temp.CNT         897           target_2cREG1_temp.DRR         98           target_2cREG1_temp.SAR         66           target_2cREG1_temp.DXR         78           target_2cREG1_temp.MDR         495           target_2cREG1_temp.EMDR         66           target_2cREG1_temp.EMDR         0           target_2cREG1_temp.PSC         78           target_2cREG1_temp.PID11         56           target_2cREG1_temp.PID12         78           target_2cREG1_temp.PID1AC         0           target_2cREG1_temp.DMAC         0           target_2cREG1_temp.DIR         0           target_2cREG1_temp.DIR         0           target_2cREG1_temp.DIR         0           target_2cREG1_temp.DIR         0           target_2cREG1_temp.DET         0           target_2cREG1_temp.SET         0           target_2cREG1_temp.CLR         0           target_2cREG1_temp.DDR         0           target_2cREG1_temp.DDR         0           target_2cREG1_temp.DCR         0           target_2cREG1_temp.DCR         0           target_2cREG1_temp.DCR         0           target_2cREG1_temp.DCR         0  | target_i2cREG1_temp.CLKL                                | 495         |
| target_l2cREG_lemp.CNT         897           target_l2cREG1_temp.DRR         98           target_l2cREG1_temp.SAR         66           target_l2cREG1_temp.DXR         78           target_l2cREG1_temp.MDR         495           target_l2cREG1_temp.EMDR         66           target_l2cREG1_temp.EMDR         0           target_l2cREG1_temp.PSC         78           target_l2cREG1_temp.PID11         56           target_l2cREG1_temp.DMAC         0           target_l2cREG1_temp.DMAC         0           target_l2cREG1_temp.DIR         0           target_l2cREG1_temp.DIR         0           target_l2cREG1_temp.DIR         0           target_l2cREG1_temp.DOUT         0           target_l2cREG1_temp.SET         0           target_l2cREG1_temp.CLR         0           target_l2cREG1_temp.CDR         1           target_l2cREG1_temp.DODR         1           target_l2cREG1_temp.DODR         0           target_l2cREG1_temp.DODR         0           target_l2cREG1_temp.DODR         0           target_l2cREG1_temp.DODR         0   | · · · · · · · · · · · · · · · · · · ·                   |             |
| target_i2cREG1_temp.DRR         98           target_i2cREG1_temp.SAR         66           target_i2cREG1_temp.DXR         78           target_i2cREG1_temp.MDR         495           target_i2cREG1_temp.EMDR         66           target_i2cREG1_temp.PNC         78           target_i2cREG1_temp.PDC1         78           target_i2cREG1_temp.PID11         56           target_i2cREG1_temp.DMAC         0           target_i2cREG1_temp.FUN         0           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.CDR         1           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.DODR         1           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.CDR         0   |   |             |
| target_i2cREG1_temp.SAR         66           target_i2cREG1_temp.DXR         78           target_i2cREG1_temp.MDR         495           target_i2cREG1_temp.EMDR         66           target_i2cREG1_temp.EMDR         0           target_i2cREG1_temp.PSC         78           target_i2cREG1_temp.PID11         56           target_i2cREG1_temp.DMAC         0           target_i2cREG1_temp.ENDN         0           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.DODR         1           target_i2cREG1_temp.DDR         0           target_i2cREG1_temp.DDR         0   |   |             |
| target_i2cREG1_temp.DXR         78           target_i2cREG1_temp.MDR         495           target_i2cREG1_temp.IVR         66           target_i2cREG1_temp.EMDR         0           target_i2cREG1_temp.PSC         78           target_i2cREG1_temp.PID11         56           target_i2cREG1_temp.DMAC         0           target_i2cREG1_temp.DMAC         0           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.DDR         1           target_i2cREG1_temp.DDR         0           target_i2cREG1_temp.DDR         0  |   |             |
| target_i2cREG1_temp.MDR         495           target_i2cREG1_temp.IVR         66           target_i2cREG1_temp.EMDR         0           target_i2cREG1_temp.PSC         78           target_i2cREG1_temp.PID11         56           target_i2cREG1_temp.PID12         78           target_i2cREG1_temp.DMAC         0           target_i2cREG1_temp.FUN         0           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.PD         0  |   |             |
| target_i2cREG1_temp.IVR         66           target_i2cREG1_temp.EMDR         0           target_i2cREG1_temp.PSC         78           target_i2cREG1_temp.PID11         56           target_i2cREG1_temp.PID12         78           target_i2cREG1_temp.DMAC         0           target_i2cREG1_temp.DWN         0           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.DDR         0           target_i2cREG1_temp.DDR         0           target_i2cREG1_temp.DDR         0           target_i2cREG1_temp.DDR         0   |   |             |
| target_i2cREG1_temp.EMDR         0           target_i2cREG1_temp.PSC         78           target_i2cREG1_temp.PID11         56           target_i2cREG1_temp.PID12         78           target_i2cREG1_temp.DMAC         0           target_i2cREG1_temp.FUN         0           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.DDR         1           target_i2cREG1_temp.DDR         0  |   |             |
| target_i2cREG1_temp.PSC       78         target_i2cREG1_temp.PID11       56         target_i2cREG1_temp.PID12       78         target_i2cREG1_temp.DMAC       0         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       0         target_i2cREG1_temp.DIN       1         target_i2cREG1_temp.DOUT       0         target_i2cREG1_temp.SET       0         target_i2cREG1_temp.CLR       0         target_i2cREG1_temp.ODR       1         target_i2cREG1_temp.DDR       1         target_i2cREG1_temp.PD       0  | target_i2cREG1_temp.IVR                                 | 66          |
| target_i2cREG1_temp.PSC       78         target_i2cREG1_temp.PID11       56         target_i2cREG1_temp.PID12       78         target_i2cREG1_temp.DMAC       0         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       0         target_i2cREG1_temp.DIN       1         target_i2cREG1_temp.DOUT       0         target_i2cREG1_temp.SET       0         target_i2cREG1_temp.CLR       0         target_i2cREG1_temp.ODR       1         target_i2cREG1_temp.DDR       1         target_i2cREG1_temp.DDR       0         target_i2cREG1_temp.PD       0  | target_i2cREG1_temp.EMDR                                | 0           |
| target_i2cREG1_temp.PID11       56         target_i2cREG1_temp.PID12       78         target_i2cREG1_temp.DMAC       0         target_i2cREG1_temp.FUN       0         target_i2cREG1_temp.DIR       0         target_i2cREG1_temp.DIN       1         target_i2cREG1_temp.DOUT       0         target_i2cREG1_temp.SET       0         target_i2cREG1_temp.CLR       0         target_i2cREG1_temp.ODR       1         target_i2cREG1_temp.DDD       0         target_i2cREG1_temp.DD       0   |   | 78          |
| target_i2cREG1_temp.PID12         78           target_i2cREG1_temp.DMAC         0           target_i2cREG1_temp.FUN         0           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.DDR         0           target_i2cREG1_temp.DDR         0   |   |             |
| target_i2cREG1_temp.DMAC         0           target_i2cREG1_temp.FUN         0           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.PD         0   |   |             |
| target_i2cREG1_temp.FUN         0           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.PD         0  |   |             |
| target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.PD         0  |   |             |
| target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.PD         0  |   |             |
| target_i2cREG1_temp.DOUT         0           target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.PD         0  | · · · · · · · · · · · · · · · · · · ·                   |             |
| target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.PD         0   | target_i2cREG1_temp.DIN                                 | 1           |
| target_i2cREG1_temp.SET         0           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.PD         0   | target_i2cREG1_temp.DOUT                                | 0           |
| target_i2cREG1_temp.CLR 0 target_i2cREG1_temp.ODR 1 target_i2cREG1_temp.PD 0   |   |             |
| target_i2cREG1_temp.ODR 1 target_i2cREG1_temp.PD 0   |   |             |
| target_i2cREG1_temp.PD 0   | · · · · · · · · · · · · · · · · · · ·                   |             |
| · ·  |   |             |
| target_izckEG1_temp.PSL 0  |   |             |
|  | target_izckEG1_temp.PSL                                 | U           |

2014-10-14, 23:08:30+0530



| Name  | Actual Value                | Expected Value | Resul |
|---|-----------------------------|----------------|-------|
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                         | 9                           | 9              | •     |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 36                          | 36             | •     |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 145                         | 145            |       |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 200                         | 200            | •     |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                                   | 0                           | 0              | •     |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                                   | 0                           | 0              | •     |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                                   | 0<br>495                    | 0<br>495       |       |
| DigColPoint_ColSnsrData_Cnt_M_u16                                       | 100                         | 100            |       |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum | INIT_SENSOR2_READERROR_SETF |                |       |
| DigColPsInt I2CHwCustData Uls M u16                                     | 25                          | 25             |       |
| DigColPsInt I2CHwIncompleteCustData UIs M u16                           | 26                          | 26             |       |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                                    | 0                           | 0              |       |
| DigColPsInt_NackOccured_Cnt_M_lgc                                       | 1                           | 1              |       |
| DigColPsInt RecvOverrunError Cnt M Igc                                  | 0                           | 0              | ٠,    |
| DigColPsInt_RecvdDataType_Cnt_M_u08                                     | 3                           | 3              |       |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                                  | 0                           | 0              | ٠,    |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                                      | 897                         | 897            |       |
| DigColPsInt_TransactionCnt_Cnt_M_u08                                    | 90                          | 90             | ٠,    |
| I2c_Send(Length_Cnt_T_u32)  | 1                           | 1              |       |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)                           | 1                           | 1              | ٠,    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                          | 66                          | 66             |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                          | 78                          | 78             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                          | 78                          | 78             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                         | 495                         | 495            | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                         | 56                          | 56             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                          | 897                         | 897            | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                          | 98                          | 98             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                          | 66                          | 66             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                          | 78                          | 78             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                          | 495                         | 495            | ١ ،   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                          | 66                          | 66             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                         | 0                           | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                          | 78                          | 78             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                        | 56                          | 56             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                        | 78                          | 78             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                         | 0                           | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                          | 0                           | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                          | 0                           | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                          | 1                           | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                         | 0                           | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                          | 0                           | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                          | 0                           | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                          | 1                           | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                           | 0                           | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                          | 0                           | 0              | •     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR                                 | 66                          | 66             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                                 | 78                          | 78             | •     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR                                 | 78                          | 78             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                | 495                         | 495            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                                | 56                          | 56             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                                 | 897                         | 897            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                                 | 98                          | 98             |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                                 | 66                          | 66             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                                 | 78                          | 78             | `     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                 | 495                         | 495            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                                 | 66                          | 66             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                                | 0                           | 0              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                                 | 78                          | 78             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                               | 56                          | 56             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                               | 78                          | 78             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                                | 0                           | 0              | •     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN                                 | 0                           | 0              | •     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR                                 | 0                           | 0              | 1     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN                                 | 1                           | 1              | •     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT                                | 0                           | 0              | •     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET                                 | 0                           | 0              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                                 | 0                           | 0              | 1     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                                 | 1                           | 1              | •     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD                                  | 0                           | 0              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                                 | 0                           | 0              | · •   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR                              | 66                          | 66             | ٠,    |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR | 78           | 78             |          |
|  |              |                |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 56           | 56             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | <b>✓</b> |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| I2c_GenStopCond         | 1     | l2c_GenStopCond         | 1     | ~      |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | l2c_SetupMasterTransmit | 1     | -      |
| I2c_Send                | 1     | l2c_Send                | 1     | ~      |

| Test Step 2.10 (Repeat Count = 1)   | م.   |
|---|--|
| Name  | Input Value  |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08                                 | 10   |
| DigColPsInt_AttempoccurrorcustDatkeau_Cnt_w_uoo                                 | 0  |
| DigColPsInt Buffer Cnt M u08[1]   | 0  |
| DigColPsInt_Buffer Cnt M u08[2]   | 0  |
| DigColPsInt_BusBusySeqError Cnt M Igc   | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 1  |
| DigColPsInt ColSnsrData Cnt M u16   | 566  |
| DigColPsInt CurrentSlave Cnt M u08  | 30   |
| DigColPsInt_CurrentStepNo Cnt M enum  | INIT SENSOR1 CHECKSTAT READ                        |
| DigColPsInt I2CHwCustData Uls M u16   | 28   |
| DigColPsInt I2CHwlcompleteCustData_UIs_M_u16                                    | 29   |
| DigColPsInt InitFailedOnce Cnt M Igc  | 1  |
| DigColPsInt_InitPalledOrice_Crit_M_igc  DigColPsInt NackOccured Cnt M igc       | 1  |
| DigColPsInt_NackOccured_Crit_M_igc  DigColPsInt PrevReqDataType Cnt M u08       | 4  |
| DigColPsInt_PrevReqDataType_Cnt_M_uos  DigColPsInt RecvOverrunError Cnt M Igc   | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_gc  DigColPsInt RecvdDataType Cnt M u08      | 4  |
| DigColPsInt_RecvolDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 1  |
| DigColPsInt_SkipRegisterWrite_Cnt_wi_gc  DigColPsInt SpurCustDatFound Cnt M Igc | 1  |
| DigColPsInt_SpurCusiDateOutid_Cit_M_igc  DigColPsInt SpurSnsrData Cnt M u16     | 129  |
| DigColPsInt_SputSristData_Cnt_M_u16  DigColPsInt TransactionCnt Cnt M u08       | 100  |
|   | 32   |
| Flags_Cnt_T_b16   |  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)  | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                                     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                                    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]  | 0  |
| T_DataRegisters_Cnt_u08[1]  | 32   |
| T_DataRegisters_Cnt_u08[2]  | 30   |
| T_DataRegisters_Cnt_u08[3]  | 36   |
| T_DataRegisters_Cnt_u08[4]  | 38   |
| T_DataRegisters_Cnt_u08[5]  | 34   |
| T_DataRegisters_Cnt_u08[6]  | 10   |

2014-10-14, 23:08:30+0530



DigColPsInt InterruptNotification Input Value T\_DataRegisters\_Cnt\_u08[7] 12 T\_DataRegisters\_Cnt\_u08[8] target\_i2cREG1\_temp i2cREG1 temp k\_ColSensorl2CAddress\_Cnt\_u08 k SpurSensorl2CAddress\_Cnt\_u08 120 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.OAR 567 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IMR 44  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.STR$ 4444 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKL 566  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 4466 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CNT 129  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DRR$ 6 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.SAR 567 target I2c GenStopCond I2cRegPtr Cnt T str.DXR 44 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.MDR 566 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IVR 554  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.EMDR$ 1 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PSC 44 4466 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PID11 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PID12 44  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DMAC$ 1 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.FUN 1  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DIR$ 2 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DIN 0  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DOUT$ 1  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.SET$ target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLR 2 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.ODR 0 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PD 3 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PSL 3 target I2c Send I2cRegPtr Cnt T str.OAR 567 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR 44 target I2c Send I2cRegPtr Cnt T str.STR 4444 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKL 566 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKH 4466 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CNT 129 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DRR  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SAR$ 567 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DXR 44 target I2c Send I2cRegPtr Cnt T str.MDR 566 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IVR 554 target I2c Send I2cRegPtr Cnt T str.EMDR target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSC 44 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID11 4466 44 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID12 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DMAC 1  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.FUN$ target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIR 2  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIN$ 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DOUT target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SET 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLR 2 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.ODR 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PD 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSL 3 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.OAR 567 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IMR 44 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.STR 4444 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKL 566

4466

129

567

566

554

1

44

44

1

2

4466

44

6

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKH

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CNT

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DRR

 $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.SAR$ 

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DXR

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.MDR

target I2c SetRecv I2cRegPtr Cnt T str.IVR

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.EMDR

target I2c SetRecv I2cRegPtr Cnt T str.PSC

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PID11

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PID12

 $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DMAC$ 

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.FUN

 $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DIR$ 

2014-10-14, 23:08:30+0530



| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT  target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DDR  target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DD  target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DAR  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MR  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR | Input Value  0  1  1  2  0  3  3  567  44  4444  566  4466  129  6  567 |
|--|---|
| target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DOUT target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SET target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLR target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.ODR target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.PD target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.PSL target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.OAR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.MR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.STR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CLKL target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CLKL target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CLKL target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CNT target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DRR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DRR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.SAR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DXR   | 1 1 2 0 3 3 567 44 4444 566 4466 129                                    |
| target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DOUT target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.SET target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLR target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.ODR target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.PD target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.PSL target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.OAR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.IMR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.STR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CLKL target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CLKL target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CLKL target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CNT target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DRR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DRR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.SAR target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DXR  | 1 1 2 0 3 3 567 44 4444 566 4466 129                                    |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD target_l2c_SetSecv_l2cRegPtr_Cnt_T_str.PSL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR  | 1 2 0 3 3 567 44 4444 566 4466 129 6                                    |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 2<br>0<br>3<br>3<br>567<br>44<br>4444<br>566<br>4466<br>129             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 0<br>3<br>3<br>567<br>44<br>4444<br>566<br>4466<br>129                  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 3<br>567<br>44<br>4444<br>566<br>4466<br>129                            |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 3<br>567<br>44<br>4444<br>566<br>4466<br>129                            |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 3<br>567<br>44<br>4444<br>566<br>4466<br>129                            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 567<br>44<br>4444<br>566<br>4466<br>129                                 |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR  | 44<br>4444<br>566<br>4466<br>129  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 4444<br>566<br>4466<br>129  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR  | 566<br>4466<br>129<br>6   |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR  | 4466<br>129<br>6  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 4466<br>129<br>6  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 129<br>6  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 6   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  |   |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 567   |
| 0 = = = = = = =  |   |
| 0 = = = = = = =  | 44  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 566   |
| 0 =  |   |
|  | 554   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 44  |
| 0 = = = 0 = ==   | 4466  |
| 0 0  |   |
|  | 44  |
| 0 =  | 1   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2   |
| 312 121111112 1 13 121 2 211   | 0   |
| 0 = = = 0 = ==   |   |
| 0 0  | 1   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 1   |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR   | 2   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 0   |
|  | 3   |
| 0 0  |   |
| ·  | 3   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 567   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 44  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 4444  |
|  | 566   |
|  |   |
|  | 4466  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 129   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 6   |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR  | 567   |
|  | 44  |
|  |   |
| 0 = = 1 = 0 = ==   | 566   |
|  | 554   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1   |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC  | 44  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11  | 4466  |
| 0 = = 1 = 0 = ==   |   |
| 0  | 44  |
|  | 1   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 2   |
|  | 0   |
| 0 = = 1 = 0 = ==   | 1   |
| 0  |   |
| 0 1 - 0  | 1   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 2   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 0   |
| 0 = = 1 = 0 = ==   | 3   |
|  | 3   |
| 0  |   |
|  | 567   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444  |
|  | 566   |
|  |   |
|  | 4466  |
|  | 129   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567   |
|  | 44  |
|  |   |
| 0 = = 1 = 0 = ==   | 566   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1   |
|  | 44  |
| 0 = = 1 = 0 = ==   | 4466  |
|  |   |
|  | 44  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1   |

2014-10-14, 23:08:30+0530



| Nama  | Innut Value  |  |   |
|---|--|--|---|
| Name target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | Input Value  |  |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 2  |  |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 0  |  |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 1  |  |   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  | 1  |  |   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 2  |  |   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD  | 0 3  |  |   |
| target_I2C_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3  |  |   |
| target_i2cREG1_temp.OAR   | 567  |  |   |
| target_i2cREG1_temp.IMR   | 44   |  |   |
| target_i2cREG1_temp.STR   | 4444   |  |   |
| target_i2cREG1_temp.CLKL  | 566  |  |   |
| target_i2cREG1_temp.CLKH  | 4466   |  |   |
| target_i2cREG1_temp.CNT   | 129  |  |   |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.SAR   | 567  |  |   |
| target_i2cREG1_temp.DXR   | 44   |  |   |
| target_i2cREG1_temp.MDR   | 566  |  |   |
| target_i2cREG1_temp.IVR   | 554  |  |   |
| target_i2cREG1_temp.EMDR  | 1  |  |   |
| target_i2cREG1_temp.PSC   | 44   |  |   |
| target_i2cREG1_temp.PID11   | 4466   |  |   |
| target_i2cREG1_temp.PID12   | 44   |  |   |
| target_i2cREG1_temp.DMAC  | 1  |  |   |
| target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR   | 2  |  |   |
| target_i2cREG1_temp.DIN   | 0  |  |   |
| target_i2cREG1_temp.DOUT  | 1  |  |   |
| target_i2cREG1_temp.SET   | 1  |  |   |
| target_i2cREG1_temp.CLR   | 2  |  |   |
| target_i2cREG1_temp.ODR   | 0  |  |   |
| target_i2cREG1_temp.PD  | 3  |  |   |
| target_i2cREG1_temp.PSL   | 3  | Form a stand Walter  | D16                                     |
| Name  DisColDolat AttempOccurForCustDotDood Cat M u09   | Actual Value   | Expected Value 10  | Result                                  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0]   | 36   | 36   | -                                       |
|   |  |  |   |
|   | 0  | 0  |   |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]   |  |  | ~                                       |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 0  | 0  | ~                                       |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]   | 0<br>0<br>1<br>1   | 0<br>0<br>1<br>1   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \   |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0<br>0<br>1<br>1   | 0<br>0<br>1<br>1   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \   |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0<br>0<br>1<br>1<br>1<br>566   | 0<br>0<br>1<br>1<br>1<br>566   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \   |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08  | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120   | 0<br>0<br>1<br>1<br>1<br>566<br>120  | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \   |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum   | 0<br>0<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG   | 0<br>0<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \   |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16   | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120   | 0<br>0<br>1<br>1<br>1<br>566<br>120  | *************************************** |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum   | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28  | 0<br>0<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28   | *************************************** |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29  | 0<br>0<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28   | · · · · · · · · · · · · · · · · · · ·   |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0   | 0<br>0<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0  |   |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOdDataType_Cnt_M_u08  | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1  | 0<br>0<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1   |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1  | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>1  |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustData_Cnt_M_u16   | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>1<br>4<br>1                                | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>1<br>4<br>1                                |   |
| DigCoIPsInt_Buffer_Cnt_M_u08[1]  DigCoIPsInt_Buffer_Cnt_M_u08[2]  DigCoIPsInt_BusBusySeqError_Cnt_M_lgc  DigCoIPsInt_CmdFailOccurred_Cnt_M_lgc  DigCoIPsInt_ColCustDatFound_Cnt_M_lgc  DigCoIPsInt_ColSnsrData_Cnt_M_u16  DigCoIPsInt_CurrentSlave_Cnt_M_u08  DigCoIPsInt_CurrentStepNo_Cnt_M_enum  DigCoIPsInt_I2CHwCustData_Uls_M_u16  DigCoIPsInt_I2CHwCustData_Uls_M_u16  DigCoIPsInt_InitFailedOnce_Cnt_M_lgc  DigCoIPsInt_NackOccured_Cnt_M_lgc  DigCoIPsInt_RecvdDataType_Cnt_M_u08  DigCoIPsInt_RecvdDataType_Cnt_M_u08  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurSnsrData_Cnt_M_u16  DigCoIPsInt_SpurSnsrData_Cnt_M_u16  DigCoIPsInt_TransactionCnt_Cnt_M_u08   | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>1<br>4<br>1<br>129                         | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>1<br>4<br>1<br>129                         |   |
| DigCoIPsInt_Buffer_Cnt_M_u08[1]  DigCoIPsInt_Buffer_Cnt_M_u08[2]  DigCoIPsInt_BusBusySeqError_Cnt_M_lgc  DigCoIPsInt_CmdFailOccurred_Cnt_M_lgc  DigCoIPsInt_ColCustDatFound_Cnt_M_lgc  DigCoIPsInt_ColSnsrData_Cnt_M_u16  DigCoIPsInt_CurrentSlave_Cnt_M_u08  DigCoIPsInt_CurrentStepNo_Cnt_M_enum  DigCoIPsInt_I2CHwCustData_Uls_M_u16  DigCoIPsInt_I2CHwCustData_Uls_M_u16  DigCoIPsInt_InitFailedOnce_Cnt_M_lgc  DigCoIPsInt_NackOccured_Cnt_M_lgc  DigCoIPsInt_RecvdDataType_Cnt_M_u08  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurSnsrData_Cnt_M_u16  DigCoIPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 1 4 1 129 100 1  | 0<br>0<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>4<br>1<br>129<br>100<br>1                       |   |
| DigCoIPsInt_Buffer_Cnt_M_u08[1]  DigCoIPsInt_Buffer_Cnt_M_u08[2]  DigCoIPsInt_BusBusySeqError_Cnt_M_lgc  DigCoIPsInt_CmdFailOccurred_Cnt_M_lgc  DigCoIPsInt_ColCustDatFound_Cnt_M_lgc  DigCoIPsInt_ColSnsrData_Cnt_M_u16  DigCoIPsInt_CurrentSlave_Cnt_M_u08  DigCoIPsInt_CurrentStepNo_Cnt_M_enum  DigCoIPsInt_I2CHwCustData_Uls_M_u16  DigCoIPsInt_I2CHwCustData_Uls_M_u16  DigCoIPsInt_InitFailedOnce_Cnt_M_lgc  DigCoIPsInt_NackOccured_Cnt_M_lgc  DigCoIPsInt_RecvdDataType_Cnt_M_u08  DigCoIPsInt_SpurCustDats_Ont_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>1<br>4<br>1<br>129                         | 0<br>0<br>1<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>1<br>4<br>1<br>129<br>100                  |   |
| DigCoIPsInt_Buffer_Cnt_M_u08[1]  DigCoIPsInt_Buffer_Cnt_M_u08[2]  DigCoIPsInt_BusBusySeqError_Cnt_M_lgc  DigCoIPsInt_CmdFailOccurred_Cnt_M_lgc  DigCoIPsInt_ColCustDatFound_Cnt_M_lgc  DigCoIPsInt_ColSnsrData_Cnt_M_u16  DigCoIPsInt_CurrentSlave_Cnt_M_u08  DigCoIPsInt_CurrentStepNo_Cnt_M_enum  DigCoIPsInt_I2CHwCustData_Uls_M_u16  DigCoIPsInt_I2CHwCustData_Uls_M_u16  DigCoIPsInt_InitFailedOnce_Cnt_M_lgc  DigCoIPsInt_NackOccured_Cnt_M_lgc  DigCoIPsInt_RecvdDataType_Cnt_M_u08  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurSnsrData_Cnt_M_u16  DigCoIPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  | 0<br>0<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>4<br>1<br>129<br>100<br>1                       | 0<br>0<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>4<br>1<br>129<br>100<br>1                       |   |
| DigCoIPsInt_Buffer_Cnt_M_u08[1]  DigCoIPsInt_Buffer_Cnt_M_u08[2]  DigCoIPsInt_BusBusySeqError_Cnt_M_lgc  DigCoIPsInt_CmdFailOccurred_Cnt_M_lgc  DigCoIPsInt_ColCustDatFound_Cnt_M_lgc  DigCoIPsInt_ColSnsrData_Cnt_M_u16  DigCoIPsInt_CourrentSlave_Cnt_M_u08  DigCoIPsInt_CurrentSlave_Cnt_M_u08  DigCoIPsInt_I2CHwCustData_UIs_M_u16  DigCoIPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigCoIPsInt_InitFailedOnce_Cnt_M_lgc  DigCoIPsInt_NackOccured_Cnt_M_lgc  DigCoIPsInt_RecvOverrunError_Cnt_M_lgc  DigCoIPsInt_SpurCustDataFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc  DigCoIPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 0<br>0<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>1<br>4<br>1<br>129<br>100<br>1<br>1<br>1<br>567 | 0<br>0<br>1<br>1<br>1<br>566<br>120<br>INIT_SENSOR2_READERROR_SETREG<br>28<br>29<br>0<br>1<br>1<br>1<br>4<br>1<br>129<br>100<br>1<br>1<br>1<br>567 |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_UrrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 1 4 1 129 100 1 1 1 567  | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 1 4 1 129 100 1 1 567 44 4444 566  |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSleve_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 1 129 100 1 1 567 44 4444 566 4466   | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 1 4 1 129 100 1 1 567 44 4444 566 4466   |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSleve_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2C_Send(Length_Cnt_T_u32)  I2C_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2C_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2C_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2C_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2C_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2C_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2C_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2C_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2C_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2C_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2C_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 1 129 100 1 1 567 44 4444 566 4466 129   | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 1 129 100 1 1 1 567 44 4444 566 4466 129                                       |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSleve_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_Uls_M_u16  DigColPsInt_12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 1 129 100 1 1 567 44 4444 566 4466 129 6                                       | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 11 129 100 1 1 1 567 44 4444 566 4466 129 6                                    |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2C_Send(Length_Cnt_T_u32)  I2C_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 1 129 100 1 1 1 567 44 4444 566 4466 129 6 567                                 | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 1129 100 1 1 1 567 44 4444 566 4466 129 6 567                                  |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 1 129 100 1 1 567 44 4444 566 4466 129 6                                       | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 11 129 100 1 1 1 567 44 4444 566 4466 129 6                                    |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2C_Send(Length_Cnt_T_u32)  I2C_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 129 100 1 1 1 567 44 4444 566 4466 129 6 567 44                                | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 1129 100 1 1 567 44 4444 566 4466 129 6 567 44                                 |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvData_Type_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DkR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DkR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DkR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DkR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DkR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DkR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DkR   | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 129 100 1 1 1 567 44 4444 566 4466 129 6 567 44 566                            | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 129 100 1 1 1567 44 4444 566 4466 129 6 567 44                                 |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DkR  | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 4 1 1 129 100 1 1 1 567 44 4444 566 4466 129 6 567 44 4566 554                   | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 129 100 1 1 567 44 4444 566 4466 129 6 567 44 566 554                          |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_u16  DigColPsInt_CourrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Ont_M_lgc  DigColPsInt_SpurCustDatFound_Ont_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PDD1 | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 1 4 1 129 100 1 1 1 567 44 4444 566 4466 129 6 567 44 566 554                      | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 129 100 1 1 1 567 44 4444 566 4466 129 6 5567 44 566 554 1 44 4466             |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I1FailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DDR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DDR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DDR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 129 100 1 1 1 567 44 4444 566 4466 129 6 557 44 566 554 1 44 4466 44           | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 129 100 1 1 1 567 44 4444 566 4466 129 6 557 44 4444 566 554 1 44 4466 44      |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_u16  DigColPsInt_CourrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Ont_M_lgc  DigColPsInt_SpurCustDatFound_Ont_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PDD1 | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 129 100 1 1 1 567 44 4444 566 4466 129 6 557 44 566 554 1 44 4466              | 0 0 1 1 1 1 566 120 INIT_SENSOR2_READERROR_SETREG 28 29 0 1 1 1 4 1 129 100 1 1 1 567 44 4444 566 4466 129 6 5567 44 566 554 1 44 4466             |   |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Resul |
|--|--------------|----------------|-------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | •     |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET | 1            | 1              |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              |       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR  | 567<br>44    | 567<br>44      |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                | 566          | 566            |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              |       |
| target I2c Send I2cRegPtr Cnt T str.PSC  | 44           | 44             |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              |       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 3<br>567     | 3<br>567       |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR          | 44           | 44             |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 4466<br>44   | 4466<br>44     |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC       | 1            | 1              |       |
| target I2c SetRecv I2cRegPtr Cnt T str.FUN   | 1            | 1              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              |       |
| target I2c SetRecv I2cRegPtr Cnt T str.DOUT  | 1            | 1              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | •     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 129<br>6     | 129<br>6       |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR      | 567          | 567            |       |
| target_lzc_SetStatus_lzcRegPtr_Cnt_1_str.SAR target_lzc_SetStatus_lzcRegPtr_Cnt_T_str.DXR      | 44           | 44             |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR   | 566          | 566            |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR   | 554          | 554            |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FMDR  | 1            | 1              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 44           | 44             |       |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567            | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR  | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 566          | 566            | <b>*</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | <b>Y</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 0            | *              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  |              | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL | 3 3          | 3              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 567          | 567            |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 44           | 44             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT   | 129          | 129            | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | -        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 567          | 567            | <b>V</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 44           | 44             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR  | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11   | 4466         | 4466           | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
|  | 1            | 1              |          |

| <b>7</b>                |       |                         |       |          |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | _        |

| Test Step 2.11 (Repeat Count = 1)               |             |
|---|-------------|
| Name  | Input Value |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 2           |

2014-10-14, 23:08:30+0530



| DigColPsInt_InterruptNotification  | TAZOI(AU   |
|--|--|
| Name   | Input Value  |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 255  |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 255  |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 255  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 7  |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 35   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_READERROR_READ                        |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 31   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 32   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc   | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 5  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 5  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0  |
| DigColPsInt SpurSnsrData Cnt M u16   | 88   |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 110  |
| lags Cnt T b16   | 32   |
| 2c GenStopCond(I2cRegPtr Cnt T str)  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c Send(I2cRegPtr Cnt T str)   | target I2c Send I2cRegPtr Cnt T str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)  | target I2c SetRecv I2cRegPtr Cnt T str             |
| 2c SetStatus(I2cRegPtr Cnt T str)  | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)   | target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| r_DataRegisters_Cnt_u08[0]   | 0  |
| starteg.comstarteg.<br>Γ_DataRegisters_Cnt_u08[1]  | 32   |
| Γ_DataRegisters_Cnt_u08[2]   | 30   |
|  | 36   |
|  | 38   |
| Γ_DataRegisters_Cnt_u08[5]   | 34   |
| Γ_DataRegisters_Cnt_u08[6]   | 10   |
| <br>Γ_DataRegisters_Cnt_u08[7]   | 12   |
| T_DataRegisters_Cnt_u08[8]   | 14   |
| 2cREG1_temp  | target_i2cREG1_temp                                |
| <_ColSensorl2CAddress_Cnt_u08  | 59   |
| x_SpurSensorI2CAddress_Cnt_u08   | 5  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 65   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 89   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 67   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 7  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 577  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 88   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 23   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 65   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 89   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 7  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 89   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 577  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 89   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2  |
|  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  |  |
|  | 65   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 65<br>89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR<br>arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 89<br>67   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.OAR arget_l2c_Send_l2cRegPtr_Cnt_T_str.IMR arget_l2c_Send_l2cRegPtr_Cnt_T_str.STR arget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL arget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 89<br>67<br>7                                      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 89<br>67<br>7<br>577                               |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT | 89<br>67<br>7<br>577<br>88                         |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                | 7           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                | 44          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR               | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                | 89          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11              | 577         |
| target I2c Send I2cRegPtr Cnt T str.PID12              | 89          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC               | 2           |
|  | 0           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN                | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT               | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                 | 2           |
| target I2c Send I2cRegPtr Cnt T str.PSL                | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR             | 65          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR             | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR             | 67          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL            | 7           |
|  |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH            | 577         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT             | 88          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 23          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR             | 65          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR             | 7           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR             | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR            | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC             | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11           | 577         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12           | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC            | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN             | 0           |
|  | 0           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT            | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR             | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD              | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR           | 65          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR           | 89          |
| target I2c SetStatus I2cRegPtr Cnt T str.STR           | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL          | 7           |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH          | 577         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT           | 88          |
|  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR           | 23          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR           | 65          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR           | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR           | 7           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR           | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR          | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC           | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         | 577         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC          | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR           | 0           |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DIN           | 1           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT          | 2           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET           | 2           |
|  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR           |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL           | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 65          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL | 7           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH | 577         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 88          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 23          |
| 5  | I *         |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

| Name   | Input Value  |                |          |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 65           |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 89           |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 7            |                |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR    | 44           |                |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.EMDR   | 2            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 89           |                |          |
|  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 577          |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 89           |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 2            |                |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 0            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1            |                |          |
|  | 2            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0            |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 65           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 67           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7            |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 577          |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 88           |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 23           |                |          |
|  | 65           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 577          |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            |                |          |
|  | 0            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 2            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 1            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            |                |          |
| target i2cREG1 temp.OAR                                  | 65           |                |          |
|  | 89           |                |          |
| target_i2cREG1_temp.IMR                                  | 111          |                |          |
| target_i2cREG1_temp.STR                                  | 67           |                |          |
| target_i2cREG1_temp.CLKL                                 | 7            |                |          |
| target_i2cREG1_temp.CLKH                                 | 577          |                |          |
| target_i2cREG1_temp.CNT                                  | 88           |                |          |
| target_i2cREG1_temp.DRR                                  | 23           |                |          |
| target i2cREG1 temp.SAR                                  | 65           |                |          |
| target_i2cREG1_temp.DXR                                  | 89           |                |          |
| target i2cREG1 temp.MDR                                  | 7            |                |          |
| target_i2cREG1_temp.IVR                                  | 44           |                |          |
|  |              |                |          |
| target_i2cREG1_temp.EMDR                                 | 2            |                |          |
| target_i2cREG1_temp.PSC                                  | 89           |                |          |
| target_i2cREG1_temp.PID11                                | 577          |                |          |
| target_i2cREG1_temp.PID12                                | 89           |                |          |
| target_i2cREG1_temp.DMAC                                 | 2            |                |          |
| target_i2cREG1_temp.FUN                                  | 0            |                |          |
| target_i2cREG1_temp.DIR                                  | 0            |                |          |
| target_i2cREG1_temp.DIN                                  | 1            |                |          |
| target_i2cREG1_temp.DOUT                                 | 2            |                |          |
|  | 2            |                |          |
| target_i2cREG1_temp.SET                                  |              |                |          |
| target_i2cREG1_temp.CLR                                  | 0            |                |          |
| target_i2cREG1_temp.ODR                                  | 1            |                |          |
| target_i2cREG1_temp.PD                                   | 2            |                |          |
| target_i2cREG1_temp.PSL                                  | 0            |                |          |
| Name   | Actual Value | Expected Value | Result   |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08          | 2            | 2              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                          | 38           | 38             |          |
|  | 255          | 255            |          |
| DigColPsInt_Buffer_Cnt_M_u08[1]                          |              |                |          |
| DigColPsInt Buffer Cnt M u08[2]                          | 255          | 255            | <b>V</b> |

255

255

DigColPsInt\_Buffer\_Cnt\_M\_u08[2]

2014-10-14, 23:08:30+0530



| Name  | Actual Value                   | Expected Value                 | Result   |
|---|--------------------------------|--------------------------------|----------|
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                              | 0                              | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 0                              | 0                              | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0                              | 0                              | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 7                              | 7                              | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 35                             | 35                             | <b>✓</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READEXTERR_SETREG | INIT_SENSOR1_READEXTERR_SETREG | •        |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 31                             | 31                             | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 32                             | 32                             | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                              | 0                              | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                              | 0                              | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                              | 0                              | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 5                              | 5                              | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0                              | 0                              | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 88                             | 88                             | <b>V</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 110                            | 110                            | ~        |
| I2c_Send(Length_Cnt_T_u32)  | 1                              | 1                              | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1                              | 1                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 65                             | 65                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 89                             | 89                             | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR  | 67                             | 67                             | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL   | 7                              | 7                              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 577                            | 577                            | <b>₩</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT  | 88                             | 88                             | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR  | 23                             | 23                             | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR  | 65                             | 65                             | <b>*</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 89                             | 89                             | Ž        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 7                              | 7                              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 44                             | 44                             | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 2                              | 2                              | <b>Y</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 89                             | 89                             |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11  | 577                            | 577                            | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 89                             | 89                             | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 2                              | 2                              | <b>Y</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 0                              | 0                              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 0                              | 0                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 1                              | 1                              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 2                              | 2                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 2                              | 2                              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 0                              | 0                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 1                              | 1                              | ,        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2                              | 2                              |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL  | 0                              | 0                              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 65<br>89                       | 65<br>89                       | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 67                             | 67                             |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 7                              | 7                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 577                            | 577                            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 88                             | 88                             | -        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   |                                | 23                             |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 23                             |                                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 65<br>89                       | 65<br>89                       | <b>*</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 7                              | 7                              | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         | 44                             | 44                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       | 2                              | 2                              | ~        |
|   | 89                             | 89                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       | 577                            | 577                            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 89                             | 89                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PiD12   | 2                              | 2                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0                              | 0                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0                              | 0                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1                              | 1                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2                              | 2                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 2                              | 2                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0                              | 0                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1                              | 1                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DD  | 2                              | 2                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0                              | 0                              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 65                             | 65                             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR  | 89                             | 89                             |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.NrR target_12c_SetRecv_12cRegPtr_Cnt_T_str.STR   | 67                             | 67                             | -        |
|   | 7                              | 7                              | -        |
| target I2c SetRecv I2cReaPtr Cnt T str.CLKL   | /                              | 1                              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH | 577                            | 577                            | -        |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              | 23           | 23             | ·        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 65           | 65             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 89           | 89             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 7            | 7              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 44           | 44             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 89           | 89             | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 577          | 577            | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 89           | 89             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 0            | 0              | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 0            | 0              |          |
|   | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              |              |                |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT             | 2            | 2              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET              | 2            | 2              | ·        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 0            | 0              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 65           | 65             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 89           | 89             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 67           | 67             | <b>✓</b> |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKL           | 7            | 7              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 577          | 577            | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 88           | 88             |          |
| target I2c SetStatus I2cRegPtr Cnt T str.DRR            | 23           | 23             |          |
| target I2c SetStatus I2cRegPtr Cnt T str.SAR            | 65           | 65             |          |
|   |              | 89             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 89           |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 7            | 7              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 89           | 89             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 577          | 577            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 89           | 89             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0            | 0              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 0            | 0              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 1            | 1              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 2            | 2              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 0            | 0              |          |
|   | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 2            | 2              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 0            | 0              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             |          |
|   |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 577          | 577            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 89           | 89             | _        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | <u> </u> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              |          |
|   | 65           | 65             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | <b>Y</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 67           | 67             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 7            | 7              |          |

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD

 $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL$ 

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



**Actual Value Expected Value** target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKH  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CNT$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DRR  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SAR$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DXR  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.MDR$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IVR  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.EMDR$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSC  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID11$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC$  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.FUN$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIR  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DOUT  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET$  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR$  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.ODR$ 

| T -                     |       |                         |       |          |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c_Send                | 1     | I2c_Send                | 1     | ~        |

| Test Step 2.12 (Repeat Count = 1)               | ✓  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 4  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 554  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 40   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_READERROR_READ                        |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 34   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 35   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 0  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 1  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 123  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 120  |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T_DataRegisters_Cnt_u08[3]                      | 36   |
| T_DataRegisters_Cnt_u08[4]                      | 38   |
| T_DataRegisters_Cnt_u08[5]                      | 34   |
| T_DataRegisters_Cnt_u08[6]                      | 10   |
| T_DataRegisters_Cnt_u08[7]                      | 12   |
| T_DataRegisters_Cnt_u08[8]                      | 14   |
| i2cREG1_temp                                    | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                   | 64   |
| k_SpurSensorI2CAddress_Cnt_u08                  | 10   |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 54          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 8           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 554         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 344         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 123         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 45          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 54          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target I2c GenStopCond I2cRegPtr Cnt T str.MDR   | 554         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 788         |
| target I2c GenStopCond I2cRegPtr Cnt T str.EMDR  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 344         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target I2c GenStopCond I2cRegPtr Cnt T str.SET   | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 54          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 66          |
| target I2c Send I2cRegPtr Cnt T str.STR          | 8           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 554         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 344         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 123         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 45          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 54          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 554         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 788         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 344         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 3           |
| target I2c Send I2cRegPtr Cnt T str.FUN          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 3           |
| target I2c Send I2cRegPtr Cnt T str.ODR          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 1           |
| target I2c Send I2cRegPtr Cnt T str.PSL          | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 54          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 8           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 554         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 344         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 123         |
| target I2c SetRecv I2cRegPtr Cnt T str.DRR       | 45          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 54          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 554         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 788         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 344         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN       | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET       | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR       | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR       | 2           |
| 0 = -=   |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                | 1           |
|  |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL               | 2           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR             | 54          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR             | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR             | 8           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            | 554         |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH            | 344         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 123         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 45          |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 54          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 554         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 788         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 344         |
|  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 3           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 1           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL             | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 54          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 8           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 344         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 123         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 45          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 54          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 554         |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR    | 788         |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC   | 3           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN    | 1           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 3           |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 344         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 123         |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
|  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   |             |

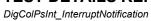
2014-10-14, 23:08:30+0530



| Name   | Input Value  |                |       |
|--|--------------|----------------|-------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR | 3            |                |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR | 2            |                |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 1            |                |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL | 2            |                |       |
| target_i2cREG1_temp.OAR                                | 54           |                |       |
| target_i2cREG1_temp.IMR                                | 66           |                |       |
| target_i2cREG1_temp.STR                                | 8            |                |       |
| target_i2cREG1_temp.CLKL                               | 554          |                |       |
| target_i2cREG1_temp.CLKH                               | 344          |                |       |
| target_i2cREG1_temp.CNT                                | 123          |                |       |
| target_i2cREG1_temp.DRR                                | 45           |                |       |
| target_i2cREG1_temp.SAR                                | 54           |                |       |
| target_i2cREG1_temp.DXR                                | 66           |                |       |
| target_i2cREG1_temp.MDR                                | 554          |                |       |
| target_i2cREG1_temp.IVR                                | 788          |                |       |
| target_i2cREG1_temp.EMDR                               | 3            |                |       |
| target_i2cREG1_temp.PSC                                | 66           |                |       |
| target_i2cREG1_temp.PID11                              | 344          |                |       |
| target_i2cREG1_temp.PID12                              | 66           |                |       |
| target_i2cREG1_temp.DMAC                               | 3            |                |       |
| target_i2cREG1_temp.FUN                                | 1            |                |       |
| target_i2cREG1_temp.DIR                                | 3            |                |       |
| target_i2cREG1_temp.DIN                                | 2            |                |       |
| target_i2cREG1_temp.DOUT                               | 3            |                |       |
| target_i2cREG1_temp.SET                                | 3            |                |       |
| target_i2cREG1_temp.CLR                                | 3            |                |       |
| target_i2cREG1_temp.ODR                                | 2            |                |       |
| target_i2cREG1_temp.PD                                 | 1            |                |       |
| target_i2cREG1_temp.PSL                                | 2            |                |       |
| Name   | Actual Value | Expected Value | Resul |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08        | 4            | 4              |       |

| target_izertEG1_temp.r D                         | !                              |                                |          |
|--|--------------------------------|--------------------------------|----------|
| target_i2cREG1_temp.PSL                          | 2                              |                                |          |
| Name   | Actual Value                   | Expected Value                 | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 4                              | 4                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                  | 38                             | 38                             | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]                  | 20                             | 20                             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                  | 30                             | 30                             | <b>✓</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc            | 1                              | 1                              | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc            | 1                              | 1                              | •        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc            | 1                              | 1                              | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16                | 554                            | 554                            | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08               | 40                             | 40                             | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum             | INIT_SENSOR2_READEXTERR_SETREG | INIT_SENSOR2_READEXTERR_SETREG | •        |
| DigColPsInt_I2CHwCustData_Uls_M_u16              | 34                             | 34                             | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16    | 35                             | 35                             | •        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc             | 1                              | 1                              | •        |
| DigColPsInt_NackOccured_Cnt_M_lgc                | 1                              | 1                              | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc           | 1                              | 1                              | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08              | 1                              | 1                              | <b>✓</b> |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc           | 1                              | 1                              | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16               | 123                            | 123                            | <b>✓</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08             | 120                            | 120                            | ~        |
| I2c_Send(Length_Cnt_T_u32)                       | 1                              | 1                              | •        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)    | 1                              | 1                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 54                             | 54                             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66                             | 66                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 8                              | 8                              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 554                            | 554                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 344                            | 344                            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 123                            | 123                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 45                             | 45                             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 54                             | 54                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                             | 66                             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 554                            | 554                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 788                            | 788                            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3                              | 3                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66                             | 66                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 344                            | 344                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66                             | 66                             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                              | 3                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                              | 1                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 3                              | 3                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                              | 2                              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                              | 3                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                              | 3                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 3                              | 3                              |          |
|  |                                |                                |          |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ✓ ×      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 54           | 54             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 8            | 8              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 554          | 554            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 344          | 344            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 123          | 123            | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  | 45           | 45             | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR  | 54           | 54             | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 554          | 554            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 788          | 788            | - 4      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   |              | 3<br>66        |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66<br>344    | 344            | · ·      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12      | 66           | 66             |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.Pid12  | 3            | 3              | -        |
| target I2c Send I2cRegPtr Cnt T str.FUN  | 1            | 1              |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIR  | 3            | 3              | -        |
| target I2c Send I2cRegPtr Cnt T str.DIN  | 2            | 2              | -        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | V        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | V        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | <b>*</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 344          | 344            | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC | 66           | 66<br>3        |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.DIR   | 3            | 3              |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN   | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.SET   | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 344          | 344            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | · •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3            | 3              | ~        |
| target I2c SetStatus I2cRegPtr Cnt T str.CLR             | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 2            | 2              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.OAR    | 54           | 54             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66           | 66             | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 8            | 8              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL   | 554          | 554            | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 344          | 344            | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CNT    | 123          | 123            | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 45           | 45             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 54           | 54             | _        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DXR    | 66           | 66             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 554          | 554            |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR    | 788          | 788            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11  | 344          | 344            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN    | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3            | 3              |          |
|  | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    |              | i i            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 1            | 1              | <b>~</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL    | 2            | 2              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344          | 344            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              |          |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~      |
| I2c_Send                | 1     | I2c_Send                | 1     | ~      |

| Test Step 2.13 (Repeat Count = 1)               |             | <b>✓</b> |
|---|-------------|----------|
| Name  | Input Value |          |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 6           |          |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123         |          |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145         |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200         |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0           |          |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0           |          |



| DigCor-Sint_interruptiNotinication   | MACIM  |
|--|--|
| Name   | Input Value  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2767   |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 45   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_CHECKSTAT_READ                        |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 37   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 38   |
| DigColPsInt InitFailedOnce Cnt M Igc   | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 2  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0  |
| DigColPsInt RecvdDataType Cnt M u08  | 2  |
|  | 1  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  |  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 564  |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 130  |
| Flags_Cnt_T_b16  | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| DataRegisters Cnt u08[0]   | 0  |
| DataRegisters_Cnt_u08[1]   | 32   |
|  | 30   |
| _DataRegisters_Cnt_u08[2]<br>DataRegisters Cnt u08[3]  | 36   |
|  |  |
| _DataRegisters_Cnt_u08[4]  | 38   |
| _DataRegisters_Cnt_u08[5]  | 34   |
| _DataRegisters_Cnt_u08[6]  | 10   |
| _DataRegisters_Cnt_u08[7]  | 12   |
| _DataRegisters_Cnt_u08[8]  | 14   |
| 2cREG1_temp  | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08   | 69   |
| _SpurSensorI2CAddress_Cnt_u08  | 123  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 7788   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2767   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 556  |
|  | 564  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 88   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2767   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 9  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1  |
|  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 100  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 7788   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2767   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  | 556  |
|  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 564  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 88   |
|  | 3  |
|  | 100  |
|  | 100  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 2767   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR<br>arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DXR arget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR arget_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 2767   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.SAR  arget_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  arget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  arget_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  arget_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  arget_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR | 2767<br>9  |

2014-10-14, 23:08:30+0530



| arget   2c_Send   12cRegPtr_Cnt_T_str.PID12  | 00<br>788<br>767<br>56<br>64<br>8<br>8<br>00<br>767 |
|--|---|
| arget   2c_Send   12cRegPtr_Cnt_T_str.PID12  | 00<br>7788<br>767<br>56<br>64<br>8<br>00<br>7767    |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN arget_I2c_Send_I2cRegPtr_Cnt_T_str.DUT arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOR arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOR arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOR arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOR arget_I2c_Send_I2cRegPtr_Cnt_T_str.DAR arget_I2c_Send_I2cRegPtr_Cnt_T_str.DAR arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DAR arget_I2c_SetRetars_I2cRegPtr_Cnt_T_str.DAR arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR arget_I2c_SetStatus_I2cReg | 00<br>788<br>767<br>56<br>64<br>8<br>8<br>00<br>767 |
| arget   2c Send   12cRegPtr_Cnt_T_str.FUN  | 00<br>788<br>767<br>56<br>64<br>8<br>00<br>767      |
| arget   Ze_Send_   | 00<br>788<br>767<br>56<br>64<br>8<br>00<br>767      |
| arget_Izc_Send_IzcRegPtr_Cnt_T_str.DIN  arget_Izc_Send_IzcRegPtr_Cnt_T_str.DUT  2 arget_Izc_Send_IzcRegPtr_Cnt_T_str.DUT  2 arget_Izc_Send_IzcRegPtr_Cnt_T_str.SET  0 arget_Izc_Send_IzcRegPtr_Cnt_T_str.CLR  1 arget_Izc_Send_IzcRegPtr_Cnt_T_str.DOR  3 arget_Izc_Send_IzcRegPtr_Cnt_T_str.DOR  3 arget_Izc_Send_IzcRegPtr_Cnt_T_str.DOR  3 arget_Izc_Send_IzcRegPtr_Cnt_T_str.DOR  3 arget_Izc_Send_IzcRegPtr_Cnt_T_str.DAR  3 arget_Izc_SelRecv_IzcRegPtr_Cnt_T_str.DAR  3 arget_Izc_SelRecv_IzcRegPtr_Cnt_T_str.DAR  3 arget_Izc_SelRecv_IzcRegPtr_Cnt_T_str.DAR  4 arget_Izc_SelRecv_IzcRegPtr_Cnt_T_str.CLKL  4 arget_Izc_SelRecv_IzcRegPtr_Cnt_T_str.CLKL  4 arget_Izc_SelRecv_IzcRegPtr_Cnt_T_str.DAR  4 arget_Izc_SelStatus_IzcRegPtr_Cnt_T_str.DAR  4 arget_Izc_SelStatus_IzcRegPtr_Cnt_T_str.DAR  4 ar | 00<br>788<br>767<br>56<br>64<br>8<br>00<br>767      |
| arget_12c_Send_12cRegPtr_Cnt_T_str.DOUT 2 arget_12c_Send_12cRegPtr_Cnt_T_str.SET 0 arget_12c_Send_12cRegPtr_Cnt_T_str.DR 1 arget_12c_Send_12cRegPtr_Cnt_T_str.DR 3 arget_12c_Send_12cRegPtr_Cnt_T_str.DR 3 arget_12c_Send_12cRegPtr_Cnt_T_str.DR 3 arget_12c_Send_12cRegPtr_Cnt_T_str.DR 3 arget_12c_Send_12cRegPtr_Cnt_T_str.DR 3 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR 3 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR 3 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR 4 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.STR 4 77. 4 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CkL 4 27. 4 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CkL 4 27. 4 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CkL 5 4 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CkL 5 4 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR 6 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR 7 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR 8 arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DR 8 arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DR 8 arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DR 8 arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DR 8 arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DR 8 arget_12c | 00<br>788<br>767<br>56<br>64<br>8<br>00<br>767      |
| arget_12c_Send_12cRegPtr_Cnt_T_str.SET  arget_12c_Send_12cRegPtr_Cnt_T_str.CLR  1 arget_12c_Send_12cRegPtr_Cnt_T_str.DR  3 arget_12c_Send_12cRegPtr_Cnt_T_str.DR  3 arget_12c_Send_12cRegPtr_Cnt_T_str.PD  3 arget_12c_Send_12cRegPtr_Cnt_T_str.PD  3 arget_12c_Send_12cRegPtr_Cnt_T_str.PSL  3 arget_12c_Send_12cRegPtr_Cnt_T_str.PSL  3 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR  3 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR  3 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.MR  4 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL  4 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL  4 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL  5 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR  5 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR  6 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.PDD  6 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.PDD  7 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.PDD  7 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDD  8 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDD  8 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDD  8 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDD  8 parget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDD  9 parget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDD  9 parget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDD  9 parget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR  9 parget_12c_ | 00<br>788<br>767<br>56<br>64<br>8<br>00<br>767      |
| arget_12c_Send_12cRegPtr_Cnt_T_str.CLR   | 00<br>788<br>767<br>56<br>64<br>8<br>00<br>767      |
| arget_12c_Send_12cRegPtr_Cnt_T_str.DDR  arget_12c_Send_12cRegPtr_Cnt_T_str.PD  0 arget_12c_Send_12cRegPtr_Cnt_T_str.PD  0 arget_12c_Send_12cRegPtr_Cnt_T_str.PSL  arget_12c_SentRecv_12cRegPtr_Cnt_T_str.DAR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DLR  1 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL  2 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL  2 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL  3 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  4 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  4 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  4 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  5 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  5 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  5 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  6 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  6 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDT  6 arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR  6 arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR  6 arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR  6 arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR  6 arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR  6 arget_12c_SetStatus_12cRegPtr_C | 00<br>788<br>767<br>56<br>64<br>8<br>00<br>0767     |
| arget_12c_Send_12cRegPtr_Cnt_T_str.PD  arget_12c_Send_12cRegPtr_Cnt_T_str.PSL  3 arget_12c_Send_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.CLKL  2 arget_12c_Senderv_12cRegPtr_Cnt_T_str.CLKL  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.CLKL  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  4 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  4 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  4 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  5 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  5 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  5 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  6 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  7 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  7 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  7 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  8 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  9 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  9 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  9 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  9 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  1 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  1 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  1 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  1 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  1 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  3 arget_12c_Senderv_12cRegPtr_Cnt_T_str.DAR  4 arget_12c_Senderdy_12cRegPtr_Cnt_T_str.DAR  4 arget_12c_Senderdy_12cRegPtr_Cnt_T_str.DAR  5 arget_12c_Senderdy_12cRegPtr_Cnt_T_str.DAR  5 arget_12c_Senderdy_12cRegPtr_Cnt_T_str.DAR  5 arget_12c_Senderdy_12cRegPtr_Cnt_T_str.DAR  6 arget_12c_Senderdy_12cRegPtr_Cnt_T_str.DAR  6 arget_12c_Senderdy_12cRegPtr_Cnt_T_str.DAR  6 arget_12c_Senderdy_12cR | 00<br>788<br>767<br>56<br>64<br>8<br>00<br>0767     |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.PSL arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DAR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DAR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DDR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DDR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DDR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DDR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PDD11 arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PDD12 arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PDD12 arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DR arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DR arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRD arget_l2 | 000 788 767 56 64 8 000 767 000 56 000              |
| arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.IMR  100  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.CLKL  271  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.CLKL  272  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.CLKL  273  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.CLKH  274  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  275  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  276  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  277  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  278  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  279  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  270  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  271  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  272  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  273  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  274  arget_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR  275  276  277  277  277  277  277  277   | 00  |
| arget_12c_setRecv_12cRegPtr_Cnt_T_str.IMR  arget_12c_setRecv_12cRegPtr_Cnt_T_str.STR  arget_12c_setRecv_12cRegPtr_Cnt_T_str.CLKL  27k arget_12c_setRecv_12cRegPtr_Cnt_T_str.CLKL  27k arget_12c_setRecv_12cRegPtr_Cnt_T_str.CLKH  55c arget_12c_setRecv_12cRegPtr_Cnt_T_str.CNT  56c arget_12c_setRecv_12cRegPtr_Cnt_T_str.DRR  88 arget_12c_setRecv_12cRegPtr_Cnt_T_str.DRR  88 arget_12c_setRecv_12cRegPtr_Cnt_T_str.DRR  88 arget_12c_setRecv_12cRegPtr_Cnt_T_str.DRR  89 arget_12c_setRecv_12cRegPtr_Cnt_T_str.DNR  100 arget_12c_setRecv_12cRegPtr_Cnt_T_str.IMDR  27c arget_12c_setRecv_12cRegPtr_Cnt_T_str.IMDR  10c arget_12c_setRecv_12cRegPtr_Cnt_T_str.IMDR  10c arget_12c_setRecv_12cRegPtr_Cnt_T_str.PSC  10c arget_12c_setRecv_12cRegPtr_Cnt_T_str.PSC  10c arget_12c_setRecv_12cRegPtr_Cnt_T_str.PID11  10c arget_12c_setRecv_12cRegPtr_Cnt_T_str.IDNAC  10c arget_12c_setRecv_12cRegPtr_Cnt_T_str.DINAC  10c arget_12c_setRecv_12cRegPtr_Cnt_T_str.DINAC  10c arget_12c_setRecv_12cRegPtr_Cnt_T_str.DIN  10c arget_12c_setRecv_12cRegPtr_Cnt_T_str.DIN  10c arget_12c_setRecv_12cRegPtr_Cnt_T_str.DIN  10c arget_12c_setRecv_12cRegPtr_Cnt_T_str.DNAC  10c arget_12c_setStatus_12cRegPtr_Cnt_T_str.DNAC  10c arget_12c_setStatus_12cRegPtr_Cnt_T | 000 788 767 56 64 8 00 767 00 56 00 00              |
| arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.STR  777 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.CLKL 278 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.CLKL 279 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.CLKH 558 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.DRR 388 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.DRR 389 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.DRR 380 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.DRR 380 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.DRR 380 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.DRR 380 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.DRR 380 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.DRR 380 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.PRR 380 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.PRR 380 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.PRR 380 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.PRR 480 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.PRR 480 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.DMAC 480 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.DMAC 480 arget_!2c_setRecv_!2cRegPtr_Cnt_T_str.DIR 480 480 480 480 480 480 480 480 480 480  | 788 767 56 64 8 00 767 00 56 00 00                  |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL 27t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKH 55t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR 56t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR 56t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR 56t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR 56t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR 56t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR 57t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR 57t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR 57t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR 57t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PDR 57t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PDD12 57t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DD12 57t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DD12 57t arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIR 57t  | 767 56 64 8 00 767 00 56 00 00                      |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKH  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CNT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PMDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PID11  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PID12  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DID12  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DID12  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DID12  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DUT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DUT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DUT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DUT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DUT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DUT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DD  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDC  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDC  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDC | 56<br>64<br>8<br>00<br>767                          |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CNT         56           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR         88           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR         3           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR         9           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR         9           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DMDR         0           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDT         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DD11         55           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DD12         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNAC         2           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNAC         1           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         1           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         2           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         1           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         2           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         3           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         1           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         3           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         3     <  | 64<br>8<br>00<br>767<br>00<br>56<br>00              |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CNT         56           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR         88           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR         3           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR         9           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR         9           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DMDR         0           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDT         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DD11         55           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DD12         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNAC         2           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNAC         1           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         1           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         2           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         1           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         2           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         3           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         1           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         3           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DNA         3     <  | 8<br>00<br>767<br>00<br>56<br>00                    |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR         88           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.SAR         3           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR         27           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDR         9           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.EMDR         0           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PDC         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DINAC         2           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN         0           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN         3           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT         2           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT         2           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOR         3           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOR         3           arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR         3           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR         3           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR         3           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR         3           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR         3 </td <td>00<br/>767<br/>00<br/>56<br/>00</td>   | 00<br>767<br>00<br>56<br>00                         |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.SAR   3   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR   10   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR   27   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR   3   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PXR   9   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PXR   9   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PXR   9   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PXR   10   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PXR   10   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PID11   55   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PID12   10   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIMAC   2   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIM   0   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIR   1   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIR   1   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIM   3   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIM   3   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT   2   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT   3   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR   3   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR   3   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR   3   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR   3   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR   3   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   3   arget_12c_SetStatus_12cRegPtr_Cn   | 00<br>767<br>00<br>56<br>00                         |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR  | 00<br>767<br>00<br>56<br>00                         |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.IVR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.EMDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.EMDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PSC  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PID11  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PID12  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DID12  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DID12  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR  ar | 767   |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.IVR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.EMDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PDC  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PDD11  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PID12  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DMAC  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DMAC  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DMAC  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRDR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRDR  arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRDR  ar | 00 56 00  |
| arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.PMDR  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.PSC  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.PID11  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.PID11  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.PID12  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DMAC  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DMAC  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DMAC  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DIN  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DIN  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DIN  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUT  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUT  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.SET  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUT  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DDR  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DDR  arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DDR  arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR  arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR  arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR  arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.CLKL  arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.CLKL  arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.CLKL  arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DRR  | 00 56 00  |
| arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.PSC   100 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.PID11   550 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.PID12   100 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DMAC   20 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DMAC   20 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DMAC   20 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DIR   100 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DIR   100 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DIR   100 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUT   20 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUT   20 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUT   20 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUT   30 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUR   30 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUR   30 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUR   30 arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUR   30 arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   30 arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   30 arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   30 arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   30 arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.CLKL   30 arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.CLKL   30 arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   30 arget_  | 00<br>56<br>00                                      |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11         55           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC         2           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC         2           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN         0           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR         1           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN         3           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT         2           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET         0           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DUR         3           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DR         3           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DR         3           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL         27           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         8           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         2           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         <   | 56  |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PID12 arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DMAC arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DMAC arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIR arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIR arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLR arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DR arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR  |   |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC         2           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN         0           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR         1           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN         3           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DUT         2           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DUT         2           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DUT         1           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DUT         3           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DD         3           arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DD         0           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL         27           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL         27           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR <t< td=""><td></td></t<>   |   |
| arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DIR  |   |
| arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DIR   1   1   3   3   3   3   3   3   3   3  |   |
| arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DIN   3   arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUT   2   arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DUT   2   arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.SET   0   arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.CLR   1   arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DDR   3   arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DDR   3   arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DDR   3   arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DDR   3   arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   3   arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   3   arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   4   10   arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.CLKL   27   arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.CLKL   27   arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   3   arg   |   |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT   2   2   2   3   3   3   3   3   3   3   |   |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT   2   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.SET   0   0   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.CLR   1   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDR   3   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DDR   3   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PD   0   arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PD   3   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   3   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   3   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   10   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL   27   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL   27   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL   27   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   3    |   |
| arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.SET   0     arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.CLR   1     arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DDR   3     arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DDR   3     arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.DDR   3     arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.PD   0     arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.PSL   3     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   3     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   10     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.CLKL   27     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.CLKL   27     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.CLKH   55     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   88     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   3     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   3     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   10     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   27     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   27     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   27     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   27     arget_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DAR   3     arget_ 2c_SetStatu   |   |
| arget_ 2c_SetRecv_ 2cRegPtr_Cnt_T_str.CLR  |   |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.ODR   3     arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PD   0     arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PSL   3     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.OAR   3     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.MR   10     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.STR   77     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL   27     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL   27     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL   25     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CNT   56     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   3     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   3     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   3     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   10     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   27     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   27     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   27     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   0     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   0     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   0     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR   0     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DD11   55     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DD12   10     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DD12   10     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DD12   2     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDAC   2     arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDA   |   |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PD   |   |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PSL         3           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR         3           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.IMR         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.STR         77           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL         27           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKH         55           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CNT         56           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR         88           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR         3           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR         27           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.NDR         27           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PDR         0           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PDR         0           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PDD11         55           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID11         55           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetSta  |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR         77           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL         27           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH         55           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT         56           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR         88           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         3           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR         27           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR         9           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR         0           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         55           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_  |   |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.IMR         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.STR         77           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL         27           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKH         55           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CNT         56           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR         88           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         3           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.MDR         27           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.IVR         9           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.EMDR         0           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID11         55           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_1  |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR       77.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL       27.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH       55.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT       56.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR       88.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR       3.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR       10.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR       27.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.NVR       9.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR       0.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC       10.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11       55.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12       10.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12       10.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12       10.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC       2.         arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN       0.   |   |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL       27         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKH       55         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CNT       56         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR       88         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR       3         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR       10         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR       27         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.IVR       9         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.EMDR       0         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC       10         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID11       55         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12       10         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12       10         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12       10         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12       2         arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PUN       0  | 00  |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKH         55           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CNT         56           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR         88           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.SAR         3           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.MDR         27           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.IVR         9           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.EMDR         0           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID11         55           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         2           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PIDN         0  | 788   |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CNT         56           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR         88           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.SAR         3           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.MDR         27           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.IVR         9           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.EMDR         0           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID11         55           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DMAC         2           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.FUN         0   | 767   |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR         88           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.SAR         3           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.MDR         27           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.IVR         9           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.EMDR         0           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID11         55           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DMAC         2           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.FUN         0   | 56  |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.SAR   3   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR   10   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.MDR   27   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.IVR   9   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.EMDR   0   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.EMDR   10   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC   10   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID11   55   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12   10   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DMAC   2   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.FUN   0   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.FUN   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.FUN   0   arget_12c_SetStatus_12cRegPtr_Cnt_T_str.FUN   arget_12c_SetStat   | 64  |
| 100   27   27   27   27   27   27   27   | 8   |
| 100    |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR         27           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR         9           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR         0           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         55           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         2           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN         0   | 00  |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.IVR         9           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.EMDR         0           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID11         55           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         10           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         2           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DMAC         2           arget_12c_SetStatus_12cRegPtr_Cnt_T_str.FUN         0   |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR         0           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         55           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         2           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN         0   |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         55           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         2           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN         0  |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         55           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         2           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN         0   |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         2           arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN         0  |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC 2 arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN 0   |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN 0  |   |
|  |   |
|  |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR 1  |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN 3  |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT 2   |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET 0  |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR 1  |   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR 3  |   |
| arget I2c SetStatus I2cRegPtr Cnt T str.PD 0   |   |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PSL 3  |   |
|  |   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR 3   |   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR 10  | UU  |
|  |   |
|  | 788   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH 55   | 767   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT 56  | 767   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR 88  | 767<br>56   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR 3   | 767<br>56<br>64                                     |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR 10  | 767<br>56<br>64<br>8                                |
|  | 767<br>56<br>64<br>8                                |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR 9   | 767<br>56<br>64<br>8                                |
| arget_12c_SetupMasterReceive_12cRegPtr_Cnt_1_str.FMDR 0  | 767<br>56<br>64<br>8<br>00<br>767                   |

2014-10-14, 23:08:30+0530



| Name  | Input Value  |                |        |
|---|--------------|----------------|--------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 100          |                |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 556          |                |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 100          |                |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2            |                |        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN   | 0            |                |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1            |                |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 3            |                |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2            |                |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 0            |                |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1            |                |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 3            |                |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 0            |                |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 100          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 7788         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 2767         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 556          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 564          |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  | 88           |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR  | 3            |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 100<br>2767  |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  |              |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 9            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR<br>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC | 100          |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11  | 556          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 100          |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC   | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            |                |        |
| target_i2cREG1_temp.OAR   | 3            |                |        |
| target_i2cREG1_temp.IMR   | 100          |                |        |
| target_i2cREG1_temp.STR   | 7788         |                |        |
| target_i2cREG1_temp.CLKL  | 2767         |                |        |
| target_i2cREG1_temp.CLKH  | 556          |                |        |
| target_i2cREG1_temp.CNT   | 564          |                |        |
| target_i2cREG1_temp.DRR   | 88           |                |        |
| target_i2cREG1_temp.SAR   | 3            |                |        |
| target_i2cREG1_temp.DXR   | 100          |                |        |
| target_i2cREG1_temp.MDR   | 2767         |                |        |
| target_i2cREG1_temp.IVR   | 9            |                |        |
| target_i2cREG1_temp.EMDR  | 0            |                |        |
| target_i2cREG1_temp.PSC   | 100          |                |        |
| target_i2cREG1_temp.PID11   | 556          |                |        |
| target_i2cREG1_temp.PID12   | 100          |                |        |
| target_i2cREG1_temp.DMAC  | 2            |                |        |
| target_i2cREG1_temp.FUN   | 0            |                |        |
| target_i2cREG1_temp.DIR   | 1            |                |        |
| target_i2cREG1_temp.DIN   | 3            |                |        |
| target_i2cREG1_temp.DOUT  | 2            |                |        |
| target_i2cREG1_temp.SET   | 0            |                |        |
| target_i2cREG1_temp.CLR   | 1            |                |        |
| target_i2cREG1_temp.ODR   | 3            |                |        |
| target_i2cREG1_temp.PD  | 0            |                |        |
| target_i2cREG1_temp.PSL   | 3            |                |        |
| Name  | Actual Value | Expected Value | Result |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 6            | 6              | ~      |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 36           | 36             | ~      |
| DigColPsInt Buffer Cnt M u08[1]   | 145          | 145            | · •    |

| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 6            | 6              | ~      |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 36           | 36             | ~      |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145          | 145            | ~      |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200          | 200            | ~      |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0            | 0              | ~      |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0            | 0              | •      |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0            | 0              | ~      |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2767         | 2767           | ~      |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 45           | 45             | ~      |

2014-10-14, 23:08:30+0530



| DigCoPaint_CurentSiepho, Crit_M_enum   | ISOR1_READERROR_SETREG |   |
|--|------------------------|---|
| DigCoPisint_NicPisieCoustPack_Uis_M_ui6  |                        |   |
| DigCoPsint_InitFalledOnce_Cnt_M_lgc  |                        |   |
| DigCoPsint NackOccured Cnt M Igc         0         0         0           DigCoPsint RevOveruntError_Cnt M Igc         0         0         0           DigCoPsint SpurCustDairt Pre_Cnt_M Us08         2         2         2           DigCoPsint SpurCustDairt Drund_Cnt_M us08         564         564         564           DigCoPsint SpurCustDair Drund_Cnt_M us08         130         130         130           Leg_SetupMaster Transmit(Datal Ength_Cnt_T us16)         1         1         1           Larget_Lize_GenStopCond_LizeRegPtr_Cnt_T str.OAR         3         3         3           Larget_Lize_GenStopCond_LizeRegPtr_Cnt_T str.STR         7788         7788         7788           Larget_Lize_GenStopCond_LizeRegPtr_Cnt_T str.CLK1         2767         2767         2767           Larget_Lize_GenStopCond_LizeRegPtr_Cnt_T str.CLK1         564         564         564           Larget_Lize_GenStopCond_LizeRegPtr_Cnt_T str.CLK1         2767         2767         2767           Larget_Lize_GenStopCond_LizeRegPtr_Cnt_T str.CLK1         564         564         564           Larget_Lize_GenStopCond_LizeRegPtr_Cnt_T str.DIR         88         88         88           Larget_Lize_GenStopCond_LizeRegPtr_Cnt_T str.DIR         8         8         88           Larget_Lize_GenStopCond_Lize  |                        |   |
| DigCoPsint RecvOeruntError Cnt M, Job         0           DigCoPsint RevordbataType Cnt M, Job         2           DigCoPsint SpurSnstData Cnt M, Job         0           DigCoPsint SpurSnstData Cnt M, Job         564           DigCoPsint SpurSnstData Cnt M, Job         130           J2c, Send(Langth, Cnt, T, Ju2)         1           J2c, Send(Langth, Cnt, T, Ju16)         1           Larger, L2c, GenStopCond, J2cRepPtr, Cnt, T, Str. IMR         100           Larger, L2c, GenStopCond, J2cRepPtr, Cnt, T, Str. IXR         100           Larger, L2c, GenStopCond, J2cRepPtr, Cnt, T, Str. CKN         566           Larger, L2c, GenStopCond, J2cRepPtr, Cnt, T, Str. CKN         566           Larger, L2c, GenStopCond, J2cRepPtr, Cnt, T, Str. Str. R         88           Larger, L2c, GenStopCond, J2cRepPtr, Cnt, T, Str. Str. R         3           Larger, L2c, GenStopCond, J2cRepPtr, Cnt, T, Str. Str. R         3           Larger, L2c, GenStopCond, J2cRepPtr, Cnt, T, Str. MDR         2767           Larger, L2c, GenStopCond, J2cRepPtr, Cnt, T, Str. MDR         2767           Larger, L2c, GenStopCond, J2cRepPtr, Cnt, T, Str. MDR         0           Larger, L2c, GenSto  |                        |   |
| DigCoPIsht Revolution   Revol |                        |   |
| DigCoPsint_SpurCustDaiFound_Cnt_M_uf6         564         564           DigCoPsint_SpurSnrbata_Cnt_M_uf6         564         564           DigCoPsint_SpurSnrbata_Cnt_M_uf6         130         130           12c_Sent_Mangt_Cnt_T_u32         1         1           12c_Sent_Mangt_Cnt_T_u32         1         1           1 target_Ize_GenStopCond_I2cRegePtr_Cnt_T_str.IMR         100         100           1 target_Ize_GenStopCond_I2cRegePtr_Cnt_T_str.IMR         100         100           1 target_Ize_GenStopCond_I2cRegPtr_Cnt_T_str.IMR         100         100           1 target_Ize_GenStopCond_I2cRegPtr_Cnt_T_str.CtXL         2767         2767           1 target_Ize_GenStopCond_I2cRegPtr_Cnt_T_str.CtXL         2767         2767           1 target_Ize_GenStopCond_I2cRegPtr_Cnt_T_str.CtXT         564         564           1 target_Ize_GenStopCond_I2cRegPtr_Cnt_T_str.DRR         88         88           1 target_Ize_GenStopCond_I2cRegPtr_Cnt_T_str.DRR         3         3           1 target_Ize_GenStopCond_I2cRegPtr_Cnt_T_str.DRR         3         3           1 target_Ize_GenStopCond_I2cRegPtr_Cnt_T_str.DRR         2767         2767           2 target_Ize_GenStopCond_I2cRegPtr_Cnt_T_str.DRR         0         0           1 target_Ize_GenStopCond_I2cRegPtr_Cnt_T_str.DRR         0         0   |                        |   |
| DigCoPisht_SpurSnsrData_Cnt_M_u16  |                        |   |
| DigCoPient_TransactionCrt_Crt_M_u08  |                        | 0 |
| 12c_Send(Length_Cnt_Tu32)  |                        |   |
| 12c_SetupMasterTransmit(DataLength_Cnt_T_ut6)  |                        |   |
| larget_ 2c_GenStopCond_ 2cRegPtr_Cnt_T_str.MR  |                        |   |
| target_ 2c_GenStopCond_ 2cRegPtr_Cnt_T_str.IMR   |                        | - |
| larget_ 2c_GenStopCond_ 2cRegPtr_Cnt_T_str.CLKL   2767   |                        | - |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL         2767         2767           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH         556         556           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT         564         564           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR         88         88           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR         100         100           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR         100         100           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR         9         9           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRDR         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRD         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRD         0         100           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DNAC         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DNAC         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DR   |                        | - |
| larget_ 2c_GenStopCond_!2cRegPtr_Cnt_T_str.CNT   564   556   556   13rget_ 2c_GenStopCond_!2cRegPtr_Cnt_T_str.CNT   564   56 |                        | - |
| target_12c_GenStopCond_12cRepPtr_Cnt_T_str.CNT         564         564           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.DRR         88         88           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.DRR         3         3           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.DRR         100         100           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.MDR         2767         2767           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.MDR         0         0           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.EMDR         0         0           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.EMDR         0         0           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.PID11         556         556           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.DID12         100         100           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.DID12         100         100           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.DID1         0         0           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.DID1         1         1           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.DID1         2         2           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.DUT         2         2           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.DUT         2         2           target_12c_GenStopCond_12cRepPtr_Cnt_T_str.DID1<  |                        |   |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR         88         88           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR         100         100           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR         100         100           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR         9         9           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMDR         0         0           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDT1         556         556           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDT2         100         100           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDT2         100         100           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC         2         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIN         0         0         0           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDT         1         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDUT         2         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DET         0         0         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DET         0         0         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DET         0<   |                        |   |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.SAR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR         100         100           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.MDR         2767         2767           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.MDR         9         9           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.EMDR         0         0           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PSC         100         100           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID12         100         100           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DID12         100         100           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DID12         100         0           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIN         0         0           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIN         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLR         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR  |                        |   |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR         100         100           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.MDR         2767         2767           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.MDR         9         9           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.EMDR         0         0           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PDC         100         100           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PD111         556         556           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIR         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIR         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR  |                        |   |
| target_12c_GenStopCond_12cRegPtr_CntT_str.MDR         2767         2767           target_12c_GenStopCond_12cRegPtr_CntT_str.WR         9         9           target_12c_GenStopCond_12cRegPtr_CntT_str.EMDR         0         100           target_12c_GenStopCond_12cRegPtr_CntT_str.EMDR         100         100           target_12c_GenStopCond_12cRegPtr_CntT_str.PiD11         556         556           target_12c_GenStopCond_12cRegPtr_CntT_str.DiD12         100         100           target_12c_GenStopCond_12cRegPtr_CntT_str.DiD4C         2         2           target_12c_GenStopCond_12cRegPtr_CntT_str.DiN         0         0           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DiN         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DiN         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR         3 <td></td> <td>V</td>   |                        | V |
| target_!2c_GenStopCond_!2cRegPtr_CntT_str.EMDR         0         0           target_!2c_GenStopCond_!2cRegPtr_CntT_str.EMDR         0         0           target_!2c_GenStopCond_!2cRegPtr_CntT_str.EMDR         100         100           target_!2c_GenStopCond_!2cRegPtr_CntT_str.PID11         556         556           target_!2c_GenStopCond_!2cRegPtr_CntT_str.PID12         100         100           target_!2c_GenStopCond_!2cRegPtr_CntT_str.DNAC         2         2           target_!2c_GenStopCond_!2cRegPtr_CntT_str.DNN         0         0           target_!2c_GenStopCond_!2cRegPtr_CntT_str.DIN         3         3           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DUT         2         2           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DUT         2         2           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.CLR         1         1           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.CLR         1         1           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DDR         3         3           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DDR         3         3           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DNA         3         3           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DNA         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DA         3   |                        | _ |
| target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.PSC         100         100           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.PSC         100         100           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.PID11         556         556           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.PID12         100         100           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DMAC         2         2           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DMAC         2         2           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DIR         1         1           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DIN         3         3           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DUT         2         2           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DUT         2         2           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.CLR         1         1           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.CLR         1         1           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DOR         3         3           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DOR         3         3           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DAR         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.STR         7788  |                        |   |
| target_l2c_GenStopCond_l2cRegPtr_Cntstr.PSC         100         100           target_l2c_GenStopCond_l2cRegPtr_Cntstr.PID11         556         556           target_l2c_GenStopCond_l2cRegPtr_Cntstr.PID12         100         100           target_l2c_GenStopCond_l2cRegPtr_Cntstr.DMAC         2         2           target_l2c_GenStopCond_l2cRegPtr_Cntstr.DMAC         0         0           target_l2c_GenStopCond_l2cRegPtr_Cntstr.DIR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.AR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.STR         7788         7788  |                        |   |
| target_12c_GenStopCond_12cRegPt_Cnt_T_str.PiD11         556         556           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PiD12         100         100           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.FUNN         0         0           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIR         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIN         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.CtK         2767         2767           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         3         3 </td <td></td> <td></td>   |                        |   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12         100         100           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC         2         2           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DWN         0         0           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN         1         1           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN         3         3           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DUT         2         2           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DUT         2         2           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DUT         3         3           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DUT         3         3           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DDR         3         3           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DUT         3         3           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DR         3         3           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DR         3         3           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DR         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLK         2767         2767           target_I2c_Send_I2cRegPtr_Cnt_T_str.DR         88         8 <td></td> <td></td>  |                        |   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         2         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DDR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DDR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_Gend_l2cRegPtr_Cnt_T_str.MIR         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.BIR         7788         7788           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKI         2767         2767           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         88         88           target_l2c_Send_l2cRegPtr_Cnt_T_str.AR         3         3  |                        |   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DDR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DD         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.CkL         2767         2767           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         88         88           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         88         88           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         3         3 <t< td=""><td></td><td>j</td></t<>  |                        | j |
| target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.DIR         1         1           target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.DIN         3         3           target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.DOUT         2         2           target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.SET         0         0           target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CDR         1         1           target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.ODR         3         3           target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.DDR         3         3           target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.DDR         3         3           target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.DAR         3         3           target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.DAR         3         3           target_i2c_Send_i2cRegPtr_Cnt_T_str.DAR         3         3           target_i2c_Send_i2cRegPtr_Cnt_T_str.DAR         100         100           target_i2c_Send_i2cRegPtr_Cnt_T_str.CLKL         2767         2767           target_i2c_Send_i2cRegPtr_Cnt_T_str.DAR         88         88           target_i2c_Send_i2cRegPtr_Cnt_T_str.DAR         88         88           target_i2c_Send_i2cRegPtr_Cnt_T_str.DAR         100         100           target_i2c_Send_i2cRegPtr_Cnt_T_str.DAR         0         0  |                        |   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DD         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DD         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL         2767         2767           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         564         564           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         88         88           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         9         9           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         0         0           ta  |                        |   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT         2           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET         0           0         0           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR         1           1         1           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR         3           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD         0           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         100           target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         7788           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         2767           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         2767           target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR         88           target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR         88           target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         100           target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         100           target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         2767           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.PI   |                        |   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DDR         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.STR         7788         7788           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL         2767         2767           target_l2c_Send_l2cRegPtr_Cnt_T_str.CKH         556         556           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         88         88           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         88         88           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMR         2767         2767           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMDR         2767         2767           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMDR         0         0           t  |                        |   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.STR         7788         7788           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL         2767         2767           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH         556         556           target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT         564         564           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         88         88           target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR         2767         2767           target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.BMDR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC         100         100           target_l2c_Send_l2c  |                        |   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR       3       3         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD       0       0         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.MR       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.STR       7788       7788         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       2767       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.ONT       564       564         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       88       88         target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       9       9         target_I2c_Send_I2cRegPtr_Cnt_T_str.IMDR       9       9         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         ta  |                        |   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD       0         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL       3         3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR       3         3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.BIMR       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.STR       7788         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT       564         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       88         target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.NDR       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.NDR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100         target_I2c_Send_I2cRegPtr_Cnt_T_st  |                        |   |
| target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.PSL       3       3         target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR       3       3         target_!2c_Send_!2cRegPtr_Cnt_T_str.IMR       100       100         target_!2c_Send_!2cRegPtr_Cnt_T_str.STR       7788       7788         target_!2c_Send_!2cRegPtr_Cnt_T_str.CLKL       2767       2767         target_!2c_Send_!2cRegPtr_Cnt_T_str.CLKH       556       556         target_!2c_Send_!2cRegPtr_Cnt_T_str.CNT       564       564         target_!2c_Send_!2cRegPtr_Cnt_T_str.DRR       88       88         target_!2c_Send_!2cRegPtr_Cnt_T_str.SAR       3       3         target_!2c_Send_!2cRegPtr_Cnt_T_str.DXR       100       100         target_!2c_Send_!2cRegPtr_Cnt_T_str.DXR       100       100         target_!2c_Send_!2cRegPtr_Cnt_T_str.MDR       2767       2767         target_!2c_Send_!2cRegPtr_Cnt_T_str.NDR       9       9         target_!2c_Send_!2cRegPtr_Cnt_T_str.IVR       9       9         target_!2c_Send_!2cRegPtr_Cnt_T_str.EMDR       0       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSC       100       100         target_!2c_Send_!2cRegPtr_Cnt_T_str.PiD11       556       556         target_!2c_Send_!2cRegPtr_Cnt_T_str.PiD12       100       100         targe  |                        |   |
| target   I2c   Send   I2cRegPtr   Cnt   T   str. OAR       3       3         target   I2c   Send   I2cRegPtr   Cnt   T   str. STR       100       100         target   I2c   Send   I2cRegPtr   Cnt   T   str. STR       7788       7788         target   I2c   Send   I2cRegPtr   Cnt   T   str. CLKL       2767       2767         target   I2c   Send   I2cRegPtr   Cnt   T   str. CLKH       556       556         target   I2c   Send   I2cRegPtr   Cnt   T   str. CNT       564       564         target   I2c   Send   I2cRegPtr   Cnt   T   str. DRR       88       88         target   I2c   Send   I2cRegPtr   Cnt   T   str. DXR       3       3         target   I2c   Send   I2cRegPtr   Cnt   T   str. DXR       100       100         target   I2c   Send   I2cRegPtr   Cnt   T   str. IVR       9       9         target   I2c   Send   I2cRegPtr   Cnt   T   str. EMDR       0       0         target   I2c   Send   I2cRegPtr   Cnt   T   str. PSC       100       100         target   I2c   Send   I2cRegPtr   Cnt   T   str. PID11       556       556         target   I2c   Send   I2cRegPtr   Cnt   T   str. PID12       100       100         target   I2c   Send   I2cRegPtr   Cnt   T   str. PID12       100       100         target   I2c   Send   I2cRegPtr   Cnt   T   str. PID12       100       100         target   I2c   Sen  |                        |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.STR       7788       7788         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       2767       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT       564       564         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       88       88         target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       2767       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       9       9         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       2       2   |                        | j |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR       7788       7788         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       2767       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT       564       564         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       88       88         target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       2767       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       9       9         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       2       2  |                        |   |
| target   2c Send   2cRegPtr_Cnt_T str.CLKL       2767       2767         target   2c Send   2cRegPtr_Cnt_T str.CLKH       556       556         target   2c Send   2cRegPtr_Cnt_T str.CNT       564       564         target   2c Send   2cRegPtr_Cnt_T str.DRR       88       88         target   2c Send   2cRegPtr_Cnt_T str.SAR       3       3         target   2c Send   2cRegPtr_Cnt_T str.DXR       100       100         target   2c Send   2cRegPtr_Cnt_T str.MDR       2767       2767         target   2c Send   2cRegPtr_Cnt_T str.IVR       9       9         target   2c Send   2cRegPtr_Cnt_T str.EMDR       0       0         target   2c Send   2cRegPtr_Cnt_T str.PSC       100       100         target   2c Send   2cRegPtr_Cnt_T str.PID11       556       556         target   2c Send   2cRegPtr_Cnt_T str.PID12       100       100         target   2c Send   2cRegPtr_Cnt_T str.DMAC       2       2  |                        | j |
| target   2c Send   2cRegPtr_Cnt_T_str.CLKH       556       556         target   2c Send   2cRegPtr_Cnt_T_str.CNT       564       564         target   2c Send   2cRegPtr_Cnt_T_str.DRR       88       88         target   2c Send   2cRegPtr_Cnt_T_str.SAR       3       3         target   2c Send   2cRegPtr_Cnt_T_str.DXR       100       100         target   2c Send   2cRegPtr_Cnt_T_str.MDR       2767       2767         target   2c Send   2cRegPtr_Cnt_T_str.IVR       9       9         target   2c Send   2cRegPtr_Cnt_T_str.EMDR       0       0         target   2c Send   2cRegPtr_Cnt_T_str.PSC       100       100         target   2c Send   2cRegPtr_Cnt_T_str.PID11       556       556         target   2c Send   2cRegPtr_Cnt_T_str.PID12       100       100         target   2c Send   2cRegPtr_Cnt_T_str.PID12       100       100         target   2c Send   2cRegPtr_Cnt_T_str.PID12       100       100         target   2c Send   2cRegPtr_Cnt_T_str.DMAC       2       2   |                        |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT       564       564         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       88       88         target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       2767       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       9       9         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       2       2   |                        |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       88       88         target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       2767       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       9       9         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       2       2  |                        |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       2767       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       9       9         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       2       2  |                        | j |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       2767       2767         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       9       9         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       2       2  |                        |   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR         2767         2767           target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR         9         9           target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11         556         556           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC         2         2  |                        | j |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR         9         9           target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11         556         556           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC         2         2  |                        |   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11         556         556           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12         100         100           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC         2         2  |                        |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       2       2   |                        |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       556       556         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       100       100         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       2       2   |                        | j |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 100 100 target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC 2 2   |                        |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC 2 2   |                        | j |
| 0 0  |                        |   |
| target_ize_ocnia_izentegr ti_ont_i_sa.i. on  |                        |   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR 1  |                        |   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN 3 3  |                        |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT 2 2   |                        |   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET 0 0  |                        |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  |                        |   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  |                        |   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DDR  |                        |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL 3 3  |                        |   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR 3 3   |                        |   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR 100 100   |                        |   |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.STR   |                        |   |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL 2767 2767  |                        |   |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKH  |                        |   |
| target_lzc_SetRecv_lzcRegPtr_Cnt_T_str.CNT 564 564   |                        |   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CN1   |                        |   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR 3 3   |                        |   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   |                        |   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR 2767 2767   |                        |   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR 9 9   |                        | - |

2014-10-14, 23:08:30+0530



| Digoon ant_menupavounouson   |              |                |          |
|--|--------------|----------------|----------|
| Name   | Actual Value | Expected Value | Result   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | _        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | <b>V</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN<br>target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT                        | 2            | 2              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET   | 0            | 0              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 100          | 100            | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           | •        |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH  | 556          | 556            | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 564          | 564            | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>✓</b> |
| target I2c SetStatus I2cRegPtr Cnt T str.PSC   | 100          | 100            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2767         | 2767           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 556          | 556            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 88           | 88             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 100          | 100            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 9            | 9              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 100          | 100            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | <b>*</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 100          | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556<br>564     | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 88           | 3              | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR | 100          | 100            |          |
| targot_120_octuprilastor transmit_1201/egr tt_Ont_1_Str.DAR  | 100          | 100            |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 556          | 556            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 100          | 100            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~      |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | •      |
| I2c_Send                | 1     | I2c_Send                | 1     | ~      |

| T 101 041/D 10 1 1)                             |  |
|---|--|
| Test Step 2.14 (Repeat Count = 1)               | torret Webse                                       |
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 8  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 100  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 200  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 250  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7846   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 10   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_CHECKSTAT_READ                        |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 40   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 41   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 3  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 3  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 98   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 12   |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T_DataRegisters_Cnt_u08[3]                      | 36   |
| T_DataRegisters_Cnt_u08[4]                      | 38   |
| T_DataRegisters_Cnt_u08[5]                      | 34   |
| T_DataRegisters_Cnt_u08[6]                      | 10   |
| T_DataRegisters_Cnt_u08[7]                      | 12   |
| T_DataRegisters_Cnt_u08[8]                      | 14   |
| i2cREG1_temp                                    | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                   | 74   |
| k_SpurSensorl2CAddress_Cnt_u08                  | 100  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 10   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 10   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 1223   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 7846   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH | 8974   |
| <u> </u>  |  |

2014-10-14, 23:08:30+0530



|  | (14 15 10 10 |
|--|--------------|
| Name   | Input Value  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 98           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 12           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 10           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 10           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 7846         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 55           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 10           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 8974         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 10           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 1            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 10           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 10           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 1223         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 7846         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 8974         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 98           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 12           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 10           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 10           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 7846         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 55           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 10           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 8974         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 10           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 2            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 2            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 10           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 10           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 1223         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 7846         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 8974         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 98           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 12           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 10           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR       | 10           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 7846         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 55           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       | 10           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 8974         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     | 10           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       | 2            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN       | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT      | 1            |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET       | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR       | 2            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR       | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD        | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL       | 1            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR     | 10           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR     | 10           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR     | 1223         |
|  |              |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            | 7846        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 8974        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 98          |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 12          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 7846        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 1           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 8974        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 2           |
|  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 2           |
| target I2c SetStatus I2cRegPtr Cnt T str.ODR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 1           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 1223        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7846        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 8974        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 98          |
|  | 12          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 7846        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 10          |
|  | 8974        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT   | 1           |
| · ·  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 10          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 10          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 1223        |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7846        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 8974        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 98          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 10          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7846        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 8974        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1           |
|  | 1           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   |             |
| target_i2cREG1_temp.OAR                                  | 10          |
|  |             |

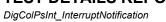
2014-10-14, 23:08:30+0530



| Name  | Input Value  |                |        |
|---|--------------|----------------|--------|
| target_i2cREG1_temp.IMR                         | 10           |                |        |
| target_i2cREG1_temp.STR                         | 1223         |                |        |
| target_i2cREG1_temp.CLKL                        | 7846         |                |        |
| target_i2cREG1_temp.CLKH                        | 8974         |                |        |
| target_i2cREG1_temp.CNT                         | 98           |                |        |
| target_i2cREG1_temp.DRR                         | 12           |                |        |
| target_i2cREG1_temp.SAR                         | 10           |                |        |
| target_i2cREG1_temp.DXR                         | 10           |                |        |
| target_i2cREG1_temp.MDR                         | 7846         |                |        |
| target_i2cREG1_temp.IVR                         | 55           |                |        |
| target_i2cREG1_temp.EMDR                        | 1            |                |        |
| target_i2cREG1_temp.PSC                         | 10           |                |        |
| target_i2cREG1_temp.PID11                       | 8974         |                |        |
| target_i2cREG1_temp.PID12                       | 10           |                |        |
| target_i2cREG1_temp.DMAC                        | 1            |                |        |
| target_i2cREG1_temp.FUN                         | 1            |                |        |
| target_i2cREG1_temp.DIR                         | 2            |                |        |
| target_i2cREG1_temp.DIN                         | 1            |                |        |
| target_i2cREG1_temp.DOUT                        | 1            |                |        |
| target_i2cREG1_temp.SET                         | 1            |                |        |
| target_i2cREG1_temp.CLR                         | 2            |                |        |
| target_i2cREG1_temp.ODR                         | 1            |                |        |
| target_i2cREG1_temp.PD                          | 1            |                |        |
| target_i2cREG1_temp.PSL                         | 1            |                |        |
| Name  | Actual Value | Expected Value | Result |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 8            | 8              | ~      |
| DisColDolot Duffer Cot M (1000)                 | 10           | 10             |        |

| target_i2cREG1_temp.PD                           | 1                               |                                 |          |
|--|---------------------------------|---------------------------------|----------|
| target_i2cREG1_temp.PSL                          | 1                               |                                 |          |
| Name   | Actual Value                    | Expected Value                  | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 8                               | 8                               | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                  | 10                              | 10                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                  | 3                               | 3                               | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                  | 7                               | 7                               | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc            | 1                               | 1                               | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc            | 1                               | 1                               | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc            | 1                               | 1                               | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16                | 7846                            | 7846                            | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08               | 74                              | 74                              | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum             | INIT_SENSOR1_EXTREADADDRREG_SEN | INIT_SENSOR1_EXTREADADDRREG_SEN | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16              | 40                              | 40                              | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16    | 41                              | 41                              | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc             | 0                               | 0                               | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc                | 1                               | 1                               | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc           | 1                               | 1                               | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08              | 3                               | 3                               | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc           | 1                               | 1                               | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16               | 98                              | 98                              | ~        |
| DigColPsInt_TransactionCnt_Cnt_M_u08             | 12                              | 12                              | ~        |
| I2c_Send(Length_Cnt_T_u32)                       | 3                               | 3                               | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)    | 3                               | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 10                              | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 10                              | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 1223                            | 1223                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 7846                            | 7846                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 8974                            | 8974                            | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT   | 98                              | 98                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 12                              | 12                              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR   | 10                              | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 10                              | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 7846                            | 7846                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 55                              | 55                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1                               | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 10                              | 10                              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 8974                            | 8974                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 10                              | 10                              | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1                               | 1                               | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                               | 1                               | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2                               | 2                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1                               | 1                               | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1                               | 1                               | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1                               | 1                               | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2                               | 2                               | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1                               | 1                               |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 1                               | 1                               | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 1 10                            | 10                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 10                              | 10                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 10                              | 10                              |          |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 1223         | 1223           | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL   | 7846         | 7846           | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 8974         | 8974           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 98           | 98             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 12           | 12             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 10           | 10             | · ·      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 10<br>7846   | 10<br>7846     |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  | 55           | 55             |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR | 1            | 1              |          |
| target I2c Send I2cRegPtr Cnt T str.PSC  | 10           | 10             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 8974         | 8974           | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 10           | 10             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |          |
| target I2c Send I2cRegPtr Cnt T str.DIR  | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR                                       | 10           | 10             | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.IMR                                       | 10           | 10             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR                                       | 1223         | 1223           | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL                                      | 7846         | 7846           |          |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKH                                      | 8974         | 8974           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT                                       | 98           | 98             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR                                       | 12           | 12             | ·        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR                                       | 10           | 10             | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR                                       | 10           | 10             | ·        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR                                       | 7846         | 7846           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR                                       | 55           | 55             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR                                      | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC                                       | 10           | 10             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11                                     | 8974         | 8974           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12                                     | 10           | 10             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC                                      | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN                                       | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR                                       | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN                                       | 1            | 1              | <b>✓</b> |
| target I2c SetRecv I2cRegPtr Cnt T str.DOUT                                      | 1            | 1              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET                                       | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR                                       | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR                                       | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL                                       | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR                                     | 10           | 10             | ·        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR                                     | 10           | 10             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR                                     | 1223         | 1223           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL                                    | 7846         | 7846           | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH                                    | 8974         | 8974           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT                                     | 98           | 98             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR                                     | 12           | 12             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR                                     | 10           | 10             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR                                     | 10           | 10             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR                                     | 7846         | 7846           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR                                     | 55           | 55             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR                                    | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC                                     | 10           | 10             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11                                   | 8974         | 8974           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12                                   | 10           | 10             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC                                    | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN                                     | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR                                     | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN                                     | 1            | 1              | ·        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT                                    | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET                                     | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR                                     | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR                                     | 1            | 1              | •        |
|  |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD                                      | 1            | 1              | ✓        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 10           | 10             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 10           | 10             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 1223         | 1223           | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7846         | 7846           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 8974         | 8974           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 98           | 98             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 12           | 12             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 10           | 10             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 10           | 10             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 7846         | 7846           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 10           | 10             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 8974         | 8974           | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 10           | 10             | ✓        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | ✓        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 2            | 2              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 2            | 2              | _        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 1            | 1              | •        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 1            | 1              | _        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL    | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 10           | 10             | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 10           | 10             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974           | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 98           | 98             | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 12           | 12             | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 10           | 10             | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 10           | 10             | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 7846         | 7846           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55             | _        |
| target I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11 | 8974         | 8974           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 10           | 10             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 1            | 1              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 2            | 2              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 2            | 2              |          |
| target I2c SetupMasterTransmit I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |          |
|  | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | I I          | I              |          |

| Τ                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| SetupWriteData          | 1     | SetupWriteData          | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | •      |
| I2c_Send                | 1     | I2c_Send                | 1     | -      |

| Test Step 2.15 (Repeat Count = 1)               |                      | ✓ |
|---|----------------------|---|
| Name  | Input Value          |   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 10                   |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 1                    |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 5                    |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 9                    |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0                    |   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0                    |   |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0                    |   |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 847                  |   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 20                   |   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ_SENSOR1_GETDATA |   |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 43                   |   |

2014-10-14, 23:08:30+0530



| DigCoiPsini_InterruptiNotinication              | MACIA  |
|---|--|
| Name  | Input Value  |
| 0igColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 44   |
| igColPsInt_InitFailedOnce_Cnt_M_lgc             | 1  |
| ligColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| igColPsInt_PrevReqDataType_Cnt_M_u08            | 4  |
| higColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| igColPsInt_RecvdDataType_Cnt_M_u08              | 4  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc          | 0  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc           | 0  |
| igColPsInt_SpurSnsrData_Cnt_M_u16               | 487  |
| igColPsInt_TransactionCnt_Cnt_M_u08             | 13   |
| lags_Cnt_T_b16                                  | 32   |
| tc_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| cc_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| c_SetRecv(I2cRegPtr_Cnt_T_str)                  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| c_SetStatus(I2cRegPtr_Cnt_T_str)                | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)       | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)      | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]                       | 0  |
| _DataRegisters_Cnt_u08[1]                       | 32   |
|   | 30   |
| _DataRegisters_Cnt_u08[2]                       |  |
| _DataRegisters_Cnt_u08[3]                       | 36   |
| _DataRegisters_Cnt_u08[4]                       | 38   |
| _DataRegisters_Cnt_u08[5]                       | 34   |
| _DataRegisters_Cnt_u08[6]                       | 10   |
| _DataRegisters_Cnt_u08[7]                       | 12   |
| _DataRegisters_Cnt_u08[8]                       | 14   |
| tcREG1_temp                                     | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08                    | 79   |
| _SpurSensorI2CAddress_Cnt_u08                   | 110  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 34   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR    | 24   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR    | 455  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 847  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 987  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 487  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 34   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 34   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DXR   | 24   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 847  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.IVR   | 56   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 24   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 987  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 24   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PiD12 | 2  |
|   | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 3  |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET    | 2  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR    | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR    | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD     | 2  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL    | 2  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR           | 34   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR           | 24   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.STR           | 455  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL          | 847  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH          | 987  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT           | 487  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR           | 34   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR           | 34   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR           | 24   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR           | 847  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR           | 56   |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR          | 2  |
|   | 2 24   |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.PSC           |  |
| irget_l2c_Send_l2cRegPtr_Cnt_T_str.PID11        | 987  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 24   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC          | 2  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN           | 0  |
| grant 12a Sand 12aBaaBtr Cnt T atr DIB          | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |  |
|---|-------------|--|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                | 2           |  |
|   | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                 |             |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR                 | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                 | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                  | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR              | 34          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR              | 24          |  |
|   | 455         |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR              |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL             | 847         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH             | 987         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT              | 487         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              | 34          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 34          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 24          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 847         |  |
|   | 56          |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR              |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 24          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 987         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 24          |  |
| target I2c SetRecv I2cRegPtr Cnt T str.DMAC             | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 0           |  |
|   |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 2           |  |
|   | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 34          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 24          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 455         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 847         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 987         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 487         |  |
|   | 34          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR            | 34          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 24          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 847         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 56          |  |
| target I2c SetStatus I2cRegPtr Cnt T str.EMDR           | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 24          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 987         |  |
|   | 24          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 2           |  |
| target I2c SetStatus I2cRegPtr Cnt T str.SET            | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 3           |  |
|   |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 34          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 24          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 455         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 847         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 987         |  |
|   |             |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 487         |  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR   | 34          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 34          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 24          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 847         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 56          |  |
|   | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  |             |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 24          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 987         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 24          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0           |  |
|   |             |  |

2014-10-14, 23:08:30+0530



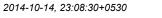
DigColPsInt\_InterruptNotification

| Name  | Input Value         |                     |          |
|---|---------------------|---------------------|----------|
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR   | 3                   |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 3                   |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2                   |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 2                   |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 3                   |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 3                   |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 2                   |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 2                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 34                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 24                  |                     |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  | 455                 |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 847                 |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 987                 |                     |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR | 487<br>34           |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR  | 34                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 24                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 847                 |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 56                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 2                   |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC  | 24                  |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11  | 987                 |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 24                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 3                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 3                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 2                   |                     |          |
| target_i2cREG1_temp.OAR   | 34                  |                     |          |
| target_i2cREG1_temp.IMR   | 24                  |                     |          |
| target_i2cREG1_temp.STR target_i2cREG1_temp.CLKL  | 455<br>847          |                     |          |
| target_i2cREG1_temp.CLKH  | 987                 |                     |          |
| target_i2cREG1_temp.CNT   | 487                 |                     |          |
| target i2cREG1 temp.DRR   | 34                  |                     |          |
| target i2cREG1 temp.SAR   | 34                  |                     |          |
| target_i2cREG1_temp.DXR   | 24                  |                     |          |
| target i2cREG1 temp.MDR   | 847                 |                     |          |
| target_i2cREG1_temp.IVR   | 56                  |                     |          |
| target_i2cREG1_temp.EMDR  | 2                   |                     |          |
| target_i2cREG1_temp.PSC   | 24                  |                     |          |
| target_i2cREG1_temp.PID11   | 987                 |                     |          |
| target_i2cREG1_temp.PID12   | 24                  |                     |          |
| target_i2cREG1_temp.DMAC  | 2                   |                     |          |
| target_i2cREG1_temp.FUN   | 0                   |                     |          |
| target_i2cREG1_temp.DIR   | 3                   |                     |          |
| target_i2cREG1_temp.DIN   | 3                   |                     |          |
| target_i2cREG1_temp.DOUT  | 2                   |                     |          |
| target_i2cREG1_temp.SET   | 2                   |                     |          |
| target_i2cREG1_temp.CLR   | 3                   |                     |          |
| target_i2cREG1_temp.ODR   | 3                   |                     |          |
| target_i2cREG1_temp.PD  | 2                   |                     |          |
| target_i2cREG1_temp.PSL   | 2                   | Formando d M. I     |          |
| Name  | Actual Value        | Expected Value      | Result   |
| DigColPoint_AttempOccurForCustDatRead_Cnt_M_u08   | 10                  | 10<br>38            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 38<br>5             | 5                   | - Y      |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]   | 9                   | 9                   |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                   | 0                   |          |
| DigColPsInt_BusbusySeqError_Cnt_M_igc  DigColPsInt CmdFailOccurred Cnt M igc                                  | 0                   | 0                   |          |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0                   | 0                   |          |
| DigColPsInt_ColCustDati Oditu_Cit_M_gc  DigColPsInt_ColSnsrData_Cnt_M_u16                                     | 261                 | 261                 | _        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 110                 | 110                 |          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ SENSOR2 SETREG | READ_SENSOR2_SETREG | <b>✓</b> |
| DigColPsInt_I2CHwCustData_UIs_M_u16   | 43                  | 43                  | ~        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 44                  | 44                  | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 1                   | 1                   | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                   | 0                   | <b>✓</b> |
|   |                     |                     |          |

2014-10-14, 23:08:30+0530



| Description   Proceedings   Control   Mage   Control     | Nome  | Actual Value | Expected Value | Popult   |
|--|---|--------------|----------------|----------|
| Biggladerin   Securitarity   Security   10 ms   4  | Name DigColPoint RecyCycrynError Cet M Igo      | Actual Value | Expected Value | Result   |
| Digital Part   Special Content   Special Conte   |   |              | ·              | -        |
| DipoChellan   Southernolan Colin   M. 105   487   487   487   487   487   487   488   48   |   |              |                |          |
| 1   1   1   1   1   1   1   1   1   1  |   | 487          | 487            | •        |
| December    | DigColPsInt_TransactionCnt_Cnt_M_u08            | 13           | 13             | ~        |
| Margin Disp. Com Stockholm Colon   C   | I2c_Send(Length_Cnt_T_u32)                      | 1            | 1              | ~        |
| Langer   Dec   Construction   Dec    |   |              |                |          |
| Barger 126, Confessional Distright Coll   1 cst Citics   |   |              |                |          |
| Laged 12, Cardisoption, (Enterphy) Coll T at CLCH.  977  Variage 12, Cardisoption, (Enterphy) Coll 1, and COLH  987  Variage 12, Cardisoption, (Enterphy) Coll 1, and COLH  487  Variage 12, Cardisoption, (Enterphy) Coll 1, and COLH  487  Variage 12, Cardisoption, (Enterphy) Coll 1, and SAR  34  34  34  34  34  34  34  34  34  3   |   |              |                | -        |
| tangut De, GroShopford, Defapily Crit _ Jan CNM  tongut De, GroShopford, Defapily Crit _ Jan CNM  tongut De, GroShopford, Defapily Crit _ Jan DNR  tongut De, GroShopford, Defapily Crit _ Jan DNR  34  34  34  34  34  34  34  34  34  3  |   |              |                |          |
| Septile   Septile   Control   Control   Control   Septile   Con    |   |              |                | -        |
| Bases   12.5 cm   StopCome   Zeneger Cost   1.5 to Stop  |   |              |                |          |
| Langer   D.C. Gerishood   Zenegin Cut   T sit SAR   34   4   4   4   4   4   4   4   4   |   |              |                |          |
| Simple   12.5 cm   StopCom     2.5 mg   |   |              |                | ~        |
| September   Sept   |   | 24           | 24             | •        |
|  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 847          | 847            | ~        |
| Images   120, Centification   2  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 56           | 56             | ~        |
| Imped_12c_GenStepCord_L2RepPi_CRL_TarPID11   997   9   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR | 2            | 2              | -        |
| Intent IRC Centification of Later Print T at PRINC 2  Intent IRC Centification (Later Print T at PRINC 2  Intent IRC Centification (Later Print T at PRIN 0  Intent IRC Centification (Later Print T at PRIN 0  Intent IRC Centification (Later Print T at PRIN 0  Intent IRC Centification (Later Print T at PRIN 1  Intent IRC Centification (Later Print T at PRIN 1  Intent IRC Centification (Later Print T at PRIN 1  Intent IRC Centification (Later Print T at PRIN 1  Intent IRC Centification (Later Print T at PRIN 1  Intent IRC Centification (Later Print T at PRINT 1  Intent IRC Centification |   |              |                |          |
| Image: 12.0   Cents Stand College   Cents   T. Set DAMAC   |   |              |                |          |
| Lampel LEC, GenStopCond, JECRepPPL COLT, SHE DIN         3         3         3           Lampel LEC, GenStopCond, JECRepPPL COLT, SHE DIN         3         3         3           Lampel LEC, GenStopCond, JECRepPPL COLT, SHE DIN         3         3         3           Lampel LEC, GenStopCond, JECRepPPL COLT, SHE DIN         2         2         2           Lampel LEC, GenStopCond, JECRepPPL COLT, SHE DOR         3         3         3           Lampel LEC, GenStopCond, JECRepPPL COLT, SHE DOR         3         3         3           Lampel LEC, GenStopCond, JECRepPPL COLT, SHE DOR         3         3         3           Lampel LEC, GenStopCond, JECREPPL COLT, SHE DOR         3         3         3           Lampel LEC, GenStopCond, JECREPPL COLT, SHE DOR         3         3         4           Lampel LEC, Send (JECREPPL COLT, SHE DOR         3         3         4           Lampel LEC, Send (JECREPPL COLT, SHE DOR         3         4         4           Lampel LEC, Send (JECREPPL COLT, SHE DOR         3         4         4           Lampel LEC, Send (JECREPPL COLT, SHE DOR         3         4         4           Lampel LEC, Send (JECREPPL COLT, SHE DOR         3         4         4           Lampel LEC, Send (JECREPPL COLT, SHE DOR         3   |   |              |                |          |
| ## Image: Live CensionsCond, 12-Respire, Cont. T. str. DIR    Sept.   12-CensionsCond.   12-Respire, Cont. T. str. DIR   Sept.   12-CensionsCond.   12-Respire, Cont. T. str. DIVI   2   2   2   4   4   4   4   4   4   4   |   |              |                | -        |
| Larget   L.S. Cent Stop Cond.   ZerRephr. Cot.   T. str. DIN   3   3   4   4   4   4   4   4   4   4   |   |              | '              |          |
| target_Lize_GenSitepCond_LizeRegPtr_Cnt_T st xDUT         2         2         V           target_Lize_GenSitepCond_LizeRegPtr_Cnt_T st xDLT         2         2         V           target_Lize_GenSitepCond_LizeRegPtr_Cnt_T st xDDR         3         3         3         V           target_Lize_GenSitepCond_LizeRegPtr_Cnt_T st xDDR         3         3         3         V           target_Lize_GenSitepCond_LizeRegPtr_Cnt_T st xDDR         2         2         2         V           target_Lize_GenSitepCond_LizeRegPtr_Cnt_T st xDDR         3         4         34         4         V         4         24         4 <td></td> <td></td> <td>-</td> <td>-</td>  |   |              | -              | -        |
| Integred_Lize_GenStepCond_LizeRepPir_CnitstrictR   2   2   2   3   3   3   3   4   4   4   4   4   4   | · · - · - · ·                                   |              |                |          |
| target_Lisc_GenStepCond_LiscRepPt_Cnt_T str CLR 3 3 3 3 3 4 4 4 4 4 4 4 4 4 4 4 4 4 4 4  |   |              |                | -        |
| Integral   Dec. GenishopCond_DecRepPir_CntstrDOR   3   3   3   3   4   4   4   4   4   4   |   |              |                | •        |
| sarget_IZe_Send_IzeRegPtr_CntT_str.PSL         2         2           darget_IZe_Send_IzeRegPtr_CntT_str.NRR         34         34           darget_IZe_Send_IzeRegPtr_CntT_str.STR         455         455           darget_IZe_Send_IzeRegPtr_CntT_str.Str.R         455         455           darget_IZe_Send_IzeRegPtr_CntT_str.Ctcl.N         847         847           darget_IZe_Send_IzeRegPtr_CntT_str.Ctcl.H         987         987           darget_IZe_Send_IzeRegPtr_CntT_str.Ctcl.H         987         487           darget_IZe_Send_IzeRegPtr_CntT_str.Ctcl.T         487         487           darget_IZe_Send_IzeRegPtr_CntT_str.Ctcl.T         487         487           darget_IZe_Send_IzeRegPtr_CntT_str.Dtc.R         34         34           darget_IZe_Send_IzeRegPtr_CntT_str.Dtc.R         24         24           darget_IZe_Send_IzeRegPtr_CntT_str.Dtc.R         24         24           darget_IZe_Send_IzeRegPtr_CntT_str.Dtc.R         56         56           darget_IZe_Send_IzeRegPtr_CntT_str.Dtc.T         56         56           darget_IZe_Send_IzeRegPtr_CntT_str.Dtc.T         987         987           darget_IZe_Send_IzeRegPtr_CntT_str.Dtc.T         987         987           darget_IZe_Send_IzeRegPtr_CntT_str.Dtc.T         24         24         24 <td< td=""><td></td><td>3</td><td>3</td><td><b>~</b></td></td<>   |   | 3            | 3              | <b>~</b> |
| target J.2c. Send, J.2cRegPrC.nt.T., str JMR         24         22         22         22         22         22         24         22         22         24         24         24         24         24         2   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~        |
|  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 2            | 2              | ~        |
| target   2c, Send   2cRegPr_Cnt_T_str.STR  | target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         | 34           | 34             | -        |
|  | target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         | 24           |                |          |
| target_12c_Send_12cRegPtr_Cnt_str_Str_CLKH  987  487  487  487  487  487  487  487   |   |              |                | -        |
| target   2c Send   2cRegPtr Cnt   str.DRT   487   48   |   |              |                |          |
| target_12c_Send_12cRepPtr_CntT_str.DRR  34  434  434  434  434  434  434  4  |   |              |                |          |
| sarget   2c_Send   12cRegPt_Cnt_T str.DAR  |   |              |                |          |
| target_12c_Send_12cRegPt_Cnt_Tstr.DXR  |   |              |                | -        |
| target_l2c_Send_l2cRegPtr_Cnt_Tstr.MDR         847         847         V           target_l2c_Send_l2cRegPtr_Cnt_Tstr.MDR         56         56         V           target_l2c_Send_l2cRegPtr_Cnt_Tstr.MDR         2         2         V           target_l2c_Send_l2cRegPtr_Cnt_Tstr.DDR         2         2         V           target_l2c_Send_l2cRegPtr_Cnt_Tstr.DD11         987         987         987           target_l2c_Send_l2cRegPtr_Cnt_Tstr.DD12         24         24         24           target_l2c_Send_l2cRegPtr_Cnt_Tstr.DMAC         2         2         2           target_l2c_Send_l2cRegPtr_Cnt_Tstr.DIN         0         0         V           target_l2c_Send_l2cRegPtr_Cnt_Tstr.DDIN         3         3         3           target_l2c_Send_l2cRegPtr_Cnt_Tstr.DOUT         2         2         2           target_l2c_Send_l2cRegPtr_Cnt_Tstr.DOUT         2         2         2           target_l2c_Send_l2cRegPtr_Cnt_Tstr.DOR         3         3         3         V           target_l2c_Send_l2cRegPtr_Cnt_Tstr.DOR         3         3         3         V           target_l2c_Send_l2cRegPtr_Cnt_Tstr.DOR         3         3         3         V           target_l2c_Sendecov_l2cRegPtr_Cnt_Tstr.DOR         34         34         <  |   |              |                |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.IVR         56         56           target_12c_Send_12cRegPtr_Cnt_T_str.MDR         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.PDC         24         24           target_12c_Send_12cRegPtr_Cnt_T_str.PD111         987         987           target_12c_Send_12cRegPtr_Cnt_T_str.DD12         24         24           target_12c_Send_12cRegPtr_Cnt_T_str.DD1AC         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.DDN         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.DDN         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.DDT         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.DDT         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.DD         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.DB         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.DR         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.DR         4         4           target_12c_Send_12cRegPtr_Cnt_T_str.DR         3 <td< td=""><td></td><td></td><td></td><td>-</td></td<>   |   |              |                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         24         24           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         987         987           v         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         24         24           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         2         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         2         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.CR         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.OR         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.OR         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOR         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOR         3         3         4           target_I2c_Selencev_I2cRegPtr_Cnt_T_str.DAR         3         4         3           target_I2c_Selencev_I2cRegPtr_Cnt_T_str.DAR         34         34         34           target_I2c_Selencev_I2cRegPtr_Cnt_T_str.DAR         4   |   |              |                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         987         987         ✓           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         24         24         ✓           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID1AC         2         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0         0         ✓           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DONT         2         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DONT         2         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.CDR         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DON         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         2         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         2         2         2           target_I2c_Sendecv_I2cRegPtr_Cnt_T_str.DAR         34         34         34           target_I2c_Sendecv_I2cRegPtr_Cnt_T_str.DAR         34         34         34           target_I2c_Sendecv_I2cRegPtr_Cnt_T_str.CkH         967         967         967   |   | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         24         24           target_I2c_Send_I2cRegPtr_Cnt_T_str.DMC         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DET         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DET         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DET         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DET         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DET         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DET         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR         34         34           target_I2c_Sendecv_I2cRegPtr_Cnt_T_str.DAR         34         34           target_I2c_Sendecv_I2cRegPtr_Cnt_T_str.DLK         455         455           target_I2c_Sendecv_I2cRegPtr_Cnt_T_str.DLK         847         847           target_I2c_Sendecv_I2cRegPtr_Cnt_T_str.DAR  | target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         | 24           | 24             | •        |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC         2         2           target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN         0         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT         2         2           target_!2c_Send_!2cRegPtr_Cnt_T_str.SET         2         2           target_!2c_Send_!2cRegPtr_Cnt_T_str.CLR         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DOR         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DOR         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR         4         34           target_!2c_Send_v_!2cRegPtr_Cnt_T_str.DAR         34         34           target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.STR         455         455           target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.CLKI         847         847           target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DAR         34         34           target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DAR         34         34           target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DAR         34         34           target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.DAR  | target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       | 987          | 987            | ~        |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.FUN         0         0         V           target_!2c_Send_!2cRegPtr_Cnt_T_str.DIR         3         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN         3         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DOUT         2         2         2           target_!2c_Send_!2cRegPtr_Cnt_T_str.SET         2         2         2           target_!2c_Send_!2cRegPtr_Cnt_T_str.CLR         3         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.ODR         3         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDP         2         2         2           target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR         34         34         34           target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR         34         34         34           target_!2c_SentRecv_!2cRegPtr_Cnt_T_str.STR         455         455         455           target_!2c_SentRecv_!2cRegPtr_Cnt_T_str.CLK         847         847         847           target_!2c_SentRecv_!2cRegPtr_Cnt_T_str.CLK         847         487         487           target_!2c_SentRecv_!2cRegPtr_Cnt_T_str.DAR         34         34         34           target_!2c_SentRecv_!2cRegPtr_Cnt_T_str.DAR         34         34         34 <td></td> <td></td> <td></td> <td></td>   |   |              |                |          |
| target I2c_Send_I2cRegPtr_Cnt_T_str.DIR         3         3         V           target I2c_Send_I2cRegPtr_Cnt_T_str.DIN         3         3         V           target I2c_Send_I2cRegPtr_Cnt_T_str.DUT         2         2         V           target I2c_Send_I2cRegPtr_Cnt_T_str.SET         2         2         2           target I2c_Send_I2cRegPtr_Cnt_T_str.CIR         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DDR         3         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DD         2         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DD         2         2         2           target_I2c_SentRecv_I2cRegPtr_Cnt_T_str.DRL         2         2         2           target_I2c_SentRecv_I2cRegPtr_Cnt_T_str.DAR         34         34         34           target_I2c_SentRecv_I2cRegPtr_Cnt_T_str.DLKL         847         847         847           target_I2c_SentRecv_I2cRegPtr_Cnt_T_str.CLKL         847         847         987           target_I2c_SentRecv_I2cRegPtr_Cnt_T_str.DLR         34         34         34           target_I2c_SentRecv_I2cRegPtr_Cnt_T_str.DLR         34         34         34           target_I2c_SentRecv_I2cRegPtr_Cnt_T_str.DLR         34         34         34 <td></td> <td></td> <td></td> <td></td>  |   |              |                |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIN         3         3         V           target_12c_Send_12cRegPtr_Cnt_T_str.DOUT         2         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.DOUT         2         2         4           target_12c_Send_12cRegPtr_Cnt_T_str.DER         3         3         4           target_12c_Send_12cRegPtr_Cnt_T_str.DDR         3         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.DDR         2         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.DDR         2         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.DDR         3         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         34         34         34           target_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR         34         34         34           target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLK         847         847         847           target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLK         847         847         987           target_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR         34         34         34           target_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR         34         34         34           target_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR         34         34         34   |   |              |                |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.DOUT         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.SET         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.CLR         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.ODR         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.PD         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.PSL         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         34         34           target_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR         34         34           target_12c_SetRecv_12cRegPtr_Cnt_T_str.MIR         24         24           target_12c_SetRecv_12cRegPtr_Cnt_T_str.STR         455         455           target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL         847         847           target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKH         987         987           target_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR         34         34           target_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR         34         34           target_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR         34         34           target_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR         847         847           target_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR         2         2           target_12c_SetRecv_12cReg  |   |              |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET       2       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.DDR       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.PD       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR       34         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DAR       34         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR       24         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR       455         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CtkL       847         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CtkL       847         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT       487         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNT       487         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNR       34         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNR       34         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNR       34         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNR       24         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNR       24         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DNR       24         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.BDDR       2         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.BDDR       2         target_l2c_SetRecv_l  |   |              |                |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.CLR       3       3       3         target_12c_Send_12cRegPtr_Cnt_T_str.DDR       3       3       3         target_12c_Send_12cRegPtr_Cnt_T_str.PDD       2       2       2         target_12c_Send_12cRegPtr_Cnt_T_str.PSL       2       2       2         target_12c_SetRecv_12cRegPtr_Cnt_T_str.OAR       34       34       34         target_12c_SetRecv_12cRegPtr_Cnt_T_str.BIMR       24       24       24         target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKI       847       847       847         target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKH       987       987       987         target_12c_SetRecv_12cRegPtr_Cnt_T_str.CNT       487       487       487         target_12c_SetRecv_12cRegPtr_Cnt_T_str.CNT       34       34       34         target_12c_SetRecv_12cRegPtr_Cnt_T_str.DNR       34       34       34         target_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR       34       34       34         target_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR       847       847       847         target_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR       847       847       847         target_12c_SetRecv_12cRegPtr_Cnt_T_str.EMDR       2       2       2         target_12c_SetRecv_12cRegPtr_Cnt_T_str.PiD11 <t< td=""><td></td><td></td><td></td><td></td></t<>   |   |              |                |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.ODR       3       3       \$         target_12c_Send_12cRegPtr_Cnt_T_str.PD       2       2       \$         target_12c_Send_12cRegPtr_Cnt_T_str.PSL       2       2       2         target_12c_SetRecv_12cRegPtr_Cnt_T_str.OAR       34       34       34         target_12c_SetRecv_12cRegPtr_Cnt_T_str.IMR       24       24       24         target_12c_SetRecv_12cRegPtr_Cnt_T_str.STR       455       455       455         target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL       847       847       \$         target_12c_SetRecv_12cRegPtr_Cnt_T_str.CNT       487       487       487         target_12c_SetRecv_12cRegPtr_Cnt_T_str.CNT       487       487       487         target_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR       34       34       34         target_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR       34       34       34         target_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR       24       24       24         target_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR       847       847       847         target_12c_SetRecv_12cRegPtr_Cnt_T_str.BDR       2       2       2         target_12c_SetRecv_12cRegPtr_Cnt_T_str.BDR       2       2       2         target_12c_SetRecv_12cRegPtr_Cnt_T_str.PSC       24<   |   |              |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD       2       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL       2       2         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR       34       34         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DAR       24       24         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR       455         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR       455         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL       847         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH       987         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT       487         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DAR       34         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DAR       34         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR       24         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR       24         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.WDR       847         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.WDR       56         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR       2         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR       2         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC       24         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11       987         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12       24  |   |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       455         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       487         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DAR       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DAR       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DAR       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       56         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24  |   | 2            | 2              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       455       455         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       847       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH       987       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       487       487         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       34       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       34       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       847       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       56       56         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24       24   | target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       455         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       487         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       56         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR      | 34           | 34             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       847       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH       987       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       487       487         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       34       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       34       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       847       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       56       56         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24       24   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR      | 24           | 24             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH       987       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       487       487         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       34       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       34       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       847       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       56       56         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24       24   |   |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       487       487         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       34       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       34       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       847       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       56       56         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24       24   |   |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       34       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       34       34         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       847       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       56       56         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24       24  |   |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       34       34       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       24       24       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       847       847       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       56       56       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2       2       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24       24       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987       987       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24       24       ✓   |   |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       847       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       56       56         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24       24  |   |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       847       847         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       56       56         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24       24   |   |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       56       56         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24       24         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987       987         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24       24  |   |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       2       2       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24       24       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987       987       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24       24       ✓   |   |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       24       24       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11       987       987       ✓         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12       24       24       ✓   |   |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12 24 24   |   | 24           | 24             | ~        |
| - 3-2 - 2  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11    | 987          | 987            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC 2  |   |              |                | ~        |
|  | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC     | 2            | 2              |          |





| Name  | Actual Value  | Expected Value  | Result                                |
|---|---|---|---------------------------------------|
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN  | 0   | 0   | <b>V</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 3   | 3   | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2   | 2   |                                       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 2   | 2   |                                       |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLR  | 3   | 3   | Ž                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 3   | 3   | <b>✓</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 2   | 2   | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 2   | 2   | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 34  | 34  | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 24  | 24  | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 455   | 455   | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 847   | 847   | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 987   | 987   | ~                                     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT  | 487   | 487   | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 34  | 34  | <b>V</b>                              |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR  | 34<br>24  | 34<br>24  | ~                                     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR   | 847   | 847   | ~                                     |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.IVR  | 56  | 56  | J                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2   | 2   | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 24  | 24  | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 987   | 987   | <b>~</b>                              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 24  | 24  | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2   | 2   | <b>✓</b>                              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0   | 0   | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 3   | 3   | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 3   | 3   | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 2   | 2   | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 2   | 2   | ~                                     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR  | 3   | 3   | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 3 2   | 3 2   | •                                     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL  | 2   | 2   | Ž                                     |
| target_12c_Setstatus_12cRegPtr_Cnt_T_str.OAR  | 34  | 34  | <b>*</b>                              |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 24  | 24  | _                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 455   | 455   | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 847   | 847   | <b>✓</b>                              |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 987   | 987   | <b>✓</b>                              |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 487   | 487   | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 34  | 34  | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 34  | 34  | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 24  | 24  | ~                                     |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR   | 847   | 847   | ~                                     |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR   | 56  | 56  | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 2 24  | 2 24  | ~                                     |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11   | 987   | 987   | Ž                                     |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID11   | 24  | 24  |                                       |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC  | 2   | 2   | Ž                                     |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN   | 0   | 0   | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 3   | 3   | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 3   | 3   | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2   | 2   | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 2   | 2   | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 3   | 3   | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 3   | 3   | <b>✓</b>                              |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 2   | 2   | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 2   | 2   | ~                                     |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 34  | 34<br>24  | ~                                     |
|   |   |   | ✓                                     |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 24  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 455   | 455   | <b>•</b>                              |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR<br>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 455<br>847  | 455<br>847  | <b>*</b>                              |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 455<br>847<br>987                                       | 455<br>847<br>987                                       | \<br>\<br>\<br>\                      |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 455<br>847<br>987<br>487                                | 455<br>847  | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  | 455<br>847<br>987                                       | 455<br>847<br>987<br>487                                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 455<br>847<br>987<br>487<br>34                          | 455<br>847<br>987<br>487<br>34                          | · · · · · · · · · · · · · · · · · · · |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 455<br>847<br>987<br>487<br>34                          | 455<br>847<br>987<br>487<br>34                          | · · · · · · · · · · · · · · · · · · · |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 455<br>847<br>987<br>487<br>34<br>34                    | 455<br>847<br>987<br>487<br>34<br>34                    | )                                     |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 455<br>847<br>987<br>487<br>34<br>34<br>24              | 455<br>847<br>987<br>487<br>34<br>34<br>24              | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR | 455<br>847<br>987<br>487<br>34<br>34<br>24<br>847<br>56 | 455<br>847<br>987<br>487<br>34<br>34<br>24<br>847<br>56 | · · · · · · · · · · · · · · · · · · · |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 24           | 24             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | ✓        |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~      |
| I2c_Send                | 1     | I2c_Send                | 1     | •      |

| Test Step 2.16 (Repeat Count = 1)               |  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 30   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ_SENSOR1_GETDATA                               |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 46   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 47   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 5  |
| DigColPsInt SkipRegisterWrite Cnt M Igc         | 1  |
| DigColPsInt SpurCustDatFound Cnt M lgc          | 1  |
| DigColPsInt SpurSnsrData Cnt M u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 14   |
| Flags_Cnt_T_b16                                 | 32   |
| I2c GenStopCond(I2cRegPtr Cnt T str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target I2c Send I2cRegPtr Cnt T str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c SetStatus(I2cRegPtr Cnt T str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T_DataRegisters_Cnt_u08[3]                      | 36   |
| T_DataRegisters_Cnt_u08[4]                      | 38   |
| T_DataRegisters_Cnt_u08[5]                      | 34   |
| T_DataRegisters_Cnt_u08[6]                      | 10   |
| T_DataRegisters_Cnt_u08[7]                      | 12   |
| T DataRegisters Cnt u08[8]                      | 14   |
| i2cREG1_temp                                    | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                   | 84   |
| k_SpurSensorI2CAddress_Cnt_u08                  | 120  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55   |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.IMR  | 66   |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR  | 556  |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLKL | 2309   |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLKH | 1204   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CkH  | 87   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR  | 67   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR  | 55   |
|   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309   |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5           |
| target I2c GenStopCond I2cRegPtr Cnt T str.EMDR                                       | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                      | 1204        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                      | 66          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                                       | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                       | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3           |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL  | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR       | 2309        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR      | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR  | 55          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR | 55<br>66    |
| target I2c SetRecv I2cRegPtr Cnt T str.MDR  | 2309        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_1_str.MDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR | 5           |
| target I2c SetRecv I2cRegPtr Cnt T str.EMDR   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12  | 66          |
| target I2c SetRecv I2cRegPtr Cnt T str.DMAC   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1.          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR  | 55          |

2014-10-14, 23:08:30+0530



| Name   |   |             |
|--|---|-------------|
| Image: 1_22_Sections   20-Regiver Cont marked  | Name  | Input Value |
| Langer, I.D., SariStans, DickeyPr. Conf.   1 w MDR   5   Langer, I.D., SariStans, Langer, Langer, I.D.   1 w MDR   5   Langer, I.D., SariStans, Langer, Langer, I.D.  | target 12c SetStatus 12cRegPtr Cnt T str DXR            | 66          |
| Segret   Co.   Sections   Co.   Sectio   | ·   |             |
| Langer   D.C. SerSilman   DeCorpy   Cort   1 st PSC  |   |             |
| Image   12, SerSahan   2016 ptf   17, 17 m PO1   1934      | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            |             |
| Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att PID11  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SeSSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesSibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 Regifty, Cott. J. att DIMAC  Langet, 12.5. SesDibusis, 12.00 R | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 3           |
| Langer   D.S. SelSham   DORgetty Cott   147 PD12   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 66          |
| Langer   D.S. SelSham   DORgetty Cott   147 PD12   | target I2c SetStatus I2cRegPtr Cnt T str.PID11          | 1204        |
| Larget LD, SeviStahus ZeRegiffy Conf. 1 std DNAC         1           Larget LD, SeviStahus ZeRegiffy Conf. 1 std DNAC         1           Larget LD, SeviStahus ZeRegiffy Conf. 1 std DNR         1           Larget LD, SeviStahus ZeRegiffy Conf. 1 std DNR         2           Larget LD, SeviStahus ZeRegiffy Conf. 1 std DNR         2           Larget LD, SeviStahus ZeRegiffy Conf. 1 std CNR         1           Larget LD, SeviStahus ZeRegiffy Conf. 1 std CNR         1           Larget LD, SeviStahus ZeRegiffy Conf. 1 std CNR         2           Larget LD, SeviStahus ZeRegiffy Conf. 1 std CNR         3           Larget LD, SeviStahus ZeRegiffy Conf. 1 std CNR         3           Larget LD, SeviStahus ZeRegiffy Conf. 1 std CNR         3           Larget LD, SeviStahus ZeRegiffy Conf. 1 std CNR         3           Larget LD, SeviDuMarter Receive Judgeffy Conf. 1 std CNR         3           Larget LD, SeviDuMarter Receive Judgeffy Conf. 1 std CNR         3           Larget LD, SeviDuMarter Receive Judgeffy Conf. 1 std CNR         220           Larget LD, SeviDuMarter Receive Judgeffy Conf. 1 std CNR         220           Larget LD, SeviDuMarter Receive Judgeffy Conf. 1 std CNR         27           Larget LD, SeviDuMarter Receive Judgeffy Conf. 1 std CNR         27           Larget LD, SeviDuMarter Receive Judgeffy Conf. 1 std CNR         29  |   | 66          |
| Larget, 122. SeSSistate, 126Reg/PC OUT, 1 str FUN  Larget, 122. SeSSistate, 126Reg/PC OUT, 1 str DIN  Larget, 122. SeSSistate, 126Reg/PC OUT, 1 str DIN  Larget, 122. SeSSistate, 126Reg/PC OUT, 1 str DIN  Larget, 122. SeSSistate, 126Reg/PC OUT, 1 str SET  Larget, 122. SeSSistate, 126Reg/PC OUT, 1 str SET  Larget, 122. SeSSistate, 126Reg/PC OUT, 1 str DIN  Larget, 122. Sestigate, 126Re |   |             |
| Image   2.5   Selsaha   2.6   Regin   Col.   1.5   D. N.   |   |             |
| Image   12.5 SetState   2.6RegPriC OUT   14.0 DN   |   |             |
| Integral, 2. SelSahan, 1266-ppi Cnt. T_str. DOUT  integral, 2. SelSahan, 1266-ppi Cnt. T_str. SET  integral, 2. SelSahan, 1266-ppi Cnt. T_str. DOUT  integral, 2. SelSahan, 1266-ppi Cnt. T_str. DOR  integral, 2. SelSahan, 1266-ppi Cnt. T_str. DOR  integral, 2. SelDahan 1266-ppi Cnt. T_str. DOR  integral, 2. SelD |   |             |
| Image: Res. Selfsteins:   2014-09PP: Cell   1 at SET   1   1   1   1   1   1   1   1   1   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 2           |
| Langer Line SetStatus (2014-09P)** Coff T air CUR  1 targer Line SetStatus (2014-09P) | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 3           |
| Improl Lip Selfstein   Zehagh Pr. Ont.   1 atr ODR   3   1 atr ODR   4 atr ODR   4 atr ODR   5   5   1 atr ODR   5   5   5   5   5   5   5   5   5   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 3           |
| Improx   D. S. Selfstatus   20th opt  P. Cell   T. Jef ODR   | target I2c SetStatus I2cRegPtr Cnt T str.CLR            | 1           |
| Lamput Lick         Selfstatus (2chappt)* Cnf T_ str PO         3           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DN         5           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         66           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         66           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         56           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         77           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         77           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         77           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         77           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         77           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         250           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         250           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         3           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         3           Lamput Lick         Settspolkaster/Recover, 12chappt*, Cnf T_ str DNR         3           Lamput Lick   |   | 2           |
| Image_IR_S. SetShahas   ZeiRepPir_Cont_T_str DAR   56  |   |             |
| target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str DMR         55           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str STR         56           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str STR         55           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str STR         55           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str CLXH         1224           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str CNR         67           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str CNR         67           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str CNR         67           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str CNR         65           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str CNR         66           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str MDR         20           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str EMR         5           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str EMR         3           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str EMR         1           target_Lize_SetuphasterFacevie_LizeRepPT_CnT_str EMR   |   |             |
| Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. NRT         58           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         209           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         209           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         209           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         209           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         37           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         37           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         38           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         38           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         38           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         5           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         6           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         6           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         1           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         1           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         1           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         1           Lingell, ED, SchlighbasterFaceriery (2014) of 1. str. CRL         3 </td <td></td> <td></td>   |   |             |
| target_L2s. SchupMasterReceive_Ezceptr_Cott_st_STR         56           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_STC.KI         239           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_STDR         37           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_DRR         67           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_DRR         67           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_DRR         67           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_DRR         60           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_DRR         239           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_NRR         5           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_NRR         5           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_NRR         66           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_NRR         10           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_NRR         10           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_DRR         1           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_DRR         1           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_DRR         1           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_DRR         1           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_DRR         1           target_L2s_SetupMasterReceive_Ezceptr_Cott_st_DRR         1           target_L2s   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.CLK1         200           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         67           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         67           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         67           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         66           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         66           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         5           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         5           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         3           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         3           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         3           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         3           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         1           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         1           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         1           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         1           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         2           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         6           target_Dz_SebupMasterReceive_DzcRepPtr_Cnt_Tst.DRR         6           t   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNT         87           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         67           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         67           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         66           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         66           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         299           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         3           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         3           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         3           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         66           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNA         3           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNA  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNT         87           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         67           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         67           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         66           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         66           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         299           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         3           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         3           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         3           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNR         66           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNA         3           target_Loz_SetuphstaterReceive_LozRegPtr_Cntstr.DNA  | target_I2c_SetupMasterReceive_I2cRegPtr Cnt T str.CLKL  | 2309        |
| target 12, SebupMasterReceive 12cRepPtr_Cnt_T at DR         67           target 12, SebupMasterReceive 12cRepPtr_Cnt_T at DR         67           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at SAR         55           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at MDR         2309           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at MDR         2309           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at MDR         3           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at MDR         3           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at MDR         3           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at MDR         1204           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at MDR         1204           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at MDR         1           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at MDR         1           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at DDR         1           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at DDR         1           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at DDR         2           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at DDR         3           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at DDR         3           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at DDR         3           target 122, SebupMasterReceive 12cRepPtr_Cnt_T at   |   |             |
| target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DRR         67           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DRR         56           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DRR         50           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DRR         299           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DRR         5           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DRR         3           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DRR         66           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DRR         66           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DMR         3           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DMR         3           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DMR         3           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DMR         3           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DMR         1           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DMR         1           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DMR         2           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DMR         3           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DMR         3           target_12e_SetupMasterReceive_12cRepPt_Cnl_T_str.DMR         6           target_12e_SetupMasterTransmil_12cRepPt_Cnl_T_str.DMR         5   |   |             |
| target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         56           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         66           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         5           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         5           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         3           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         66           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         67           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         3           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         3           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         3           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         1           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         1           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         1           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         1           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         1           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         1           target_12b_SetupMasterReceive_12cRepPt_CntT_str.DXR         3           target_12b_SetupMasterTarasset_12cRepPt_CntT_str.DXR         6           target_12b_SetupMasterTarasset_12cRepPt_CntT_str.DXR         6      <   |   |             |
| target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDR         66           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDR         2309           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDR         5           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDR         3           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDR         66           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI11         1204           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         66           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         66           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         1           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         1           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         1           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         3           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         3           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         1           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         3           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         3           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         3           target_12e_SetupMasterReceive_12cRegiPT_CNLT_str.NDI12         3           target_12e_SetupMasterTaransmit_12cRegiPT_C  |   |             |
| Isrget   2c. SetupMasterReceive   2cRegPtr_Cnt_str.NDR   2309  |   |             |
| target_12c_SetupMasterReceive_12cRegPtp_CntT_str.PNR         5           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.PNS         66           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.PDI1         120           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.PDI11         1204           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.PDI12         66           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.PDI12         66           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.DNR         3           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.DNR         1           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.DNN         2           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.DNN         2           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.DNR         3           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.DNR         1           target_12c_SetupMasterReceive_12cRegPtp_CntT_str.DNR         2           target_12c_SetupMasterCaive_12cRegPtp_CntT_str.DNR         2           target_12c_SetupMasterCaive_12cRegPtp_CntT_str.DNR         5           target_12c_SetupMasterCaive_12cRegPtp_CntT_str.DNR         5           target_12c_SetupMasterCaive_12cRegPtp_CntT_str.DNR         56           target_12c_SetupMasterTaranstr.DRecgPtp_CntT_str.CLK         200           target_12c_SetupMasterTaranstr.DRecgPtp_CntT_str.DNR <td< td=""><td>target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR</td><td></td></td<>  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   |             |
| target 12c, SetupMasterReceive_12cRegPtr_Cnt_T_str-ENDR         3           target 12c, SetupMasterReceive_12cRegPtr_Cnt_T_str-PSC         66           target 12c, SetupMasterReceive_12cRegPtr_Cnt_T_str-PID1         1204           target_12c, SetupMasterReceive_12cRegPtr_Cnt_T_str-DID12         66           starget_12c, SetupMasterReceive_12cRegPtr_Cnt_T_str-DIMC         3           target_12c, SetupMasterReceive_12cRegPtr_Cnt_T_str-DIM         1           target_12c, SetupMasterReceive_12cRegPtr_Cnt_T_str-DIM         1           target_12c, SetupMasterReceive_12cRegPtr_Cnt_T_str-DIM         2           target_12c, SetupMasterReceive_12cRegPtr_Cnt_T_str-DIM         2           target_12c, SetupMasterReceive_12cRegPtr_Cnt_T_str-DIM         3           target_12c, SetupMasterTarasmit_12cRegPtr_Cnt_T_str-DIM         55           target_12c, SetupMasterTarasmit_12cRegPtr_Cnt_T_str-DIM         66           target_12c, SetupMasterTarasmit_12cRegPtr_Cnt_T_str-DIM         66           target_12c, SetupMasterTarasmit_12cRegPtr_Cnt_T_str-DIM         87           target_12c, SetupMasterT  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| larget J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.ENDR         3           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.PID11         1204           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DID2         66           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DID2         66           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DID4         3           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DID8         1           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DID8         1           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DID1         2           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DID1         3           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DIT         3           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DIT         1           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DIT         3           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DIT         3           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DIT         3           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DIT         5           target J2c. SetupMasterReceive J2cRepPtr_Cnt_T_str.DIT         66           target J2c. SetupMasterTransmit J2cRepPtr_Cnt_T_str.DIT         66           target J2c. SetupMasterTransmit J2cRepPtr_Cnt_T_str.DIT         7           target J2c. SetupMasterT  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_PID11         1204           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_PID11         1204           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_PID12         66           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DINC         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DIN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DIN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DIN         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DIN         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DIN         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DIN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DIN         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DIN         2           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DIN         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DIN         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DIN         5           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DIN         66           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DIN         66           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DIN         7           target_I2c_SetupMasterTransmit_I2cRegPt  |   | 3           |
| larget   2c, SetupMasterRaceive   2cRegPtr, Cnt_str.PID11   1204   1204   1205   120   |   | 66          |
| target_12c_SetupMasterReceive_12cRepPtr_Cnt_T str.PID12         66           target_12c_SetupMasterReceive_12cRepPtr_Cnt_T str.DMAC         3           target_12c_SetupMasterReceive_12cRepPtr_Cnt_T str.DIN         1           target_12c_SetupMasterReceive_12cRepPtr_Cnt_T_str.DIN         1           target_12c_SetupMasterReceive_12cRepPtr_Cnt_T_str.DIN         2           target_12c_SetupMasterReceive_12cRepPtr_Cnt_T_str.DIOUT         3           target_12c_SetupMasterReceive_12cRepPtr_Cnt_T_str.DIOUT         3           target_12c_SetupMasterReceive_12cRepPtr_Cnt_T_str.DIOR         2           target_12c_SetupMasterReceive_12cRepPtr_Cnt_T_str.DIOR         2           target_12c_SetupMasterReceive_12cRepPtr_Cnt_T_str.DIOR         2           target_12c_SetupMasterReceive_12cRepPtr_Cnt_T_str.DIOR         2           target_12c_SetupMasterTransmit_12cRepPtr_Cnt_T_str.DIAR         3           target_12c_SetupMasterTransmit_12cRepPtr_Cnt_T_str.DIAR         55           target_12c_SetupMasterTransmit_12cRepPtr_Cnt_T_str.Clk.L         2300           target_12c_SetupMasterTransmit_12cRepPtr_Cnt_T_str.DIAR         67           target_12c_SetupMasterTransmit_12cRepPtr_Cnt_T_str.DIAR         67           target_12c_SetupMasterTransmit_12cRepPtr_Cnt_T_str.DIAR         66           target_12c_SetupMasterTransmit_12cRepPtr_Cnt_T_str.DIAR         66           target_12c_SetupMasterTran  |   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T str.DMAC         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T str.DVN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T str.DIN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T str.DIN         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T str.DDUT         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T str.DDUT         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T str.DDUT         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T str.DDUT         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T str.DDUT         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T str.DDUT         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DDUT         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DR         5           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DR         56           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.CIK.L         2309           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DRR         67           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DRR         67           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DRR         68           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.DRR         66           target_I2c_SetupMasterTransmit_I2cReg  |   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOR         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DDR         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DDR         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MRR         66           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.Ctx.L         2309           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.Ctx.L         2309           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DNR         67           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DNR         66           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DNR         66           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DNR         67           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DNR         66           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DNR         5           target_I2c_SetupMasterTransmit_I2  |   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DUT         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DDR         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DDR         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DD         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DR         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         66           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DKR         66           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLK         2309           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT         87           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         67           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         67           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         68           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         69           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         67           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         5           target_I2c_SetupMasterTransmit_I2cRegPtr_  |   |             |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOUT         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SET         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.ORR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOR         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DD         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DR         55           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         66           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRL         2309           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRL         2309           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         67           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         67           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         68           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         68           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         6           target_12c_SetupMasterTransmit_12cRegPt  |   |             |
| target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DOUT         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.SET         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDR         1           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDR         2           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDR         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DAR         55           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         55           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CtkL         2309           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CtkL         2309           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CtkL         2309           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         67           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         65           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         6           target_!2c_SetupMasterTrans  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OLR         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DD         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR         5           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR         55           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR         56           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.Ctk.I         2309           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.Ctk.H         1204           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.Ctk.H         1204           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         67           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         66           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         66           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         67           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         55           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         5           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         6           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         66           target_I2c_SetupMasterTra  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target   2c   SetupMasterReceive   2cRegPtr_Cnt_T_str.CLR   1   target   2c   SetupMasterReceive   2cRegPtr_Cnt_T_str.DD   2   target   2c   SetupMasterReceive   2cRegPtr_Cnt_T_str.DD   3   target   2c   SetupMasterReceive   2cRegPtr_Cnt_T_str.DD   3   target   2c   SetupMasterReceive   2cRegPtr_Cnt_T_str.DA   5   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   5   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   6   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   5   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   20   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   20   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   20   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   3   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   5   Starget   2c   SetupMasterTransmit    | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target   2c   SetupMasterReceive   2cRegPtr_Cnt_T_str.CLR   1   target   2c   SetupMasterReceive   2cRegPtr_Cnt_T_str.DD   2   target   2c   SetupMasterReceive   2cRegPtr_Cnt_T_str.DD   3   target   2c   SetupMasterReceive   2cRegPtr_Cnt_T_str.DD   3   target   2c   SetupMasterReceive   2cRegPtr_Cnt_T_str.DA   5   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   5   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   6   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   5   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   20   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   20   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   20   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   3   Starget   2c   SetupMasterTransmit   2cRegPtr_Cnt_T_str.DA   5   Starget   2c   SetupMasterTransmit    | target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET   | 3           |
| target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.ODR         2           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.PD         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         55           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.IMR         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR         56           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLK!         2309           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLK!         1204           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.OTN         87           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         67           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         66           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         5           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PDI1         1204           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PDI1         1204           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DINC         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN         1           target_!2c_SetupMast  |   | 1           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD         3           target_l2c_SetupMasterTeceive_l2cRegPtr_Cnt_T_str.PSL         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DR         55           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MR         66           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CtkL         2309           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CtkH         1204           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CtkT         47           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         67           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         67           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         66           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         66           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         68           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11         1204           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRC         36           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNAC         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         1           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         1           target_l2c_SetupMasterTr  |   |             |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.OAR 55 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.OAR 55 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.BR 66 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR 556 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL 2309 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL 1204 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL 1204 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT 87 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 67 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 55 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 66 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR 66 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR 2309 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 2309 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 3 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 3 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRD 3 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DID1 1204 target_12c_Set |   |             |
| target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cntstr.NAR  |   |             |
| target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.IMR   |   |             |
| target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.CLKL 2309 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.CLKL 2309 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.CLKH 1204 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.CNT 87 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR 67 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR 67 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR 65 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR 66 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR 2309 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR 3 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR 1 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR 1 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR 1 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR 3 target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DUT 3  |   |             |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL 2309  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH 1204  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT 87  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 67  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 65  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR 66  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR 66  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNR 2309  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.BNDR 2309  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PBC 66  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PBC 66  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PBC 66  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DID12 66  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC 3  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNAC 3  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNAC 3  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR 1  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR 1  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN 2  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT 3  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT 1  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_ | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH 1204 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 67 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 67 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 55 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 66 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 2309 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 2309 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 66 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 66 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 1204 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 66 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNAC 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNAC 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DN 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DCUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DCUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DCUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DCUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DCUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DCUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DCUT 3   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556         |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.WDR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSC target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PID11 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PID12 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DINC target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.FUN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIV targe | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 2309        |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.WDR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSC target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PID11 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PID12 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DINC target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.FUN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIV targe | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH | 1204        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 55  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 66  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 66  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 2309  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR 5  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PBC 66  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 1204  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 66  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 4  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 4  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 4  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 4  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 4  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 4  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 4   |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR 55  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 66  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 2309  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.NVR 5  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PBC 66  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 1204  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 66  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 4  target_l2c_SetupMasterTransmit_l2cReg |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 2309 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR 5 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 66 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 66 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DW 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR 2  |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DWAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  2   |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DW  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR  2  |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DW  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR  2  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DW target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR 2  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 5           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 1204  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID2 66  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR 2   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR | 3           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 1204  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID2 66  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR 2   |   | 66          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 66  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 2  |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDR  2   |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 2  |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 2   |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 2  |   |             |
| target   2c_SetupMasterTransmit   2cRegPtr_Cnt_T_str.DOUT 3 target   2c_SetupMasterTransmit   2cRegPtr_Cnt_T_str.SET 3 target   12c_SetupMasterTransmit   2cRegPtr_Cnt_T_str.CLR 1 target   12c_SetupMasterTransmit   2cRegPtr_Cnt_T_str.ODR 2   |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 2   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 2  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 3           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 2  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR 2   |   |             |
|  |   |             |
| Tarrectize Demonstrations (2008) PORT SILED 13   |   |             |
|  |   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL 3   |   |             |
| target_i2cREG1_temp.OAR 55   |   |             |
| target_i2cREG1_temp.lMR 66   | target_i2cREG1_temp.IMR                                 | 66          |
| target_i2cREG1_temp.STR 556  | target_i2cREG1_temp.STR                                 | 556         |
| target_i2cREG1_temp.CLKL 2309  | target_i2cREG1_temp.CLKL                                | 2309        |
| target izcREG1 temp.CLKH 1204  |   |             |
| target i2cREG1 temp.CNT 87   |   |             |
|  | V. C  | ı·          |



| ——————————————————————————————————————  |                         | ( - 4                   | 10-10    |
|---|-------------------------|-------------------------|----------|
| Name  | Input Value             |                         |          |
| target_i2cREG1_temp.DRR   | 67                      |                         |          |
| target_i2cREG1_temp.SAR   | 55                      |                         |          |
| target_i2cREG1_temp.DXR   | 66<br>2309              |                         |          |
| target_i2cREG1_temp.MDR<br>target_i2cREG1_temp.IVR  | 5                       |                         |          |
| target i2cREG1 temp.EMDR  | 3                       |                         |          |
| target i2cREG1 temp.PSC   | 66                      |                         |          |
| target_i2cREG1_temp.PID11   | 1204                    |                         |          |
| target_i2cREG1_temp.PID12   | 66                      |                         |          |
| target_i2cREG1_temp.DMAC  | 3                       |                         |          |
| target_i2cREG1_temp.FUN   | 1                       |                         |          |
| target_i2cREG1_temp.DIR   | 1                       |                         |          |
| target_i2cREG1_temp.DIN   | 2                       |                         |          |
| target_i2cREG1_temp.DOUT<br>target_i2cREG1_temp.SET   | 3                       |                         |          |
| target i2cREG1 temp.CLR   | 1                       |                         |          |
| target_i2cREG1_temp.ODR   | 2                       |                         |          |
| target_i2cREG1_temp.PD  | 3                       |                         |          |
| target_i2cREG1_temp.PSL   | 3                       |                         |          |
| Name  | Actual Value            | Expected Value          | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 1                       | 1                       |          |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 10                      | 10                      | •        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 20                      | 20                      | -        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 30                      | 30                      | •        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 1                       | 1                       | -        |
| DigColPsInt_CmdFailOccurred_Cnt_M_Igc   | 1                       | 1                       | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 1                       | 1                       | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 2580                    | 2580                    | •        |
| DigColPoint_CurrentSlave_Cnt_M_u08  | 120                     | 120                     | •        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16                            | READ_SENSOR2_GETDATA 46 | READ_SENSOR2_GETDATA 46 |          |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 47                      | 47                      |          |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                       | 0                       |          |
| DigColPsInt NackOccured Cnt M Igc   | 1                       | 1                       | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1                       | 1                       | -        |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 5                       | 5                       | •        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1                       | 1                       | •        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 87                      | 87                      | •        |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 14                      | 14                      | ~        |
| I2c_SetRecv(Length_Cnt_T_u32)   | 2                       | 2                       | •        |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)  | 2                       | 2                       | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55<br>66                | 55<br>66                |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR       | 556                     | 556                     |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2309                    | 2309                    |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 1204                    | 1204                    | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87                      | 87                      | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 67                      | 67                      | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55                      | 55                      | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66                      | 66                      | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309                    | 2309                    | •        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR  | 5                       | 5                       | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 3                       | 3                       | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66                      | 66                      | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 1204<br>66              | 1204                    | •        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12<br>target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC | 3                       | 66                      |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1                       | 1                       |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1                       | 1                       |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2                       | 2                       | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3                       | 3                       |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3                       | 3                       | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1                       | 1                       | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2                       | 2                       | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3                       | 3                       | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3                       | 3                       | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55                      | 55                      | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66                      | 66                      | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556                     | 556                     | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309                    | 2309                    | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204                    | 1204                    | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR                  | 87<br>67                | 87<br>67                |          |
|   | 01                      | 01                      | <b>~</b> |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66<br>1204   | 66<br>1204     |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                         | 66           | 66             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <u> </u> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>Y</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556          | 556<br>2309    |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309<br>1204 | 1204           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT                      | 87           | 87             |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR  | 67           | 67             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>Y</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | <b>*</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR                       | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •        |
| target I2c SetRecv I2cRegPtr Cnt T str.PD   | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | <b>Y</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | <b>*</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR                   | 2309         | 2309           |          |
| target I2c SetStatus I2cRegPtr_Cnt_T_str.tVR target I2c SetStatus I2cRegPtr Cnt T str.EMDR                  | 3            | 3              |          |
| target_i2c_SetStatus_i2cRegPtr_Cnt_T_str.PSC  | 66           | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55<br>66     | 55<br>66       | <b>*</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR | 556          | 556            |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| 0 _ ·_·_·   |              | .=.            |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87           | 87             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 3            | 3              | ✓        |

| T .                    |       |                        |       | <b>✓</b> |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| SetupRead              | 1     | SetupRead              | 1     | ~        |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | <b>✓</b> |
| I2c SetRecv            | 1     | I2c SetRecv            | 1     | _        |

| Test Step 2.17 (Repeat Count = 1)               | ✓                    |
|---|----------------------|
| Name  | Input Value          |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 3                    |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 22                   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 44                   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 55                   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0                    |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0                    |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1                    |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 495                  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 40                   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ_SENSOR1_GETDATA |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 49                   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 50                   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 1                    |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0                    |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 0                    |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0                    |



| DigColPSint_interruptiNotification                |  |  |
|---|--|--|
| Name  | Input Value  |  |
| DigColPsInt_RecvdDataType_Cnt_M_u08               | 1  |  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc           | 0  |  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc            | 0  |  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                | 897  |  |
| DigColPsInt_TransactionCnt_Cnt_M_u08              | 6  |  |
| Flags_Cnt_T_b16                                   | 32   |  |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)               | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |  |
| 2c_Send(I2cRegPtr_Cnt_T_str)                      | target_I2c_Send_I2cRegPtr_Cnt_T_str                |  |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |  |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |  |
| 2c SetupMasterReceive(I2cRegPtr Cnt T str)        | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)       | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |  |
| DataRegisters Cnt u08[0]                          | 0  |  |
| anamag.out.eana_ana_ana_ana_ana_ana_ana_ana_ana_a | 32   |  |
| DataRegisters_Cnt_u08[2]                          | 30   |  |
| DataRegisters_Cnt_u08[3]                          | 36   |  |
| _DataNegisters_Cnt_u08[4]                         | 38   |  |
|   | 34   |  |
| _DataRegisters_Cnt_u08[5]                         |  |  |
| _DataRegisters_Cnt_u08[6]                         | 10   |  |
| DataRegisters_Cnt_u08[7]                          | 12   |  |
| _DataRegisters_Cnt_u08[8]                         | 14   |  |
| 2cREG1_temp                                       | target_i2cREG1_temp                                |  |
| _ColSensorI2CAddress_Cnt_u08                      | 89   |  |
| _SpurSensorI2CAddress_Cnt_u08                     | 5  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR     | 66   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR     | 78   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR     | 78   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL    | 495  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH    | 56   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT     | 897  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR     | 98   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR     | 66   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR     | 78   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR     | 495  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR     | 66   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR    | 0  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC     | 78   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 56   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 78   |  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DMAC    | 0  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN     | 0  |  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DIR     | 0  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN     | 1  |  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DOUT    | 0  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET     | 0  |  |
|   | 0  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR     |  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR     | 1  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD      | 0  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL     | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR            | 66   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR            | 78   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR            | 78   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL           | 495  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH           | 56   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT            | 897  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR            | 98   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR            | 66   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR            | 78   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR            | 495  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR            | 66   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR           | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC            | 78   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11          | 56   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12          | 78   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC           | 0  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.FUN            | 0  |  |
|   | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR            |  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN            | 1  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT           | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET            | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR            | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR            | 1  |  |
| arget_120_0cnd_1201tcgf ti_ont_1_oti.obit         | 0  |  |

2014-10-14, 23:08:30+0530



|   | ( 12 10 10 10 |
|---|---------------|
| Name  | Input Value   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 0             |
|   |               |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR              | 66            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR              | 78            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR              | 78            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL             | 495           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH             | 56            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT              | 897           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              | 98            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 66            |
|   |               |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 78            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 495           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 66            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 0             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 78            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 56            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 78            |
|   | 0             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC             |               |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 0             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 0             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 1             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 0             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 0             |
| target I2c SetRecv I2cRegPtr Cnt T str.CLR              | 0             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 1             |
|   | 0             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               |               |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 0             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 66            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 78            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 78            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 495           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 56            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 897           |
|   | 98            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            |               |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR            | 66            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 78            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 495           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 66            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 0             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 78            |
| target I2c SetStatus I2cRegPtr Cnt T str.PID11          | 56            |
|   | 78            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          |               |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 0             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 0             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 1             |
| target I2c SetStatus I2cRegPtr Cnt T str.DOUT           | 0             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 0             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 0             |
|   |               |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 1             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 0             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 0             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 66            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 78            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 78            |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL  | 495           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKH  | 56            |
|   |               |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 897           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 98            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 66            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 78            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 495           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 66            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 78            |
|   |               |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11 | 56            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 78            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 0             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1             |
|   | 0             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  |               |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 0             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 0             |
|   |               |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



Input Value target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.ODR 0 target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.PD target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.OAR$ 66 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt T str.IMR 78 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.STR 78 target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL 495  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 56 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CNT 897  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DRR$ 98  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SAR$ 66  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DXR$ 78 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.MDR 495 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IVR 66 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.EMDR 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSC 78 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID11 56  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12$ 78  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC$ 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.FUN$ 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIR$ 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN 1  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DOUT$ n target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET 0 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.ODR$ 1 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL$ 0 target i2cREG1 temp.OAR 66 target\_i2cREG1\_temp.IMR 78 target i2cREG1 temp.STR 78 target\_i2cREG1\_temp.CLKL 495 target i2cREG1 temp.CLKH 56 target\_i2cREG1\_temp.CNT 897 target\_i2cREG1\_temp.DRR 98 66 target\_i2cREG1\_temp.SAR target\_i2cREG1\_temp.DXR 495 target\_i2cREG1\_temp.MDR target\_i2cREG1\_temp.IVR 66 target\_i2cREG1\_temp.EMDR 0 target\_i2cREG1\_temp.PSC 78 56 target\_i2cREG1\_temp.PID11 target\_i2cREG1\_temp.PID12 78 target\_i2cREG1\_temp.DMAC 0 target\_i2cREG1\_temp.FUN n target\_i2cREG1\_temp.DIR 0 target i2cREG1 temp.DIN target\_i2cREG1\_temp.DOUT target i2cREG1 temp.SET 0 target\_i2cREG1\_temp.CLR 0 target i2cREG1 temp.ODR 1 target\_i2cREG1\_temp.PD 0 target\_i2cREG1\_temp.PSL 0 Name **Actual Value Expected Value** Result  $DigColPsInt\_AttempOccurForCustDatRead\_Cnt\_M\_u08$ 3 3 0 DigColPsInt Buffer Cnt M u08[0] 0 DigColPsInt\_Buffer\_Cnt\_M\_u08[1] 44 44 DigColPsInt\_Buffer\_Cnt\_M\_u08[2] 55 55  ${\tt DigColPsInt\_BusBusySeqError\_Cnt\_M\_Igc}$ Λ 0 DigColPsInt\_CmdFailOccurred\_Cnt\_M\_lgc 0 0  ${\tt DigColPsInt\_ColCustDatFound\_Cnt\_M\_lgc}$ DigColPsInt\_ColSnsrData\_Cnt\_M\_u16 5676 5676 DigColPsInt CurrentSlave Cnt M u08 5 5  ${\tt DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum}$ READ\_SENSOR2\_SETREG READ\_SENSOR2\_SETREG DigColPsInt I2CHwCustData Uls M u16 49 49 DigColPsInt\_I2CHwIncompleteCustData\_Uls\_M\_u16 50 50 DigColPsInt InitFailedOnce Cnt M Igc 1 1 DigColPsInt\_NackOccured\_Cnt\_M\_lgc 0 0 DigColPsInt RecvOverrunError Cnt M Igc 0 0 DigColPsInt\_RecvdDataType\_Cnt\_M\_u08 1 1 DigColPsInt\_SpurCustDatFound\_Cnt\_M\_lgc 0 0 DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16 897 897

6

6

DigColPsInt\_TransactionCnt\_Cnt\_M\_u08

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| I2c_Send(Length_Cnt_T_u32)                          | 1            | 1              | <b>✓</b> |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)       | 1            | 1              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR      | 66           | 66             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR      | 78           | 78             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR      | 78           | 78             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL     | 495          | 495            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH     | 56           | 56             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT      | 897          | 897            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR      | 98           | 98             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR      | 66           | 66             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR      | 78           | 78             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR      | 495          | 495            | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR      | 66           | 66             | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR     | 0            | MDR            |          |
| tagttjetCl2tc_TGen6tjopCond_I2cRegPtr_Cnt_T_str.PSC | 78           | 78             |          |
|   |              |                |          |

2014-10-14, 23:08:30+0530



|  | la constant  | I=             | 1        |
|--|--------------|----------------|----------|
| Name   | Actual Value | Expected Value | Result   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | -        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL<br>target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR                     | 66           | 66             |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | •        |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH  | 56           | 56             | ~        |
| target I2c SetStatus I2cRegPtr Cnt T str.CNT   | 897          | 897            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 56           | 56             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 78           | 78             | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 0            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET                     | 0            | 0              |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLR   | 0            | 0              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              |          |
| target I2c SetStatus I2cRegPtr Cnt T str.PD  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 78           | 78             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 78           | 78             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 495          | 495            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 56           | 56             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 897          | 897            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 98           | 98             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 78           | 78             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 495          | 495            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  | 78           | 78             | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  | 56<br>78     | 78             | -        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC | 0            | 0              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN  | 1            | 1              | <b>~</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT   | 0            | 0              | _        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET  | 0            | 0              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 56           | 56             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 78<br>0      | 78<br>0        | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN | 0            | 0              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              |          |
| 0  | 1            | 1              |          |

2014-10-14, 23:08:30+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | <b>✓</b> |

| T                       |       |                         | V     |          |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |

| Test Step 2.18 (Repeat Count = 1)                | <u> </u>   |
|--|--|
| Name   | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 5  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                  | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                  | 15   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                  | 16   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc            | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc            | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc            | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16                | 566  |
| DigColPsInt_CurrentSlave_Cnt_M_u08               | 50   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum             | READ_SENSOR2_GETDATA                               |
| DigColPsInt_I2CHwCustData_Uls_M_u16              | 52   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16    | 53   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc             | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc                | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08            | 5  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc           | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08              | 2  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc          | 1  |
| DigColPsInt SpurCustDatFound Cnt M lgc           | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16               | 129  |
| DigColPsInt TransactionCnt Cnt M u08             | 7  |
| Flags_Cnt_T_b16                                  | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target I2c GenStopCond I2cRegPtr Cnt T str         |
| I2c Send(I2cRegPtr Cnt T str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                       | 0  |
| T_DataRegisters_Cnt_u08[1]                       | 32   |
| T_DataRegisters_Cnt_u08[2]                       | 30   |
| T_DataRegisters_Cnt_u08[3]                       | 36   |
| T_DataRegisters_Cnt_u08[4]                       | 38   |
| T_DataRegisters_Cnt_u08[5]                       | 34   |
| T_DataRegisters_Cnt_u08[6]                       | 10   |
| T_DataRegisters_Cnt_u08[7]                       | 12   |
|  | 14   |
| T_DataRegisters_Cnt_u08[8] i2cREG1 temp          |  |
|  | target_i2cREG1_temp                                |
| k_ColSensorI2CAddress_Cnt_u08                    | 94   |
| k_SpurSensorl2CAddress_Cnt_u08                   | 10   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 567  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 44   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 4444   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 566  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH  | 4466   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 129  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 6  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 567  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 44   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 566  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 554  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 4466   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 44   |

2014-10-14, 23:08:30+0530



| DigColPSint_interruptivotinication  | (WAC)                 |
|---|-----------------------|
| Name  | Input Value           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 1                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 2                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 0                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 1                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 2                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 0                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 44                    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 4444                  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 566                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 4466                  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT   | 129                   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 6                     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 567                   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 44                    |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 566                   |
|   | 554                   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 1                     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  |                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 44                    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 4466                  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 44                    |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 1                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 2                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 0                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 567                   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 44                    |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 4444                  |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKL   | 566                   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 4466                  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 129                   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 6                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 567                   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 44                    |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  | 566                   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR  | 554                   |
| target I2c SetRecv I2cRegPtr Cnt T str.EMDR   | 1                     |
| · ·   | 44                    |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 44 4466               |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  |                       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 44                    |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  | 2                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  | 0                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 1                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 1                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 2                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 0                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 567                   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 44                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 4444                  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 566                   |
|   | 4466                  |
| larget_12C_SetStatus_12CRegPti_Cht_1_str.CLKH   | 129                   |
|   |                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 6                     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR   | 6                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 6<br>567              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 6<br>567<br>44        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR | 6<br>567<br>44<br>566 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 6<br>567<br>44        |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 4466        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 0           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD   | 3           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 567         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 44          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL  | 4444<br>566 |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 129         |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DRR   | 6           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN   | 0           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 1           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR   | 0           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 567<br>44   |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR | 4444        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL   | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT  | 129         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 6           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 567         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 4466        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 1           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 2           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| target_i2cREG1_temp.OAR   | 567<br>44   |
| target_i2cREG1_temp.IMR   | 4444        |
| target_i2cREG1_temp.STR<br>target_i2cREG1_temp.CLKL   | 566         |
| target i2cREG1_temp.CLKL  | 4466        |
| target i2cREG1_temp.CNT   | 129         |
| target i2cREG1_temp.DRR   | 6           |
| target_i2cREG1_temp.SAR   | 567         |
| target_i2cREG1_temp.DXR   | 44          |
| target_i2cREG1_temp.MDR   | 566         |
| target_i2cREG1_temp.IVR   | 554         |
|   |             |



| Name                      | Input Value  |                |        |
|---------------------------|--------------|----------------|--------|
| target_i2cREG1_temp.EMDR  | 1            |                |        |
| target_i2cREG1_temp.PSC   | 44           |                |        |
| target_i2cREG1_temp.PID11 | 4466         |                |        |
| target_i2cREG1_temp.PID12 | 44           |                |        |
| target_i2cREG1_temp.DMAC  | 1            |                |        |
| target_i2cREG1_temp.FUN   | 1            |                |        |
| target_i2cREG1_temp.DIR   | 2            |                |        |
| target_i2cREG1_temp.DIN   | 0            |                |        |
| target_i2cREG1_temp.DOUT  | 1            |                |        |
| target_i2cREG1_temp.SET   | 1            |                |        |
| target_i2cREG1_temp.CLR   | 2            |                |        |
| target_i2cREG1_temp.ODR   | 0            |                |        |
| target_i2cREG1_temp.PD    | 3            |                |        |
| target_i2cREG1_temp.PSL   | 3            |                |        |
| Namo                      | Actual Value | Expected Value | Result |

| target_i2cREG1_temp.ODR   | 0             |                |          |
|---|---------------|----------------|----------|
| target_i2cREG1_temp.PD  | 3             |                |          |
| target_i2cREG1_temp.PSL   | 3             |                |          |
| Name  | Actual Value  | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 5             | 5              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 10            | 10             | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 15            | 15             | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 16            | 16             | <b>✓</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 1             | 1              | <b>✓</b> |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1             | 1              | <b>✓</b> |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0             | 0              | <b>✓</b> |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 566           | 566            | <b>✓</b> |
| DigColPsInt CurrentSlave Cnt M u08  | 50            | 50             | <b>✓</b> |
| DigColPsInt CurrentStepNo Cnt M enum  | READ COMPLETE | READ COMPLETE  | <b>✓</b> |
| DigColPsInt I2CHwCustData Uls M u16   | 52            | 52             | <b>✓</b> |
| DigColPsInt I2CHwIncompleteCustData Uls M u16   | 53            | 53             | <b>✓</b> |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0             | 0              | _        |
| DigColPsInt NackOccured Cnt M Igc   | 1             | 1              | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1             | 1              |          |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 5             | 5              | _        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1             | 1              | _        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 2575          | 2575           | <b>✓</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 8             | 8              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 567           | 567            | ·        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR  | 44            | 44             |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR  | 4444          | 4444           | ·        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 566           | 566            |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 4466          | 4466           | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 129           | 129            |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.DRR  | 6             | 6              | · ·      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 567           | 567            |          |
|   | 44            | 44             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 566           | 566            |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR | 554           | 554            | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FMDR   | 1             | 1              |          |
|   | 44            | 44             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 4466          | 4466           |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 44            | 44             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  |               |                |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 1             | 1              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 2             |                |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  |               | 2              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 1             | 0              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   |               |                |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1             | 1              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 0             | 2              | Š        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  |               | 0              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3             | 3              |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL  | 3             | 3              | <b>•</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567           | 567            | <b>Y</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 44            | 44             | <b>~</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 4444          | 4444           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 566           | 566            | <b>~</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  | 4466          | 4466           | <b>Y</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 129           | 129            | <b>~</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 6             | 6              | <b>Y</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 567           | 567            | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 44            | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 566           | 566            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 554           | 554            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1             | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 44            | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 4466          | 4466           | ~        |
|   |               |                |          |

2014-10-14, 23:08:30+0530



| Mana   | A street Value | Even acts of Value | Daguit   |
|--|----------------|--------------------|----------|
| Name   | Actual Value   | Expected Value     | Result   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC                           | 1              | 1                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1              | 1                  |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 2              | 2                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0              | 0                  | _        |
| target I2c Send I2cRegPtr Cnt T str.DOUT   | 1              | 1                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1              | 1                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2              | 2                  | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0              | 0                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3              | 3                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3              | 3                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 567            | 567                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 44             | 44                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 4444           | 4444               | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 566            | 566                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 4466           | 4466               | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 129            | 129                | <b>*</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 6              | 6                  |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 567<br>44      | 567<br>44          | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR                        | 566            | 566                |          |
| target I2c SetRecv I2cRegPtr Cnt T str.IVR   | 554            | 554                | ~        |
| target I2c SetRecv I2cRegPtr Cnt T str.EMDR  | 1              | 1                  |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 44             | 44                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 4466           | 4466               | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 44             | 44                 | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 1              | 1                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1              | 1                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 2              | 2                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 0              | 0                  | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 1              | 1                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1              | 1                  | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 2              | 2                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 0              | 0                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3              | 3                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3              | 3                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 567            | 567                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44             | 44                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 4444           | 4444               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 566            | 566                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 4466           | 4466               | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 129            | 129<br>6           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR                    | 567            | 567                |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR   | 44             | 44                 |          |
| target I2c SetStatus I2cRegPtr Cnt T str.MDR   | 566            | 566                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 554            | 554                | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1              | 1                  | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 44             | 44                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 4466           | 4466               | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 44             | 44                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1              | 1                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1              | 1                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2              | 2                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 0              | 0                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 1              | 1                  | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 1              | 1                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 2              | 2                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 0              | 0                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3              | 3                  | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3              | 3                  | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 567            | 567                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 44             | 44                 | <b>Y</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 4444           | 4444               | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566<br>4466    | 566<br>4466        | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT | 129            | 129                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 6              | 6                  | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 567            | 567                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 44             | 44                 | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 566            | 566                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 554            | 554                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1              | 1                  | ~        |
|  |                |                    |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |          |

| T               |       |                          |       | V      |
|-----------------|-------|--------------------------|-------|--------|
| Actual Function | Count | Expected Function        | Count | Result |
| *none*          | 0     | *** No Call Expected *** | 0     | ~      |

| Test Step 2.19 (Repeat Count = 1)               | <b>✓</b>                                   |
|---|--|
| Name  | Input Value                                |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 7  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 28   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 56   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 100  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 60   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ_SENSOR1_GETDATA                       |
| DigColPsInt_I2CHwCustData_UIs_M_u16             | 55   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 56   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 3  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 3  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 88   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 8  |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str        |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str     |

#### 2014-10-14, 23:08:30+0530



| Name   | Input Value  |
|--|--|
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                       | 0  |
| T_DataRegisters_Cnt_u08[1]                       | 32   |
| T_DataRegisters_Cnt_u08[2]                       | 30   |
| T_DataRegisters_Cnt_u08[3]                       | 36   |
| T_DataRegisters_Cnt_u08[4]                       | 38   |
| T_DataRegisters_Cnt_u08[5]                       | 34   |
| T_DataRegisters_Cnt_u08[6]                       | 10   |
| T DataRegisters Cnt u08[7]                       | 12   |
| T_DataRegisters_Cnt_u08[8]                       | 14   |
| i2cREG1_temp                                     | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                    | 99   |
| k_SpurSensorl2CAddress_Cnt_u08                   | 15   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 65   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 89   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 67   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 7  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 577  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 88   |
| target I2c GenStopCond I2cRegPtr Cnt T str.DRR   | 23   |
| target 12c GenStopCond 12cRegPtr Cnt T str.SAR   | 65   |
| · · - ·  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 89<br>7  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 44 2   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 89   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 577  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 89   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR   | 0  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN   | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET   | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 65   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 67   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 7  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 577  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 88   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 23   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 65   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 7  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 577  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 89   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 2  |
| target I2c Send I2cRegPtr Cnt T str.FUN          | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 2  |
| target_12c_Send_12cRegPtr_Cnt_T_str.PSL          | 0  |
|  |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 65   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 89   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR       | 67   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 7  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 577  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 88   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 23   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 65   |

2014-10-14, 23:08:30+0530



| DigCor-sini_interruptivotilication   | TOP COLUMN  |
|--|-------------|
| Name   | Input Value |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 89          |
| target I2c SetRecv I2cRegPtr Cnt T str.MDR   | 7           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 2           |
| target I2c SetRecv I2cRegPtr Cnt T str.PSC   | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 577         |
|  | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 65          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 7           |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH  | 577         |
| target I2c SetStatus I2cRegPtr Cnt T str.CNT   | 88          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 23          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 65          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 89          |
|  | 7           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 89          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11   | 577         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.PD  | 2           |
| target I2c SetStatus I2cRegPtr Cnt T str.PSL   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 65          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 67          |
|  | 7           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 577         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 88          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 23          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 65          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 89          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 7           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 44          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 2           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 89          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 577         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 89          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR   | 0           |
| arget_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN   | 1           |
| arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DDIV  | 2           |
|  | 2           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   |             |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 1           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 2           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 0           |
|  | 65          |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  |             |
|  | 89          |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89<br>67    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR<br>arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH | 67          |

2014-10-14, 23:08:30+0530



DigColPsInt InterruptNotification

| DigColPsInt_InterruptNotification   |                     | M                   | AUICAL   |
|---|---------------------|---------------------|----------|
| Name  | Input Value         |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                        | 23                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR                        | 65                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR                        | 89                  |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR                        | 7                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR                        | 44                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR                       | 2                   |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC                        | 89                  |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                      | 577                 |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12                      | 89                  |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC                       | 2                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN                        | 0                   |                     |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR                        | 0                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN                        | 1                   |                     |          |
|   | 2                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT                       | 2                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET                        |                     |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR                        | 0                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR                        | 1                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD                         | 2                   |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL                        | 0                   |                     |          |
| target_i2cREG1_temp.OAR   | 65                  |                     |          |
| target_i2cREG1_temp.IMR   | 89                  |                     |          |
| target_i2cREG1_temp.STR   | 67                  |                     |          |
| target_i2cREG1_temp.CLKL  | 7                   |                     |          |
| target_i2cREG1_temp.CLKH  | 577                 |                     |          |
| target_i2cREG1_temp.CNT   | 88                  |                     |          |
| target_i2cREG1_temp.DRR   | 23                  |                     |          |
| target_i2cREG1_temp.SAR   | 65                  |                     |          |
| target_i2cREG1_temp.DXR   | 89                  |                     |          |
| target_i2cREG1_temp.MDR   | 7                   |                     |          |
| target_i2cREG1_temp.IVR   | 44                  |                     |          |
| target_i2cREG1_temp.EMDR  | 2                   |                     |          |
| target_i2cREG1_temp.PSC   | 89                  |                     |          |
| target_i2cREG1_temp.PID11   | 577                 |                     |          |
| target_i2cREG1_temp.PID12   | 89                  |                     |          |
| target_i2cREG1_temp.DMAC  | 2                   |                     |          |
| target_i2cREG1_temp.FUN   | 0                   |                     |          |
| target_i2cREG1_temp.DIR   | 0                   |                     |          |
| target_i2cREG1_temp.DIN   | 1                   |                     |          |
| target_i2cREG1_temp.DOUT  | 2                   |                     |          |
| target_i2cREG1_temp.SET   | 2                   |                     |          |
| target_i2cREG1_temp.CLR   | 0                   |                     |          |
| target_i2cREG1_temp.ODR   | 1                   |                     |          |
| target_i2cREG1_temp.PD  | 2                   |                     |          |
| target_i2cREG1_temp.PSL   | 0                   |                     |          |
| Name  | Actual Value        | Expected Value      | Result   |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08                               | 7                   | 7                   | <b>✓</b> |
| DigColPsInt Buffer Cnt M u08[0]   | 36                  | 36                  | <b>→</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 56                  | 56                  | -        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 100                 | 100                 | ~        |
| DigColPsInt BusBusySeqError Cnt M Igc   | 0                   | 0                   |          |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 0                   | 0                   | ~        |
| DigColPsInt_CridFailOccurred_Crit_M_gc  DigColPsInt ColCustDatFound Cnt M Igc | 1                   | 1                   |          |
| DigColPsInt_ColCustDateOutid_Crit_M_igc  DigColPsInt ColSnsrData Cnt M u16    | 7224                | 7224                | •        |
|   | 15                  | 15                  |          |
| DigColPoint_CurrentStave_Cnt_M_u08  |                     |                     | ~        |
| DigColPoint_CurrentStepNo_Cnt_M_enum  | READ_SENSOR2_SETREG | READ_SENSOR2_SETREG |          |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 55                  | 55                  |          |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16                                 | 56                  | 56                  | <b>V</b> |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1                   | 1                   | <b>~</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                   | 0                   | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                   | 0                   | ~        |

3

0

88

8

1

65

89

67

577

88

23

3

88

8

1

65

89

67

577

88

23

DigColPsInt\_RecvdDataType\_Cnt\_M\_u08

DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16

DigColPsInt\_TransactionCnt\_Cnt\_M\_u08

I2c\_Send(Length\_Cnt\_T\_u32)

DigColPsInt\_SpurCustDatFound\_Cnt\_M\_lgc

I2c\_SetupMasterTransmit(DataLength\_Cnt\_T\_u16) target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.OAR

 $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IMR$ 

target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.STR

target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKL target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKH

target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CNT

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | result   |
| target I2c GenStopCond I2cRegPtr Cnt T str.DXR   | 89           | 89             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 577          | 577            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 89           | 89             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 65           | 65             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 89           | 89             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 67           | 67             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 7            | 7              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 577          | 577            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 88           | 88             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 23           | 23             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 65           | 65             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 89           | 89             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 7            | 7              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 44           | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 577          | 577            | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 0            | 0              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 0            | 0              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 65           | 65             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 89           | 89             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 67           | 67             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 7            | 7              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 577          | 577            | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 88           | 88             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 23           | 23             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 65           | 65             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 89           | 89             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 7            | 7              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 44           | 44             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 2            | 2              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC       | 89           | 89             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 577          | 577            | •        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12     | 89           | 89             |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 88           | 88             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 23           | 23             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 65           | 65             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 89           | 89             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 7            | 7              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 2            | 2              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 89           | 89             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 577          | 577            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 89           | 89             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 2            | 2              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 0            | 0              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 0            | 0              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 2            | 2              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 65           | 65             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 67           | 67             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 88           | 88             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 23           | 23             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 65           | 65             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 89           | 89             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 7            | 7              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 89           | 89             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            | 0              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0            | 0              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 577          | 577            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89           | 89             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
|  |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | ✓        |



| T                       |       |                         | <b>✓</b> |          |
|-------------------------|-------|-------------------------|----------|----------|
| Actual Function         | Count | Expected Function       | Count    | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1        | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1        | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1        | <b>✓</b> |

| est Step 2.20 (Repeat Count = 1)  |  |
|---|--|
| ame   | Input Value  |
| igColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 9  |
| igColPsInt_Buffer_Cnt_M_u08[0]  | 123  |
| igColPsInt_Buffer_Cnt_M_u08[1]  | 145  |
| igColPsInt_Buffer_Cnt_M_u08[2]  | 200  |
| igColPsInt_BusBusySeqError_Cnt_M_lgc  | 1  |
| igColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1  |
| igColPsInt_ColCustDatFound_Cnt_M_lgc  | 0  |
| igColPsInt_ColSnsrData_Cnt_M_u16  | 554  |
| igColPsInt_CurrentSlave_Cnt_M_u08   | 70   |
| igColPsInt_CurrentStepNo_Cnt_M_enum   | READ_SENSOR2_GETDATA                               |
| igColPsInt_I2CHwCustData_Uls_M_u16  | 58   |
| igColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 59   |
| igColPsInt_InitFailedOnce_Cnt_M_lgc   | 0  |
| igColPsInt_NackOccured_Cnt_M_lgc  | 1  |
| igColPsInt_PrevReqDataType_Cnt_M_u08  | 1  |
| igColPsInt_RecvOverrunError_Cnt_M_lgc   | 1  |
| igColPsInt RecvdDataType Cnt M u08  | 4  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 1  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc   | 1  |
| igColPsInt_SpurSnsrData_Cnt_M_u16   | 123  |
| igColPsInt TransactionCnt Cnt M u08   | 0  |
| ags_Cnt_T_b16   | 32   |
| c_GenStopCond(I2cRegPtr_Cnt_T_str)  | target I2c GenStopCond I2cRegPtr Cnt T str         |
| c_Send(I2cRegPtr_Cnt_T_str)   | target I2c Send I2cRegPtr Cnt T str                |
| c SetRecv(I2cRegPtr_Cnt_T_str)  | V V  |
| _ , , , ,   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| c_SetStatus(I2cRegPtr_Cnt_T_str)  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)   | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| tc_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]   | 0  |
| _DataRegisters_Cnt_u08[1]   | 32   |
| _DataRegisters_Cnt_u08[2]   | 30   |
| _DataRegisters_Cnt_u08[3]   | 36   |
| _DataRegisters_Cnt_u08[4]   | 38   |
| _DataRegisters_Cnt_u08[5]   | 34   |
| _DataRegisters_Cnt_u08[6]   | 10   |
| _DataRegisters_Cnt_u08[7]   | 12   |
| _DataRegisters_Cnt_u08[8]   | 14   |
| cREG1_temp  | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08  | 104  |
| _SpurSensorI2CAddress_Cnt_u08   | 20   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 54   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 8  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 554  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 344  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 123  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 45   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 54   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 554  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 788  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 3  |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC  | 66   |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11  | 344  |
| rget I2c GenStopCond I2cRegPtr Cnt T str.PID12  | 66   |
| rget_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC   | 3  |
| rget_12c_GenStopCond_12cRegPtr_Cnt_1_str.DMAC  rget_12c_GenStopCond_12cRegPtr_Cnt_T_str.FUN   | 1  |
|   |  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 3  |
|   | 2  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2  |
| rget_lzc_GenStopCond_lzcRegPtr_Cnt_1_str.DIN rget_lzc_GenStopCond_lzcRegPtr_Cnt_T_str.DOUT rget_lzc_GenStopCond_lzcRegPtr_Cnt_T_str.SET | 3 3  |

2014-10-14, 23:08:30+0530



| DigCoresint_interruptivotincation   |             |  |
|---|-------------|--|
| Name  | Input Value |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 1           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 2           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 54          |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.IMR  | 66          |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.STR  | 8           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 554         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 344         |  |
| arget I2c Send I2cRegPtr Cnt T str.CNT  | 123         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 45          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 54          |  |
| arget I2c Send I2cRegPtr Cnt T str.DXR  | 66          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 554         |  |
|   | 788         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 3           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 66          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 344         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  |             |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3           |  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 3           |  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3           |  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 1           |  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 2           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 54          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66          |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 8           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 554         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 344         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 123         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 45          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 54          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66          |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.MDR   | 554         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 788         |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.EMDR  | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 344         |  |
|   | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12<br>arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC | 3           |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.FUN   | 1           |  |
|   |             |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 3           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 1           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 2           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 54          |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 8           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 554         |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 344         |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 123         |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 45          |  |
| rget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR  | 54          |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66          |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 554         |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 788         |  |
| rget_12c_SetStatus_12cRegPtr_Cnt_T_str.EMDR   | 3           |  |
| irget_12c_SetStatus_12cRegPtr_Cnt_1_str.EMDR irget_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC  | 66          |  |
|   |             |  |
| irget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 344         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2           |  |
| 312 1211111112 1 13 121 2 21  | 3           |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 54          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 8           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 344         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 123         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 45          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 54          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 788         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
|  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |
|  | 1           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD     |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 8           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554         |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 554         |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11 | 344         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66          |
|  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 3           |
|  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2           |
| target_i2cREG1_temp.OAR                                  | 54          |
| target i2cREG1 temp.IMR                                  | 66          |
|  |             |
| target_i2cREG1_temp.STR                                  | 8           |
| target_i2cREG1_temp.CLKL                                 | 554         |
| target_i2cREG1_temp.CLKH                                 | 344         |
| target_i2cREG1_temp.CNT                                  | 123         |
| target_i2cREG1_temp.DRR                                  | 45          |
| target_i2cREG1_temp.SAR                                  | 54          |
|  |             |
| target_i2cREG1_temp.DXR                                  | 66          |
| target_i2cREG1_temp.MDR                                  | 554         |
| target_i2cREG1_temp.IVR                                  | 788         |
| target_i2cREG1_temp.EMDR                                 | 3           |
| target i2cREG1 temp.PSC                                  | 66          |
|  | 344         |
| target_i2cREG1_temp.PID11                                |             |
| target_i2cREG1_temp.PID12                                | 66          |
| target_i2cREG1_temp.DMAC                                 | 3           |
| target_i2cREG1_temp.FUN                                  | 1           |
| target i2cREG1 temp.DIR                                  | 3           |
|  |             |

2014-10-14, 23:08:30+0530



| DigColPsInt_InterruptNotification               | 2014 10 14, 20.00.00 .0000 | *              | azorcat  |
|---|----------------------------|----------------|----------|
| Name  | Input Value                |                |          |
| target i2cREG1 temp.DIN                         | 2                          |                |          |
| target i2cREG1 temp.DOUT                        | 3                          |                |          |
| target i2cREG1 temp.SET                         | 3                          |                |          |
| target i2cREG1 temp.CLR                         | 3                          |                |          |
| target i2cREG1 temp.ODR                         | 2                          |                |          |
| target i2cREG1 temp.PD                          | 1                          |                |          |
| target_i2cREG1_temp.PSL                         | 2                          |                |          |
| Name  | Actual Value               | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 9                          | 9              | <b>✓</b> |
| <b>✓</b>  | 123                        | 123            | ✓        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145                        | 145            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200                        | 200            | <b>~</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1                          | 1              | <b>~</b> |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1                          | 1              | ✓        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0                          | 0              | <b>✓</b> |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 554                        | 554            | ✓        |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 70                         | 70             | <b>✓</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ_COMPLETE              | READ_COMPLETE  | ✓        |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 58                         | 58             | ✓        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 59                         | 59             | ✓        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0                          | 0              | ✓        |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1                          | 1              | ✓        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1                          | 1              | ✓        |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 1                          | 1              | ✓        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1                          | 1              | ✓        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 31633                      | 31633          | ✓        |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 1                          | 1              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 54                         | 54             | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66                         | 66             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 8                          | 8              | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 554                        | 554            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH | 344                        | 344            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 123                        | 123            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 45                         | 45             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 54                         | 54             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66                         | 66             | ✓        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR  | 554                        | 554            | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR  | 788                        | 788            | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR | 3                          | 3              |          |

target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PSC

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR     | 3            | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR     | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD      | 1            | 1              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL     | 2            | 2              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 54           | 54             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 8            | 8              | <b>✓</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL | 554          | 554            | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH | 344          | 344            | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 123          | 123            | ~        |
| target_I2c_SetRecv_I2cRegPttr_@nt_T_str.DRR | 45 5         | 55445          |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3            | 3              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 1            | 1              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344          | 344            | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | ~      |

| T               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | ~        |

| Input Value  | Test Step 2.21 (Repeat Count = 1)               | ✓  |
|--|---|--|
| DigColPsInt_Buffer_Cnt_M_u08[1]   200   DigColPsInt_Buffer_Cnt_M_u08[2]   250   DigColPsInt_Buffer_Cnt_M_u08[2]   250   DigColPsInt_BusBusySeqError_Cnt_M_lgc   0   DigColPsInt_ColCustDafFound_Cnt_M_lgc   0   DigColPsInt_ColCustDafFound_Cnt_M_lgc   1   DigColPsInt_ColCustDafFound_Cnt_M_lgc   8   DigColPsInt_ColCustDafFound_Cnt_M_lgc   8   DigColPsInt_ColCustDafFound_Cnt_M_lgc   8   DigColPsInt_ColCustDafFound_Cnt_M_lgc   1   DigColPsInt_Dist_M_lgc   1   DigColPsInt_IntFailedOnce_Cnt_M_lgc   1   DigColPsInt_IntFailedOnce_Cnt_M_lgc   0   DigColPsInt_NewCoverumError_Cnt_M_lgc   0   DigColPsInt_RevCoverumError_Cnt_M_lgc   0   DigColPsInt_RevCoverumError_Cnt_M_lgc   0   DigColPsInt_RevCoverumError_Cnt_M_lgc   0   DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   0   DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   0   DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   0   DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   0   DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   0   DigColPsInt_TransactionCnt_Cnt_M_lgc   0   DigColPsInt_Tran | Name  | Input Value  |
| DigColPsInt_Buffer_Cnt_M_u08[1]   200     DigColPsInt_BusbusySeqError_Cnt_M_u08[2]   250     DigColPsInt_BusbusySeqError_Cnt_M_u06   0     DigColPsInt_CmdFailOccurred_Cnt_M_u06   0     DigColPsInt_ColCustDatFound_Cnt_M_u16   2767     DigColPsInt_ColCustDat_Ont_M_u16   2767     DigColPsInt_CurrentSlave_Cnt_M_u08   80     DigColPsInt_CurrentSlave_Cnt_M_u08   80     DigColPsInt_CurrentSlave_Cnt_M_u08   80     DigColPsInt_CurrentSlave_Cnt_M_u08   80     DigColPsInt_LowertSlave_Cnt_M_u08   80     DigColPsInt_LowertSlave_Cnt_M_u08   80     DigColPsInt_I2CHWoustData_Uis_M_u16   61     DigColPsInt_I2CHWoustData_Uis_M_u16   62     DigColPsInt_I2CHWincompleteCustData_Uis_M_u16   62     DigColPsInt_I2CHWincompleteCustData_Uis_M_u16   62     DigColPsInt_I2CHWincompleteCustData_Uis_M_u16   62     DigColPsInt_I2CHWincompleteCustData_Uis_M_u16   62     DigColPsInt_PrevReqDataTyne_Cnt_M_u08   2     DigColPsInt_NeackOccured_Cnt_M_gc   0     DigColPsInt_NeackOccured_Cnt_M_u08   2     DigColPsInt_NeackOccured_Cnt_M_u08   2     DigColPsInt_RevOverrunError_Cnt_M_u08   5     DigColPsInt_RevOverrunError_Cnt_M_u08   5     DigColPsInt_Suprospata_Cnt_M_u08   5     DigColPsInt_Suprospata_Cnt_M_u08   2     DigColPsInt_Suprospata_Cnt_M_u08   2     DigColPsInt_TransactionCnt_Cnt_M_u08   2 | DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[2]   250     DigColPsInt_BusBusySegError_Cnt_M_lgc  | DigColPsInt_Buffer_Cnt_M_u08[0]                 | 100  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc         0           DigCoPlsInt_ColCustDatForton_Cnt_M_lgc         0           DigCoPlsInt_ColCustDatForton_Cnt_M_lgc         1           DigCoPlsInt_ColSnsrData_Cnt_M_u16         2767           DigColPsInt_CurrentSiave_Cnt_M_u08         80           DigColPsInt_LownestData_UIs_M_u16         61           DigColPsInt_IntRepNo_Cnt_M_enum         READ_SENSOR2_GETDATA           DigColPsInt_IntRepNo_Cnt_M_lgc         61           DigColPsInt_IntRepNo_Cnt_M_lgc         1           DigColPsInt_IntRepNo_Cnt_M_lgc         0           DigColPsInt_NackOccured_Cnt_M_lgc         0           DigColPsInt_NackOccured_Cnt_M_lgc         0           DigColPsInt_PrevReqDataType_Cnt_M_u08         2           DigColPsInt_RevOverunError_Cnt_M_lgc         0           DigColPsInt_SpuPcustDatFound_Cnt_M_lgc         0           DigColPsInt_SpuPcustDatFound_Cnt_M_lgc         0           DigColPsInt_SpuPcustDatFound_Cnt_M_lgc         0           DigColPsInt_TransactionCnt_Ont_M_lgc         32           DigColPsInt_TransactionCnt_Ont_M_u16         54           DigColPsInt_TransactionCnt_Ont_M_u08         255           Flags_Cnt_T_b16         32           12c_SentopCond(l2cregPtr_Cnt_T_str)         target_l2c_SentopCond_l2cregPtr_Cnt_T_str <td>DigColPsInt_Buffer_Cnt_M_u08[1]</td> <td>200</td>   | DigColPsInt_Buffer_Cnt_M_u08[1]                 | 200  |
| DigColPsInt_ColCustDaFound_Cnt_M_lgc         1           DigColPsInt_ColCustDaFound_Cnt_M_lgc         1           DigColPsInt_CurrentSlave_Cnt_M_u08         80           DigColPsInt_CurrentSlave_Cnt_M_u08         80           DigColPsInt_CurrentSlave_Cnt_M_uenum         READ_SENSOR2_GETDATA           DigColPsInt_IZCHwCoustData_Uls_M_u16         61           DigColPsInt_IZCHwIncompleteGustData_Uls_M_u16         62           DigColPsInt_InitFailedOnce_Cnt_M_lgc         1           DigColPsInt_NecVocured_Cnt_M_lgc         0           DigColPsInt_NecVocured_Cnt_M_u08         2           DigColPsInt_RecvDataType_Cnt_M_u08         5           DigColPsInt_RecvDataType_Cnt_M_u08         5           DigColPsInt_SpurCustDaTeroud_Cnt_M_lgc         0           DigColPsInt_SpurCustDaTeroud_Cnt_M_lgc         0           DigColPsInt_SpurCustDaTeroud_Cnt_M_lgc         0           DigColPsInt_SpurCustDaTeroud_Cnt_M_lgc         0           DigColPsInt_SpurCustDaTeroud_Cnt_M_lgc         0           DigColPsInt_SpurCustDaTeroud_Cnt_M_lgc         0           DigColPsInt_SpurCust_Tant_SpurCust_Tsir)         target_I2c_GenStopCond_I2cRegPtr_Cnt_Tsir           I2c_GenStopCond(I2cRegPtr_Cnt_T_str)         target_I2c_Sent_Int_Tsir           I2c_SentQ(I2cRegPtr_Cnt_T_str)         target_I2c_Sent_Int_Int_Set <td>DigColPsInt_Buffer_Cnt_M_u08[2]</td> <td>250</td>  | DigColPsInt_Buffer_Cnt_M_u08[2]                 | 250  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0  |
| DigColPsint_CurrentSlave_Cnt_M_u08   80  | DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | DigColPsInt_ColSnsrData_Cnt_M_u16               | 2767   |
| DigCoIPsInt_12CHwCustData_UIs_M_u16         61           DigCoIPsInt_IctFilledOnce_Cnt_M_lgc         1           DigCoIPsInt_InitFilledOnce_Cnt_M_lgc         0           DigCoIPsInt_PrevReqDataType_Cnt_M_u08         2           DigCoIPsInt_RecvOverrunError_Cnt_M_lgc         0           DigCoIPsInt_RecvOdataType_Cnt_M_u08         5           DigCoIPsInt_SkipRegisterWrite_Cnt_M_lgc         0           DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc         0           DigCoIPsInt_SpurSpurStoatCound_Cnt_M_lgc         0           DigCoIPsInt_TransactionCnt_Cnt_M_u08         255           Flags_Cnt_T_b16         32           12c_GenStopCond(l2cRegPtr_Cnt_T_str)         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str           12c_SentRecv(l2cRegPtr_Cnt_T_str)         target_l2c_Send_l2cRegPtr_Cnt_T_str           12c_SetRecv(l2cRegPtr_Cnt_T_str)         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str           12c_SetStatus(l2cRegPtr_Cnt_T_str)         target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           12c_SetQupMasterReceive(l2cRegPtr_Cnt_T_str)         target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           12c_SetUpMasterReceive(l2cRegPtr_Cnt_T_str)         target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           12c_SetUpMasterReceive(l2cRegPtr_Cnt_T_str)         target_l2c_SetUpMasterReceive_l2cRegPtr_Cnt_T_str           12c_SetUpMasterReceive(l2cRegPtr_Cnt_T_str)         target_l2c_SetUpMasterRe   | DigColPsInt_CurrentSlave_Cnt_M_u08              | 80   |
| DigCoIPsInt_I2CHwincompleteCustData_Uls_M_u16         62           DigCoIPsInt_InitFailedOnce_Cnt_M_lgc         1           DigCoIPsInt_NackOccured_Cnt_M_lgc         0           DigCoIPsInt_PrevReqDataType_Cnt_M_u08         2           DigCoIPsInt_RecvOverrunError_Cnt_M_lgc         0           DigCoIPsInt_RecvdDataType_Cnt_M_u08         5           DigCoIPsInt_SkipRegisterWrite_Cnt_M_lgc         0           DigCoIPsInt_SpurCustDatFound_Cnt_M_lgc         0           DigCoIPsInt_SpurSnsrData_Cnt_M_u16         564           DigCoIPsInt_TransactionCnt_Cnt_M_u08         255           Ilags_Cnt_T_b16         32           12c_GenStopCond(I2cRegPtr_Cnt_T_str)         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str           12c_Send(I2cRegPtr_Cnt_T_str)         target_I2c_Send_I2cRegPtr_Cnt_T_str           12c_SetRecv(I2cRegPtr_Cnt_T_str)         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str           12c_SetStatus(I2cRegPtr_Cnt_T_str)         target_I2c_SetSetatus_I2cRegPtr_Cnt_T_str           12c_SetUpMasterReceive(I2cRegPtr_Cnt_T_str)         target_I2c_SetSetatus_I2cRegPtr_Cnt_T_str           12c_SetUpMasterReceive(I2cRegPtr_Cnt_T_str)         target_I2c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str           12c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str)         target_I2c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str           12c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str)         target_I2c   | DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ_SENSOR2_GETDATA                               |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | DigColPsInt_I2CHwCustData_Uls_M_u16             | 61   |
| DigColPsInt_NackOccured_Cnt_M_lgc         0           DigColPsInt_PrevReqDataType_Cnt_M_u08         2           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0           DigColPsInt_RecvObataType_Cnt_M_u08         5           DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         0           DigColPsInt_SpurCustDatFound_Cnt_M_lgc         0           DigColPsInt_SpurSnzData_Cnt_M_u16         564           DigColPsInt_TransactionCnt_Cnt_M_u08         255           Flags_Cntb16         32           12c_GenStopCond(l2cRegPtr_Cnt_T_str)         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str           12c_Send(l2cRegPtr_Cnt_T_str)         target_l2c_Send_l2cRegPtr_Cnt_T_str           12c_SetRecv(l2cRegPtr_Cnt_T_str)         target_l2c_SelRecv_l2cRegPtr_Cnt_T_str           12c_SetStatus(l2cRegPtr_Cnt_T_str)         target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           12c_SetupMasterReceive(l2cRegPtr_Cnt_T_str)         target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           12c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str)         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str           12c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str)         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str           1_DataRegisters_Cnt_u08[1]         32           1_DataRegisters_Cnt_u08[2]         30   | DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 62   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08         2           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0           DigColPsInt_RecvdDataType_Cnt_M_u08         5           DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         0           DigColPsInt_SpurCustDatFound_Cnt_M_lgc         0           DigColPsInt_SpurSnsrData_Cnt_M_u16         564           DigColPsInt_TransactionCnt_Cnt_M_u08         255           Flags_Cntb16         32           12c_GenStopCond(l2cRegPtr_Cnt_T_str)         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str           12c_Send(l2cRegPtr_Cnt_T_str)         target_l2c_Send_l2cRegPtr_Cnt_T_str           12c_SetRecv(l2cRegPtr_Cnt_T_str)         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str           12c_SetStatus(l2cRegPtr_Cnt_T_str)         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str           12c_SetUpMasterReceive(l2cRegPtr_Cnt_T_str)         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str           12c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str)         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str           12c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str)         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str           12c_DataRegisters_Cnt_u08[0]         0           1_DataRegisters_Cnt_u08[1]         32           1_DataRegisters_Cnt_u08[2]         30   | DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc         0           DigColPsInt_RecvdDataType_Cnt_M_u08         5           DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         0           DigColPsInt_SpurCustDatFound_Cnt_M_lgc         0           DigColPsInt_SpurSnsrData_Cnt_M_u16         564           DigColPsInt_TransactionCnt_Cnt_M_u08         255           Flags_Cnt_T_b16         32           12c_GenStopCond(l2cRegPtr_Cnt_T_str)         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str           12c_Send(l2cRegPtr_Cnt_T_str)         target_l2c_Send_l2cRegPtr_Cnt_T_str           12c_SertRecv(l2cRegPtr_Cnt_T_str)         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str           12c_SetStatus_(l2cRegPtr_Cnt_T_str)         target_l2c_SetStatus_(l2cRegPtr_Cnt_T_str           12c_SetUpMasterReceive(l2cRegPtr_Cnt_T_str)         target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           12c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str)         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str           12c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str)         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str           1_DataRegisters_Cnt_u08[0]         0           1_DataRegisters_Cnt_u08[1]         32           1_DataRegisters_Cnt_u08[2]         30   | DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc 0 DigColPsInt_SpurCustDatFound_Cnt_M_lgc 0 DigColPsInt_SpurSnsrData_Cnt_M_u16 564 DigColPsInt_TransactionCnt_Cnt_M_u08 255 Flags_Cnt_T_b16 32 I2c_GenStopCond(I2cRegPtr_Cnt_T_str) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str I2c_Send(I2cRegPtr_Cnt_T_str) target_I2c_Send_I2cRegPtr_Cnt_T_str I2c_SetRecv(I2cRegPtr_Cnt_T_str) target_I2c_SetRecv_I2cRegPtr_Cnt_T_str I2c_SetStatus(I2cRegPtr_Cnt_T_str) target_I2c_SetStatus_I2cRegPtr_Cnt_T_str I2c_SetUpMasterReceive(I2cRegPtr_Cnt_T_str) target_I2c_SetStatus_I2cRegPtr_Cnt_T_str I2c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str) 12c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str) 12c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str) 12c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str) 12c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str) 12c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str) 12c_SetUpMasterTransmit_I2cRegPtr_Cnt_T_str   | DigColPsInt_PrevReqDataType_Cnt_M_u08           | 2  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         0           DigColPsInt_SpurCustDatFound_Cnt_M_lgc         0           DigColPsInt_SpurSnsrData_Cnt_M_u16         564           DigColPsInt_TransactionCnt_Cnt_M_u08         255           Flags_Cnt_T_b16         32           I2c_GenStopCond(I2cRegPtr_Cnt_T_str)         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str           I2c_Send(I2cRegPtr_Cnt_T_str)         target_I2c_Send_I2cRegPtr_Cnt_T_str           I2c_SetRecv(I2cRegPtr_Cnt_T_str)         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str           I2c_SetStatus(I2cRegPtr_Cnt_T_str)         target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           I2c_SetUpMasterReceive(I2cRegPtr_Cnt_T_str)         target_I2c_SetUpMasterReceive_I2cRegPtr_Cnt_T_str           I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str           I2c_SetupMasterScotu_u08[0]         0           T_DataRegisters_Cnt_u08[1]         32           T_DataRegisters_Cnt_u08[2]         30  | DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_igc         0           DigColPsInt_SpurSnsrData_Cnt_M_u16         564           DigColPsInt_TransactionCnt_Cnt_M_u08         255           Flags_Cnt_T_b16         32           I2c_GenStopCond(I2cRegPtr_Cnt_T_str)         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str           I2c_Send(I2cRegPtr_Cnt_T_str)         target_I2c_Send_I2cRegPtr_Cnt_T_str           I2c_SetRecv(I2cRegPtr_Cnt_T_str)         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str           I2c_SetStatus(I2cRegPtr_Cnt_T_str)         target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           I2c_SetUpMasterReceive(I2cRegPtr_Cnt_T_str)         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str           I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str           I2c_SetupMasterScot_u08[0]         0           T_DataRegisters_Cnt_u08[1]         32           T_DataRegisters_Cnt_u08[2]         30   | DigColPsInt_RecvdDataType_Cnt_M_u08             | 5  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16         564           DigColPsInt_TransactionCnt_Cnt_M_u08         255           Flags_Cnt_T_b16         32           I2c_GenStopCond(I2cRegPtr_Cnt_T_str)         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str           I2c_Send(I2cRegPtr_Cnt_T_str)         target_I2c_Send_I2cRegPtr_Cnt_T_str           I2c_SetRecv(I2cRegPtr_Cnt_T_str)         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str           I2c_SetStatus(I2cRegPtr_Cnt_T_str)         target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           I2c_SetUpMasterReceive(I2cRegPtr_Cnt_T_str)         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str           I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str           I2c_SetupMasterScnt_u08[0]         0           T_DataRegisters_Cnt_u08[1]         32           T_DataRegisters_Cnt_u08[2]         30  | DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_TransactionCnt_Cnt_M_u08       255         Flags_Cnt_T_b16       32         I2c_GenStopCond(I2cRegPtr_Cnt_T_str)       target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         I2c_Send(I2cRegPtr_Cnt_T_str)       target_I2c_Send_I2cRegPtr_Cnt_T_str         I2c_SetRecv(I2cRegPtr_Cnt_T_str)       target_I2c_SetRecv_I2cRegPtr_Cnt_T_str         I2c_SetStatus(I2cRegPtr_Cnt_T_str)       target_I2c_SetStatus_I2cRegPtr_Cnt_T_str         I2c_SetUpMasterReceive(I2cRegPtr_Cnt_T_str)       target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str         I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)       target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str         I2c_SetupMasterS_Cnt_u08[0]       0         T_DataRegisters_Cnt_u08[1]       32         T_DataRegisters_Cnt_u08[2]       30  | DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| Flags_Cnt_T_b16         32           I2c_GenStopCond(I2cRegPtr_Cnt_T_str)         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str           I2c_Send(I2cRegPtr_Cnt_T_str)         target_I2c_Send_I2cRegPtr_Cnt_T_str           I2c_SetRecv(I2cRegPtr_Cnt_T_str)         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str           I2c_SetStatus(I2cRegPtr_Cnt_T_str)         target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           I2c_SetUpMasterReceive(I2cRegPtr_Cnt_T_str)         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str           I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str           T_DataRegisters_Cnt_u08[0]         0           T_DataRegisters_Cnt_u08[1]         32           T_DataRegisters_Cnt_u08[2]         30  | DigColPsInt_SpurSnsrData_Cnt_M_u16              | 564  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)     target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str       I2c_Send(I2cRegPtr_Cnt_T_str)     target_I2c_Send_I2cRegPtr_Cnt_T_str       I2c_SetRecv(I2cRegPtr_Cnt_T_str)     target_I2c_SetRecv_I2cRegPtr_Cnt_T_str       I2c_SetStatus(I2cRegPtr_Cnt_T_str)     target_I2c_SetStatus_I2cRegPtr_Cnt_T_str       I2c_SetUpMasterReceive(I2cRegPtr_Cnt_T_str)     target_I2c_SetUpMasterReceive_I2cRegPtr_Cnt_T_str       I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     target_I2c_SetUpMasterTransmit_I2cRegPtr_Cnt_T_str       I2c_SetupMasterScnt_u08[0]     0       T_DataRegisters_Cnt_u08[1]     32       T_DataRegisters_Cnt_u08[2]     30   | DigColPsInt_TransactionCnt_Cnt_M_u08            | 255  |
| I2c_Send(I2cRegPtr_Cnt_T_str)     target_I2c_Send_I2cRegPtr_Cnt_T_str       I2c_SetRecv(I2cRegPtr_Cnt_T_str)     target_I2c_SetRecv_I2cRegPtr_Cnt_T_str       I2c_SetStatus(I2cRegPtr_Cnt_T_str)     target_I2c_SetStatus_I2cRegPtr_Cnt_T_str       I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str       I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str       I2c_SetupMasterScnt_u08[0]     0       T_DataRegisters_Cnt_u08[1]     32       T_DataRegisters_Cnt_u08[2]     30   | Flags_Cnt_T_b16                                 | 32   |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)     target_I2c_SetRecv_I2cRegPtr_Cnt_T_str       I2c_SetStatus(I2cRegPtr_Cnt_T_str)     target_I2c_SetStatus_I2cRegPtr_Cnt_T_str       I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str       I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str       I2c_SetupMasterScnt_u08[0]     0       T_DataRegisters_Cnt_u08[1]     32       T_DataRegisters_Cnt_u08[2]     30   | I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)     target_I2c_SetStatus_I2cRegPtr_Cnt_T_str       I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str       I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str       T_DataRegisters_Cnt_u08[0]     0       T_DataRegisters_Cnt_u08[1]     32       T_DataRegisters_Cnt_u08[2]     30   | I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str       I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str       T_DataRegisters_Cnt_u08[0]     0       T_DataRegisters_Cnt_u08[1]     32       T_DataRegisters_Cnt_u08[2]     30   | I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str       T_DataRegisters_Cnt_u08[0]     0       T_DataRegisters_Cnt_u08[1]     32       T_DataRegisters_Cnt_u08[2]     30   | I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| T_DataRegisters_Cnt_u08[0]       0         T_DataRegisters_Cnt_u08[1]       32         T_DataRegisters_Cnt_u08[2]       30   | I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| T_DataRegisters_Cnt_u08[1]       32         T_DataRegisters_Cnt_u08[2]       30  | I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[2] 30  | T_DataRegisters_Cnt_u08[0]                      | 0  |
|  | T_DataRegisters_Cnt_u08[1]                      | 32   |
| T DataRenisters Cnt u08(3) 36  | T_DataRegisters_Cnt_u08[2]                      | 30   |
| batanoglostio_oni_acotol   | T_DataRegisters_Cnt_u08[3]                      | 36   |

2014-10-14, 23:08:30+0530



DigColPsInt InterruptNotification Input Value T DataRegisters Cnt u08[4] 38 34 T\_DataRegisters\_Cnt\_u08[5] T DataRegisters Cnt u08[6] 10 T\_DataRegisters\_Cnt\_u08[7] 12 T\_DataRegisters\_Cnt\_u08[8] 14 i2cREG1\_temp target\_i2cREG1\_temp k\_ColSensorl2CAddress\_Cnt\_u08 109 k\_SpurSensorl2CAddress\_Cnt\_u08 25 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.OAR  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IMR$ 100  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.STR$ 7788  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 2767 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKH 556  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CNT$ 564 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DRR 88 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.SAR 3  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DXR$ 100 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.MDR 2767  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IVR$ 9 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.EMDR 0  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PSC$ 100 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PID11 556 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PID12 100 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DMAC 2 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.FUN 0  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DIR$ 1 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DIN 3 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DOUT 2 target I2c GenStopCond I2cRegPtr Cnt T str.SET 0 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLR 1 target I2c GenStopCond I2cRegPtr Cnt T str.ODR 3 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PD 0 target I2c GenStopCond I2cRegPtr Cnt T str.PSL 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.OAR 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR 100 7788  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.STR$ target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKL 2767 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKH 556 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CNT 564 88 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DRR target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SAR 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DXR 100 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.MDR 2767 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IVR 9  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.EMDR$ n target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSC 100 target I2c Send I2cRegPtr Cnt T str.PID11 556 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID12 100 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DMAC 2 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.FUN 0 target I2c Send I2cRegPtr Cnt T str.DIR 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIN 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DOUT 2 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SET 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLR 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.ODR 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PD 0  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSL$ 3

> 3 100

7788

2767

556

564

88

3

100

2767

9

0

100

556

100

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.OAR

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IMR target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.STR

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKL

 $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CNT

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DRR

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.SAR

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DXR

target I2c SetRecv I2cRegPtr Cnt T str.MDR

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IVR

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.EMDR

 $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PSC$ 

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PID11

2014-10-14, 23:08:30+0530



| DigCor-sint_interruptivotinication  |                        |
|---|------------------------|
| Name  | Input Value            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 2                      |
| target I2c SetRecv I2cRegPtr Cnt T str.FUN  | 0                      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1                      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 3                      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 2                      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 0                      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1                      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 3                      |
|   |                        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 0                      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3                      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 3                      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR  | 100                    |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR  | 7788                   |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 2767                   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 556                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 564                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 88                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 3                      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 100                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2767                   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 9                      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 0                      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 100                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 556                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 100                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2                      |
| target I2c SetStatus I2cRegPtr Cnt T str.FUN  | 0                      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1                      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 3                      |
|   | 2                      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   |                        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 0                      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR  | 1                      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR  | 3                      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 0                      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 3                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 100                    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 7788                   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2767                   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 556                    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 564                    |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DRR   | 88                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 3                      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DXR   | 100                    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2767                   |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR   | 9                      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.EMDR  | 0                      |
|   |                        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 100                    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 556                    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 100                    |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2                      |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 0                      |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1                      |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 3                      |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2                      |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0                      |
| rarget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1                      |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 3                      |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 0                      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL   | 3                      |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 3                      |
|   | 100                    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   |                        |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 7788                   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2767                   |
|   | 556                    |
|   |                        |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 564                    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 564<br>88              |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   |                        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR  | 88                     |
| arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT<br>arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR<br>arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR<br>arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 88<br>3                |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 88<br>3<br>100         |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR | 88<br>3<br>100<br>2767 |

2014-10-14, 23:08:30+0530



| Name  | Input Value   |   |                                       |
|---|---|---|---------------------------------------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 556   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 100   |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC   | 0   |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0   |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  | 3   |   |                                       |
| target_i2cREG1_temp.OAR<br>target_i2cREG1_temp.IMR  | 100   |   |                                       |
| target_i2cREG1_temp.STR   | 7788  |   |                                       |
| target_i2cREG1_temp.CLKL  | 2767  |   |                                       |
| target_i2cREG1_temp.CLKH  | 556   |   |                                       |
| target_i2cREG1_temp.CNT   | 564   |   |                                       |
| target_i2cREG1_temp.DRR   | 88  |   |                                       |
| target_i2cREG1_temp.SAR   | 3   |   |                                       |
| target_i2cREG1_temp.DXR<br>target_i2cREG1_temp.MDR  | 100<br>2767   |   |                                       |
| target_i2cREG1_temp.IVR   | 9   |   |                                       |
| target i2cREG1 temp.EMDR  | 0   |   |                                       |
| target i2cREG1 temp.PSC   | 100   |   |                                       |
| target_i2cREG1_temp.PID11   | 556   |   |                                       |
| target_i2cREG1_temp.PID12   | 100   |   |                                       |
| target_i2cREG1_temp.DMAC  | 2   |   |                                       |
| target_i2cREG1_temp.FUN   | 0   |   |                                       |
| target_i2cREG1_temp.DIR   | 1   |   |                                       |
| target_i2cREG1_temp.DUT   | 3 2   |   |                                       |
| target i2cREG1_temp.SET   | 0   |   |                                       |
| target i2cREG1 temp.CLR   | 1   |   |                                       |
| target_i2cREG1_temp.ODR   | 3   |   |                                       |
| target_i2cREG1_temp.PD  | 0   |   |                                       |
|   |   |   |                                       |
| target_i2cREG1_temp.PSL   | 3   |   |                                       |
| Name  | Actual Value  | Expected Value  |                                       |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | Actual Value  | 1   | ~                                     |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0]  | Actual Value 1 100  | 1<br>100  | ~                                     |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]  | Actual Value  1 100 200   | 1<br>100<br>200   | ~                                     |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0]  | Actual Value 1 100  | 1<br>100  | •                                     |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]  | Actual Value  1 100 200 250   | 1<br>100<br>200<br>250  | •                                     |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc  | Actual Value  1 100 200 250 0   | 1<br>100<br>200<br>250<br>0   | • • • • • • • • • • • • • • • • • • • |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16  | Actual Value  1  100 200 250 0 0 1 2767   | 1<br>100<br>200<br>250<br>0<br>0<br>1<br>2767   | • • • • • • • • • • • • • • • • • • • |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08   | Actual Value  1 100 200 250 0 0 1 2767 80   | 1<br>100<br>200<br>250<br>0<br>0<br>1<br>2767   | •                                     |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum  | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE   | 1<br>100<br>200<br>250<br>0<br>0<br>1<br>2767<br>80<br>READ_COMPLETE  |                                       |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16  | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61  | 1<br>100<br>200<br>250<br>0<br>0<br>1<br>2767<br>80<br>READ_COMPLETE<br>61  |                                       |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62   | 1<br>100<br>200<br>250<br>0<br>0<br>1<br>2767<br>80<br>READ_COMPLETE<br>61<br>62  |                                       |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_l2CHwCustData_UIs_M_u16 DigColPsInt_l2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_l2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_l2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1   | 1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62   |                                       |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62   | 1<br>100<br>200<br>250<br>0<br>0<br>1<br>2767<br>80<br>READ_COMPLETE<br>61<br>62  |                                       |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1   | 1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1   |                                       |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_I3CHwIncompleteCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc  | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0   | 1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_l2CHwCustData_Uls_M_u16  DigColPsInt_l2CHwCustData_Uls_M_u16  DigColPsInt_l1ChwCustData_Uls_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800   | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u16  DigColPsInt_I2CHwCustDatFound_Lls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I3ledOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0   | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 2 0 25800 0   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I3FailedOnce_Cnt_M_lgc  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u18  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3   | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3 100   | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3 100   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u16  DigColPsInt_SpurSnsrData_Cnt_M_u18  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 2 0 25800 0 3 100 7788  | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3 100 7788  |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3 100   | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3 100 7788 2767                                       |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u16  DigColPsInt_SpurSnsrData_Cnt_M_u18  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 3 100 7788 2767   | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3 100 7788  |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I3CHwIncompleteCustData_UIs_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_SpurSnsrData_Cnt_M_u18  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 2 0 25800 0 3 100 7788 2767 556                                   | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3 100 7788 2767 556                                   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | Actual Value  1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3 100 7788 2767 556 564 88 3                          | 1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3 100 7788 2767 556 564 88                              |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR  | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 3 100 7788 2767 556 564 88 3 100                            | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 25800 0 3 100 7788 2767 556 564 88 3 100                  |                                       |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 target_12c_GenStopCond_12cRegPtr_Cnt_T_str.OAR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.UkL target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKH target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKH target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.MDR  | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 0 3 100 7788 2767 556 564 88 3 100 2767                     | 1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 3 100 7788 2767 556 564 88 3 100 2767                       |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.JMR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 0 3 100 7788 2767 556 564 88 3 100 2767 9                   | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 3 100 7788 2767 556 564 88 3 100 2767 9                   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 0 3 100 7788 2767 556 564 88 3 100 2767 9 0                 | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 2 0 25800 0 3 100 7788 2767 556 564 88 3 100 2767 9             |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I3ItFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustData_Tout_M_u16  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TansactionCnt_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkH  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkH  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkH  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkH  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DxR   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 3 100 7788 22767 556 564 88 3 100 2767 9 0 100              | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 0 25800 0 3 100 7788 2767 556 564 88 3 100 2767 9 0 100         |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR   | Actual Value  1 100 200 250 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 0 3 100 7788 2767 556 564 88 3 100 2767 9 0                 | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 2 2 0 25800 0 3 100 7788 2767 556 564 88 3 100 2767 9             |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_L2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I1FailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR | Actual Value  1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 25800 0 3 100 7788 2767 556 564 88 3 100 2767 9 0 100 556 | 1 100 200 250 0 0 0 1 2767 80 READ_COMPLETE 61 62 1 0 0 25800 0 25800 0 3 100 7788 2767 556 564 88 3 100 2767 9 0 100 556 |                                       |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



**Actual Value Expected Value** Result  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.FUN$ 0 0 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DIR target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DIN 3 3 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DOUT 2 2  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.SET$ 0 0 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLR target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.ODR 3 3  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PD$ n n target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PSL 3 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.OAR 3 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR 100 100  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.STR$ 7788 7788 2767 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKL 2767 V 556 target I2c Send I2cRegPtr Cnt T str.CLKH 556 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CNT 564 564 88 88 target I2c Send I2cRegPtr Cnt T str.DRR  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SAR$ 3 3 target I2c Send I2cRegPtr Cnt T str.DXR 100 100 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.MDR 2767 2767 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IVR 9 9 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.EMDR 0 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSC 100 100 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID11 556 556 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID12 100 100 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DMAC 2 2 0 0 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.FUN target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIR 1 1  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIN$ 3 3 **~** target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DOUT 2 2 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SET 0 0 target I2c Send I2cRegPtr Cnt T str.CLR 1 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.ODR 3 3 target I2c Send I2cRegPtr Cnt T str.PD 0 0 V target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSL 3 3 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.OAR 3 V target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IMR 100 100  $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.STR$ 7788 7788 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKL 2767 2767 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKH 556 556 target I2c SetRecy I2cRegPtr Cnt T str.CNT 564 564 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DRR 88 88 target I2c SetRecv I2cRegPtr\_Cnt\_T\_str.SAR 3 3 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DXR 100 100 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.MDR 2767 2767 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IVR 9 9 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.EMDR 0 100 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PSC 100 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PID11 556 100  $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PID12$ 100 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DMAC 2 2 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.FUN 0 0 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DIR **~** 1 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DIN 3 3 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DOUT 2 2 target I2c SetRecv I2cRegPtr Cnt T str.SET 0 0 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLR 1 1 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.ODR 3 3 J  $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PD$ n Λ target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PSL 3 3 ~  $target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.OAR$ 3 100 100  $target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.IMR$ target I2c SetStatus I2cRegPtr Cnt T str.STR 7788 7788  $target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 2767 2767 target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.CLKH 556 556  $target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.CNT$ 564 564 target I2c SetStatus I2cRegPtr Cnt T str.DRR 88 88 target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.SAR 3 3 target I2c SetStatus I2cRegPtr Cnt T str.DXR 100 100 target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.MDR 2767 2767 target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.IVR 9  $target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.EMDR$ 0 0 target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.PSC 100 100 556 556 target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.PID11

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100            | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           | <b>*</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2767         | 2767           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 88           | 88             | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 3 100        | 3 100          | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 2767         | 2767           |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 9            | 9              | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR  | 0            | 0              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC     | 100          | 100            | -        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  | 556          | 556            |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID12  | 100          | 100            | ~        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC   | 2            | 2              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 564          | 564            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3 2          | 3 2            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR | 1            | 1              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_I_str.OLR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR    | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_1_str.ODR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T str.PD     | 0            | 0              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |          |
| J  | <u> </u>     | 11             |          |

| T               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | t Result |
| *none*          | 0     | *** No Call Expected *** | 0     |          |

| Test Step 2.22 (Repeat Count = 1)               | <b>✓</b>    |
|---|-------------|
| Name  | Input Value |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 2           |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 1           |



| DigColPsInt_InterruptNotification   | MACILAL   |
|---|---|
| Name  | Input Value   |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 5   |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 9   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 1   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1   |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0   |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 56  |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 90  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ_SENSOR2_GETDATA                                      |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 64  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 65  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0   |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 1   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 3   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1   |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 1   |
| higColPsInt_SkipRegisterWrite_Cnt_M_Igc   | 1   |
| DigColPsInt_SpurCustDatFound_Cnt_M_Igc  | 1   |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 7878  |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 100   |
| Flags_Cnt_T_b16   | 32  |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)   | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str                |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | target_l2c_Send_l2cRegPtr_Cnt_T_str                       |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str                    |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)   | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str                  |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str         |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str        |
| T_DataRegisters_Cnt_u08[0]  | 0   |
| T_DataRegisters_Cnt_u08[1]  | 32  |
| T_DataRegisters_Cnt_u08[2]  | 30  |
| _DataRegisters_Cnt_u08[3]   | 36  |
| _DataRegisters_Cnt_u08[4]   | 38  |
| T_DataRegisters_Cnt_u08[5]  | 34  |
| T_DataRegisters_Cnt_u08[6]  | 10  |
| 「_DataRegisters_Cnt_u08[7]  | 12<br>14  |
| 「DataRegisters_Cnt_u08[8]   |   |
| 2cREG1_temp   | target_i2cREG1_temp                                       |
| <pre>c_ColSensorl2CAddress_Cnt_u08</pre> <pre>c SpurSensorl2CAddress Cnt u08</pre>  | 30  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 678   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 45  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.STR   | 66  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 56  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 6788  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 7878  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 12  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 678   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 45  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 56  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 778   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.tVR arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR  | 1   |
| arget I2c GenStopCond I2cRegPtr_Cnt_1_str.EMDR  | 45  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.PID11   | 6788  |
| arget   12c GenStopCond   12cRegPtr Cnt T str.PID12   | 45  |
| arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC  | 1   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DIR   | 0   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DIN   | 1   |
| arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.DOUT  | 1   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET   | 1   |
| . U   |   |
| arget I2c GenStopCond I2cReaPtr Cnt T str CLR   |   |
|   | 0 1   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 0   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR<br>arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 0 1   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 0<br>1<br>2   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR<br>arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD<br>arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL<br>arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 0<br>1<br>2<br>1<br>678                                   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 0<br>1<br>2<br>1<br>678<br>45                             |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 0<br>1<br>2<br>1<br>678<br>45<br>66                       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 0<br>1<br>2<br>1<br>678<br>45<br>66<br>56                 |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH | 0<br>1<br>2<br>1<br>678<br>45<br>66<br>56<br>6788         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 0<br>1<br>2<br>1<br>678<br>45<br>66<br>56<br>6788<br>7878 |
| arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.ODR arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.PD arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.PSL arget_12c_Send_12cRegPtr_Cnt_T_str.OAR arget_12c_Send_12cRegPtr_Cnt_T_str.IMR arget_12c_Send_12cRegPtr_Cnt_T_str.STR arget_12c_Send_12cRegPtr_Cnt_T_str.CLKL arget_12c_Send_12cRegPtr_Cnt_T_str.CLKL arget_12c_Send_12cRegPtr_Cnt_T_str.CLKH arget_12c_Send_12cRegPtr_Cnt_T_str.CLKH arget_12c_Send_12cRegPtr_Cnt_T_str.CNT arget_12c_Send_12cRegPtr_Cnt_T_str.CNT         | 0<br>1<br>2<br>1<br>678<br>45<br>66<br>56<br>6788<br>7878 |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 0<br>1<br>2<br>1<br>678<br>45<br>66<br>56<br>6788<br>7878 |

2014-10-14, 23:08:30+0530



| Name  | Input Value  |
|---|--------------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 778          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  | 1 45         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC<br>target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 6788         |
| target I2c Send I2cRegPtr Cnt T str.PID12   | 45           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC  | 1            |
| target_12c_Send_12cRegPtr_Cnt_T_str.FUN   | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 678          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR  | 45           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 66<br>56     |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKH   | 6788         |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CNT  | 7878         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 12           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 678          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 45           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 56           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR  | 778          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 45           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 6788         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 45           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 0 1          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 2            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 1            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 678          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 45           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 66           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 56           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 6788<br>7878 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 12           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 678          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR  | 45           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 56           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 778          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR   | 1            |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC  | 45           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 6788         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 45           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 1            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1            |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET  | 0            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 1            |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD   | 2            |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PSL  | 1            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 678          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 45           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 66           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 56           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  | 6788         |
|   | 7878         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   |              |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_I_str.CNT target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR | 12<br>678    |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

|  |              |                | 1-2-1-10-10 |
|--|--------------|----------------|-------------|
| Name   | Input Value  |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 45           |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 56           |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 778          |                |             |
|  | 1            |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 45           |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    |              |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 6788         |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 45           |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0            |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1            |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 0            |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1            |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 2            |                |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 1            |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 678          |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 45           |                |             |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 66           |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 56           |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 6788         |                |             |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 7878         |                |             |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 12           |                |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 678          |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 45           |                |             |
|  |              |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 56           |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 778          |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 45           |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 6788         |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 45           |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            |                |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            |                |             |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 1            |                |             |
| target i2cREG1 temp.OAR                                  | 678          |                |             |
| target i2cREG1 temp.IMR                                  | 45           |                |             |
| target_i2cREG1_temp.STR                                  | 66           |                |             |
|  | 56           |                |             |
| target_i2cREG1_temp.CLKL                                 |              |                |             |
| target_i2cREG1_temp.CLKH                                 | 6788         |                |             |
| target_i2cREG1_temp.CNT                                  | 7878         |                |             |
| target_i2cREG1_temp.DRR                                  | 12           |                |             |
| target_i2cREG1_temp.SAR                                  | 678          |                |             |
| target_i2cREG1_temp.DXR                                  | 45           |                |             |
| target_i2cREG1_temp.MDR                                  | 56           |                |             |
| target_i2cREG1_temp.IVR                                  | 778          |                |             |
| target_i2cREG1_temp.EMDR                                 | 1            |                |             |
| target_i2cREG1_temp.PSC                                  | 45           |                |             |
| target_i2cREG1_temp.PID11                                | 6788         |                |             |
| target_i2cREG1_temp.PID12                                | 45           |                |             |
| target_i2cREG1_temp.DMAC                                 | 1            |                |             |
| target_i2cREG1_temp.FUN                                  | 1            |                |             |
| target i2cREG1 temp.DIR                                  | 0            |                |             |
| target_i2cREG1_temp.DIN                                  | 1            |                |             |
| target i2cREG1 temp.DOUT                                 | 1            |                |             |
| target_i2cREG1_temp.SET                                  | 1            |                |             |
|  | 0            |                |             |
| target_i2cREG1_temp.CLR                                  |              |                |             |
| target_i2cREG1_temp.ODR                                  | 1            |                |             |
| target_i2cREG1_temp.PD                                   | 2            |                |             |
| target_i2cREG1_temp.PSL                                  | 1            |                |             |
| Name   | Actual Value | Expected Value | Result      |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08          | 2            | 2              | <b>✓</b>    |
| DigColPsInt_Buffer_Cnt_M_u08[0]                          | 1            | 1              | <b>✓</b>    |
| DigColPsInt_Buffer_Cnt_M_u08[1]                          | 5            | 5              | ✓           |
| DigColPsInt_Buffer_Cnt_M_u08[2]                          | 9            | 9              | <b>✓</b>    |
|  |              |                |             |

 ${\tt DigColPsInt\_BusBusySeqError\_Cnt\_M\_lgc}$ 

2014-10-14, 23:08:30+0530



| Name  | Actual Value  | Expected Value | Resul |
|---|---------------|----------------|-------|
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1             | 1              | •     |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0             | 0              | •     |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 56<br>90      | 56<br>90       |       |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt CurrentStepNo Cnt M enum                       | READ COMPLETE | READ COMPLETE  |       |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 64            | 64             |       |
| DigColPsInt I2CHwlncompleteCustData Uls M u16   | 65            | 65             |       |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0             | 0              |       |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 1             | 1              |       |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1             | 1              |       |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 3             | 3              |       |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1             | 1              |       |
| DigColPsInt SpurSnsrData Cnt M u16  | 261           | 261            |       |
|   | 101           | 101            |       |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 678           | 678            |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 45            | 45             |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR | 66            | 66             |       |
|   | 56            | 56             |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   |               |                |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 6788          | 6788           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 7878          | 7878           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 12            | 12             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 678           | 678            | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 45            | 45             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 56            | 56             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 778           | 778            | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 1             | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 45            | 45             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 6788          | 6788           | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 45            | 45             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 1             | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1             | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 0             | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 1             | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 1             | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1             | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 0             | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 1             | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2             | 2              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 1             | 1              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 678           | 678            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 45            | 45             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 66            | 66             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 56            | 56             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 6788          | 6788           | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 7878          | 7878           | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 12            | 12             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 678           | 678            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 45            | 45             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 56            | 56             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 778           | 778            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1             | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 45            | 45             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 6788          | 6788           | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 45            | 45             |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 1             | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1             | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0             | 0              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1             | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1             | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1             | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0             | 0              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1             | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2             | 2              |       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   | 1             | 1              |       |
| target_12c_SetRe_12cRegPtr_Cnt_T_str.PSL<br>target_12c_SetRecv_12cRegPtr_Cnt_T_str.OAR        | 678           | 678            |       |
|   | 45            | 45             |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  |               | 66             |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  | 66            |                |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 56            | 56             | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 6788          | 6788           | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 7878          | 7878           | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 12            | 12             | •     |
|   |               | 678            |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR<br>target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR      | 678<br>45     | 45             |       |

2014-10-14, 23:08:30+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 56           | 56             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 778          | 778            | <b>✓</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 45           | 45             | <u> </u> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 6788         | 6788           | · ·      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 45           | 45             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | Ž        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR | 0            | 0              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.DOUT   | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.CLR  | 0            | 0              | J        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | _        |
| target I2c SetRecv I2cRegPtr Cnt T str.PSL  | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 678          | 678            | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 45           | 45             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 66           | 66             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 56           | 56             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 6788         | 6788           | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 7878         | 7878           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 12           | 12             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 678          | 678            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 45           | 45             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 56           | 56             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 778          | 778            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 45           | 45             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 6788         | 6788           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 45           | 45             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                                 | 678          | 678            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                                 | 45           | 45             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR                                 | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                                | 56           | 56             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH                                | 6788         | 6788           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT                                 | 7878         | 7878           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR                                 | 12           | 12             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR                                 | 678          | 678            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR                                 | 45           | 45             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR                                 | 56           | 56             | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR                                 | 778          | 778            | ·        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR                                | 1            | 1              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC                                 | 45           | 45             | ·        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11                               | 6788         | 6788           |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12                               | 45           | 45             | <u> </u> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC                                | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN                                 | 1            | 1              | _        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR                                 | 0            | 0              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN                                 | 1            | 1              | ·        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT                                | 1            | 1              | · ·      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET                                 | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR                                 | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR                                 | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD                                  | 2            | 2              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL                                 | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                                | 678          | 678            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR                                | 45           | 45             | - J      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR                                | 66           | 66             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL                               | 56           | 56             | · ·      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH                               | 6788<br>7878 | 6788           | Ž        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT                                |              | 7878           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                                | 12           | 12             |          |

 $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL$ 

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 678          | 678            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 45           | 45             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 56           | 56             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 778          | 778            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 45           | 45             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 6788         | 6788           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 45           | 45             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD    | 2            | 2              | <b>✓</b> |

| Τ               |       |                          | V     |        |
|-----------------|-------|--------------------------|-------|--------|
| Actual Function | Count | Expected Function        | Count | Result |
| *none*          | 0     | *** No Call Expected *** | 0     | ~      |

1

| Test Step 2.23 (Repeat Count = 1)  |  |
|--|--|
| Name   | Input Value  |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08  | 3  |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 123  |
| DigColPsInt Buffer Cnt M u08[1]  | 145  |
| DigColPsInt Buffer Cnt M u08[2]  | 200  |
| DigColPsInt BusBusySeqError Cnt M lgc  | 1  |
| DigColPsInt CmdFailOccurred Cnt M Igc  | 1  |
| DigColPsInt ColCustDatFound Cnt M lgc  | 1  |
| DigColPsInt ColSnsrData Cnt M u16  | 566  |
| DigColPsInt CurrentSlave Cnt M u08   | 30   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT SENSOR2 READEXTERR SETREG                     |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 67   |
| DigColPsInt I2CHwIncompleteCustData Uls M u16  | 68   |
| DigColPsInt InitFailedOnce Cnt M Igc   | 1  |
| DigColPsInt NackOccured Cnt M Igc  | 1  |
| DigColPsInt PrevRegDataType Cnt M u08  | 4  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1  |
| DigColPsInt RecvdDataType Cnt M u08  | 4  |
| DigColPsInt SkipRegisterWrite Cnt M Igc  | 1  |
| DigColPsInt SpurCustDatFound Cnt M lgc   | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 129  |
| DigColPsInt TransactionCnt Cnt M u08   | 100  |
| Flags Cnt T b16  | 2  |
| 2c GenStopCond(I2cRegPtr Cnt T str)  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)  | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| 2c SetStatus(I2cRegPtr Cnt T str)  | target I2c SetStatus I2cRegPtr Cnt T str           |
| 2c SetupMasterReceive(I2cRegPtr Cnt T str)   | target I2c SetupMasterReceive I2cRegPtr Cnt T str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| C_DataRegisters_Cnt_u08[0]   | 0  |
|  | 32   |
| DataRegisters Cnt u08[2]   | 30   |
| DataRegisters Cnt u08[3]   | 36   |
| bataRegisters_Cnt_u08[4]   | 38   |
| unations_contunations_cont_unations_cont | 34   |
| DataRegisters Cnt u08[6]   | 10   |
| DataRegisters Cnt u08[7]   | 12   |
| DataRegisters Cnt u08[8]   | 14   |
| 2cREG1 temp  | target i2cREG1 temp                                |
| ColSensorI2CAddress Cnt u08  | 0  |
| SpurSensorI2CAddress Cnt u08   | 120  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.OAR  | 567  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.IMR  | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 4444   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 566  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.CLKH   | 4466   |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 129         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 6           |
|  |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR   | 567         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 566         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 4466        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 44          |
|  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 0           |
|  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR          | 567         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 44          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR          | 4444        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 566         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 4466        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 129         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 6           |
|  |             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR          | 567         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 44          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 566         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 554         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 44          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 4466        |
|  | 44          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        |             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC         | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 0           |
|  |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 567         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 4444        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 566         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 4466        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 129         |
|  |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 6           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR       | 567         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 566         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 554         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 1           |
| target I2c SetRecv I2cRegPtr Cnt T str.PSC       | 44          |
|  | 4466        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     | 44          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC      | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN       | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT      | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET       | 1           |
|  |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR       | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR       | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD        | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL       | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR     | 567         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR     | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR     | 4444        |
| g  |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            | 566         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 4466        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 129         |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 6           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 567         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 566         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 554         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 1           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 4466        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 2           |
|  | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 567         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 44          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR    | 4444        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129         |
|  | 6           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
|  | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN    | 1           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   |             |
|  | 567         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 6           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567         |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466        |
|  | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_i2cREG1_temp.OAR                                  | 567         |
|  |             |



DigColPsInt\_InterruptNotification

| Name   | Input Value  |                                 |          |
|--|--------------|---------------------------------|----------|
| target_i2cREG1_temp.IMR  | 44           |                                 |          |
| target_i2cREG1_temp.STR  | 4444         |                                 |          |
| target_i2cREG1_temp.CLKL   | 566          |                                 |          |
| target_i2cREG1_temp.CLKH   | 4466         |                                 |          |
| target_i2cREG1_temp.CNT  | 129          |                                 |          |
| target_i2cREG1_temp.DRR  | 6            |                                 |          |
| target_i2cREG1_temp.SAR  | 567          |                                 |          |
| target_i2cREG1_temp.DXR  | 44           |                                 |          |
| target_i2cREG1_temp.MDR  | 566<br>554   |                                 |          |
| target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR   | 1            |                                 |          |
| target i2cREG1 temp.PSC  | 44           |                                 |          |
| target_i2cREG1_temp.PID11  | 4466         |                                 |          |
| target i2cREG1 temp.PID12  | 44           |                                 |          |
| target_i2cREG1_temp.DMAC   | 1            |                                 |          |
| target i2cREG1 temp.FUN  | 1            |                                 |          |
| target_i2cREG1_temp.DIR  | 2            |                                 |          |
| target_i2cREG1_temp.DIN  | 0            |                                 |          |
| target_i2cREG1_temp.DOUT   | 1            |                                 |          |
| target_i2cREG1_temp.SET  | 1            |                                 |          |
| target_i2cREG1_temp.CLR  | 2            |                                 |          |
| target_i2cREG1_temp.ODR  | 0            |                                 |          |
| target_i2cREG1_temp.PD   | 3            |                                 |          |
| target_i2cREG1_temp.PSL  | 3            |                                 |          |
| Name   | Actual Value | Expected Value                  | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 3            | 3                               | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10           | 10                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 3            | 3                               | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 7            | 7                               | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc  | 1            | 1                               | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1            | 1                               | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1            | 1                               | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 566          | 566                             | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 0            | 0                               | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   |              | INIT_SENSOR1_EXTREADADDRREG_SEN |          |
| DigColPsInt_I2CHwCustData_UIs_M_u16  | 67           | 67                              | <b>✓</b> |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  | 68           | 68<br>1                         |          |
| DigColPoint_InitFailedOnce_Cnt_M_lgc   | 1            | 1                               | <b>*</b> |
| DigColPsInt_NackOccured_Cnt_M_Igc DigColPsInt_RecvOverrunError_Cnt_M_Igc                       | 1            | 1                               | ,        |
| DigColPsInt RecvdDataType Cnt M u08  | 4            | 4                               | · ·      |
| DigColPsInt_SpurCustDatFound_Cnt_M_Igc   | 1            | 1                               | -        |
| DigColPsInt SpurSnsrData Cnt M u16   | 129          | 129                             | <b>~</b> |
| DigColPsInt TransactionCnt Cnt M u08   | 100          | 100                             | -        |
| I2c_Send(Length_Cnt_T_u32)   | 3            | 3                               | •        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 3            | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566                             | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1                               | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44                              | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 4466<br>44   | 4466<br>44                      |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12   | 1            | 1                               |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN | 1<br>  1     | 1                               | J        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR   | 2            | 2                               |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN   | 0            | 0                               | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1                               | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1            | 1                               | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2                               | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0                               | <b>v</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3            | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44                              | ~        |

44

44

target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 566          | 566            |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  | 554          | 554            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 44           | 44             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 4466         | 4466           |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11 target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12        | 44           | 44             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |          |
| target I2c Send I2cRegPtr Cnt T str.DIR  | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | <b>Y</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 44           | 1<br>44        | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 4466         | 4466           |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 44           | 4400           | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | _        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR   | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | <b>~</b> |
| target I2c SetRecv I2cRegPtr Cnt T str.DOUT  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>v</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12   | 1            | 44             | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC  |              | 1              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN   | 2            | 1 2            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_1_str.DIN target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLR   | 2            | 2              | •        |
|  |              |                |          |
|  | 0            | 0              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 0 3          | 3              | <b>V</b> |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 567          | 567            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 4444         | 4444           | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129          | 129            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6            | 6              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567          | 567            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 566          | 566            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554          | 554            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44           | 44             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 2            | 2              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN    | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 2            | 2              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 0            | 0              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 3            | 3              | _        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | <b>✓</b> |
| target I2c SetupMasterTransmit I2cReqPtr Cnt T str.CNT   | 129          | 129            | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 6            | 6              | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 567          | 567            | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 44           | 44             | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 566          | 566            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | <b>~</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11 | 4466         | 4466           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 1            | 1              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ·        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 2            | 2              | ·        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 3            | 3              |          |

| T                       |       |                         | <b>✓</b> |          |
|-------------------------|-------|-------------------------|----------|----------|
| Actual Function         | Count | Expected Function       | Count    | Result   |
| I2c_GenStopCond         | 1     | I2c_GenStopCond         | 1        | ~        |
| SetupWriteData          | 1     | SetupWriteData          | 1        | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1        | <b>✓</b> |
| I2c. Send               | 1     | I2c. Send               | 1        |          |

| Test Step 2.24 (Repeat Count = 1)               |                         | ✓ |
|---|-------------------------|---|
| Name  | Input Value             |   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 4                       |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 100                     |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 200                     |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 250                     |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0                       |   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0                       |   |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0                       |   |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7                       |   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 35                      |   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_DUMMY_READ |   |



| DigCor-Sint_interruptivotinication  |  |
|---|--|
| Name  | Input Value  |
| igColPsInt_I2CHwCustData_Uls_M_u16  | 70   |
| igColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 71   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 0  |
| igColPsInt_NackOccured_Cnt_M_lgc  | 0  |
| ligColPsInt_PrevReqDataType_Cnt_M_u08   | 5  |
| ligColPsInt_RecvOverrunError_Cnt_M_lgc  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 5  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 88   |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 110  |
| lags_Cnt_T_b16  | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| DataRegisters_Cnt_u08[0]  | 0  |
| DataRegisters_Cnt_u08[1]  | 32   |
| _DataRegisters_Cnt_u08[2]   | 30   |
| _DataRegisters_Cnt_u08[3]   | 36   |
| DataRegisters_Cnt_u08[4]  | 38   |
| DataRegisters Cnt u08[5]  | 34   |
| DataRegisters Cnt u08[6]  | 10   |
| DataRegisters Cnt u08[7]  | 12   |
| _DataRegisters_Cnt_u08[8]   | 14   |
|   | target i2cREG1 temp                                |
| 2cREG1_temp   |  |
| _ColSensorI2CAddress_Cnt_u08  | 127  |
| _SpurSensorI2CAddress_Cnt_u08   | 5  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 65   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 89   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 67   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 7  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 577  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 88   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 23   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 65   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 89   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 7  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 89   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 577  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 89   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.FUN   | 0  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DIR   | 0  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DIN   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET   | 2  |
| arget I2c GenStopCond I2cRegPtr Cnt_I_str.SE1   | 0  |
| riget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR   | 1  |
|   | 2  |
| rrget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD<br>rrget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL | 0  |
|   |  |
| urget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 65   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 89   |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 67   |
| irget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL   | 7  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 577  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 88   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 23   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 65   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 7  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 44   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 577  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 89   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 2  |
|   | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |  |
|---|-------------|--|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN     | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT    | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET     | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR     | 0           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR     | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD      | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL     | 0           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 65          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 89          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 67          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL | 7           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH | 577         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 88          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 23          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  |             |  |
|   |             |  |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

| Name  | Input Value                     |                |          |
|---|---------------------------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0                               |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0                               |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1                               |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2                               |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 2                               |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 0                               |                |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR   | 1                               |                |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD  | 2                               |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 0                               |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR target_l2c SetupMasterTransmit_l2cRegPtr_Cnt_T str.IMR     | 65<br>  89                      |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.NTR  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR    | 67                              |                |          |
| target I2c SetupMasterTransmit I2cReqPtr Cnt T str.CLKL   | 7                               |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 577                             |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT  | 88                              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 23                              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65                              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 89                              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7                               |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 44                              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 2                               |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 89                              |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  | 577                             |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  | 89                              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2                               |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN  | 0                               |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0                               |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT | 2                               |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2                               |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0                               |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR  | 1                               |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2                               |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0                               |                |          |
| target_i2cREG1_temp.OAR   | 65                              |                |          |
| target_i2cREG1_temp.IMR   | 89                              |                |          |
| target_i2cREG1_temp.STR   | 67                              |                |          |
| target_i2cREG1_temp.CLKL  | 7                               |                |          |
| target_i2cREG1_temp.CLKH  | 577                             |                |          |
| target_i2cREG1_temp.CNT   | 88                              |                |          |
| target_i2cREG1_temp.DRR   | 23                              |                |          |
| target_i2cREG1_temp.SAR   | 65                              |                |          |
| target_i2cREG1_temp.DXR   | 89                              |                |          |
| target_i2cREG1_temp.MDR   | 7                               |                |          |
| target_i2cREG1_temp.IVR<br>target_i2cREG1_temp.EMDR   | 2                               |                |          |
| target i2cREG1 temp.PSC   | 89                              |                |          |
| target i2cREG1 temp.PID11   | 577                             |                |          |
| target i2cREG1 temp.PID12   | 89                              |                |          |
| target i2cREG1 temp.DMAC  | 2                               |                |          |
| target_i2cREG1_temp.FUN   | 0                               |                |          |
| target_i2cREG1_temp.DIR   | 0                               |                |          |
| target_i2cREG1_temp.DIN   | 1                               |                |          |
| target_i2cREG1_temp.DOUT  | 2                               |                |          |
| target_i2cREG1_temp.SET   | 2                               |                |          |
| target_i2cREG1_temp.CLR   | 0                               |                |          |
| target_i2cREG1_temp.ODR   | 1                               |                |          |
| target_i2cREG1_temp.PD  | 2                               |                |          |
| target_i2cREG1_temp.PSL   | 0                               |                |          |
| Name  | Actual Value                    | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 4                               | 4              | <b>V</b> |
| DigColPoint_Buffer_Cnt_M_u08[0]   | 12                              | 12             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 200<br>250                      | 200<br>250     | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                               | 0              | Ž        |
| DigColPsInt_BusBusySeqEnot_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 0                               | 0              | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0                               | 0              |          |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 7                               | 7              | <b>V</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 127                             | 127            | <b>V</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_EXTREADCTRLREG_SET |                | <b>✓</b> |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 70                              | 70             | <b>✓</b> |
| DigColPsInt I2CHwIncompleteCustData UIs M u16   | 71                              | 71             | <b>4</b> |

71

0

71

 ${\tt DigColPsInt\_InitFailedOnce\_Cnt\_M\_Igc}$ 

DigColPsInt\_I2CHwIncompleteCustData\_Uls\_M\_u16

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0            | 0              | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0            | 0              | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 5            | 5              | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0            | 0              | •        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 88           | 88             | ~        |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 110          | 110            | ~        |
| I2c_Send(Length_Cnt_T_u32)                      | 1            | 1              | <b>✓</b> |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1            | 1              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 67           | 67             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 7            | 7              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH | 577          | 577            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 88           | 88             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 23           | 23             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 65           | 65             | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 89           | 89             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 7            | 7              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR | 2            | 2              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC  | 89           | 89             |          |

2014-10-14, 23:08:30+0530



| Digoon ont_menapavounouson  |              |                |          |
|---|--------------|----------------|----------|
| Name  | Actual Value | Expected Value | Result   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ¥        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN                           | 0            | 0              | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.DOUT   | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 67           | 67             | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH   | 577<br>88    | 577<br>88      | -        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR                       | 23           | 23             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 65           | 65             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 89           | 89             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 7            | 7              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1 2          | 2              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET                      | 2            | 2              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR     | 65<br>89     | 65<br>89       | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.EMDR  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 577          | 577            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR     | 0            | 0              | ~        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DDR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD      | 2            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 88           | 88             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 23           | 23             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65           | 65             | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 89<br>7      | 89<br>7        | <b>*</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 44           | 44             |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.tvR  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR | 2            | 2              | ~        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC  | 89           | 89             |          |
|   | 1            | 1=-            |          |

2014-10-14, 23:08:30+0530



| DigColPsInt_InterruptNotification |  |
|-----------------------------------|--|
|                                   |  |
|                                   |  |

| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 577          | 577            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~        |

| T .                     |       |                         | V     |        |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | •      |
| I2c_Send                | 1     | I2c_Send                | 1     | •      |

| Test Step 2.25 (Repeat Count = 1)               | ✓  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 5  |
| DigColPsInt Buffer Cnt M u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| DigColPsInt Buffer Cnt M u08[2]                 | 30   |
| DigColPsInt BusBusySeqError Cnt M Igc           | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt ColCustDatFound Cnt M Igc           | 1  |
| DigColPsInt ColSnsrData Cnt M u16               | 554  |
| DigColPsInt CurrentSlave Cnt M u08              | 40   |
| DigColPsInt CurrentStepNo Cnt M enum            | INIT SENSOR2 READERROR READ                        |
| DigColPsInt I2CHwCustData Uls M u16             | 73   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 74   |
| DigColPsInt InitFailedOnce Cnt M Igc            | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| DigColPsInt PrevReqDataType Cnt M u08           | 0  |
| DigColPsInt RecvOverrunError Cnt M Igc          | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 1  |
| DigColPsInt SkipRegisterWrite Cnt M Igc         | 1  |
| DigColPsInt SpurCustDatFound Cnt M Igc          | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 123  |
| DigColPsInt TransactionCnt Cnt M u08            | 120  |
| Flags_Cnt_T_b16                                 | 2  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target I2c Send I2cRegPtr Cnt T str                |
| I2c SetRecv(I2cRegPtr Cnt T str)                | target I2c SetRecv I2cRegPtr Cnt T str             |
| I2c SetStatus(I2cRegPtr Cnt T str)              | target I2c SetStatus I2cRegPtr Cnt T str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target I2c SetupMasterReceive I2cRegPtr Cnt T str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| T DataRegisters Cnt u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T DataRegisters Cnt u08[3]                      | 36   |
| T_DataRegisters_Cnt_u08[4]                      | 38   |
| T_DataRegisters_Cnt_u08[5]                      | 34   |
| T DataRegisters Cnt u08[6]                      | 10   |
| T_DataRegisters_Cnt_u08[7]                      | 12   |
| T_DataRegisters_Cnt_u08[8]                      | 14   |
| i2cREG1 temp                                    | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                   | 111  |
| k SpurSensorl2CAddress Cnt u08                  | 10   |
| target I2c GenStopCond I2cRegPtr Cnt T str.OAR  | 54   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR  | 8  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 554  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH | 344  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkH  | 123  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 45   |
| target I2c GenStopCond I2cRegPtr Cnt T str.SAR  | 54   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66   |
| a.get_i_e_enterpoorid_izortogr u_ont_i_on.b/ut  |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |  |
|---|-------------|--|
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 554         |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 788         |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66          |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 344         |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66          |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 3           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 3           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 1           |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 2           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 54          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 66          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 8           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 554         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 344         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 123         |  |
| arget I2c Send I2cRegPtr Cnt T str.DRR          | 45          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 54          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 66          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 554         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 788         |  |
| arget I2c Send I2cRegPtr Cnt T str.EMDR         | 3           |  |
| · ·   | 66          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 344         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        |             |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 66          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 3           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 3           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 3           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 3           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 2           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 1           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 2           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 54          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 8           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 554         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 344         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 123         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 45          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 54          |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.DXR       | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 554         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 788         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 344         |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.PID12     | 66          |  |
| arget   12c SetRecv   12cRegPtr Cnt T str.DMAC  | 3           |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC      | 1           |  |
|   | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       |             |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN       | 2           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT      | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET       | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR       | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR       | 2           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD        | 1           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL       | 2           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR     | 54          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR     | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR     | 8           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL    | 554         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH    | 344         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT     | 123         |  |
|   | 45          |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 54          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 554         |
| target I2c SetStatus I2cRegPtr Cnt T str.IVR             | 788         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 344         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3           |
|  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 54          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 8           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 344         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 123         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 45          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 54          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 788         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET    | 3           |
|  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 54          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2           |
| target_i2cREG1_temp.OAR                                  | 54          |
| target_i2cREG1_temp.IMR                                  | 66          |
| target_i2cREG1_temp.STR                                  | 8           |
| target_i2cREG1_temp.CLKL                                 | 554         |
| target_i2cREG1_temp.CLKH                                 | 344         |
|  |             |



| Name         Input Value           target_i2cREG1_temp.CNT         123           target_i2cREG1_temp.DRR         45           target_i2cREG1_temp.SAR         54 |          |
|--|----------|
| target_i2cREG1_temp.SAR 54   |          |
|  |          |
| I I O DEGLE DVD  |          |
| target_i2cREG1_temp.DXR 66   |          |
| target_i2cREG1_temp.MDR 554  |          |
| target_i2cREG1_temp.IVR 788 target_i2cREG1 temp.EMDR 3   |          |
| target_izcREG1_temp.PSC 66   |          |
| target i2cREG1 temp.PID11 344  |          |
| target_i2cREG1_temp.PID12 66   |          |
| target_i2cREG1_temp.DMAC 3   |          |
| target_i2cREG1_temp.FUN 1  |          |
| target_i2cREG1_temp.DIR 3  |          |
| target_i2cREG1_temp.DIN 2  |          |
| target_i2cREG1_temp.DOUT 3   |          |
| target_i2cREG1_temp.SET 3 target_i2cREG1_temp.CLR 3  |          |
| target_izcREG1_temp.ODR 2  |          |
| target i2cREG1 temp.PD 1   |          |
| target_i2cREG1_temp.PSL 2  |          |
| Name Actual Value Expected Value   | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 5  | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0] 10 10  | •        |
| DigColPsInt_Buffer_Cnt_M_u08[1]         3         3  | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2] 7 7  | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc 1  | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc 1 1  | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1           DigColPsInt ColSnsrData Cnt M u16         554         554                                    | <b>✓</b> |
| DigColPsInt_ColSnsrData_Cnt_M_u16         554         554           DigColPsInt_CurrentSlave_Cnt_M_u08         111         111                                   |          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum INIT_SENSOR1_EXTREADADDRREG_SEN_INIT_SENSOR1_EXTREADADDRREG_S   |          |
| DigColPsInt_I2CHwCustData_Uls_M_u16 73 73  | _        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 74 74  | <b>~</b> |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc 1   | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc 1  | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc 1   | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08 1  | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc 1 1   | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16 123 123  DigColPsInt TransactionCnt Cnt M u08 120 120   | ~        |
| DigColPsInt_TransactionCnt_Cnt_M_u08         120         120           I2c Send(Length Cnt T u32)         3         3  | -        |
| I2c SetupMasterTransmit(DataLength Cnt T u16) 3 3  |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.OAR 54  | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR 66 66   | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR 8   | •        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL 554 554  | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH 344 344  | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT 123 123   | <b>Y</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR 45 45 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR 54 54  | <b>*</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR 54 54 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR 66 66  | -        |
| target I2c GenStopCond I2cRegPtr Cnt T str.MDR 554 554   | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR 788 788   | ~        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.EMDR 3 3  | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC 66 66   | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11 344 344   | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12 66 66   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC 3  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN 1 1   | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR 3 3 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN 2 2  | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT 3 3  |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET 3 3   | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR 3 3   | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR 2   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD 1  | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL 2   | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR 54   | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR 66 66  | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR 8 8  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       554       554         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       344       344                                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH       344       344         target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT       123       123                                 | -        |
|  |          |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 45           | 45             | <u> </u> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 54           | 54             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 554          | 66<br>554      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR<br>target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                           | 788          | 788            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |          |
| target I2c Send I2cRegPtr Cnt T str.PSC  | 66           | 66             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 344          | 344            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | <b>-</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 1 2          | 1 2            |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL<br>target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR                        | 54           | 54             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             |          |
| target I2c SetRecv I2cRegPtr Cnt T str.STR   | 8            | 8              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 344          | 344            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | <b>-</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN   | 3            | 1 3            |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN                        | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.CLR   | 3            | 3              | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.ODR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45<br>54       | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 54<br>66     | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR                    | 554          | 554            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 344          | 344            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | <u> </u> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 54           | 54             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL | 8<br>554     | 8<br>554       | •        |
|  |              |                |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 344          | 344            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 123          | 123            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 45           | 45             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 54           | 54             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 554          | 554            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 788          | 788            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344          | 344            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344          | 344            | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | <b>~</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>~</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 2              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD    | 2            | 1 2            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   |              |                |          |

| Т                       |       |                         | V     |        |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| I2c_GenStopCond         | 1     | I2c_GenStopCond         | 1     | ~      |
| SetupWriteData          | 1     | SetupWriteData          | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~      |
| I2c_Send                | 1     | I2c_Send                | 1     | ~      |

| Test Step 2.26 (Repeat Count = 1)               |                                  |
|---|----------------------------------|
| Name  | Input Value                      |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 0                                |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123                              |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145                              |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200                              |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0                                |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0                                |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0                                |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2767                             |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 45                               |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADCTRLREG_READ |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 76                               |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 77                               |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0                                |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0                                |



| DigCorsini_interruptivotincation  | ( CAC ) ( CAC )                                    |
|---|--|
| Name  | Input Value  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 2  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 2  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 564  |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 130  |
| Flags_Cnt_T_b16   | 32   |
| 2c GenStopCond(I2cRegPtr Cnt T str)   | target I2c GenStopCond I2cRegPtr Cnt T str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | target I2c Send I2cRegPtr Cnt T str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| 2c SetStatus(I2cRegPtr Cnt T str)   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  |  |
|   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]   | 0  |
| _DataRegisters_Cnt_u08[1]   | 32   |
| _DataRegisters_Cnt_u08[2]   | 30   |
| _DataRegisters_Cnt_u08[3]   | 36   |
| _DataRegisters_Cnt_u08[4]   | 38   |
| _DataRegisters_Cnt_u08[5]   | 34   |
| _DataRegisters_Cnt_u08[6]   | 10   |
| _DataRegisters_Cnt_u08[7]   | 12   |
|   | 14   |
| 2cREG1_temp   | target_i2cREG1_temp                                |
| _ColSensorI2CAddress_Cnt_u08  | 7  |
| _SpurSensorI2CAddress_Cnt_u08   | 123  |
|   | 3  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 7788   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2767   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 564  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 88   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2767   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 9  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 0  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.PSC   | 100  |
|   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 2  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.SET   | 0  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.CLR   | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 0  |
| riget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL   | 3  |
|   | 3 3  |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   |  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 100  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 7788   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2767   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 556  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 564  |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 88   |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 3  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 100  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2767   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 9  |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  | 0  |
|   | 100  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   |  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 556  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 100  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1  |
|   | 3  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   |  |
|   | 2  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DIN<br>arget_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT<br>arget_l2c_Send_l2cRegPtr_Cnt_T_str.SET | 2 0  |

2014-10-14, 23:08:30+0530



| DigColPSint_Interruptivotilication  |             |  |
|---|-------------|--|
| Name  | Input Value |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 3           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 100         |  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 7788        |  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2767        |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 556         |  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 564         |  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 88          |  |
| target I2c SetRecv I2cRegPtr Cnt T str.SAR  | 3           |  |
| target I2c SetRecv I2cRegPtr Cnt T str.DXR  | 100         |  |
|   |             |  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2767        |  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 9           |  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 0           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 100         |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 556         |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   | 100         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 2           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 0           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 2           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 0           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0           |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.PSL   | 3           |  |
| rarget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 3           |  |
| rarget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 100         |  |
| rarget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 7788        |  |
| rarget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2767        |  |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKH  | 556         |  |
|   |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 564         |  |
| rarget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 88          |  |
| rarget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 100         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2767        |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 9           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 0           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 100         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 556         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 100         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 2           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 0           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1           |  |
| arget I2c SetStatus I2cRegPtr Cnt T str.ODR   | 3           |  |
| arget I2c SetStatus I2cRegPtr Cnt T str.PD  | 0           |  |
| arget I2c SetStatus I2cRegPtr Cnt T str.PSL   | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 3           |  |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str.IMR  | 100         |  |
|   |             |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 7788        |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2767        |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 556         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 564         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 88          |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 100         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2767        |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 9           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 100         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 556         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 100         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2           |  |
|   | 0           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  |             |  |
|   | 3           |  |
| <pre>larget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN larget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT</pre> | 2           |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value   |   |                 |
|---|---|---|-----------------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 0   |   |                 |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR   | 1   |   |                 |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR   | 3   |   |                 |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 0   |   |                 |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 3   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 7788  |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 2767  |   |                 |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH   | 556   |   |                 |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT  | 564   |   |                 |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 88  |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 3   |   |                 |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR  | 100   |   |                 |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR  | 2767  |   |                 |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR  | 9   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 100   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 556   |   |                 |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12  | 100   |   |                 |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC   | 2   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1   |   |                 |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN  | 3   |   |                 |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT   | 2   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0   |   |                 |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3   |   |                 |
| target_i2cREG1_temp.OAR   | 3   |   |                 |
| target_i2cREG1_temp.IMR   | 100   |   |                 |
| target_i2cREG1_temp.STR   | 7788  |   |                 |
| target_i2cREG1_temp.CLKL  | 2767  |   |                 |
| target_i2cREG1_temp.CLKH  | 556   |   |                 |
| target_i2cREG1_temp.CNT   | 564   |   |                 |
| target_i2cREG1_temp.DRR   | 88  |   |                 |
| target_i2cREG1_temp.SAR   | 3   |   |                 |
| target_i2cREG1_temp.DXR   | 100   |   |                 |
| target_i2cREG1_temp.MDR   | 2767  |   |                 |
| target_i2cREG1_temp.IVR   | 9   |   |                 |
| target_i2cREG1_temp.EMDR  | 0   |   |                 |
| target_i2cREG1_temp.PSC   | 100   |   |                 |
| target_i2cREG1_temp.PID11   | 556   |   |                 |
| target_i2cREG1_temp.PID12   | 100   |   |                 |
| target_i2cREG1_temp.DMAC  | 2   |   |                 |
| target_i2cREG1_temp.FUN   | 0   |   |                 |
| target_i2cREG1_temp.DIR   | 3   |   |                 |
| target_i2cREG1_temp.DIN<br>target_i2cREG1_temp.DOUT   | 2   |   |                 |
|   | 0   |   |                 |
| target_i2cREG1_temp.SET target_i2cREG1_temp.CLR   | 1   |   |                 |
| target i2cREG1 temp.ODR   | 3   |   |                 |
| target_i2cREG1_temp.PD  | 0   |   |                 |
| target_i2cREG1_temp.PSL   | 3   |   |                 |
| Name  | Actual Value  | Expected Value  | Result          |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 1   | 1   | Result          |
| DigColPsInt_Attempoccum orcustDativeau_Crit_wi_uoo  | 12  | 12  | •               |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 145   | 145   |                 |
| DigColPsInt Buffer Cnt M u08[2]   | 200   | 200   | •               |
| DigColPsInt BusBusySegError Cnt M Igc   | 0   | 0   |                 |
| DigColPsInt CmdFailOccurred Cnt M Igc   | 0   | 0   | •               |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   |   | 0   | -               |
|   | 1 ()  |   | <b>✓</b>        |
| DigColPsInt ColSnsrData Cnt M u16   | 2767  | 2767  |                 |
| DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08  | 2767  | 2767  | _               |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 2767<br>7   | 7   | •               |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum   | 2767<br>7<br>INIT_SENSOR1_EXTREADCTRLREG_SET                  | 7<br>INIT_SENSOR1_EXTREADCTRLREG_SET                  |                 |
| DigColPsInt_CurrentStave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16   | 2767<br>7   | 7   | •               |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 2767<br>7<br>INIT_SENSOR1_EXTREADCTRLREG_SET<br>76<br>77      | 7<br>INIT_SENSOR1_EXTREADCTRLREG_SET<br>76<br>77      | <b>V</b>        |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 2767<br>7<br>INIT_SENSOR1_EXTREADCTRLREG_SET<br>76            | 7<br>INIT_SENSOR1_EXTREADCTRLREG_SET<br>76            | \<br>\<br>\     |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 2767<br>7<br>INIT_SENSOR1_EXTREADCTRLREG_SET<br>76<br>77<br>0 | 7<br>INIT_SENSOR1_EXTREADCTRLREG_SET<br>76<br>77<br>0 |                 |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc  | 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0                | 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0           | \(\frac{1}{2}\) |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc | 2767 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0            | 7 INIT_SENSOR1_EXTREADCTRLREG_SET 76 77 0 0 0         |                 |

2014-10-14, 23:08:30+0530



| Name  | Actual Value                     | Expected Value         | Result   |
|---|----------------------------------|------------------------|----------|
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 564                              | 564                    | ~        |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 130                              | 130                    | ~        |
| I2c_Send(Length_Cnt_T_u32)  | 1                                | 1                      | <b>~</b> |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1                                | 1                      | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 3                                | 3                      | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 100                              | 100                    | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 7788<br>2767                     | 7788<br>2767           |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 556                              | 556                    |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 564                              | 564                    |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 88                               | 88                     |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 3                                | 3                      |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.DXR  | 100                              | 100                    |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2767                             | 2767                   |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 9                                | 9                      | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 0                                | 0                      |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 100                              | 100                    | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 556                              | 556                    |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 100                              | 100                    | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 2                                | 2                      |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.FUN  | 0                                | 0                      | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1                                | 1                      |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 3                                | 3                      |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 2                                | 2                      |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 0                                | 0                      |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLR  | 1                                | 1                      |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 3                                | 3                      | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 0                                | 0                      |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3                                | 3                      | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 3                                | 3                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 100                              | 100                    | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 7788                             | 7788                   | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2767                             | 2767                   | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 556                              | 556                    | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 564                              | 564                    | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 88                               | 88                     | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 3                                | 3                      | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 100                              | 100                    | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2767                             | 2767                   | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.IVR   | 9                                | 9                      | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0                                | 0                      | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 100                              | 100                    | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 556                              | 556                    | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 100                              | 100                    | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2                                | 2                      | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0                                | 0                      | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1                                | 1                      | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3                                | 3                      | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 2                                | 2                      | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 0                                | 0                      | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1                                | 1                      | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 3                                | 3                      | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0                                | 0                      | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                                | 3                      | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 3                                | 3                      | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 100                              | 100                    | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 7788                             | 7788                   | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2767                             | 2767                   | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 556                              | 556                    | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 564                              | 564                    | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 88                               | 88                     | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 3                                | 3                      | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 100                              | 100                    | •        |
| tangot_120_00a toot_120 tog: a_ont_1_oa127a t   | 2767                             | 2767                   | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  |                                  | 9                      | <b>✓</b> |
|   | 9                                |                        |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 0                                | 0                      |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 0 100                            | 100                    | •        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 0<br>100<br>556                  | 100<br>556             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 0<br>100<br>556<br>100           | 100<br>556<br>100      | 0        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC  | 0<br>100<br>556<br>100<br>2      | 100<br>556<br>100<br>2 |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN | 0<br>100<br>556<br>100<br>2<br>0 | 100<br>556<br>100<br>2 |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC  | 0<br>100<br>556<br>100<br>2      | 100<br>556<br>100<br>2 |          |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 0            | 0              | <b>~</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  | 3            | 0              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL                            | 3            | 3              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3              |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.IMR  | 100          | 100            | ·        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2767         | 2767           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 556          | 556            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 88           | 88             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 100          | 100            | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 9            | 9              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 100          | 100            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | <b>Y</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD                        | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3              | <u> </u> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR   | 100          | 100            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           | ·        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 564          | 564            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>Y</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | <b>✓</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.NRR  | 7788         | 7788           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 2767         | 2767           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 556          | 556            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 88           | 88             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 100          | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 9            | 9              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 100          | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | <b>✓</b> |
|   |              |                |          |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ✓        |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | <b>✓</b> |

| Test Step 2.27 (Repeat Count = 1)  |  |
|--|--|
| Name   | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                            | 11   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 100  |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 200  |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 250  |
| DigColPsInt BusBusySeqError Cnt M lgc                                      | 1  |
| DigColPsInt_BusBusySeqEndi_Cnt_M_igc DigColPsInt_CmdFailOccurred_Cnt_M_igc | 1  |
|  | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                                      | 7846   |
| DigColPsInt_ColSnsrData_Cnt_M_u16  |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 10   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                                       | INIT_SENSOR2_EXTREADCTRLREG_READ                   |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 79   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                              | 80   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                                       | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08                                      | 3  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                                     | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 3  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc                                    | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                                     | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 98   |
| DigColPsInt_TransactionCnt_Cnt_M_u08                                       | 12   |
| Flags_Cnt_T_b16  | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                                 | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                                | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]   | 0  |
| Γ_DataRegisters_Cnt_u08[1]   | 32   |
| Γ_DataRegisters_Cnt_u08[2]   | 30   |
| Γ_DataRegisters_Cnt_u08[3]   | 36   |
| Γ_DataRegisters_Cnt_u08[4]   | 38   |
| Γ_DataRegisters_Cnt_u08[5]   | 34   |
| Γ_DataRegisters_Cnt_u08[6]   | 10   |
| uataRegisters_Cnt_u08[7]   | 12   |
| andvivivivivivivivivi  | 14   |
| 2cREG1 temp  | target_i2cREG1_temp                                |
| ColSensorI2CAddress Cnt u08  | 11   |
| SpurSensori2CAddress Cnt u08   | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                              | 10   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.IMR                              | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                              | 1223   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                             | 7846   |
| arget   12c GenStopCond   12cRegPtr  | 8974   |
| · · - ·  | 98   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                              |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                              | 12   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                              | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                              | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                              | 7846   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR                             | 55   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR                            | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                             | 10   |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 8974        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 10          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 1223        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 7846        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 8974        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 98          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 12          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 7846        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 55          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 8974        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 1223        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 7846        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 8974        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 98          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 12          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 7846        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 8974        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN       | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT      | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET       | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR       | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR       | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD        | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL       | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR     | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR     | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR     | 1223        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL    | 7846        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH    | 8974        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT     | 98          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR     | 12          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR     | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR     | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR     | 7846        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR     | 55          |
| 0  |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 8974        |
| target I2c SetStatus I2cRegPtr Cnt T str.PID12           | 10          |
| target I2c SetStatus I2cRegPtr Cnt T str.DMAC            | 1           |
|  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.CLR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 1           |
|  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 1223        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7846        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 8974        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 98          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 12          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 10          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 10          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR    | 7846        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 10          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11  | 8974        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID12  | 10          |
|  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 1           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 1           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 1223        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7846        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 8974        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 98          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12          |
|  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 10          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7846        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 8974        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 10          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1           |
|  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1           |
| target_i2cREG1_temp.OAR                                  | 10          |
| target_i2cREG1_temp.IMR                                  | 10          |
| target_i2cREG1_temp.STR                                  | 1223        |
| target_i2cREG1_temp.CLKL                                 | 7846        |
| target i2cREG1 temp.CLKH                                 | 8974        |
| target_i2cREG1_temp.CNT                                  | 98          |
|  |             |
| target_i2cREG1_temp.DRR                                  | 12          |
| target_i2cREG1_temp.SAR                                  | 10          |
| target_i2cREG1_temp.DXR                                  | 10          |
|  |             |



| Name   | Input Value  |          |
|--|--|----------|
| target i2cREG1 temp.MDR  | 7846   |          |
| target_i2cREG1_temp.IVR  | 55   |          |
| target i2cREG1 temp.EMDR   | 1  |          |
| target_i2cREG1_temp.PSC  | 10   |          |
| target_i2cREG1_temp.PID11  | 8974   |          |
| target_i2cREG1_temp.PID12  | 10   |          |
| target_i2cREG1_temp.DMAC   | 1  |          |
| target_i2cREG1_temp.FUN  | 1  |          |
| target_i2cREG1_temp.DIR  | 2  |          |
| target_i2cREG1_temp.DIN  | 1  |          |
| target_i2cREG1_temp.DOUT   | 1  |          |
| target_i2cREG1_temp.SET  | 1  |          |
| target_i2cREG1_temp.CLR  | 2  |          |
| target_i2cREG1_temp.ODR  | 1  |          |
| target_i2cREG1_temp.PD   | 1  |          |
| target_i2cREG1_temp.PSL  | 1  | 1        |
| Name   | Actual Value Expected Value                              | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                          | 12 12  | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 14 14  | <b>~</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 200 200  | · ·      |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 250 250  |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                                    | 1 1  | · ·      |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                                    | 1 1  | Ž        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                                    | 1 1 7846 7846  |          |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 7846 7846<br>11 11                                       |          |
| DigColPsInt_CurrentSlave_Cnt_M_u08                                       | INIT SENSOR1 EXTREADDATREG SETR INIT SENSOR1 EXTREADDATR |          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 | 79 79  | EG SEIR  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                            | 80 80  |          |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                                     | 1 1  |          |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1 1  |          |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                                   | 1 1  |          |
| DigColPsInt_RecvdDataType_Cnt_M_u08                                      | 3  | _        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                                   | 1 1  |          |
| DigColPsInt SpurSnsrData Cnt M u16                                       | 98 98  | ~        |
| DigColPsInt_TransactionCnt_Cnt_M_u08                                     | 12 12  |          |
| I2c_Send(Length_Cnt_T_u32)   | 1 1  | <b>~</b> |
| I2c SetupMasterTransmit(DataLength Cnt T u16)                            | 1  | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                           | 10 10  | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                           | 10 10  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                           | 1223   | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                          | 7846 7846  | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                          | 8974   | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                           | 98   | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                           | 12   | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                           | 10 10  | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                           | 10   | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                           | 7846 7846  | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                           | 55 55  | ✓        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR                          | 1  | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                           | 10 10  | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                         | 8974   | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                         | 10 10  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                          | 1  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                           | 1  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                           | 2  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                           | 1  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                          | 1  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                           | 1  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                           | 2  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                           | 1  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                            | 1  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                           | 1  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                                  | 10 10  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                                  | 10   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                  | 1223   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                 | 7846 7846  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                                 | 8974   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                                  | 98   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                                  | 12 12  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                                  | 10 10  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                                  | 10 10  | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                  | 7846   | <b>✓</b> |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value                 | Result   |
|--|--------------|--------------------------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                  | 55           | 55                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                 | 1            | 1                              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                  | 10           | 10                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                | 8974         | 8974                           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                | 10 tar       | get_l2c_c SetR <sub>i0</sub> c | V2.1 🍑   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                 | 1            | 1                              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                  | 1            | 1                              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                  | 2            | 2                              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                  | 1            | 1                              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                 | 1            | 1                              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                  | 1            | 1                              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                  | 2            | 2                              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                  | 1            | 1                              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                   | 1            | 1                              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                  | 1            | 1                              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR               | 10           | 10                             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR               | 10           | 10                             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR               | 1223         | 1223                           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL              | 7846         | 7846                           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH              | 8974         | 8974                           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT               | 98           | 98                             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR               | 12           | 12                             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR               | 10           | 10                             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR               | 10           | 10                             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR               | 7846         | 7846                           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR               | 55           | 55                             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR              | 1            | 1                              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC               | 10           | 10                             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11             | 8974         | 8974                           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12             | 10           | 10                             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC              | 1            | 1                              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN               | 1            | 1                              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR               | 2            | 2                              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN               | 1            | 1                              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT              | 1            | 1                              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET               | 1            | 1                              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR               | 2            | 2                              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR               | 1            | 1                              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                | 1            | 1                              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL               | 1            | 1                              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR             | 10           | 10                             |          |
| tanget_li2e_SetSt@ss_li2eRegPtr_Crit_T_str.lMR late V2.1 | <b>1</b> 0   | 10                             |          |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value F | Result   |
|---|--------------|------------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10               | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55               | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10               | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 8974         | 8974             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 10           | 10               | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 1            | 1                | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 1            | 1                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1                | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 10           | 10               | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 10           | 10               | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 1223         | 1223             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 7846         | 7846             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 8974         | 8974             |          |

#### 2014-10-14, 23:08:30+0530



| Name   | Input Value  |  |
|--|--|--|
| DigColPsInt_SpurSnsrData_Cnt_M_u16               | 487  |  |
| DigColPsInt_TransactionCnt_Cnt_M_u08             | 13   |  |
| Flags_Cnt_T_b16                                  | 32   |  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |  |
| I2c_Send(I2cRegPtr_Cnt_T_str)                    | target_l2c_Send_l2cRegPtr_Cnt_T_str                |  |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |  |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |  |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |  |
| T_DataRegisters_Cnt_u08[0]                       | 0  |  |
| T_DataRegisters_Cnt_u08[1]                       | 32   |  |
| T_DataRegisters_Cnt_u08[2]                       | 30   |  |
| T_DataRegisters_Cnt_u08[3]                       | 36   |  |
| T_DataRegisters_Cnt_u08[4]                       | 38   |  |
| T_DataRegisters_Cnt_u08[5]                       | 34   |  |
| T_DataRegisters_Cnt_u08[6]                       | 10   |  |
| T_DataRegisters_Cnt_u08[7]                       | 12   |  |
| T_DataRegisters_Cnt_u08[8]                       | 14   |  |
| i2cREG1_temp                                     | target_i2cREG1_temp                                |  |
| k_ColSensorl2CAddress_Cnt_u08                    | 15   |  |
| k_SpurSensorI2CAddress_Cnt_u08                   | 110  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 34   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 24   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 455  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 847  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 987  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 487  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 34   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 34   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 24   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 847  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 56   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 2  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 24   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 987  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 24   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 3  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 3  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 2  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 3  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 3  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 2  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 2  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 34   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 24   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 455  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 847  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 987  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 487  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 34   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 34   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 24   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 847  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 56   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 2  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 24   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 987  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 24   |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 2  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 0  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 3  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 3  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 2  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 2  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 3  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 3  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 2  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 2  |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 34   |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 24   |  |
| 0  |  |  |

2014-10-14, 23:08:30+0530



| DigCoiPSint_interruptivotilication   |             |  |
|--|-------------|--|
| lame   | Input Value |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.STR  | 455         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 847         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 987         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 487         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 34          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 34          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 24          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 847         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 56          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 2           |  |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.PSC  | 24          |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.PID11  | 987         |  |
|  | 24          |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 2           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 0           |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN  | 3           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   |             |  |
| irget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 3           |  |
| irget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 2           |  |
| rget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET   | 2           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 3           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 2           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 2           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 34          |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 24          |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 455         |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 847         |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 987         |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 487         |  |
| rget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR   | 34          |  |
| rrget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 34          |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 24          |  |
| irget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 847         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 56          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 24          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 987         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 24          |  |
| arget I2c SetStatus I2cRegPtr Cnt T str.DMAC   | 2           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 3           |  |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.DIN  | 3           |  |
|  | 2           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET | 2           |  |
|  | 3           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   |             |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 3           |  |
| rget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD  | 2           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 2           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                                      | 34          |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                                      | 24          |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR                                      | 455         |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                                     | 847         |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH                                     | 987         |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT                                      | 487         |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR                                      | 34          |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR                                      | 34          |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR                                      | 24          |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR                                      | 847         |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR                                      | 56          |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR                                     | 2           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC                                      | 24          |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11                                    | 987         |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12                                    | 24          |  |
| rget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC                                     | 2           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN                                      | 0           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR                                      | 3           |  |
| rget_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN                                      | 3           |  |
|  |             |  |
| rrget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT                                    | 2           |  |
| rrget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET                                     | 2           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR                                      | 3           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR                                      | 3           |  |
|  |             |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD                                      | 2 2         |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value  |                |        |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 34           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 24           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 455          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 847          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 987          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 487          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 34           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 34           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 24           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 847          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 56           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 24           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 987          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 24           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 3            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD    | 2            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 2            |                |        |
| target i2cREG1 temp.OAR                                  | 34           |                |        |
| target i2cREG1 temp.IMR                                  | 24           |                |        |
| target i2cREG1 temp.STR                                  | 455          |                |        |
| target i2cREG1 temp.CLKL                                 | 847          |                |        |
| target i2cREG1 temp.CLKH                                 | 987          |                |        |
| target i2cREG1 temp.CNT                                  | 487          |                |        |
| target i2cREG1 temp.DRR                                  | 34           |                |        |
| target i2cREG1 temp.SAR                                  | 34           |                |        |
| target i2cREG1 temp.DXR                                  | 24           |                |        |
| target_i2cREG1_temp.MDR                                  | 847          |                |        |
| target_i2cREG1_temp.IVR                                  | 56           |                |        |
| target i2cREG1 temp.EMDR                                 | 2            |                |        |
| target i2cREG1 temp.PSC                                  | 24           |                |        |
| target i2cREG1 temp.PID11                                | 987          |                |        |
| target i2cREG1 temp.PID12                                | 24           |                |        |
| target i2cREG1 temp.DMAC                                 | 2            |                |        |
| target i2cREG1 temp.FUN                                  | 0            |                |        |
| target i2cREG1 temp.DIR                                  | 3            |                |        |
| target i2cREG1_temp.DIN                                  | 3            |                |        |
| target i2cREG1 temp.DOUT                                 | 2            |                |        |
| target i2cREG1_temp.boo1                                 | 2            |                |        |
| target i2cREG1_temp.CLR                                  | 3            |                |        |
| target i2cREG1_temp.ODR                                  | 3            |                |        |
|  | 2            |                |        |
| target_i2cREG1_temp.PD<br>target_i2cREG1_temp.PSL        | 2            |                |        |
| Name   | Actual Value | Expected Value | Pocult |

| 2                               |   |              |
|---------------------------------|---|--------------|
| Actual Value                    | Expected Value  | Result       |
| 6                               | 6   | ~            |
| 12                              | 12  | •            |
| 5                               | 5   | ~            |
| 9                               | 9   | ~            |
| 0                               | 0   | ~            |
| 0                               | 0   | ~            |
| 0                               | 0   | ~            |
| 847                             | 847   | ~            |
| 15                              | 15  | ~            |
| INIT_SENSOR1_EXTREADCTRLREG_SET | INIT_SENSOR1_EXTREADCTRLREG_SET   | ~            |
| 82                              | 82  | ~            |
| 83                              | 83  | ~            |
| 1                               | 1   | ~            |
| 0                               | 0   | ~            |
| 0                               | 0   | ~            |
| 4                               | 4   | ~            |
| 1                               | 1   | ~            |
| 487                             | 487   | ~            |
| 13                              | 13  | ~            |
| 1                               | 1   | <b>✓</b>     |
| 1                               | 1   | ~            |
| 34                              | 34  | ~            |
|                                 | Actual Value 6 12 5 9 0 0 0 847 15 INIT_SENSOR1_EXTREADCTRLREG_SET 82 83 1 0 0 0 4 1 487 13 1 1 | Actual Value |

2014-10-14, 23:08:30+0530



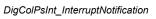
| Name  | Actual Value          | Expected Value   | Result                                  |
|---|-----------------------|------------------|---|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 24                    | 24               | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 455<br>847            | 455<br>847       | <b>V</b>                                |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH   | 987                   | 987              | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 487                   | 487              | -                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 34                    | 34               | <b>✓</b>                                |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 34                    | 34               | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 24                    | 24               | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 847                   | 847              | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 56                    | 56               | <b>~</b>                                |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 2                     | 2                | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 24                    | 24               | <b>V</b>                                |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 987                   | 987<br>24        | <b>~</b>                                |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12<br>target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC   | 2                     | 2                |   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 0                     | 0                | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 3                     | 3                | -                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 3                     | 3                | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 2                     | 2                | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 2                     | 2                | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 3                     | 3                | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 3                     | 3                | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2                     | 2                | ~                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 2                     | 2                | <b>*</b>                                |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 34                    | 34               |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 24<br>455             | 24<br>455        | Ž                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c Send_l2cRegPtr_Cnt_T str.CLKL  | 847                   | 847              | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 987                   | 987              |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 487                   | 487              | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 34                    | 34               | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 34                    | 34               | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 24                    | 24               | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 847                   | 847              | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 56                    | 56               | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2                     | 2                | <b>~</b>                                |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 24                    | 24               | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 987                   | 987              | <b>V</b>                                |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC  | 24                    | 24               | ~                                       |
| target I2c Send I2cRegPtr Cnt T str.FUN   | 0                     | 0                |   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3                     | 3                | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3                     | 3                | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2                     | 2                | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 2                     | 2                | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 3                     | 3                | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 3                     | 3                | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2                     | 2                | ~                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 34                    | 2<br>34          |   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 24                    | 24               | Ž                                       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 455                   | 455              | ~                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 847                   | 847              | ~                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 987                   | 987              | <b>~</b>                                |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 487                   | 487              | ~                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 34                    | 34               | ~                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 34                    | 34               | ~                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 24                    | 24               | ~                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 847                   | 847              | ~                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 56                    | 56               | ~                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 2                     | 2 24             | <b>*</b>                                |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 987                   | 987              |   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11 target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 24                    | 24               | ~                                       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 2                     | 2                | -                                       |
| 0   | 0                     | 0                | <b>*</b>                                |
| target I2c SetRecv I2cRegPtr Cnt T str.FUN  |                       | 3                | ~                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 3                     | S                |   |
|   | 3                     | 3                | ~                                       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  |                       |                  | <b>*</b>                                |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 3<br>2<br>2           | 3<br>2<br>2      | \<br>\<br>\                             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR | 3<br>2<br>2<br>2<br>3 | 3<br>2<br>2<br>3 | · · ·                                   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 3<br>2<br>2           | 3<br>2<br>2      | * |



| Name   | Actual Value | Expected Value | Resul |
|--|--------------|----------------|-------|
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 34           | 34             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 24           | 24             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR target_I2c SetStatus_I2cRegPtr_Cnt_T_str.CLKL                 | 455<br>847   | 455<br>847     |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH  | 987          | 987            |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT   | 487          | 487            |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR   | 34           | 34             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 34           | 34             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 24           | 24             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 847          | 847            |       |
| target I2c SetStatus I2cRegPtr Cnt T str.IVR   | 56           | 56             |       |
| target I2c SetStatus I2cRegPtr Cnt T str.EMDR  | 2            | 2              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 24           | 24             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 987          | 987            |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 24           | 24             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 34           | 34             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 24           | 24             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 455          | 455            | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 847          | 847            | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 987          | 987            | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 487          | 487            | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 34           | 34             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 34           | 34             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 24           | 24             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 847          | 847            | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 56           | 56             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 24           | 24             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 987          | 987            | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 24           | 24             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3 3            |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL | 2            | 2              |       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 34           | 34             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 24           | 24             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 455          | 455            |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 847          | 847            |       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 987          | 987            |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 487          | 487            |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 34           | 34             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 34           | 34             |       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 24           | 24             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 847          | 847            |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 56           | 56             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 24           | 24             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 987          | 987            |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 24           | 24             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              |       |
|  | 0            | 2              |       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 2            | -              |       |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR | 3            | 3              | <b>→</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL | 2            | 2              | <b>✓</b> |

| Т                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~      |
| I2c_Send                | 1     | l2c_Send                | 1     | ~      |

| Name  | Input Value  |
|---|--|
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08               | 6  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                               | 10   |
|   | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                               | 30   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                               | 1  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                         |  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                         | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                         | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16                             | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08                            | 30   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                          | INIT_SENSOR2_EXTREADCTRLREG_READ                   |
| DigColPsInt_I2CHwCustData_Uls_M_u16                           | 85   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                 | 86   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                          | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc                             | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08                         | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                        | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                           | 5  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_Igc                       | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                        | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                            | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08                          | 14   |
| Flags_Cnt_T_b16   | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)                           | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                                  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                               | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)                             | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                    | target I2c SetupMasterReceive I2cRegPtr Cnt T str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Γ_DataRegisters_Cnt_u08[0]                                    | 0  |
| <br>Γ_DataRegisters_Cnt_u08[1]                                | 32   |
| Γ_DataRegisters_Cnt_u08[2]                                    | 30   |
| Γ_DataRegisters_Cnt_u08[3]                                    | 36   |
| Γ_DataRegisters_Cnt_u08[4]                                    | 38   |
| Γ_DataRegisters_Cnt_u08[5]                                    | 34   |
| r_DataRegisters_Cnt_u08[6]                                    | 10   |
| r_DataRegisters_Cnt_u08[7]                                    | 12   |
| T DataRegisters Cnt u08[8]                                    | 14   |
|   |  |
| 2cREG1_temp   | target_i2cREG1_temp                                |
| <_ColSensorI2CAddress_Cnt_u08                                 | 19   |
| <_SpurSensorI2CAddress_Cnt_u08 <_spurSensorI2CAddress_Cnt_u08 | 120  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                 | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                 | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                 | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                 | 87   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                 | 67   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                 | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                 | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                 | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                 | 5  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                 | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11               | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12               | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                 | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                 | 1  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |  |
|---|-------------|--|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2           |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT | 3           |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3           |  |
|   | 1           |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR  |             |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2           |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3           |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         | 55          |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR         | 66          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         | 556         |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL        | 2309        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH        | 1204        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT         | 87          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR         | 67          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR         | 55          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         | 66          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         | 2309        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         | 5           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR        | 3           |  |
| target I2c Send I2cRegPtr Cnt T str.PSC         | 66          |  |
| target I2c Send I2cRegPtr Cnt T str.PID11       | 1204        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       | 66          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC        | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN         | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT        | 3           |  |
| target I2c Send I2cRegPtr Cnt T str.SET         | 3           |  |
|   | 1           |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR         |             |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD          | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR      | 55          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR      | 66          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR      | 556         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL     | 2309        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH     | 1204        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT      | 87          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR      | 67          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR      | 55          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR      | 66          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR      | 2309        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR      | 5           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR     | 3           |  |
| target I2c SetRecv I2cRegPtr Cnt T str.PSC      | 66          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11    | 1204        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12    | 66          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC     | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN      | 1           |  |
| target I2c SetRecv I2cRegPtr Cnt T str.DIR      | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN      | 2           |  |
| target I2c SetRecv I2cRegPtr Cnt T str.DOUT     | 3           |  |
| target I2c SetRecv I2cRegPtr Cnt T str.SET      | 3           |  |
|   | 1           |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR      |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR      | 2           |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD       | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL      | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR    | 55          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR    | 66          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR    | 556         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT    | 87          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR    | 67          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR    | 55          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR    | 66          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR    | 2309        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR    | 5           |  |
|   | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 66          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC    |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204        |  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12  | 66          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3           |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  | •           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556         |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR    | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1           |
|  | 2           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 66          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3           |
|  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target i2cREG1 temp.OAR                                  | 55          |
| · ·  | 66          |
| target_i2cREG1_temp.IMR                                  |             |
| target_i2cREG1_temp.STR                                  | 556         |
| target_i2cREG1_temp.CLKL                                 | 2309        |
| target_i2cREG1_temp.CLKH                                 | 1204        |
| target i2cREG1 temp.CNT                                  | 87          |
| target i2cREG1 temp.DRR                                  | 67          |
| · ·  |             |
| target_i2cREG1_temp.SAR                                  | 55          |
| target_i2cREG1_temp.DXR                                  | 66          |
| target_i2cREG1_temp.MDR                                  | 2309        |
| target_i2cREG1_temp.IVR                                  | 5           |
| target i2cREG1 temp.EMDR                                 | 3           |
| · ·  |             |
| target_i2cREG1_temp.PSC                                  | 66          |
| target_i2cREG1_temp.PID11                                | 1204        |
|  |             |



| Name                      | Input Value  |                |        |
|---------------------------|--------------|----------------|--------|
| target_i2cREG1_temp.PID12 | 66           |                |        |
| target_i2cREG1_temp.DMAC  | 3            |                |        |
| target_i2cREG1_temp.FUN   | 1            |                |        |
| target_i2cREG1_temp.DIR   | 1            |                |        |
| target_i2cREG1_temp.DIN   | 2            |                |        |
| target_i2cREG1_temp.DOUT  | 3            |                |        |
| target_i2cREG1_temp.SET   | 3            |                |        |
| target_i2cREG1_temp.CLR   | 1            |                |        |
| target_i2cREG1_temp.ODR   | 2            |                |        |
| target_i2cREG1_temp.PD    | 3            |                |        |
| target_i2cREG1_temp.PSL   | 3            |                |        |
| Name                      | Actual Value | Expected Value | Result |

| target_i2cREG1_temp.ODR  | 2            |                                 |          |
|--|--------------|---------------------------------|----------|
| target_i2cREG1_temp.PD   | 3            |                                 |          |
| target_i2cREG1_temp.PSL  | 3            |                                 |          |
| Name   | Actual Value | Expected Value                  | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 7            | 7                               | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 12           | 12                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20           | 20                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30           | 30                              | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1            | 1                               | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_Igc  | 1            | 1                               | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 0            | 0                               | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2309         | 2309                            | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 19           | 19                              | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   |              | INIT_SENSOR1_EXTREADCTRLREG_SET | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 85           | 85                              | ~        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 86           | 86                              | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc   | 0            | 0                               | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1            | 1                               | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1            | 1                               | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 5            | 5                               | <b>V</b> |
| DigColPsInt_SpurCustDatFound_Cnt_M_Igc   | 1            | 1                               | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 87           | 87                              | <b>V</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 14           | 14                              | <b>V</b> |
| I2c_Send(Length_Cnt_T_u32)   | 1            | 1                               | <b>*</b> |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 1            | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55                              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66<br>556                       | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 556<br>2309  | 2309                            |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204                            | ·        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87                              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67                              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55                              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309                            | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5                               | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3                               | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66                              | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204                            | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1                               | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3            | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3            | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556          | 556                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204                            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66                              |          |

2014-10-14, 23:08:30+0530



| Name   | DigColPSIII_Interruptivotinication                     |              | (OLC)          | 0010     |
|--|--|--------------|----------------|----------|
| Target Lip, Service (1997). Col. 1. at 51  | Name   | Actual Value | Expected Value | Result   |
|  |  |              |                | ~        |
| Torong J. D., Some (Designating Control and DOT)  1  |  |              |                |          |
| sage file Series (passed) FOUR 1 18 0000T   S  |  |              |                |          |
| Target (D. S. Send) (2014-2017 |  |              |                | -        |
| angel (2.6. Send (pickegin)** Col. 1 ± di CNR   1   1   1   2   2   2   2   2   3   3   3   3   3  |  |              |                |          |
| Barger LES Sende LESSENGE COLT _ IN PSL   3   3   4   4   4   4   4   4   4   4  |  | 1            | 1              | <b>✓</b> |
| Sept   Dec Series Carteging Cont   1 m PSI   | target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR                | 2            | 2              | ~        |
| Image_IR_S. Seriker_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_Iser_Disciple_Con_IIser_D   | target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                 | 3            | 3              | ~        |
| Image   122   Selferon (2004-99) COT   1 st / MAR  |  |              |                |          |
|  |  |              |                |          |
|  |  |              |                |          |
| Barget 122 Serface of 2018 pg/P COLT   120 COLT  |  |              |                |          |
|  |  |              |                | -        |
|  |  |              |                |          |
| Images   125. Self-Box   224-Reg   Pr. Co.   1 at MOR   209   20   |  |              |                | <b>✓</b> |
| Image: 125 Self-Benc: 125 Regift: Cot. 1_sts MDR   |  | 55           | 55             | ~        |
| Internal Life Selface   DeRophic Cell Task IVR   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             | 66           | 66             | ~        |
| Image:   Description   Color   Table   Description   Color   Table   Description   D   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR             | 2309         | 2309           | -        |
| Image:   12.5 Self-Sero   12.6 Self-Se   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR             |              |                |          |
| Image:   Dec. Seffence   Zefengiff Cont.   T. ptr PD11   1204   1204   1204   1204   1204   1204   1205     |  |              |                | -        |
| Septe   22   Selfacor   22RegiPt Cnt   T st PUD   2   66   66  |  |              |                |          |
| Image: 125 Selfster: 126eppp: Cot.   1 str. DMAG   3   3   4   4   4   4   4   4   4   4   |  |              |                | -        |
| Image   Zec SetRecor   ZecRepPir Colt   1 str.   1 str.   1 str.   1 str.   2 str.   |  |              |                |          |
| target_IZC_SetRecy_LZcRegPtr_Cntstr.DIR         1         1         1         1         arget_IZC_SetRecy_LZcRegPtr_Cntstr.DIN         2         2         Y           target_IZC_SetRecy_LZcRegPtr_Cntstr.DINT         3         3         3         Y           target_IZC_SetRecy_LZcRegPtr_Cntstr.DICT         3         3         3         Y           target_IZC_SetRecy_LZcRegPtr_Cntstr.DICT         1         1         1         Y         Y           target_IZC_SetRecy_LZcRegPtr_Cntstr.Dict_DPT         3         3         3         Y   |  |              |                |          |
|  |  |              |                |          |
| target_Lize_Selfecv_LizeRepPt_Cnt_T str.DOUT         3         3         3           target_Lize_Selfecv_LizeRepPt_Cnt_T str.SET         3         3         3           target_Lize_Selfecv_LizeRepPt_Cnt_T str.DDR         2         2         2           target_Lize_Selfecv_LizeRepPt_Cnt_T str.DDR         2         2         2           target_Lize_Selfecv_LizeRepPt_Cnt_T str.DDR         3         3         3           target_Lize_Selfecv_LizeRepPt_Cnt_T str.DRR         55         55         55           target_Lize_Selfecv_LizeRepPt_Cnt_T str.DRR         66         66         66           target_Lize_Selfecv_LizeRepPt_Cnt_T str.DRR         66         66         66           target_Lize_Selfecv_LizeRepPt_Cnt_T str.DRR         55         556         55           target_Lize_Selfectv_LizeRepPt_Cnt_T str.DRR         67         67         87           target_Lize_Selfectv_LizeRepPt_Cnt_T str.DRR         67         67         67           target_Lize_Selfectv_LizeRepPt_Cnt_T str.DRR         66         66         66           target_Lize_Selfectv_LizeRepPt_Cnt_T str.DRR         67         67         67           target_Lize_Selfectv_LizeRepPt_Cnt_T str.DRR         66         66         66         66           target_Lize_Selfectv_LizeRepPt_Cnt_T str.DRR  |  |              |                |          |
| Image Lize Selficery Lizersport: ContTart SET   3   3   3   3   4  |  |              |                | _        |
| larget L2s, SelfRecv   J2cRegPtr_Cnt_T str.ODR   2   2   2   2   2   2   3   3   3   3   |  |              | 3              | <b>~</b> |
| target 12e, SelRacv J2cRegPtr CntT_str.PD  a garget 12e, SelRacv J2cRegPtr CntT_str.PSL  a garget 12e, SelRacv J2cRegPtr CntT_str.DAR  55  55  4 target 12e, SelRatus J2cRegPtr CntT_str.DAR  55  55  55  4 target 12e, SelRatus J2cRegPtr CntT_str.DAR  66  66  66  66  67  4 target 12e, SelRatus J2cRegPtr CntT_str.DAR  55  56  56  56  56  56  56  56  56  5  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR             | 1            | 1              | ~        |
| target   Ze_SetNatus_    ZeRegPtr_Cnt_T str.DAR   55   55   55   55   55   55   55   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR             | 2            | 2              | ~        |
| target_12e_SelStatus_12cRegPrc_Cnt_T_str.OAR   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD              | 3            | 3              |          |
| sarget   2c_SetStatus   2cRegPtr_Cnt_T_str.NIR   56   56   56   56   56   56   56   5  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL             |              |                |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CtRL         2309         2309           target_12c_SetStatus_12cRegPtr_Cnt_T_str.CtRL         2309         2309           vtarget_12c_SetStatus_12cRegPtr_Cnt_T_str.CtRH         1204         1204           vtarget_12c_SetStatus_12cRegPtr_Cnt_T_str.CnT         87         87           vtarget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRR         67         67           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         66         66           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         66         66           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         5         5           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         5         5           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         5         66         66           vtarget_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         5         66         66         vtarget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDT         1204         1204         vtarget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDT         66         66         4         vtarget_12c_SetStatus_12cRegPtr_Cnt_T_str.DDT         1         1         1         1         1         1         1         1         1         1         1         1         1         1         1         1         1         2         2         2 <td></td> <td></td> <td></td> <td></td>  |  |              |                |          |
| target 2c SetStatus 2cRegPtr_Cnt_Tstr.CLKL   2309   2309   |  |              |                |          |
| target_12c_SelStatus_12cRegPtr_CntT_str.CLKH         1204         1204           target_12c_SelStatus_12cRegPtr_CntT_str.CNT         87         87           target_12c_SelStatus_12cRegPtr_CntT_str.CNT         87         67           target_12c_SelStatus_12cRegPtr_CntT_str.DRR         67         67           target_12c_SelStatus_12cRegPtr_CntT_str.DRR         66         66           target_12c_SelStatus_12cRegPtr_CntT_str.DRR         66         66           target_12c_SelStatus_12cRegPtr_CntT_str.DRR         5         5           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DRR         3         3           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DRR         3         3           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DRDR         3         3           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DRDQ         66         66           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DNA         1         1           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DNA         1         1           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DNA         1         1           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DNA         2         2           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DNA         2         2           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DNA         3         3 <tr< td=""><td></td><td></td><td></td><td></td></tr<>   |  |              |                |          |
| target J2c. SetStatus J2cRegPtr_CntT_str.DRT   |  |              |                |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.SDRR         67         67           target_12c_SetStatus_12cRegPtr_Cnt_T_str.SAR         55         55           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         66         66           varget_12c_SetStatus_12cRegPtr_Cnt_T_str.MDR         2309         2309           target_12c_SetStatus_12cRegPtr_Cnt_T_str.NDR         5         5           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         66         66           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         66         66           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         1         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         1         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         1         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         1         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         2         2           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         2         2  |  |              |                | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   |  |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR         2309         2309         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR         2309         2309         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.NPR         5         5         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR         3         3         I         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PDT1         1204         1204         1204         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PDD12         66         66         66         66         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         3         3         3         3         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR         1         2         2  |  |              |                | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.NR         5         5           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR         3         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PDC         66         66           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PDD11         1204         1204           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PDD2         66         66           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         3         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DWR         1         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DWR         1         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DUT         3         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT         3         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DUT         3         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOR         1         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOR         2         2           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOR         2         2           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOR         2         2           target_I2c_SetUpMasterReceive_I2cRegPtr_Cnt_T_str.DAR         55         55           target_I2c_SetUpMasterReceive_I2cRegPtr_Cnt_T_str.DAR         66         66  |  | 66           | 66             | ~        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC         66         66           target_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC         66         66           target_12c_SetStatus_12cRegPtr_Cnt_T_str.PID11         1204         1204           target_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12         66         66           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DMAC         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DIN         1         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DIN         1         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DIN         2         2           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DOUT         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DOUT         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DOR         1         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DOR         2         2           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DOR         2         2           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DA         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DA         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DA         5         5           target_12c_SetUpMasterReceive_12cRegPtr_Cnt_T_str.DA         5         5 <td>target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR</td> <td>2309</td> <td>2309</td> <td>~</td>  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR           | 2309         | 2309           | ~        |
| target_12c_SetStatus_12cRegPtr_CnLT_str.PID11         1204         1204           target_12c_SetStatus_12cRegPtr_CnLT_str.PID12         66         66           target_12c_SetStatus_12cRegPtr_CnLT_str.DID12         66         66           target_12c_SetStatus_12cRegPtr_CnLT_str.DMAC         3         3           target_12c_SetStatus_12cRegPtr_CnLT_str.DIN         1         1           target_12c_SetStatus_12cRegPtr_CnLT_str.DIN         1         1           target_12c_SetStatus_12cRegPtr_CnLT_str.DOUT         3         3           target_12c_SetStatus_12cRegPtr_CnLT_str.DOUT         3         3           target_12c_SetStatus_12cRegPtr_CnLT_str.DOUT         3         3           target_12c_SetStatus_12cRegPtr_CnLT_str.ODR         1         1           target_12c_SetStatus_12cRegPtr_CnLT_str.DDR         2         2           target_12c_SetStatus_12cRegPtr_CnLT_str.DDR         2         2           target_12c_SetStatus_12cRegPtr_CnLT_str.DAR         3         3           target_12c_Setstatus_12cRegPtr_CnLT_str.DAR         5         55           target_12c_SetupMasterReceive_12cRegPtr_CnLT_str.DAR         56         55           target_12c_SetupMasterReceive_12cRegPtr_CnLT_str.DLT_str.DLT         86         66           target_12c_SetupMasterReceive_12cRegPtr_CnLT_str.CNT         87   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR           | 5            | 5              | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11         1204         1204           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12         66         66           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DUT         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DUT         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DUT         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DD         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DSL         3         3           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         55         55           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR         566         66           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLK         2309         2309           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         <   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR          | 3            |                | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12         66         66           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PUN         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DAR         5         5           target_l2c_SetUpMasterReceive_l2cRegPtr_Cnt_T_str.DAR         55         5           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLK         2309         2309         2           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         66         66         2           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR  |  |              |                | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         3         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN         1         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR         1         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN         2         2           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT         3         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET         3         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DDR         1         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DDR         2         2           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DDR         2         2           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DD         3         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DD         3         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAC         5         5           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DAC         55         55           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR         56         556           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CkL         2309         2309           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DK         67         67           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DKR  |  |              |                |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DIR         1         1         1         4 <td></td> <td></td> <td></td> <td><b>Y</b></td>   |  |              |                | <b>Y</b> |
| target_!2c_SetStatus_!2cRegPtr_CntT_str.DIR       1       1       V         target_!2c_SetStatus_!2cRegPtr_CntT_str.DIN       2       2       V         target_!2c_SetStatus_!2cRegPtr_CntT_str.DOUT       3       3       3       V         target_!2c_SetStatus_!2cRegPtr_CntT_str.DOUT       3       3       3       V         target_!2c_SetStatus_!2cRegPtr_CntT_str.DET       3       3       V         target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.ODR       2       2       2       V         target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DD       3       3       3       V   |  |              |                | -        |
| target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DIN         2         2           target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DOUT         3         3           target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.SET         3         3           target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DLR         1         1           target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.ODR         2         2           target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.DD         3         3           target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.PSL         3         3           target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.OAR         55         55           target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.DAR         66         66           target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.STR         55         55           target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.CLKL         2309         2309           target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.CLKH         1204         1204           target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.DRR         67         67           target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.DRR         67         67           target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.DXR         66         66           target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.DXR         66         66           target_ 2c_SetupMas  |  |              |                |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DOUT       3       3         target_12c_SetStatus_12cRegPtr_Cnt_T_str.SET       3         target_12c_SetStatus_12cRegPtr_Cnt_T_str.OLR       1         target_12c_SetStatus_12cRegPtr_Cnt_T_str.ODR       2         target_12c_SetStatus_12cRegPtr_Cnt_T_str.ODR       2         target_12c_SetStatus_12cRegPtr_Cnt_T_str.PD       3         target_12c_Setstatus_12cRegPtr_Cnt_T_str.PSL       3         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.OAR       55         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MR       66         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR       556         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL       2309         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CNT       87         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CNT       87         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR       67         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SAR       55         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR       66         d6       66         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR       66         d6       66         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR       2309         target_12c_SetupMasterReceive_12cRegPtr_Cnt_s   |  |              |                |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.SET       3       3         target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLR       1       1         target_12c_SetStatus_12cRegPtr_Cnt_T_str.ODR       2       2         target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD       3       3         target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD       3       3         target_12c_SetStatus_12cRegPtr_Cnt_T_str.DAL       3       3         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.OAR       55       55         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.IMR       66       66         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR       556       556         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL       2309       2309         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CNT       87       87         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR       67       67         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SAR       55       55         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR       66       66         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR       2309       2309         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.INDR       5       5         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.INDR       5       5<  |  |              |                | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR         1         2 <td></td> <td></td> <td></td> <td></td>   |  |              |                |          |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.ODR       2       2         target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.PD       3       3         target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.PSL       3       3         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.OAR       55       55         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.IMR       66       66         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.STR       556       556         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKL       2309       2309         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKH       1204       1204         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CNT       87       87         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR       67       67         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DXR       66       66         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DXR       66       66         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.MDR       2309       2309         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.IVR       5       5         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.IVR       5       5         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.IVR       5       5         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.IVR </td <td></td> <td></td> <td></td> <td><b>~</b></td>   |  |              |                | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR       556       556         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       87       87         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMDR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMDR       3       3   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR           | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR       556       556         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       87       87         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMDR       3       3   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD            | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR       556       556         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       87       87         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL           | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR       556       556         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       87       87         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3   |  |              |                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       87       87         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3   |  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       87       87         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3  |  |              |                | V        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       87       87         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3   |  |              |                | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3   |  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3   |  |              |                |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR       66       66         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR       2309       2309         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR       5       5         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR       3       3   |  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR 2309 2309 2309 2309 2309 2309 2309 2309  |  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR 5 5 5 4 target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR 3 3   |  |              |                | ~        |
|  |  |              | 5              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC 66 66  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR | 3            | 3              |          |
|  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | -        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | ~        |

| Test Step 2.30 (Repeat Count = 1)               |  |  |
|---|--|--|
| Name  | Input Value                                |  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 7  |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 22   |  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 44   |  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 55   |  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0  |  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 495  |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 40   |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADCTRLREG_READ           |  |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 88   |  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 89   |  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1  |  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 0  |  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 1  |  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 897  |  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 6  |  |
| Flags_Cnt_T_b16                                 | 32   |  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str |  |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str        |  |



| Name   | Input Value  |
|--|--|
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]   | 0  |
| T_DataRegisters_Cnt_u08[1]   | 32   |
| T_DataRegisters_Cnt_u08[2]   | 30   |
| T_DataRegisters_Cnt_u08[3]   | 36   |
| T_DataRegisters_Cnt_u08[4]   | 38   |
| T_DataRegisters_Cnt_u08[5]   | 34   |
| T_DataRegisters_Cnt_u08[6]   | 10   |
| T_DataRegisters_Cnt_u08[7]   | 12   |
| T_DataRegisters_Cnt_u08[8]   | 14   |
| i2cREG1_temp   | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08  | 23   |
| k_SpurSensorl2CAddress_Cnt_u08   | 5  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 495  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 56   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 897  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 98   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 495  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 56   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 0  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 495  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 897  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 98   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 495  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 66   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 78   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 78   |
|  | 495  |
| target_I2c_SetRecv_I2cRegPtr Cnt T str.CLKL  | 495  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 56   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
|   | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR              | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 495         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 56          |
|   |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12            | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 1           |
| target I2c SetRecv I2cRegPtr Cnt T str.DOUT             | 0           |
| · · · · · - · -   | 0           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET              |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 0           |
| target I2c SetStatus I2cRegPtr Cnt T str.OAR            | 66          |
|   | 78          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR            |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 495         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 56          |
| target I2c SetStatus I2cRegPtr Cnt T str.CNT            | 897         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 98          |
| target I2c SetStatus I2cRegPtr Cnt T str.SAR            | 66          |
|   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 495         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 78          |
|   |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11          | 56          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 1           |
|   |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 0           |
|   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 495         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 56          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CNT   | 897         |
|   | 98          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 495         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC   | 78          |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 56          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1           |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 0           |
|   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 78          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 78          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 495         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH | 56          |
| . 0   |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value                                   |   |                                       |
|--|---|---|---------------------------------------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0   |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 78  |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11   | 56  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 78  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0   |   |                                       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 0   |   |                                       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 1   |   |                                       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 0   |   |                                       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0   |   |                                       |
| target_i2cREG1_temp.OAR  | 66  |   |                                       |
| target_i2cREG1_temp.IMR  | 78  |   |                                       |
| target_i2cREG1_temp.STR  | 78  |   |                                       |
| target_i2cREG1_temp.CLKL   | 495   |   |                                       |
| target_i2cREG1_temp.CLKH   | 56  |   |                                       |
| target_i2cREG1_temp.CNT  | 897   |   |                                       |
| target_i2cREG1_temp.DRR  | 98  |   |                                       |
| target_i2cREG1_temp.SAR  | 66  |   |                                       |
| target_i2cREG1_temp.DXR  | 78  |   |                                       |
| target_i2cREG1_temp.MDR  | 495   |   |                                       |
| target_i2cREG1_temp.IVR  | 66  |   |                                       |
| target_i2cREG1_temp.EMDR   | 0   |   |                                       |
| target_i2cREG1_temp.PSC  | 78<br>56                                      |   |                                       |
| target_i2cREG1_temp.PID11<br>target_i2cREG1_temp.PID12   | 78  |   |                                       |
| target_i2cREG1_temp.DMAC   | 0   |   |                                       |
| target i2cREG1 temp.FUN  | 0   |   |                                       |
| target_i2cREG1_temp.DIR  | 0   |   |                                       |
| target i2cREG1 temp.DIN  | 1   |   |                                       |
| target i2cREG1 temp.DOUT   | 0   |   |                                       |
| target_i2cREG1_temp.SET  | 0   |   |                                       |
| target_i2cREG1_temp.CLR  | 0   |   |                                       |
| target_i2cREG1_temp.ODR  | 1   |   |                                       |
| target_i2cREG1_temp.PD   | 0   |   |                                       |
| target_i2cREG1_temp.PSL  | 0   |   |                                       |
| Name   | Actual Value                                  | Expected Value                                | Result                                |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 8   | 8   | •                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 12  | 12  | •                                     |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 44  | 44  | •                                     |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 55  | 55  | ✓                                     |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0   | 0   | ~                                     |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 0   | 0   | ✓                                     |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1   | 1   | ~                                     |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 495   | 495   | ✓                                     |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 23  | 23  | •                                     |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_EXTREADCTRLREG_SET               |   | •                                     |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 88  | 88  | •                                     |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  | 89  | 89  | •                                     |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 1   | 1   | •                                     |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0   | 0   | ~                                     |
|  | 0   |   | ~                                     |
|  | 0   | 0   |                                       |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 1   | 1   |                                       |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 1 0   | 1   | ~                                     |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16  | 1<br>0<br>897                                 | 1<br>0<br>897                                 | ~                                     |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08   | 1<br>0<br>897<br>6                            | 1<br>0<br>897<br>6                            | •                                     |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32)  | 1<br>0<br>897<br>6<br>1                       | 1<br>0<br>897<br>6<br>1                       | •                                     |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 1<br>0<br>897<br>6<br>1                       | 1<br>0<br>897<br>6<br>1                       |                                       |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 1<br>0<br>897<br>6<br>1<br>1<br>66            | 1<br>0<br>897<br>6<br>1<br>1<br>1<br>66       | \<br>\<br>\                           |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 1<br>0<br>897<br>6<br>1                       | 1<br>0<br>897<br>6<br>1                       | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 1<br>0<br>897<br>6<br>1<br>1<br>66<br>78      | 1<br>0<br>897<br>6<br>1<br>1<br>1<br>66<br>78 |                                       |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR | 1<br>0<br>897<br>6<br>1<br>1<br>1<br>66<br>78 | 1<br>0<br>897<br>6<br>1<br>1<br>1<br>66<br>78 |                                       |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 98<br>66     | 98<br>66       | <b>-</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR<br>target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR | 78           | 78             | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | -        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 56           | 56             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 78           | 78             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR    | 0            | 0              | , v      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD  | 0            | 0              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 66           | 66             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 78           | 78             | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL                 | 78<br>495    | 78<br>495      | -        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 56           | 56             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 897          | 897            | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 98           | 98             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 78           | 78             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 495          | 495            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 78           | 78             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 56           | 56             | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC            | 78<br>0      | 78<br>0        | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR            | 66<br>78     | 66<br>78       |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | •        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 78<br>56     | 78<br>56       |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12        | 78           | 78             | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.DMAC  | 0            | 0              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | <b>*</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR        | 66<br>78     | 66<br>78       | -        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.iniR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR       | 78           | 78             | ,        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | · ·      |
| 0  |              |                |          |

2014-10-14, 23:08:30+0530



|  | I            | I              |          |
|--|--------------|----------------|----------|
| Name   | Actual Value | Expected Value | Result   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 56           | 56             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 897          | 897            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 98           | 98             | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR             | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 78           | 78             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 495          | 495            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 78           | 78             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 56           | 56             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 78           | 78             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 0            | 0              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 0            | 0              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 0            | 0              |          |
|  | 1            | 1              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN             | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 0            | 0              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 0            | 0              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 78           | 78             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 78           | 78             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 495          | 495            | ~        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKH   | 56           | 56             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 897          | 897            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 98           | 98             | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 66           | 66             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 78           | 78             | -        |
|  | 495          | 495            |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR    |              |                | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 66           | 66             | × .      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 78           | 78             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 56           | 56             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 78           | 78             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            | 0              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              | ~        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET    | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 0            | 0              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0            | 0              | <b>✓</b> |
|  |              | 66             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66           |                | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 78           | 78             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11 | 56           | 56             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~        |
|  | 0            | 0              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   |              |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | •        |
|  |              |                |          |



| Τ                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | <b>✓</b> |

| Test Step 2.31 (Repeat Count = 1)               | Innut Value  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 8  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 15   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 16   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 566  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 50   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADDATREG_READ                    |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 91   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 0  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 5  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 2  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_Igc         | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 129  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 7  |
| flags_Cnt_T_b16                                 | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]                       | 0  |
| _DataRegisters_Cnt_u08[1]                       | 32   |
| _DataRegisters_Cnt_u08[2]                       | 30   |
| _DataRegisters_Cnt_u08[3]                       | 36   |
| _DataRegisters_Cnt_u08[4]                       | 38   |
| _DataRegisters_Cnt_u08[5]                       | 34   |
| _DataRegisters_Cnt_u08[6]                       | 10   |
| _DataRegisters_Cnt_u08[7]                       | 12   |
| _DataRegisters_Cnt_u08[8]                       | 14   |
| 2cREG1_temp                                     | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08                    | 27   |
| _SpurSensorI2CAddress_Cnt_u08                   | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 567  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 4444   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 566  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 4466   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 129  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 6  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 567  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 566  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 554  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 4466   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2  |

2014-10-14, 23:08:30+0530



| DigCoresint_interruptivotincation   | (WACI)      |
|---|-------------|
| Name  | Input Value |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 0           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 567         |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.IMR  | 44          |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.STR  | 4444        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 129         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 6           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567         |
| arget I2c Send I2cRegPtr Cnt T str.DXR  | 44          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 566         |
|   | 554         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 1           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 44          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 4466        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  |             |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2           |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 567         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 44          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 566         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 129         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 6           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 566         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 44          |
| arget I2c SetRecv I2cRegPtr Cnt T str.PID11   | 4466        |
|   | 44          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12<br>arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC | 1           |
|   |             |
| irget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1           |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 2           |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 0           |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3           |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 567         |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 44          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 566         |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |
| rget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT  | 129         |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 6           |
| rget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR  | 567         |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 44          |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 566         |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 554         |
| rget_12c_SetStatus_12cRegPtr_Cnt_T_str.EMDR   | 1           |
| irget_12c_SetStatus_12cRegPtr_Cnt_1_str.EMDR irget_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC  | 44          |
|   |             |
| irget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 4466        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 44          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| arget_126_SetStatus_12611egr tr_Ont_1_str.Dill  | 1           |

2014-10-14, 23:08:30+0530



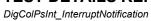
| Name   | Input Value |
|--|-------------|
|  | · ·         |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target I2c SetStatus I2cRegPtr Cnt T str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 567         |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 4444        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567         |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466        |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0           |
|  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567         |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 44          |
|  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 4466        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 0           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_i2cREG1_temp.OAR                                  | 567         |
|  |             |
| target_i2cREG1_temp.IMR                                  | 44          |
| target_i2cREG1_temp.STR                                  | 4444        |
| target_i2cREG1_temp.CLKL                                 | 566         |
| target_i2cREG1_temp.CLKH                                 | 4466        |
| target_i2cREG1_temp.CNT                                  | 129         |
| target_i2cREG1_temp.DRR                                  | 6           |
| target_i2cREG1_temp.SAR                                  | 567         |
|  |             |
| target_i2cREG1_temp.DXR                                  | 44          |
| target_i2cREG1_temp.MDR                                  | 566         |
| target_i2cREG1_temp.IVR                                  | 554         |
| target_i2cREG1_temp.EMDR                                 | 1           |
| target i2cREG1 temp.PSC                                  | 44          |
| ·  | 4466        |
| target_i2cREG1_temp.PID11                                |             |
| target_i2cREG1_temp.PID12                                | 44          |
| target_i2cREG1_temp.DMAC                                 | 1           |
| target_i2cREG1_temp.FUN                                  | 1           |
| target_i2cREG1_temp.DIR                                  | 2           |
|  | ,           |

2014-10-14, 23:08:30+0530



| DigColPsInt_InterruptNotification               |               |                | razorat  |
|---|---------------|----------------|----------|
| Name  | Input Value   |                |          |
| target_i2cREG1_temp.DIN                         | 0             |                |          |
| target_i2cREG1_temp.DOUT                        | 1             |                |          |
| target_i2cREG1_temp.SET                         | 1             |                |          |
| target_i2cREG1_temp.CLR                         | 2             |                |          |
| target_i2cREG1_temp.ODR                         | 0             |                |          |
| target_i2cREG1_temp.PD                          | 3             |                |          |
| target_i2cREG1_temp.PSL                         | 3             |                |          |
| Name  | Actual Value  | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 8             | 8              | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10            | 10             | ✓        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 15            | 15             | •        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 16            | 16             | <b>✓</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1             | 1              | ✓        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1             | 1              | ✓        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1             | 1              | <b>✓</b> |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 566           | 566            | ✓        |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 50            | 50             | <b>✓</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_COMPLETE | INIT_COMPLETE  | ✓        |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 0             | 0              | <b>✓</b> |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 0             | 0              | ✓        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0             | 0              | ✓        |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1             | 1              | <b>✓</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1             | 1              | ✓        |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 2             | 2              | <b>✓</b> |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1             | 1              | ✓        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 129           | 129            | <b>✓</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 7             | 7              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 567           | 567            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 44            | 44             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 4444          | 4444           | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 566           | 566            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH | 4466          | 4466           | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 129           | 129            | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 6             | 6              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 567           | 567            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 44            | 44             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 566           | 566            | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 554           | 554            | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR | 1             | 1              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 44            | 44             |          |
|   |               |                |          |

2014-10-14, 23:08:30+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ✓ ×      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567            | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  | 566<br>554   | 566<br>554     |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR        | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | ·        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           |          |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12  | 44           | 44             | <b>✓</b> |
| target I2c SetRecv I2cRegPtr Cnt T str.DMAC   | 1            | 1              | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR  | 567          | 567            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 566          | 566            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | - 4      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 | 4466<br>44   | 4466<br>44     |          |
| target I2c SetStatus I2cRegPtr Cnt T str.DMAC   | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              |          |
| target I2c SetStatus I2cRegPtr Cnt T str.DIN  | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |          |
| target I2c SetStatus I2cRegPtr Cnt T str.CLR  | 2            | 2              | <b>v</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | <b>v</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | <b>Y</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11                                       | 4466         | 4466           | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12                                       | 44           | 44             | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | , v      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              |          |

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD

 $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL$ 

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



**Actual Value Expected Value** target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DOUT  $target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.SET$ target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR 2 2  $target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.ODR$ 0 0 target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.PD 3 3 target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.PSL 3 3 target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR 567 567  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IMR$ 44 44 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.STR 4444 4444  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 566 566 4466  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 4466  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CNT$ 129 129  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DRR$ 6  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SAR$ 567 567  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DXR$ 44 44 566 566 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.MDR  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IVR$ 554 554  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.EMDR$ 1 1  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSC$ 44 44 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID11 4466 4466  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12$ 44 44 ✓ ✓ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC 1  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.FUN$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIR 2 2 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN 0 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DOUT$ target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET 1  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR$ 2 2 target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR 0 0

| T               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | ~        |

3

3

3

3

| Test Step 2.32 (Repeat Count = 1)               | <b>√</b>   |
|---|--|
| Name  | Input Value  |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08 | 9  |
| DigColPsInt Buffer Cnt M u08[0]                 | 28   |
| DigColPsInt Buffer Cnt M u08[1]                 | 56   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 100  |
| DigColPsInt BusBusySeqError Cnt M Igc           | 0  |
| DigColPsInt CmdFailOccurred Cnt M Igc           | 0  |
| DigColPsInt ColCustDatFound Cnt M Igc           | 1  |
| DigColPsInt ColSnsrData Cnt M u16               | 7  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 60   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADDATREG_READ                    |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 94   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 255  |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 3  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 3  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 88   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 8  |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T_DataRegisters_Cnt_u08[3]                      | 36   |

2014-10-14, 23:08:30+0530



| DigCor-sini_interruptivotilication  |                     | ( MACIMI |
|---|---------------------|----------|
| Name  | Input Value         |          |
| T_DataRegisters_Cnt_u08[4]  | 38                  |          |
| T_DataRegisters_Cnt_u08[5]  | 34                  |          |
| T_DataRegisters_Cnt_u08[6]  | 10                  |          |
| 「_DataRegisters_Cnt_u08[7]  | 12                  |          |
| T_DataRegisters_Cnt_u08[8]  | 14                  |          |
| 2cREG1_temp   | target_i2cREG1_temp |          |
| ColSensorl2CAddress Cnt u08   | 31                  |          |
| <pre>C_SpurSensorl2CAddress_Cnt_u08</pre>   | 15                  |          |
| rarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR                                      | 65                  |          |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                                      | 89                  |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR                                      | 67                  |          |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                                     | 7                   |          |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH                                      | 577                 |          |
|   | 88                  |          |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                                      |                     |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                                      | 23                  |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                                       | 65                  |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                                       | 89                  |          |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR                                       | 7                   |          |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR                                       | 44                  |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                                      | 2                   |          |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC                                       | 89                  |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                     | 577                 |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                     | 89                  |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                                      | 2                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                                       | 0                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                                       | 0                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                                       | 1                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                      | 2                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                                       | 2                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                                       | 0                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                                       | 1                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 2                   |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                                       | 0                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 65                  |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 89                  |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 67                  |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 7                   |          |
| rarget_12c_Send_12cRegPtr_Cnt_T_str.CLKH  | 577                 |          |
|   | 88                  |          |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   |                     |          |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 23                  |          |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 65                  |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 89                  |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 7                   |          |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  | 44                  |          |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR   | 2                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 89                  |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 577                 |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 89                  |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 2                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 2                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 2                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 2                   |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0                   |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 65                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 89                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR | 67                  |          |
|   | 7                   |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 577                 |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  |                     |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 88                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 23                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 65                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 89                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 7                   |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 44                  |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 2                   |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 89                  |          |
|   |                     |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 577                 |          |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
|   | ·           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 1           |
| target I2c SetRecv I2cRegPtr Cnt T str.DOUT             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 0           |
|   | 1           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR              |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 65          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 7           |
|   | 577         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 88          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 23          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR            | 65          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 89          |
| target I2c SetStatus I2cRegPtr Cnt T str.MDR            | 7           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 44          |
| target I2c SetStatus I2cRegPtr Cnt T str.EMDR           | 2           |
|   |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC            | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 577         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 1           |
|   |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 65          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 89          |
|   | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 7           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 577         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 88          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 23          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR   | 65          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 89          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 7           |
|   | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 577         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN   | 1           |
| · ·   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 2           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 65          |
|   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 7           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 577         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 88          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 23          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65          |
|   | 89          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 7           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 89          |
|   |             |

2014-10-14, 23:08:30+0530



| Name  | Input Value   |  |                                       |
|---|---|--|---------------------------------------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 577   |  |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 89  |  |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN  | 0   |  |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR  | 0   |  |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1   |  |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2   |  |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2   |  |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0   |  |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1 2   |  |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL  | 0   |  |                                       |
| target_i2cREG1_temp.OAR   | 65  |  |                                       |
| target_i2cREG1_temp.IMR   | 89  |  |                                       |
| target_i2cREG1_temp.STR   | 67  |  |                                       |
| target_i2cREG1_temp.CLKL  | 7   |  |                                       |
| target_i2cREG1_temp.CLKH  | 577   |  |                                       |
| target_i2cREG1_temp.CNT   | 88<br>23  |  |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.SAR   | 65  |  |                                       |
| target_i2cREG1_temp.DXR   | 89  |  |                                       |
| target_i2cREG1_temp.MDR   | 7   |  |                                       |
| target_i2cREG1_temp.IVR   | 44  |  |                                       |
| target_i2cREG1_temp.EMDR  | 2   |  |                                       |
| target_i2cREG1_temp.PSC   | 89  |  |                                       |
| target_i2cREG1_temp.PID11   | 577   |  |                                       |
| target_i2cREG1_temp.PID12   | 89<br>2   |  |                                       |
| target_i2cREG1_temp.DMAC<br>target_i2cREG1_temp.FUN   | 0   |  |                                       |
| target i2cREG1 temp.DIR   | 0   |  |                                       |
| target_i2cREG1_temp.DIN   | 1   |  |                                       |
| target_i2cREG1_temp.DOUT  | 2   |  |                                       |
| target_i2cREG1_temp.SET   | 2   |  |                                       |
| target_i2cREG1_temp.CLR   | 0   |  |                                       |
| target_i2cREG1_temp.ODR   | 1 2   |  |                                       |
| target_i2cREG1_temp.PD  |   |  |                                       |
| target i2cREG1 temp PSI   | 0   |  |                                       |
| target_i2cREG1_temp.PSL  Name   | O Actual Value  | Expected Value   | Result                                |
|   | · ·   | Expected Value   | Result                                |
| Name  | Actual Value<br>9<br>28   | 9<br>28  | ~                                     |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]  | Actual Value 9 28 56  | 9<br>28<br>56  | · ·                                   |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]  | Actual Value 9 28 56 100  | 9<br>28<br>56<br>100   | •                                     |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 9 28 56 100 0   | 9<br>28<br>56<br>100<br>0  | • • • • • • • • • • • • • • • • • • • |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | Actual Value 9 28 56 100 0  | 9<br>28<br>56<br>100<br>0  | •                                     |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 9 28 56 100 0   | 9<br>28<br>56<br>100<br>0  | • • • • • • • • • • • • • • • • • • • |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc  | Actual Value 9 28 56 100 0 1  | 9<br>28<br>56<br>100<br>0<br>0   | • • • • • • • • • • • • • • • • • • • |
| Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum  | Actual Value 9 28 56 100 0 1 7 60 INIT_COMPLETE   | 9<br>28<br>56<br>100<br>0<br>0<br>1<br>7<br>60<br>INIT_COMPLETE  | • • • • • • • • • • • • • • • • • • • |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_UIs_M_u16   | Actual Value 9 28 56 100 0 1 7 60 INIT_COMPLETE 255   | 9<br>28<br>56<br>100<br>0<br>0<br>1<br>7<br>60<br>INIT_COMPLETE<br>255                                 |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_UIs_M_u16  DigColPsInt_12CHwIncompleteCustData_UIs_M_u16  | Actual Value  9  28  56  100  0  1  7  60  INIT_COMPLETE  255  255  | 9<br>28<br>56<br>100<br>0<br>0<br>1<br>7<br>60<br>INIT_COMPLETE<br>255<br>255                          | • • • • • • • • • • • • • • • • • • • |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_UIs_M_u16  DigColPsInt_12CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_IntFailedOnce_Cnt_M_lgc  | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255  | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0  | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_UIs_M_u16  DigColPsInt_12CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_IntFailedOnce_Cnt_M_lgc  | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255  | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_UIs_M_u16  DigColPsInt_12CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc   | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0  | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_Uls_M_u16  DigColPsInt_12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88   | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88  |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_Cnt_M_u08[2]  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I12CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88 88  | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88  |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u18  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_L2CHwCustData_Uls_M_u16  DigColPsInt_l2CHwCustData_Uls_M_u16  DigColPsInt_lnitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u18  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88 8 8   | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88 8  |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_l12CHwCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 3 0 88 8 8 65  | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88 8 65   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOvertunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 88 88 8 65 89 67                                     | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88 8 8 65 89 67                                 |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDataType_Cnt_M_u08  DigColPsInt_SpurCustDataType_Cnt_M_u16  DigColPsInt_SpurCustDataType_Cnt_M_u16  DigColPsInt_SpurCustDataType_Cnt_M_u16  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 3 0 88 8 8 65  | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88 8 65   |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOvertunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 88 8 8 65 89 67 7                                    | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88 8 8 65 89 67 7                               |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I3CHwIncompleteCustData_UIs_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_SpurSnsrData_Cnt_M_u18  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 3 0 88 88 8 65 89 67 7 577                           | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 88 8 8 65 89 67 7 577                               |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_linitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvDatType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | Actual Value  9 28 56 100 0 0 11 7 60 INIT_COMPLETE 255 255 1 0 0 0 88 8 8 65 89 67 7 577 88 23 65                      | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 88 8 8 65 89 67 7 577 88 23 65                    |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_u16  DigColPsInt_SpurCustDatFound_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | Actual Value  9 28 56 100 0 0 11 7 60 INIT_COMPLETE 255 255 1 0 0 0 88 8 8 65 89 67 7 577 88 23 65 89                   | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 3 0 88 8 65 89 67 7 577 88 23 65 89               |                                       |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 target_12c_GenStopCond_12cRegPtr_Cnt_T_str.OAR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.STR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKH target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKH target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CNT target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR   | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 88 8 8 65 89 67 7 577 88 23 65 89 7                  | 9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 3 0 88 8 65 89 67 7 577 88 23 65 89 7             |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwGustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.OAR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.STR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKH  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKH  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CNT  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR   | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 88 8 8 65 89 67 7 577 88 23 65 89 7                  | 9 28 56 100 0 0 1 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 3 0 88 8 65 89 67 7 577 88 23 65 89 7 44        |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u16  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.OAR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.STR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CNT  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR   | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88 8 8 65 89 67 7 577 88 23 65 89 7 44             | 9 28 56 100 0 0 17 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88 8 65 89 67 7 577 88 23 65 89 7 44           |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I1ErelWoustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_u16  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR   | Actual Value  9 28 56 100 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 88 8 8 65 89 67 7 577 88 23 65 89 7                  | 9 28 56 100 0 0 1 1 7 60 INIT_COMPLETE 255 255 1 0 0 0 3 0 88 8 65 89 67 7 577 88 23 65 89 7 44        |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u16  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.OAR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.STR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CNT  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR   | Actual Value  9 28 56 100 0 0 17 7 60 INIT_COMPLETE 255 255 1 0 0 0 3 0 88 8 8 65 89 67 7 577 88 23 65 89 7 44 2        | 9 28 56 100 0 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88 8 65 89 67 7 577 88 23 65 89 7 44 2        |                                       |
| Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_L2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkLk  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkLk  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkLk  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkLk  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkLk  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkLk  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CkLk  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRDR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DDR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DDR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DDR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DDR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DDR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PDD1 | Actual Value  9 28 56 100 0 0 17 7 60 INIT_COMPLETE 255 255 1 0 0 0 3 0 88 8 8 65 89 67 7 577 88 23 65 89 7 44 2 89 577 | 9 28 56 100 0 0 0 1 7 60 INIT_COMPLETE 255 255 1 0 0 3 0 88 8 65 89 67 7 577 88 23 65 89 7 44 2 89 577 |                                       |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT | 2            | 2              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ✓        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR         | 65           | 65             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         | 89           | 89             | ✓        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR         | 67           | 67             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL        | 7            | 7              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH        | 577          | 577            | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT         | 88           | 88             | ✓        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         | 23           | 23             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR         | 65           | 65             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         | 89           | 89             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         | 7            | 7              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         | 44           | 44             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR        | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         | 89           | 89             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       | 577          | 577            | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       | 89           | 89             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC        | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN         | 0            | 0              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         | 0            | 0              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT        | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         | 0            | 0              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD          | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         | 0            | 0              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR      | 65           | 65             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR      | 89           | 89             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR      | 67           | 67             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL     | 7            | 7              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH     | 577          | 577            | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT      | 88           | 88             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR      | 23           | 23             |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 89           | 89             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 67           | 67             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  | 88           | 88             | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 23           | 23             | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 65           | 65             | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 89           | 89             | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 7            | 7              | <b>✓</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR  | 44           | 44             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 89<br>577    | 89<br>577      |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 2            | 2              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN | 0            | 0              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              |          |
| target_I2C_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 577          | 577            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              |          |

| Τ               |       |                          |       | •     |   |
|-----------------|-------|--------------------------|-------|-------|---|
| Actual Function | Count | Expected Function        | Count | Resul | t |
| *none*          | 0     | *** No Call Expected *** | 0     |       | _ |

| Test Step 2.33 (Repeat Count = 1)               | ✓           |
|---|-------------|
| Name  | Input Value |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 10          |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123         |

#### 2014-10-14, 23:08:30+0530



| DigColPsini_interruptNotinication                  |  |
|--|--|
| lame   | Input Value  |
| igColPsInt_Buffer_Cnt_M_u08[1]                     | 145  |
| 0igColPsInt_Buffer_Cnt_M_u08[2]                    | 200  |
| igColPsInt_BusBusySeqError_Cnt_M_lgc               | 1  |
| igColPsInt_CmdFailOccurred_Cnt_M_lgc               | 1  |
| igColPsInt_ColCustDatFound_Cnt_M_lgc               | 0  |
| igColPsInt_ColSnsrData_Cnt_M_u16                   | 554  |
| igColPsInt_CurrentSlave_Cnt_M_u08                  | 70   |
| igColPsInt_CurrentStepNo_Cnt_M_enum                | INIT_SENSOR2_EXTREADDATREG_READ                    |
| igColPsInt_I2CHwCustData_Uls_M_u16                 | 97   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16      | 147  |
| igColPsInt_InitFailedOnce_Cnt_M_lgc                | 0  |
| igColPsInt_NackOccured_Cnt_M_lgc                   | 1  |
| igColPsInt_PrevReqDataType_Cnt_M_u08               | 1  |
| igColPsInt_RecvOverrunError_Cnt_M_lgc              | 1  |
| igColPsInt_RecvdDataType_Cnt_M_u08                 | 4  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc             | 1  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc              | 1  |
| igColPsInt_SpurSnsrData_Cnt_M_u16                  | 123  |
| igColPsInt_TransactionCnt_Cnt_M_u08                | 0  |
| ags_Cnt_T_b16                                      | 32   |
| c GenStopCond(I2cRegPtr Cnt T str)                 | target I2c GenStopCond I2cRegPtr Cnt T str         |
| c Send(I2cRegPtr Cnt T str)                        | target I2c Send I2cRegPtr Cnt T str                |
| 2c SetRecv(I2cRegPtr Cnt T str)                    | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c SetStatus(I2cRegPtr Cnt T str)                  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)         | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| cc_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)        | target_lzc_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
|  | 0  |
| _DataRegisters_Cnt_u08[0] DataRegisters_Cnt_u08[1] | 32   |
|  | 30   |
| _DataRegisters_Cnt_u08[2]                          |  |
| _DataRegisters_Cnt_u08[3]                          | 36   |
| _DataRegisters_Cnt_u08[4]                          | 38   |
| _DataRegisters_Cnt_u08[5]                          | 34   |
| _DataRegisters_Cnt_u08[6]                          | 10   |
| _DataRegisters_Cnt_u08[7]                          | 12   |
| _DataRegisters_Cnt_u08[8]                          | 14   |
| 2cREG1_temp  | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08                       | 35   |
| _SpurSensorl2CAddress_Cnt_u08                      | 20   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR      | 54   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR      | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR      | 8  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL     | 554  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH     | 344  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT      | 123  |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR      | 45   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR      | 54   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DXR      | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR      | 554  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.IVR      | 788  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR     | 3  |
| arget I2c GenStopCond I2cRegPtr_Cnt_1_str.EMDR     | 66   |
| rget I2c GenStopCond_I2cRegPtr_Cnt_T_str.PSC       | 344  |
|  |  |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12     | 66   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC      | 3  |
| irget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN      | 1  |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR      | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN      | 2  |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT     | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET       | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR       | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR       | 2  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD        | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL       | 2  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR              | 54   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR              | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR             | 8  |
| urget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL            | 554  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH            | 344  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT             | 123  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR             | 45   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR             | 54   |
| .rgor_izo_ocnu_izorxogr u_ont_i_out.ontx           | \ <u>\sigma_1</u>                                  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR             | 66   |

2014-10-14, 23:08:30+0530



| DigColPSint_interruptivotilication                    |             |  |
|---|-------------|--|
| Name  | Input Value |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR               | 788         |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR              | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC               | 66          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11             | 344         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12              | 66          |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC               | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN               | 1           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN               | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT              | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET               | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR               | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR               | 2           |  |
|   | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL               |             |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR             | 54          |  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR            | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR             | 8           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL            | 554         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH            | 344         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT             | 123         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 45          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR             | 54          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR             | 554         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR             | 788         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR            | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC             | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11           | 344         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12           | 66          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC            | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN             | 1           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR             | 3           |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN             | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT           | 3           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET             | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR            | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR            | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD             | 1           |  |
| target I2c SetRecv I2cRegPtr Cnt T str.PSL            | 2           |  |
| target I2c SetStatus I2cRegPtr Cnt T str.OAR          | 54          |  |
|   | 66          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR          |             |  |
| rarget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR          | 8           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL          | 554         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH          | 344         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT           | 123         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR           | 45          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR           | 54          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR           | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR           | 554         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR           | 788         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR          | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC           | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         | 344         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         | 66          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC          | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN           | 1           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR           | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN           | 2           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT          | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET           | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR           | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR           | 2           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD            | 1           |  |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PSL           | 2           |  |
|   | 54          |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  |             |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66          |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 8           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL | 554         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH | 344         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 123         |  |
|   | 45          |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 40          |  |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

| Name   | Input Value  |                |          |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           |                |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR    | 554          |                |          |
|  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 788          |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344          |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            |                |          |
|  | 1            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            |                |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            |                |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 1            |                |          |
|  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 344          |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 123          |                |          |
|  |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554          |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            |                |          |
|  | 66           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344          |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            |                |          |
|  |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 2            |                |          |
| target i2cREG1 temp.OAR                                  | 54           |                |          |
|  | 66           |                |          |
| target_i2cREG1_temp.IMR                                  |              |                |          |
| target_i2cREG1_temp.STR                                  | 8            |                |          |
| target_i2cREG1_temp.CLKL                                 | 554          |                |          |
| target_i2cREG1_temp.CLKH                                 | 344          |                |          |
| target_i2cREG1_temp.CNT                                  | 123          |                |          |
| target i2cREG1 temp.DRR                                  | 45           |                |          |
| target i2cREG1 temp.SAR                                  | 54           |                |          |
| target i2cREG1 temp.DXR                                  | 66           |                |          |
|  |              |                |          |
| target_i2cREG1_temp.MDR                                  | 554          |                |          |
| target_i2cREG1_temp.IVR                                  | 788          |                |          |
| target_i2cREG1_temp.EMDR                                 | 3            |                |          |
| target_i2cREG1_temp.PSC                                  | 66           |                |          |
| target i2cREG1 temp.PID11                                | 344          |                |          |
| target i2cREG1 temp.PID12                                | 66           |                |          |
| target i2cREG1 temp.DMAC                                 | 3            |                |          |
|  |              |                |          |
| target_i2cREG1_temp.FUN                                  | 1            |                |          |
| target_i2cREG1_temp.DIR                                  | 3            |                |          |
| target_i2cREG1_temp.DIN                                  | 2            |                |          |
| target_i2cREG1_temp.DOUT                                 | 3            |                |          |
| target_i2cREG1_temp.SET                                  | 3            |                |          |
| target i2cREG1 temp.CLR                                  | 3            |                |          |
| · ·  | 2            |                |          |
| target_i2cREG1_temp.ODR                                  |              |                |          |
| target_i2cREG1_temp.PD                                   | 1            |                |          |
| target_i2cREG1_temp.PSL                                  | 2            |                |          |
| Name   | Actual Value | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08          | 10           | 10             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                          | 123          | 123            | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]                          | 145          | 145            |          |
|  | 200          | 200            |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]                          | 200          |                | _        |

DigColPsInt\_BusBusySeqError\_Cnt\_M\_lgc

2014-10-14, 23:08:30+0530



| Name   | Actual Value        | Expected Value      | Result |
|--|---------------------|---------------------|--------|
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1                   | 1                   | •      |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 0                   | 0                   | •      |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 554                 | 554                 | •      |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 70<br>INIT COMPLETE | 70<br>INIT COMPLETE |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16               | 147                 | 147                 |        |
| DigColPsInt I2CHwIncompleteCustData Uls M u16  | 147                 | 147                 |        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0                   | 0                   |        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1                   | 1                   |        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1                   | 1                   |        |
| DigColPsInt RecvdDataType Cnt M u08  | 4                   | 4                   |        |
| DigColPsInt SpurCustDatFound Cnt M lgc   | 1                   | 1                   |        |
| DigColPsInt SpurSnsrData Cnt M u16   | 123                 | 123                 |        |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 0                   | 0                   |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 54                  | 54                  | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66                  | 66                  |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 8                   | 8                   | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 554                 | 554                 | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 344                 | 344                 | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 123                 | 123                 | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 45                  | 45                  | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 54                  | 54                  | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                  | 66                  | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 554                 | 554                 | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 788                 | 788                 | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3                   | 3                   | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66                  | 66                  | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                       | 344                 | 344                 | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                       | 66                  | 66                  | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                   | 3                   | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                   | 1                   | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 3                   | 3                   | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                   | 2                   | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                   | 3                   | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                   | 3                   | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 3                   | 3                   | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2                   | 2                   | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 1                   | 1                   | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 2                   | 2                   | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 54                  | 54                  | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66                  | 66                  | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 8                   | 8                   | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 554                 | 554                 | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 344                 | 344                 | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 123                 | 123                 | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 45                  | 45                  | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 54                  | 54                  | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66                  | 66                  | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 554                 | 554                 | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 788                 | 788                 | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3                   | 3                   | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66                  | 66                  | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 344                 | 344                 | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66                  | 66                  | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3                   | 3                   | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1                   | 1                   | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 3                   | 3                   | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2                   | 2                   | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3                   | 3                   |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3                   | 3                   |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3 2                 | 3 2                 |        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  | 1                   | 1                   |        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD   | 2                   | 2                   |        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 54                  | 54                  |        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR   | 66                  | 66                  |        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR   | 8                   | 8                   |        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   |                     |                     |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 554<br>344          | 554<br>344          |        |
|  |                     | 344                 |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  |                     | 122                 |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT | 123                 | 123                 | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  |                     | 123<br>45<br>54     | •      |





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 344          | 344            | <u> </u> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | <b>✓</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 3 2          | 3 2            | Ž        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR                          | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.PSL   | 2            | 2              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | -        |
| target I2c SetStatus I2cRegPtr Cnt T str.MDR   | 554          | 554            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 344          | 344            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 54           | 54             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 8            | 8              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 554          | 554            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 344          | 344            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 123          | 123            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 45           | 45             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 54           | 54             | <u> </u> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ·        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 554          | 554            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 788          | 788            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344          | 344            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | Ž        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | - J      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 3 2          | 2              | Ž        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_1_str.bOU1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              | , and a  |
| target_lzc_SetupMasterReceive_lzcRegPtr_Cnt_1_str.SE1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR    | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL     | 2            | 2              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 54           | 54             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 8            | 8              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            |          |
|  | 344          | 344            |          |
| target 12c SetupMasterTransmit 12cRegPtr Cnt 1 str.CLKH  |              |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT | 123          | 123            | _        |

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.ODR target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344          | 344            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | ~        |
|  |              |                |          |

| T               |       |                          |      | V        |
|-----------------|-------|--------------------------|------|----------|
| Actual Function | Count | Expected Function        | Coun | t Result |
| *none*          | 0     | *** No Call Expected *** | 0    | ~        |

2

2

2

2

| Test Step 2.34 (Repeat Count = 1)                                |  |
|--|--|
| Name   | Input Value  |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08                  | 3  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                                  | 10   |
| DigColPsInt Buffer Cnt M u08[1]                                  | 20   |
| DigColPsInt Buffer Cnt M u08[2]                                  | 30   |
| DigColPsInt BusBusySegError Cnt M Igc                            | 1  |
| DigColPsInt CmdFailOccurred Cnt M Igc                            | 1  |
| DigColPsInt ColCustDatFound Cnt M Igc                            | 1  |
| DigColPsInt ColSnsrData Cnt M u16                                | 2309   |
| DigColPsInt CurrentSlave Cnt M u08                               | 30   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                             | INIT SENSOR2 EXTREADCTRLREG READ                   |
| DigColPsInt_I2CHwCustData_Uls_M_u16                              | 106  |
| DigColPsInt I2CHwIncompleteCustData Uls M u16                    | 180  |
| DigColPsInt InitFailedOnce Cnt M Igc                             | 0  |
| DigColPsInt NackOccured Cnt M Igc                                | 1  |
| DigColPsInt PrevReqDataType Cnt M u08                            | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                           | 1  |
| DigColPsInt RecvdDataType Cnt M u08                              | 5  |
| DigColPsInt SkipRegisterWrite Cnt M Igc                          | 1  |
| DigColPsInt SpurCustDatFound Cnt M Igc                           | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                               | 87   |
| DigColPsInt TransactionCnt Cnt M u08                             | 14   |
| Flags Cnt T b16  | 32   |
| 2c GenStopCond(I2cRegPtr Cnt T str)                              | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Gensiopcond(rzckegrti_cnt_1_str) 2c_Send(l2cRegPtr_Cnt_T_str) | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                                  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c SetStatus(I2cRegPtr Cnt T str)                                | target I2c SetStatus I2cRegPtr Cnt T str           |
| 2c SetupMasterReceive(I2cRegPtr Cnt T str)                       | target I2c SetupMasterReceive I2cRegPtr Cnt T str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                      |  |
|  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]  | 32   |
| [_DataRegisters_Cnt_u08[1]                                       | 32   |
| _DataRegisters_Cnt_u08[2]  |  |
| _DataRegisters_Cnt_u08[3]  | 36   |
| _DataRegisters_Cnt_u08[4]  | 38   |
| C_DataRegisters_Cnt_u08[5]                                       | 34   |
| _DataRegisters_Cnt_u08[6]  | 10   |
| _DataRegisters_Cnt_u08[7]  | 12   |
| _DataRegisters_Cnt_u08[8]  | 14   |
| 2cREG1_temp  | target_i2cREG1_temp                                |
| _ColSensorI2CAddress_Cnt_u08                                     | 47   |
| _SpurSensorI2CAddress_Cnt_u08                                    | 120  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                    | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                    | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                    | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                   | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                   | 1204   |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87          |
|  |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
|  |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3           |
|  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 55          |
| target I2c Send I2cRegPtr Cnt T str.IMR          | 66          |
| target I2c Send I2cRegPtr Cnt T str.STR          | 556         |
| · ·  |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 2309        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 1204        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 87          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 67          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 55          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 66          |
|  | 2309        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 5           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 1204        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1           |
|  |             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 3           |
|  | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 556         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 1204        |
| target I2c SetRecv I2cRegPtr Cnt T str.CNT       | 87          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 67          |
|  | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR       | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 5           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 3           |
| target I2c SetRecv I2cRegPtr Cnt T str.PSC       | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 1204        |
|  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN       | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT      | 3           |
| target I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET       | 3           |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLR       | 1           |
|  |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR       | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD        | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL       | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR     | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR     | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR     | 556         |
| 0 =  |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 66          |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 66          |
| target I2c SetStatus I2cRegPtr Cnt T str.PID11           | 1204        |
|  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.ODR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556         |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL   | 2309        |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 66          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 556         |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 55          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 66          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
|  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 1           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target i2cREG1 temp.OAR                                  | 55          |
| <del>-</del> -   |             |

2014-10-14, 23:08:30+0530



| Name  | Input Value       |                                 |          |
|---|-------------------|---------------------------------|----------|
| target_i2cREG1_temp.IMR   | 66                |                                 |          |
| target_i2cREG1_temp.STR   | 556               |                                 |          |
| target_i2cREG1_temp.CLKL  | 2309              |                                 |          |
| target_i2cREG1_temp.CLKH  | 1204              |                                 |          |
| target_i2cREG1_temp.CNT   | 87                |                                 |          |
| target_i2cREG1_temp.DRR   | 67                |                                 |          |
| target_i2cREG1_temp.SAR   | 55                |                                 |          |
| target_i2cREG1_temp.DXR   | 66                |                                 |          |
| target_i2cREG1_temp.MDR   | 2309              |                                 |          |
| target_i2cREG1_temp.IVR   | 5                 |                                 |          |
| target_i2cREG1_temp.EMDR  | 3                 |                                 |          |
| target_i2cREG1_temp.PSC   | 66                |                                 |          |
| target_i2cREG1_temp.PID11   | 1204              |                                 |          |
| target_i2cREG1_temp.PID12   | 66                |                                 |          |
| target_i2cREG1_temp.DMAC  | 3                 |                                 |          |
| target_i2cREG1_temp.FUN   | 1                 |                                 |          |
| target_i2cREG1_temp.DIR   | 1                 |                                 |          |
| target_i2cREG1_temp.DIN   | 2                 |                                 |          |
| target_i2cREG1_temp.DOUT  | 3                 |                                 |          |
| target_i2cREG1_temp.SET   | 3                 |                                 |          |
| target i2cREG1 temp.CLR   | 1                 |                                 |          |
| target_i2cREG1_temp.ODR   | 2                 |                                 |          |
| target i2cREG1 temp.PD  | 3                 |                                 |          |
| target i2cREG1 temp.PSL   | 3                 |                                 |          |
| Name  | Actual Value      | Expected Value                  | Result   |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08   | 4                 | 4                               | ~        |
| DigColPsInt Buffer Cnt M u08[0]   | 12                | 12                              | <b>~</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 20                | 20                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 30                | 30                              | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 1                 | 1                               | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1                 | 1                               | <b>~</b> |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 1                 | 1                               | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 2309              | 2309                            | <b>~</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 47                | 47                              | _        |
| DigColPsInt CurrentStepNo Cnt M enum  |                   | INIT SENSOR1 EXTREADCTRLREG SET | ~        |
| DigColPsInt_I2CHwCustData_UIs_M_u16   | 106               | 106                             | _        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 180               | 180                             | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                 | 0                               | ~        |
| DigColPsInt NackOccured Cnt M Igc   | 1                 | 1                               | ~        |
| DigColPsInt RecvOverrunError Cnt M Igc  | 1                 | 1                               | _        |
| DigColPsInt RecvdDataType Cnt M u08   | 5                 | 5                               | <b>✓</b> |
| DigColPsInt SpurCustDatFound Cnt M lgc  | 0                 | 0                               | _        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 87                | 87                              | ~        |
| DigColPsInt TransactionCnt Cnt M u08  | 14                | 14                              | ~        |
| I2c_Send(Length_Cnt_T_u32)  | 1                 | 1                               |          |
|   | 1                 | 1                               | J        |
| I2c SetupMasterTransmit(DataLength Cnt T u16)   |                   |                                 | <b>→</b> |
| 2c_SetupMasterTransmit(DataLength_Cnt_T_u16)<br>  target  2c_GenStopCond  2cRegPtr_Cnt_T_str_OAR  | 55                | 55                              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55<br>66          | 55<br>66                        |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66                | 66                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 66<br>556         | 66<br>556                       | ✓<br>✓   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 66<br>556<br>2309 | 66<br>556<br>2309               | <b>*</b> |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)     target_ I2c_GenStopCond_ I2cRegPtr_Cnt_T_str.OAR     target_ I2c_GenStopCond_ I2cRegPtr_Cnt_T_str.IMR     target_ I2c_GenStopCond_ I2cRegPtr_Cnt_T_str.STR     target_ I2c_GenStopCond_ I2cRegPtr_Cnt_T_str.CLKL     target_ I2c_GenStopCond_ I2cRegPtr_Cnt_T_str.CLKH     target_ I2c_GenStopCond_ I2cRegPtr_Cnt_T_str.CLKH     target_ I2c_GenStopCond_ I2cRegPtr_Cnt_T_str.CNT | 66<br>556         | 66<br>556                       | ~        |





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | <b>~</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>~</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 1204<br>66   | 1204<br>66     |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12 target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC        | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |          |
| target I2c Send I2cRegPtr Cnt T str.DIR   | 1            | 1              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | <b>V</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 66           | 66             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR     | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  | 2            | 2              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ·        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.ODR  | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR  | 556          | 556            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | · ·      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | · ·      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | <b>*</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | Ž        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |          |
| target I/C SetStatus I/CRegPtr Cpt   etr ClD  |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR | 2            | 2              |          |
| target_Izc_SetStatus_IzcRegPtr_Cnt_   | 2 3          | 2 3            | <b>✓</b> |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR     | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66           | 66             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87           | 87             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 2            | 2              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 66           | 66             | ✓        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11 | 1204         | 1204           | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 66           | 66             | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | •        |
| J  | •            | -              |          |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | •        |

| Test Step 2.35 (Repeat Count = 1)               |                                  | ✓ |
|---|----------------------------------|---|
| Name  | Input Value                      |   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 2                                |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 22                               |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 44                               |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 55                               |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0                                |   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0                                |   |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0                                |   |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 495                              |   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 40                               |   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADCTRLREG_READ |   |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 109                              |   |



| DigColPsInt_InterruptNotification  | TAACILAL   |
|--|--|
| Name   | Input Value  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                                  | 191  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 0  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 1  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 897  |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 6  |
| Flags_Cnt_T_b16  | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                                     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                                    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]  | 0  |
| _DataRegisters_Cnt_u08[1]  | 32   |
| _DataRegisters_Cnt_u08[2]  | 30   |
| 「_DataRegisters_Cnt_u08[3]   | 36   |
| _DataRegisters_Cnt_u08[4]  | 38   |
| _DataRegisters_Cnt_u08[5]  | 34   |
| _DataRegisters_Cnt_u08[6]  | 10   |
| _DataRegisters_Cnt_u08[7]  | 12   |
| 「_DataRegisters_Cnt_u08[8]   | 14   |
| 2cREG1_temp  | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08   | 51   |
| _SpurSensorl2CAddress_Cnt_u08  | 5  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                                  | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                                  | 78   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                                  | 78   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                                 | 495  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                                 | 56   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                                  | 897  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                                  | 98   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                                  | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                                  | 78   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.MDR                                  | 495  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                                  | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                                 | 0  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.PSC                                  | 78   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                               | 56   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                | 78   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DMAC                                 | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                                  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                                  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                                  | 1  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DOUT                                 | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                                  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                                  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                                  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                                   | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                                  | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 78   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 78   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 495  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 56   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH arget_l2c_Send_l2cRegPtr_Cnt_T_str.CNT | 897  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 98   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 66   |
|  | 78   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 495  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 78   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                      | 56   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                      | 78   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.FUN   | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1  |

2014-10-14, 23:08:30+0530



| <del></del>   |             |
|---|-------------|
| Name  | Input Value |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                 | 0           |
|   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                 | 1           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR                 |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR              | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR              | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR              | 78          |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKL             | 495         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH             | 56          |
| target I2c SetRecv I2cRegPtr Cnt T str.CNT              | 897         |
| · ·   |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR              | 98          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 495         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 78          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 56          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 78          |
|   | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN              | 0           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR              | 0           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 0           |
|   | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | •           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR            | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 495         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 56          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 897         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 98          |
| target I2c SetStatus I2cRegPtr Cnt T str.SAR            | 66          |
| target I2c SetStatus I2cRegPtr Cnt T str.DXR            | 78          |
|   | 495         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR            | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 56          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 78          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 1           |
|   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 0           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 78          |
|   | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 495         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 56          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 897         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 98          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 495         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 66          |
|   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC   | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 56          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 78          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0           |
|   |             |

2014-10-14, 23:08:30+0530

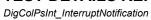


| Name   | Input Value   |   |                                       |
|--|---|---|---------------------------------------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 0   |   |                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 1   |   |                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 0   |   |                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0   |   |                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 0   |   |                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 1   |   |                                       |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD   | 0   |   |                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 66<br>78  |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 78  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 495   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 56  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 897   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 98  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 66  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 78  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 495   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 66  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 78  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 56  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 78  |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtt_Cnt_T_str.DIR   | 0   |   |                                       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 0   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0   |   |                                       |
| target_i2cREG1_temp.OAR  | 66  |   |                                       |
| target_i2cREG1_temp.IMR  | 78  |   |                                       |
| target_i2cREG1_temp.STR  | 78  |   |                                       |
| target_i2cREG1_temp.CLKL   | 495   |   |                                       |
| target_i2cREG1_temp.CLKH   | 56  |   |                                       |
| toward Caption CNT   |   |   |                                       |
| target_i2cREG1_temp.CNT  | 897   |   |                                       |
| target_i2cREG1_temp.DRR  | 98  |   |                                       |
| target_i2cREG1_temp.DRR<br>target_i2cREG1_temp.SAR   | 98<br>66  |   |                                       |
| target_i2cREG1_temp.DRR  | 98  |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.SAR target_i2cREG1_temp.DXR  | 98<br>66<br>78  |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.SAR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR  | 98<br>66<br>78<br>495   |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR  | 98<br>66<br>78<br>495<br>66   |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR   | 98<br>66<br>78<br>495<br>66<br>0  |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12  | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78  |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC  | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78  |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.FUN  | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78<br>0   |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.FUN target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR  | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78<br>0<br>0  |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR  | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78<br>0<br>0  |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT   | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78<br>0<br>0<br>0   |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DUN target_i2cREG1_temp.DUN target_i2cREG1_temp.DUN target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET  | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78<br>0<br>0<br>0<br>1  |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR   | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78<br>0<br>0<br>0<br>0<br>1   |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.ODR  | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78<br>0<br>0<br>0<br>0<br>1   |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DUN target_i2cREG1_temp.DUN target_i2cREG1_temp.DUN target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.CLR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR   | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78<br>0<br>0<br>0<br>0<br>1   |   |                                       |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.CLR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL   | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78<br>0<br>0<br>0<br>0<br>1<br>0<br>0<br>0                              | Expected Value  | Result                                |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DUN target_i2cREG1_temp.DUN target_i2cREG1_temp.DUN target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.CLR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR   | 98<br>66<br>78<br>495<br>66<br>0<br>78<br>56<br>78<br>0<br>0<br>0<br>0<br>1<br>0<br>0                                   | Expected Value 3  | Result                                |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.CLR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name   | 98 66 78 495 66 0 78 56 78 0 0 0 0 1 0 0 Actual Value   | •   | Result                                |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PBDR target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID11 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.DCLR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 Actual Value   | 3   | Result                                |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0]   | 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 Actual Value 3 12 44 55  | 3 12  | <b>✓</b>                              |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DINAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.DCLR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 Actual Value 3 12 44 55  | 3<br>12<br>44<br>55<br>0  | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CndFailOccurred_Cnt_M_lgc   | 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 <b>Actual Value</b> 3 12 44 55   | 3<br>12<br>44<br>55<br>0  | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.WR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.CLR target_i2cREG1_temp.CDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CndFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 <b>Actual Value</b> 3 12 44 55 0 0 0                                       | 3<br>12<br>44<br>55<br>0<br>0                                   | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.CLR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16  | 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 <b>Actual Value</b> 3 12 44 55 0 0 0 0 495                                 | 3<br>12<br>44<br>55<br>0<br>0<br>0<br>495                       | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.SAR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u08 DigColPsInt_ColSnsrData_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08   | 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 <b>Actual Value</b> 3 12 44 55 0 0 0 0 495 51                              | 3<br>12<br>44<br>55<br>0<br>0<br>0<br>495<br>51                 | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.SAR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.WR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CndFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatColCnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_uenum   | 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 Actual Value 3 12 44 55 0 0 0 0 495 51 INIT_SENSOR1_EXTREADCTRLREG_SET     | 3 12 44 55 0 0 0 495 51 INIT_SENSOR1_EXTREADCTRLREG_SET         | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.SAR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.HDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_unen DigColPsInt_CurrentSlave_Cnt_M_unen DigColPsInt_CurrentSlave_Cnt_M_unen DigColPsInt_CurrentSlave_Cnt_M_unen DigColPsInt_CurrentSlave_Cnt_M_unen | 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 Actual Value 3 12 44 55 0 0 0 0 495 51 INIT_SENSOR1_EXTREADCTRLREG_SET 109 | 3 12 44 55 0 0 0 495 51 INIT_SENSOR1_EXTREADCTRLREG_SET 109     | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.DXR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.DCR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatColCnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  | 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 Actual Value 3 12 44 55 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1                | 3 12 44 55 0 0 0 495 51 INIT_SENSOR1_EXTREADCTRLREG_SET 109 191 | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.DRR target_i2cREG1_temp.SAR target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.HDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIN target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_unen DigColPsInt_CurrentSlave_Cnt_M_unen DigColPsInt_CurrentSlave_Cnt_M_unen DigColPsInt_CurrentSlave_Cnt_M_unen DigColPsInt_CurrentSlave_Cnt_M_unen | 98 66 78 495 66 0 78 56 78 0 0 0 1 0 0 1 0 0 Actual Value 3 12 44 55 0 0 0 0 495 51 INIT_SENSOR1_EXTREADCTRLREG_SET 109 | 3 12 44 55 0 0 0 495 51 INIT_SENSOR1_EXTREADCTRLREG_SET 109     | · · · · · · · · · · · · · · · · · · · |

DigColPsInt\_InterruptNotification



|   | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0            | 0              | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 1            | 1              | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1            | 1              | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 897          | 897            | <b>✓</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 6            | 6              | ~        |
| I2c_Send(Length_Cnt_T_u32)  | 1            | 1              | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1            | 1              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 66           | 66             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 78           | 78             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 78           | 78             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 495          | 495            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 56           | 56             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 897          | 897            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 98           | 98             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 66<br>78     | 66<br>  78     | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR | 495          | 495            |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 66           | 66             | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.PSC  | 78           | 78             | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 56           | 56             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 78           | 78             | ·        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 897          | 897            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 78           | 78             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 495          | 495            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | <b>~</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 56           | 56             | ¥        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 78           | 78             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ¥        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | V        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT           | 0            | 0              | -        |
|   | 0            | 0              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR               | 0            | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 66           | 66             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 78           | 78             | _        |
| target I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 78           | 78             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 495          | 495            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 56           | 56             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 897          | 897            | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 98           | 98             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 78           | 78             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 495          | 495            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 66           | 66             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 78           | 78             | ~        |
|   | 56           | 56             | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11  |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_i_str.PiD11 target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PiD12     | 78<br>0      | 78             | ~        |





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ✓ ✓      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 66<br>78     | 66<br>  78     | ✓ ✓      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR                   | 78           | 78             |          |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKL   | 495          | 495            | ~        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKH   | 56           | 56             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 897          | 897            | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 98           | 98             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 78           | 78             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 495          | 495            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 78           | 78             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 56           | 56             | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12  | 78           | 78             | <b>*</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | -        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN                   | 1            | 1              |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DOUT   | 0            | 0              | -        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.SET  | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 78           | 78             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 78           | 78             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 495          | 495            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 56           | 56             | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT   | 897          | 897            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 98           | 98             |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR | 66<br>78     | 78             | -        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR   | 495          | 495            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 66           | 66             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 78           | 78             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 56           | 56             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 78           | 78             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD  | 1 0          | 0              | ~        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL   | 0            | 0              | -        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR  | 66           | 66             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 78           | 78             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 495          | 495            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 56           | 56             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 897          | 897            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 98           | 98             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 78           | 78             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 495          | 495            | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  | 66           | 66             | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 78<br>56     | 78<br>56       |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  | Ju           | 30             | _        |

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD

 $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL$ 

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 78           | 78             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ✓        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 1            | 1              | <b>✓</b> |

0

| T                       |       |                         | <b>✓</b> |        |
|-------------------------|-------|-------------------------|----------|--------|
| Actual Function         | Count | Expected Function       | Count    | Result |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1        | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1        | •      |
| I2c Send                | 1     | I2c Send                | 1        | _      |

0

| Name  | Input Value  |
|---|--|
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                         | 0  |
| DigColPsInt Buffer Cnt M u08[0]   | 0  |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 0  |
| DigColPsInt Buffer Cnt M u08[2]   | 0  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                                   | 0  |
| DigColPsInt CmdFailOccurred Cnt M Igc                                   | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                                   | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16                                       | 0  |
|   | 0  |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum | · ·  |
|   | INIT_NOT_INITIALIZED 0                             |
| DigColPsInt_I2CHwCustData_UIs_M_u16                                     | 0  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                           |  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                                    | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc                                       | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08                                   | 0  |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc                                  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                                     | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc                                 | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                                  | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                                      | 0  |
| DigColPsInt_TransactionCnt_Cnt_M_u08                                    | 0  |
| Flags_Cnt_T_b16   | 1  |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)                                     | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)                                       | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                              | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                             | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]   | 0  |
| _DataRegisters_Cnt_u08[1]   | 32   |
| _DataRegisters_Cnt_u08[2]   | 30   |
| _DataRegisters_Cnt_u08[3]   | 36   |
| _DataRegisters_Cnt_u08[4]   | 38   |
| Γ_DataRegisters_Cnt_u08[5]  | 34   |
| _DataRegisters_Cnt_u08[6]   | 10   |
| Γ_DataRegisters_Cnt_u08[7]  | 12   |
| Γ_DataRegisters_Cnt_u08[8]  | 14   |
| 2cREG1_temp   | target_i2cREG1_temp                                |
| c_ColSensorl2CAddress_Cnt_u08   | 0  |
| _SpurSensorI2CAddress_Cnt_u08   | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                           | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                           | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                           | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                          | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                          | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                           | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                           | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                           | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                           | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                           | 0  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR | 0           |
| target I2c GenStopCond I2cRegPtr Cnt T str.DIN  | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 0           |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR               | 0           |
| target_12c_Send_12cRegPtr_Cnt_T_str.STR   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 0           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 0           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR              | 0           |
| target_12c_Send_12cRegPtr_Cnt_T_str.PSC   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR               | 0           |
| target_12c_Send_12cRegPtr_Cnt_T_str.ODR   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT        | 0           |
| target I2c SetRecv I2cRegPtr Cnt T str.DRR  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 0           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 0           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 0           |
| target I2c SetRecv I2cRegPtr Cnt T str.FUN  | 0           |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DIR  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 0           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  | 0           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD   | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR       | 0           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.lMR  | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 0           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH   | 0           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT  | 0           |
|   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR     | 0           |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 0           |
|  | 0           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 0           |
|  | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 0           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.STR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 0           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 0           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 0           |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 0           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 0           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 0           |
|  | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 0           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 0           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 0           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 0           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0           |
|  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0           |
|  | 0           |
| target_i2cREG1_temp.OAR                                  |             |
| target_i2cREG1_temp.IMR                                  | 0           |
| target_i2cREG1_temp.STR                                  | 0           |
| target_i2cREG1_temp.CLKL                                 | 0           |
| target_i2cREG1_temp.CLKH                                 | 0           |
| target_i2cREG1_temp.CNT                                  | 0           |
|  |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value   |                |          |
|--|---------------|----------------|----------|
| target_i2cREG1_temp.DRR  | 0             |                |          |
| target_i2cREG1_temp.SAR  | 0             |                |          |
| target_i2cREG1_temp.DXR  | 0             |                |          |
| target_i2cREG1_temp.MDR  | 0             |                |          |
| target_i2cREG1_temp.IVR  | 0             |                |          |
| target_i2cREG1_temp.EMDR   | 0             |                |          |
| target_i2cREG1_temp.PSC  | 0             |                |          |
| target_i2cREG1_temp.PID11  | 0             |                |          |
| target_i2cREG1_temp.PID12  | 0             |                |          |
| target_i2cREG1_temp.DMAC   | 0             |                |          |
| target_i2cREG1_temp.FUN  | 0             |                |          |
| target_i2cREG1_temp.DIR  | 0             |                |          |
| target_i2cREG1_temp.DIN  | 0             |                |          |
| target_i2cREG1_temp.DOUT<br>target_i2cREG1_temp.SET  | 0             |                |          |
| target_i2cREG1_temp.CLR  | 0             |                |          |
| target_i2cREG1_temp.ODR  | 0             |                |          |
| target_i2cREG1_temp.PD   | 0             |                |          |
| target i2cREG1 temp.PSL  | 0             |                |          |
| Name   | Actual Value  | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 0             | 0              |          |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 0             | 0              | -        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 0             | 0              | -        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 0             | 0              | •        |
| DigColPsInt BusBusySegError Cnt M Igc  | 1             | 1              | -        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 0             | 0              | -        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 0             | 0              | -        |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 0             | 0              | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 0             | 0              | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_COMPLETE | INIT_COMPLETE  | •        |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 0             | 0              | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  | 0             | 0              | •        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0             | 0              | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0             | 0              | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0             | 0              | •        |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 0             | 0              | •        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0             | 0              | · ·      |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 0             | 0              | Ĭ        |
| DigColPsInt_TransactionCnt_Cnt_M_u08  I2c SetStatus(Status Cnt T u16)                        | 7             | 7              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 0             | 0              |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.IMR   | 0             | 0              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 0             | 0              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 0             | 0              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 0             | 0              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 0             | 0              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 0             | 0              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 0             | 0              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 0             | 0              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 0             | 0              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 0             | 0              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 0             | 0              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 0             | 0              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11   | 0             | 0              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12   | 0             | 0              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC  | 0             | 0              | •        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN   | 0             | 0              | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 0             | 0              | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 0             | 0              | · ·      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 0             | 0              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 0             | 0              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 0             | 0              |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD | 0             | 0              |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PSL   | 0             | 0              |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.OAR  | 0             | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 0             | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 0             | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 0             | 0              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 0             | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 0             | 0              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 0             | 0              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 0             | 0              | •        |
|  |               |                |          |



| Name target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | Actual Value | Expected Value 0 | Result   |
|--|--------------|------------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 0            | 0                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 0            | 0                | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 0            | 0                | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 0            | 0                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 0            | 0                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0                | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN  | 0            | 0                | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN                              | 0            | 0                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0                | -        |
| target I2c Send I2cRegPtr Cnt T str.SET  | 0            | 0                | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0            | 0                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 0            | 0                | <b>V</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR   | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 0            | 0                | -        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH                      | 0            | 0                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 0            | 0                | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 0            | 0                | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 0            | 0                | <b>V</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC  | 0            | 0                | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR                        | 0            | 0                | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0                | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0                | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0                | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0            | 0                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 0            | 0                | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 0            | 0                | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL                   | 0            | 0                |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKH  | 0            | 0                | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 0            | 0                | _        |
| target I2c SetStatus I2cRegPtr Cnt T str.DRR   | 0            | 0                | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 0            | 0                | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 0            | 0                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 0            | 0                | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR   | 0            | 0                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0                | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 0            | 0                | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 0            | 0                | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12   | 0 0          | 0 0              | -        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN                   | 0            | 0                | -        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DIR   | 0            | 0                |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DIN   | 0            | 0                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0                | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET   | 0            | 0                | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR   | 0            | 0                | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR   | 0            | 0                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 0            | 0                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0                | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 0            | 0                | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR  | 0            | 0                | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 0            | 0                | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 0            | 0                | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT | 0            | 0                | ~        |
|  |              |                  |          |



| DigColPsInt_ | InterruptNotification |
|--------------|-----------------------|
|              |                       |

| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 0            | 0              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 0            | 0              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 0            | 0              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 0            | 0              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 0            | 0              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0            | 0              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              | •      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET    | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 0            | 0              | •      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR    | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 0            | 0              | ~      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~      |

| T .             |       |                   |       |      | <b>✓</b> |
|-----------------|-------|-------------------|-------|------|----------|
| Actual Function | Count | Expected Function | Count | Resu | lt       |
| I2c_SetStatus   | 1     | l2c_SetStatus     | 1     |      | ~        |

| Test Step 2.37 (Repeat Count = 1)               | ✓             |
|---|---------------|
| Name  | Input Value   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 11            |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 255           |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 255           |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 255           |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1             |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1             |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1             |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 65535         |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 127           |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ_COMPLETE |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 511           |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 255           |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1             |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1             |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 5             |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1             |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 5             |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1             |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1             |

#### 2014-10-14, 23:08:30+0530



| Name  | Input Value  |
|---|--|
| DigColPsInt_SpurSnsrData_Cnt_M_u16                    | 65535  |
| DigColPsInt_TransactionCnt_Cnt_M_u08                  | 255  |
| Flags_Cnt_T_b16                                       | 64   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)                  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                         | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                      | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)                    | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)           | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)          | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                            | 0  |
| T_DataRegisters_Cnt_u08[1]                            | 32   |
| T_DataRegisters_Cnt_u08[2]                            | 30<br>36   |
| T_DataRegisters_Cnt_u08[3]                            | 38   |
| T_DataRegisters_Cnt_u08[4]                            | 34   |
| T_DataRegisters_Cnt_u08[5] T DataRegisters Cnt u08[6] | 10   |
| T_DataRegisters_Cnt_u08[7]                            | 12   |
| T_DataRegisters_Cnt_u08[8]                            | 14   |
| i2cREG1 temp  | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                         | 127  |
| k_SpurSensorI2CAddress_Cnt_u08                        | 127  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR        | 1023   |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.IMR        | 255  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR        | 32767  |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL       | 65535  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH       | 65535  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT        | 65535  |
| target I2c GenStopCond I2cRegPtr Cnt T str.DRR        | 255  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR        | 1023   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR        | 255  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR        | 65535  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR        | 4095   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR       | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC        | 255  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11      | 65535  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12      | 255  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC       | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN        | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR        | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN        | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT       | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET        | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR        | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR        | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD         | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL        | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR               | 1023   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR               | 255  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR               | 32767  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL              | 65535  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH              | 65535  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT               | 65535  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR               | 255  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR               | 1023   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR               | 255  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR               | 65535  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR               | 4095   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR              | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC               | 255  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11             | 65535  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12             | 255  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC              | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN               | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR               | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN               | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT              | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET               | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR               | 3  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR               | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL               | 3  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR            | 1023   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR            | 255  |

2014-10-14, 23:08:30+0530



| lame  | Input Value |  |
|---|-------------|--|
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 32767       |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.CLKL  | 65535       |  |
|   |             |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH  | 65535       |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 65535       |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 255         |  |
| irget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 1023        |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 255         |  |
| rget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  | 65535       |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 4095        |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3           |  |
| urget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 255         |  |
|   |             |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 65535       |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 255         |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 3           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 3           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3           |  |
| rget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 3           |  |
|   | 3           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  |             |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3           |  |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 1023        |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 255         |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 32767       |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 65535       |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 65535       |  |
|   | 65535       |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  |             |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 255         |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 1023        |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 255         |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 65535       |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 4095        |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 255         |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 65535       |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 255         |  |
|   |             |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 3           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 3           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 3           |  |
| rget I2c SetStatus I2cRegPtr Cnt T str.ODR  | 3           |  |
|   |             |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3           |  |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 1023        |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 255         |  |
| get_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 32767       |  |
| get_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 65535       |  |
| get_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 65535       |  |
| rget I2c SetupMasterReceive I2cRegPtr Cnt T str.CNT   | 65535       |  |
|   |             |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 255         |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 1023        |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 255         |  |
| get_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 65535       |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 4095        |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 255         |  |
| get_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 65535       |  |
|   |             |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 255         |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 3           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 3           |  |
| rget I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT  | 3           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3           |  |
|   | 3           |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   |             |  |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 3           |  |
|   |             |  |
| rget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD<br>rget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL | 3 3         |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value  |                |        |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 1023         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 255          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 32767        |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 65535        |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 65535        |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 65535        |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 255          |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 1023         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 255          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 65535        |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 4095         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 255          |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11 | 65535        |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 255          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            |                |        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.FUN   | 1            |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 3            |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 3            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 3            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 3            |                |        |
|  | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   |              |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            |                |        |
| target_i2cREG1_temp.OAR                                  | 1023         |                |        |
| target_i2cREG1_temp.IMR                                  | 255          |                |        |
| target_i2cREG1_temp.STR                                  | 32767        |                |        |
| target_i2cREG1_temp.CLKL                                 | 65535        |                |        |
| target_i2cREG1_temp.CLKH                                 | 65535        |                |        |
| target_i2cREG1_temp.CNT                                  | 65535        |                |        |
| target_i2cREG1_temp.DRR                                  | 255          |                |        |
| target_i2cREG1_temp.SAR                                  | 1023         |                |        |
| target_i2cREG1_temp.DXR                                  | 255          |                |        |
| target_i2cREG1_temp.MDR                                  | 65535        |                |        |
| target_i2cREG1_temp.IVR                                  | 4095         |                |        |
| target_i2cREG1_temp.EMDR                                 | 3            |                |        |
| target_i2cREG1_temp.PSC                                  | 255          |                |        |
| target_i2cREG1_temp.PID11                                | 65535        |                |        |
| target_i2cREG1_temp.PID12                                | 255          |                |        |
| target_i2cREG1_temp.DMAC                                 | 3            |                |        |
| target_i2cREG1_temp.FUN                                  | 1            |                |        |
| target_i2cREG1_temp.DIR                                  | 3            |                |        |
| target_i2cREG1_temp.DIN                                  | 3            |                |        |
| target_i2cREG1_temp.DOUT                                 | 3            |                |        |
| target_i2cREG1_temp.SET                                  | 3            |                |        |
| target_i2cREG1_temp.CLR                                  | 3            |                |        |
| target_i2cREG1_temp.ODR                                  | 3            |                |        |
| target_i2cREG1_temp.PD                                   | 3            |                |        |
| target_i2cREG1_temp.PSL                                  | 3            |                |        |
| Name   | Actual Value | Expected Value | Result |

| 3             |   |   |
|---------------|---|---|
| Actual Value  | Expected Value  | Result  |
| 11            | 11  | ~   |
| 255           | 255   | ~   |
| 255           | 255   | ~   |
| 255           | 255   | ~   |
| 1             | 1   | ~   |
| 1             | 1   | ~   |
| 1             | 1   | ~   |
| 65535         | 65535   | ~   |
| 127           | 127   | ~   |
| READ_COMPLETE | READ_COMPLETE   | ~   |
| 511           | 511   | ~   |
| 255           | 255   | ~   |
| 1             | 1   | ~   |
| 1             | 1   | ~   |
| 1             | 1   | ~   |
| 5             | 5   | ~   |
| 1             | 1   | ~   |
| 65535         | 65535   | ~   |
| 255           | 255   | ~   |
| 1023          | 1023  | ~   |
| 255           | 255   | ~   |
| 32767         | 32767   | ~   |
|               | 11 255 255 255 1 1 1 1 65535 127 READ_COMPLETE 511 255 1 1 1 1 5 1 65535 255 1023 | 11     11       255     255       255     255       255     255       1     1       1     1       65535     65535       127     127       READ_COMPLETE     READ_COMPLETE       511     511       255     255       1     1       1     1       1     1       5     5       1     1       65535     65535       255     255       1023     1023       255     255 |

2014-10-14, 23:08:30+0530



| Name   | Actual Value   | Expected Value | Result   |
|--|----------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 65535          | 65535          | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 65535          | 65535          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 65535          | 65535          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 255            | 255            | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR   | 1023           | 1023           | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 255<br>65535   | 255<br>65535   | •        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR  | 4095           | 4095           | ~        |
| target I2c GenStopCond I2cRegPtr Cnt T str.EMDR  | 3              | 3              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 255            | 255            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 65535          | 65535          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 255            | 255            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3              | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1              | 1              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 3              | 3              | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT | 3              | 3              |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.SET   | 3              | 3              | ~        |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLR   | 3              | 3              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 3              | 3              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3              | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3              | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 1023           | 1023           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 255            | 255            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 32767          | 32767          | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL   | 65535          | 65535          | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT               | 65535<br>65535 | 65535<br>65535 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 255            | 255            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 1023           | 1023           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 255            | 255            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 65535          | 65535          | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 4095           | 4095           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3              | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 255            | 255            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 65535          | 65535          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 255            | 255            | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC   | 3              | 3              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR                | 3              | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 3              | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3              | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3              | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3              | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 3              | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3              | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3              | 3              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR   | 1023           | 1023           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 255<br>32767   | 255<br>32767   | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL         | 65535          | 65535          |          |
| target_I2C_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 65535          | 65535          | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 65535          | 65535          | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 255            | 255            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 1023           | 1023           | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 255            | 255            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 65535          | 65535          | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 4095           | 4095           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3              | 3              | <b>V</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 255<br>65535   | 255<br>65535   | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 255            | 255            | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC       | 3              | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1              | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 3              | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 3              | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3              | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3              | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 3              | 3              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 3              | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3              | 3              | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3<br>1023      | 3<br>1023      | 7        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 1020           | 1023           |          |

DigColPsInt\_InterruptNotification





|  | Name  | A - 4 1 V-1  | Four a ske d Walter | Descrit  |
|--|---|--------------|---------------------|----------|
| Target De, Seffender, Deskipper, Der 1, stell No. 2003  Target De, Seffender, Deskippe | Name  | Actual Value | Expected Value      | Result   |
|  |   | **           |                     | ,        |
| Happy 102, Sectional District (CT, 1 of CDP)   |   |              |                     | ·        |
| Lingst 126   Selfelbus 126   Engine Cot   1 st CNT   |   |              |                     |          |
| Langer LD - Sedicional Distriction Control   1 m DRR   26   255    |   |              |                     | ·        |
| Barger DE, Serifisher DER-page OF 11   11   15   15   15   15   15   15  |   |              |                     | -        |
| Larger, D.C., Selfscher, D.C. I., 19 D.NR. Larger, D.C., Selfscher, D.C., 19 D.NR. Larger, D.C. |   |              |                     | •        |
| Binger   12, SerSchman, Derkeppin   Cmil. Text MVR   |   |              |                     | ~        |
| Bigggl   DC, SerSchman, DCRegoring   Coll - T air EMPR   |   |              | 65535               | •        |
| Langet, ID., SerSteins, ID-Register, Cort. Jan PSO Langet, ID., SerSteins, ID-Register, Cort. Jan PHO12 Langet, ID., SerSteins, ID-Register, Cort. Jan PHO13 Langet, ID., SerSteins, ID-Register, Cort. Jan PHO13 Langet, ID., SerSteins, ID-Register, Cort. Jan PHO14 Langet, ID., SerSteins, ID-Register, Cort. Jan PHO14 Langet, ID., SerSteins, ID-Register, Cort. Jan DHOR Langet, ID., Sertice, Langet, ID., Langet, ID., Langet, ID., Sertice, ID., Langet, ID., S | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR                                  | 4095         | 4095                | ~        |
| Langer, I.Z. SesSissis, Distagriff, Crit. Test PID11   65535   65535   1   1   1   1   1   1   1   1   1   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR                                 | 3            | 3                   | <b>✓</b> |
| Langel ID, SelSchula (2016) Print T air DNDA  and though ID, EeRShau, 2016) Print T air DNDA  by Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, SelSchula (2016) Print T air DNDA  and Langel ID, Selbchlasterifectowe, Dickley ID, Langel ID, Langel ID, Langel ID, Selbchlasterifectowe, Dickley ID, Langel ID, Langel ID, Selbchlasterifectowe, Dickley ID, Langel  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC                                  | 255          | 255                 | •        |
| Larget ID.   SelStatus   ZeRegiff Conf   1 st DIAAC  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11                                | 65535        | 65535               | ~        |
| Image: 1_PS_SetSchutz_PSRopPi_COTSET   BIN   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12                                | 255          | 255                 | ~        |
| Septembro   Sept   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC                                 | 3            | 3                   | •        |
| Integral   22, SeSSIMAN   22Respit   CMT_SEST   3   3   3   4   4   4   4   4   4   4  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN                                  | 1            | 1                   | ~        |
| Image:   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR                                  | 3            | 3                   | ~        |
| Image:   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN                                  | 3            | 3                   | ~        |
| Impact   12. Selfstates   Exhloging Cot   1 at COR   3   3   3   3   3   3   3   3   3   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT                                 | 3            | 3                   | ~        |
| Image: Ligo Self-States   Exhibiting   Colin   Set PD  |   | 3            | 3                   | ~        |
| Impget Lips SetSubus   ZorRapPr CMT_SETPD   3   3   3   3   3   3   3   3   3  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR                                  | 3            | 3                   | ~        |
| Larges LEG. Selfschind 20cRapPt Cort T_str PSL 3 3 3 3 4 4 4 1 1 1 1 1 1 1 1 1 1 1 1 1   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR                                  |              | 3                   | ~        |
| Images   125, Seleph/BasterPaceney   224-86pth Cont.   1, str CAR   1023   1023   1023   1024   1034   10   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD                                   | 3            | 3                   | ~        |
| Linger, E.G., SchlighbasterRecover, Jacksepthr, Cont. J., str. NRTR         255           Linger, E.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. CLKL         65535           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. CLKL         65535           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. CLKH         65535           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. DRR         295           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. DRR         296           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. DRR         295           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. DRR         295           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. DRR         295           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. DRR         295           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. PDR         4095           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. PDR         3           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. PDR         255           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. PDR         255           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. DRR         3           Linger, L.G., SehlighbasterRecover, Jacksepthr, Cont. J., str. DRR         3           Linger, L.G., SehlighbasterRecover  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL                                  | 3            | 3                   | ~        |
| Integral L.D. SchupMasterReceive_IzeRegPtr_Cot_I _str_CLIK   Engine Ize_SetupMasterReceive_IzeRegPtr_Cot_I _str_CLIK   68535   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                         | 1023         |                     | ~        |
| target_Dzc_SchupMasterReceive_DzcRegipt**         CNLT_str.CLKI         65535         65535           target_Dzc_SchupMasterReceive_DzcRegipt**         CNLT_str.CNT         65535         65535         95535           target_Dzc_SchupMasterReceive_DzcRegipt**         CNLT_str.CNT         65535         65535         95535           target_Dzc_SchupMasterReceive_DzcRegipt**         CNLT_str.CNT         65535         255         256           target_Dzc_SchupMasterReceive_DzcRegipt**         CNLT_str.CNT         65535         256         256           target_Dzc_SchupMasterReceive_DzcRegipt**         CNLT_str.CNT         4055         4055         4095           target_Dzc_SchupMasterReceive_DzcRegipt**         CNLT_str.CNT         4095         4095         4095           target_Dzc_SchupMasterReceive_DzcRegipt**         CNLT_str.DND         3         3         3   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                         | 255          |                     | ~        |
| target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.CNT         65535         65535           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.CNT         65535         65535           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNR         255         259           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNR         256         255           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNR         255         256           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNR         3605         65535           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNR         3005         4005           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNR         3         3         3           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNR         3         3         3           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNR         3         3         3           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNA         3         3         3           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNA         3         3         3           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNA         3         3         3           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNA         3         3         3           target_Los_SetuphasterReceive_LozRegiptr_CnLT_str.DNA <td></td> <td></td> <td></td> <td>~</td>  |   |              |                     | ~        |
| broget_Loz_SetupMasterReceive_IzcRegPtr_Cnt_str.DR         55535           broget_Loz_SetupMasterReceive_IzcRegPtr_Cnt_str.DRR         255           broget_Loz_SetupMasterReceive_IzcRegPtr_Cnt_str.DXR         255           broget_Loz_SetupMasterReceive_IzcRegPtr_Cnt_str.DXR         255           broget_Loz_SetupMasterReceive_IzcRegPtr_Cnt_str.DXR         255           broget_Loz_SetupMasterReceive_IzcRegPtr_Cnt_str.DXR         255           broget_Loz_SetupMasterReceive_IzcRegPtr_Cnt_str.DXR         4095           broget_Loz_SetupMasterReceive_IzcRegPtr_Cnt_str.DXR         3           broget_Loz_SetupMasterReceive_IzcRegPtr_Cnt_str.DXR  |   |              |                     | ~        |
| singel, 12b, SelupMasterReceive   J2cRepPtr_CntT_str.DRR         255         255           targel, 12b, SelupMasterReceive   J2cRepPtr_CntT_str.DRR         255         225           targel, 12b, SelupMasterReceive   J2cRepPtr_CntT_str.DRR         255         225           targel, 12b, SelupMasterReceive   J2cRepPtr_CntT_str.DRR         60533         65535           targel, 12b, SelupMasterReceive   J2cRepPtr_CntT_str.DRR         4005         4006           targel, 12b, SelupMasterReceive   J2cRepPtr_CntT_str.DRR         3         3           targel, 12b, SelupMasterReceive   J2cRepPtr_CntT_str.DRR         3         3           strigel, 12b, SelupMaste  |   |              |                     | ~        |
| target J.2., SetupMasterReceive J2cRepPtr_CntT_str.SAR         1023           target J.2., SetupMasterReceive J2cRepPtr_CntT_str.DAR         255         255           target J.2., SetupMasterReceive J2cRepPtr_CntT_str.DAR         65533         68535           target J.2., SetupMasterReceive J2cRepPtr_CntT_str.DAR         4095         4095           target J.2., SetupMasterReceive J2cRepPtr_CntT_str.DAR         3         3           target J.2., SetupMasterReceive J2cRepPtr_CntT_str.DAR         65535         65535           target J.2., SetupMasterReceive J2cRepPtr_CntT_str.DAR         65535         65535           target J.2., SetupMasterReceive J2cRepPtr_CntT_str.DAR         3         3           target J.2., SetupMasterReceive J2cRepPtr_CntT_str.DAR         3         3           target J2., SetupMasterTarasset J2cRepPtr_CntT_str.DAR         3 <td></td> <td></td> <td></td> <td>~</td>  |   |              |                     | ~        |
| target_12. SetupMasterReceive_12RegPtr_Cnt_T.st MDR         255           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st MDR         65535           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st EMDR         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st EMDR         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st EMDR         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st PDD11         65335           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st PDD12         255           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st PDD12         255           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st DDR         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st DDR         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st DDR         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st DDDT         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st DDDT         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st Cnt_T.st DDT         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st Cnt_T.st DDT         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st Cnt_T.st DDT         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st DDT         3           target_12. SetupMasterReceive_12RegPtr_Cnt_T.st DDT         3           target_12. SetupMasterTaranmul_CRegPptr_Cnt_T  |   |              |                     | ~        |
| target   2c SetupMasterReceive   2cRegPtr_Cnt_T str.NDR   65535   65535   1979ct   2c, SetupMasterReceive   2cRegPtr_Cnt_T str.NDR   3   3   3   1979ct   2c, SetupMasterReceive   2cRegPtr_Cnt_T str.NDR   1   1   1   1979ct   2c, SetupMasterReceive   2cRegPtr_Cnt_T str.NDR   3   3   3   1979ct   2c, SetupMasterTransmil_2cRegPtr_Cnt_T str.NDR   3   3   3   1979ct   2c, SetupMasterTransmil_2cRegPtr_Cnt_T str.NDR   3   3   3   3   3   3   3   3   3                           |   |              |                     | ~        |
| target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.NR         4095           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.PBC         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.PBC         255           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.PD11         65535           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.PD12         255           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.DNAC         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.DNR         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.DNR         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.DNR         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.DNN         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.DNN         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.DNN         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLR         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.DNN         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.DNN         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.DNN         3           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str.DNN         3           target_12e_SetupMasterTaramit_12cRegPtr_Cnt_T_str.DNN         3           target_12e_SetupMasterTaramit_12cRegPtr_Cnt_T_st  | · · - · - · - · - · - · - · · - · · - · |              |                     | ~        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PMDR         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PMDF         255         255           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PMDF         65535         65535           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMA         1         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMA         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMA         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMA         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.Clt_R         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.OR         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMA         3         3           target_12c_SetupMasterTarasmit_12cRegPtr_Cnt_T_str.DAR         3         3           target_12c_SetupMasterTarasmit_12cRegPtr_Cnt_T_str.DAR         1023         1023           target_12c_SetupMasterTarasmit_12cRegPtr_Cnt_T_str.DAR         255<   |   |              |                     | ~        |
| Isrget   2c.   SetupMasterReceive   2cRegPtr_Cnt_T_str.PDC   |   |              |                     | ~        |
| target   2c. SetupMasterReceive   2cRegPtr. Cnt. T. str. PID12   255     |   |              |                     |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12         255         255           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC         3         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         1         1         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         3         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         3         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOR         3         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DAR         1023         1023         1023           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         1023         1023         1023           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         255         255         255           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         255   |   |              |                     | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DN         1         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_str.DN         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DN         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DD         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DD         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DD         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DD         3         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DR         3         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DR         255         255           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DR         255         255           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DR         65535         65535           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         255         255           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         255  |   |              |                     | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DIR         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DIR         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DIN         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DOUT         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DOUT         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_CR         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DI         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DI         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DI         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str_DAR         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DAR         1023           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_Str_DAR         255           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DAR         255           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DAR         65535           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DAR         65535           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DAR         256           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DAR         256           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_DAR         256           target_I2c_SetupMasterTransmit  |   |              |                     | <b>V</b> |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIR         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DET         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DER         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DER         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DER         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DER         3         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER         3         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER         3         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER         65535         65535           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER         65535         65535           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DER  |   |              |                     | <b>V</b> |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DIN         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DOUT         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.SET         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.CDR         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DOR         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.PD         3         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DAR         1023         1023           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DAR         1023         1023           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DAR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DKL         65535         65535           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DKL         65535         65535           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DKR         65535         65535           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DKR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DKR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DKR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_C  | · ·   |              |                     |          |
| target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DOUT         3         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.SET         3         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDR         3         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDR         3         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDR         3         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DAR         1023         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         1023         1023           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         255         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         256         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL         65535         65535           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT         65535         65535           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         255         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         255         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         255         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR         255         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cn  |   |              |                     | •        |
| target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLR         3         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLR         3         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.ODR         3         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DD         3         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.PSL         3         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         1023         1023           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         1003         1023           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         255         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL         65535         65535           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         255         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         3         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_st  |   |              |                     | ¥        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_Tstr.CLR         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_Tstr.ORD         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_Tstr.DD         3         3           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_Tstr.PSL         3         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_Tstr.DAR         1023         1023           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_Tstr.IMR         255         255           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_Tstr.DTR         32767         32767           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_Tstr.CLKL         65535         65535           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_Tstr.CLKH         65535         65535           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_Tstr.DRR         255         255           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_Tstr.DRR         255         255           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_Tstr.DRR         255         255           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_Tstr.MDR         65535         65535           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_Tstr.MDR         65535         65535           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_Tstr.MDR         65535         65535           target_I2c_SetupMasterTransmit_I2cRe  |   | 3            |                     | -        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PDL         3         3           target_12c_SetupMasterTeansmit_12cRegPtr_Cnt_T_str.DAR         1023         1023           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         1023         1023           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         1023         32767           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DLKL         65535         65535           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DLKH         65535         65535           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMDR         3         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIT         255         255           target_12c_SetupMasterTr  |   | 3            |                     |          |
| target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.PD         3         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.PSL         3         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         1023         1023           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         255         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.Ctr.         65535         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.Ctr.         65535         65535           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.Ctr.         65535         65535           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         65535         65535           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         255         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         255         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         255         255           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         65535         65535           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR         3         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PDT         3         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DDT         3         3           target_!2c_SetupMasterTrans  |   |              |                     |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR         1023           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MR         255           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR         32767           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL         65535           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH         65535           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH         65535           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         255           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         255           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         255           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         255           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         255           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         4095           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12         255           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12         255           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12         255           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12         255           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         3   |   |              |                     |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.OAR       1023       1023         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MR       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR       32767       32767         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL       65535       65535         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT       65535       65535         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR       255       256         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR       65535       65535         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR       65535       65535         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID1       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID1       65535       65535         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DINAC       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       3       3 <td></td> <td></td> <td></td> <td>-</td>   |   |              |                     | -        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.IMR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         65535         32767           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         65535         65535           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH         65535         65535           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT         65535         65535           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         65535         65535           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         4093         4093           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PBC         3         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PBC         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PBC         255         255           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DBC         3         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DBC         3         3           target_12c_Setu  |   |              |                     |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR       32767         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL       65535         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH       65535         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT       65535         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR       65535         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.NDR       65535         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11       65535         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN       1         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT <td></td> <td></td> <td></td> <td>-</td>  |   |              |                     | -        |
| target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.CLKL       65535       65535         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.CNT       65535       65535         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DNT       65535       65535         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR       255       255         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DNR       255       255         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DNR       255       255         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DNR       65535       65535         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.MDR       65535       65535         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DNR       3       3         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.PBC       255       255         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.PID11       65535       65535         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DMAC       3       3         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DNAC       3       3         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DIN       1       1         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DIN       3       3         target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DOUT       3       3 </td <td></td> <td></td> <td></td> <td></td>   |   |              |                     |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH       65535       65535         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       1023       1023         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR       65535       65535         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.IVR       4095       4095         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11       65535       65535         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIA       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT       3       3  |   |              |                     |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT       65535       65535         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR       65535       65535         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.WR       4095       4095         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11       65535       65535         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12       255       255         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       1       1         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT       3       3         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT       3       3   |   |              |                     |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR       65535       65535         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR       4095       4095         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PBC       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DID12       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DUT       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DUT       3       3 <t< td=""><td></td><td></td><td></td><td>-</td></t<>  |   |              |                     | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR       1023       1023         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR       65535       65535         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR       4095       4095         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       65535       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       3       3   |   |              |                     | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR       65535       65535         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR       4095       4095         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CDR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       3       3  |   |              |                     | ·        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR       65535       65535         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR       4095       4095         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC       255       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11       65535       65535         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12       255       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN       1       1         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CDR       3       3   |   |              |                     | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR       4095       4095         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC       255       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11       65535       65535         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12       255       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PUN       1       1         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR       3       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CDR       3       3  |   |              |                     | ·        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11       65535         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12       255         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN       1         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CDR       3   |   |              |                     | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PUN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       3       3  |   |              |                     | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PUN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       3       3  |   |              |                     | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR       3       3   |   |              |                     | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN       1         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR       3         target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR       3   |   |              |                     | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR       3       3  |   |              |                     | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       3       3         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR       3       3   |   |              |                     | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 3 3 3 4 4 4 4 4 4 4 4 4 4 4 4 4 4 4 4   |   |              |                     | V        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  3 3 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  3 3 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  3 3 3  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  3 3 3 4  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  3 5 5 6 7 7 8 7 8 7 8 7 8 7 8 7 8 7 8 7 8 7 8   |   |              |                     | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET 3 3 3 4 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 3 3 3 4 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 3 3 3 4 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 3 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5  |   |              |                     | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR 3 3 3 4 4 arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 3 3 3   |   |              |                     | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR 3   |   |              |                     | ~        |
|  |   |              |                     | ~        |
|  |   | 3            | 3                   | ~        |

DigColPsInt\_InterruptNotification



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL | 3            | 3              | ~      |

| Т               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | ~        |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



Test Case 3: Path Test

DigColPsInt\_InterruptNotification



#### Description

Test Vector Description:

TS3.1(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_SENSOR2\_READERROR\_SETREG) = TRUE TS3.2"(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_SENSOR2\_READERROR\_SETREG) = FALSE (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_COMPLETE) = TRUE"
TS3.3"(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_SENSOR2\_READERROR\_SETREG) = FALSE (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_COMPLETE) = FALSE" TS3.4Case: I2C\_AL\_INT;(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_COMPLETE) = TRUE TS3.5Case: I2C\_AL\_INT;(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_COMPLETE) = FALSE TS3.6"Case: INIT\_SENSOR1\_CHECKSTAT\_READ; TS3.5Case: IZC\_AL\_IN1;(DIgCoIPsInt\_CurrentStepNo\_Cnt\_M\_ent TS3.6"Case: INIT\_SENSOR1\_CHECKSTAT\_READ;
((DigCoIPsInt\_Buffer\_Cnt\_M\_u08[0] & 0x40U) != 0U) = TRUE &&
(DigCoIPsInt\_InitFailedOnce\_Cnt\_M\_lgc == FALSE) = TRUE"
TS3.7"Case: INIT\_SENSOR1\_CHECKSTAT\_READ;
((DigCoIPsInt\_Buffer\_Cnt\_M\_u08[0] & 0x40U) != 0U) = TRUE &&
(DigCoIPsInt\_InitFailedOnce\_Cnt\_M\_lgc == FALSE) = FALSE"
TS3.8"Case: INIT\_SENSOR1\_CHECKSTAT\_READ;
((DigCoIPsInt\_Buffer\_Cnt\_M\_u08[0] & 0x40U) != 0U) = FALSE &&
(DigCoIPsInt\_InitFailedOnce\_Cnt\_M\_lgc == FALSE) = TRUE"
TS3.9" Case: INIT\_SENSOR2\_CHECKSTAT\_READ
((DigCoIPsInt\_Buffer\_Cnt\_M\_u08[0] & 0x40U) != 0U) = TRUE&&
(DigCoIPsInt\_InitFailedOnce\_Cnt\_M\_lgc == FALSE) = TRUE"
TS3.10" Case: INIT\_SENSOR2\_CHECKSTAT\_READ
((DigCoIPsInt\_Buffer\_Cnt\_M\_u08[0] & 0x40U) != 0U) = TRUE&&
(DigCoIPsInt\_InitFailedOnce\_Cnt\_M\_lgc == FALSE) = FALSE"
TS3.11" Case: INIT\_SENSOR2\_CHECKSTAT\_READ
((DigCoIPsInt\_Buffer\_Cnt\_M\_u08[0] & 0x40U) != 0U) = TRUE&&
(DigCoIPsInt\_InitFailedOnce\_Cnt\_M\_lgc == FALSE) = FALSE"
TS3.11" Case: INIT\_SENSOR2\_CHECKSTAT\_READ
((DigCoIPsInt\_Buffer\_Cnt\_M\_u08[0] & 0x40U) != 0U) = FALSE&&
(DigCoIPsInt\_InitFailedOnce\_Cnt\_M\_lgc == FALSE) = TRUE"
TS3.12"Case: READ\_SENSOR1\_GETDATA;
(DigCoIPsInt\_SkipRegisterWrite\_Cnt\_M\_lgc == TRUE) = TRUE"
TS3.13"Case: READ\_SENSOR1\_GETDATA; TS3.13"Case: READ\_SENSOR1\_GETDATA; TS3.13"Case: READ\_SENSOR1\_GETDATA;
(DigCoIPSInt\_SkipRegisterWrite\_Cnt\_M\_lgc == TRUE) = FALSE"
TS3.14"case l2C\_SCD\_INT;
case INIT\_SENSOR2\_READERROR\_READ:"
TS3.15"case l2C\_SCD\_INT;
case INIT\_SENSOR1\_READERROR\_READ: "
TS3.16"case l2C\_SCD\_INT;
case INIT\_SENSOR1\_READEXTERR\_READ:"
TS3.17"case l2C\_SCD\_INT;
case INIT\_SENSOR2\_READEXTERR\_READ: "
TS3.18"case l2C\_SCD\_INT; TS3.18"case I2C\_SCD\_INT; case READ\_SENSOR2\_GETDATA:" TS3.19"case I2C\_ARDY\_INT; case INIT\_SENSOR1\_READERROR\_SETREG:"
TS3.20"case I2C\_ARDY\_INT;
case INIT\_SENSOR1\_READEXTERR\_SETREG:" TS3.21"case I2C\_ARDY\_INT; case INIT\_SENSOR1\_CHECKSTAT\_SETREG:"TS3.22"case I2C\_ARDY\_INT; case INIT\_SENSOR2\_READERROR\_SETREG:" TS3.23"case I2C\_ARDY\_INT; case INIT\_SENSOR2\_READEXTERR\_SETREG: TS3.24"case I2C\_ARDY\_INT; case INIT\_SENSOR2\_CHECKSTAT\_SETREG:" TS3.25"case I2C\_ARDY\_INT; case READ\_SENSOR1\_SETREG: case READ\_SENSOR1\_SETREG:
TS3.26'case 12C\_ARDY\_INT;
case READ\_SENSOR2\_SETREG:"
TS3.27"case 12C\_ARDY\_INT;
case INIT\_SENSOR1\_SENDCMD:"
TS3.28'case 12C\_ARDY\_INT;
case INIT\_SENSOR2\_SENDCMD:"
TS3.29case INIT\_SENSOR1\_EXTREADCTRLREG\_SENDCMD:
TS3.29case INIT\_SENSOR1\_EXTREADCTRLREG\_SENDCMD: TS3.30case INIT\_SENSOR1\_DUMMY\_SEND: TS3.31case INIT\_SENSOR2\_EXTREADCTRLREG\_SENDCMD: TS3.32case INIT\_SENSOR2\_DUMMY\_SEND: TS3.33"switch (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum) default: TS3.34"case I2C\_NACK\_INT: (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_SENSOR2\_READERROR\_SETREG)=False (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_COMPLETE)=True" TS3.35"case I2C\_NACK\_INT: (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_SENSOR2\_READERROR\_SETREG)=False
(DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum < INIT\_COMPLETE)=False"
TS3.36case INIT\_SENSOR1\_READERROR\_READ:
TS3.37case INIT\_SENSOR2\_READEXTERR\_READ:
TS3.38case INIT\_SENSOR1\_EXTREADDATREG\_READ:
TS3.39case INIT\_SENSOR2\_EXTREADCTRLREG\_READ:
TS3.39case INIT\_SENSOR2\_EXTREADCTRLREG\_READ: TS3.39"case INIT\_SENSOR2\_EXTREADCTRLREG\_READ:
( DigColPsInt\_AttempOccurForCustDatRead\_Cnt\_M\_u08 > D\_MAXATTEMPTSFORCUSTDATREAD\_CNT\_U08 )=True"
TS3.40"case INIT\_SENSOR1\_EXTREADCTRLREG\_READ:
if( (DigColPsInt\_Buffer\_Cnt\_M\_u08[1] & 0x01U) == 0x01U )=true"
TS3.41"case INIT\_SENSOR2\_CHECKSTAT\_READ:
((DigColPsInt\_Buffer\_Cnt\_M\_u08[0] & 0x40U) != 0U )=False"
TS3.42"case INIT\_SENSOR1\_CHECKSTAT\_READ:
((DigColPsInt\_Buffer\_Cnt\_M\_u08[0] & 0x40U) != 0U )=True"
TS3.43"case INIT\_SENSOR2\_CHECKSTAT\_READ:
(((DigColPsInt\_Buffer\_Cnt\_M\_u08[0] & 0x40U) != 0U) >= True"
TS3.43"case INIT\_SENSOR2\_CHECKSTAT\_READ:
(((DigColPsInt\_Buffer\_Cnt\_M\_u08[0] & 0x40U) != 0U) && ((DigColPsInt\_InitFailedOnce\_Cnt\_M\_lgc == FALSE))=true"
TS3.44case INIT\_SENSOR1\_READERROR\_READ:
TS3.45"switch (((iZcIntFlags)Flags\_Cnt\_T\_b16))
default:" default: TS3.46case INIT SENSOR1 DUMMY READ: TS3.47case INIT\_SENSOR2\_READERROR\_READ:
TS3.48case INIT\_SENSOR2\_DUMMY\_READ:
TS3.49case READ\_SENSOR2\_GETDATA: TS3.50"switch (DigColPsInt\_CurrentStepNo\_Cnt\_M\_enum) default:

TS3.51case INIT SENSOR2 EXTREADDATREG READ:



| Test Step 3.1 (Repeat Count = 1)   |  |
|--|--|
| Name   | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_READERROR_SETREG                      |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_RecvOverrunError Cnt M lgc                   | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10   |
| Flags_Cnt_T_b16  | 1  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]   | 0  |
| T_DataRegisters_Cnt_u08[1]   | 32   |
| T_DataRegisters_Cnt_u08[2]   | 30   |
| T_DataRegisters_Cnt_u08[3]   | 36   |
| T_DataRegisters_Cnt_u08[4]   | 38<br>34   |
| T_DataRegisters_Cnt_u08[5]   | 10   |
| T_DataRegisters_Cnt_u08[6] T_DataRegisters_Cnt_u08[7]  | 12   |
| T_DataRegisters_Cnt_u08[8]   | 14   |
| i2cREG1_temp   | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08  | 9  |
| k_SpurSensorl2CAddress_Cnt_u08   | 10   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 2309   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_1_str.lvR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR | 3  |
| target_l2c_GenStopCond_l2cRegPti_Cnt_T_str.PSC   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66   |
| target I2c GenStopCond I2cRegPtr Cnt T str.DMAC  | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT               | 1204<br>87   |
|  | U  |

2014-10-14, 23:08:30+0530



| DigColFSIII_Interruptivotilication                   |             | 401000 |
|--|-------------|--------|
| Name   | Input Value |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR               | 67          |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR               | 55          |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR               | 66          |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR               | 2309        |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR               | 5           |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR              | 3           |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC               | 66          |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11             | 1204        |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12             | 66          |        |
|  | 3           |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC              | 1           |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN               |             |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR               | 1           |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN               | 2           |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT              | 3           |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET               | 3           |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR               | 1           |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR               | 2           |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD                | 3           |        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL               | 3           |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR            | 55          |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR            | 66          |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR            | 556         |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL           | 2309        |        |
| arget I2c SetRecv I2cRegPtr Cnt T str.CLKH           | 1204        |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT            | 87          |        |
| arget I2c SetRecv I2cRegPtr Cnt T str.DRR            | 67          |        |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR            | 55          |        |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR            | 66          |        |
|  |             |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR            | 2309        |        |
| irget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR            | 5           |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR           | 3           |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC            | 66          |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11          | 1204        |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12          | 66          |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC           | 3           |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN            | 1           |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR            | 1           |        |
| arget I2c SetRecv I2cRegPtr Cnt T str.DIN            | 2           |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT           | 3           |        |
| arget I2c SetRecv I2cRegPtr Cnt T str.SET            | 3           |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR            | 1           |        |
|  | 2           |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR            |             |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD             | 3           |        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL            | 3           |        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR          | 55          |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR           | 66          |        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR          | 556         |        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL         | 2309        |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH          | 1204        |        |
| irget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT          | 87          |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR           | 67          |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR           | 55          |        |
| rget I2c SetStatus I2cRegPtr Cnt T str.DXR           | 66          |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR           | 2309        |        |
| rget_12c_SetStatus_12cRegPtr_Cnt_1_str.IVR           | 5           |        |
|  | 3           |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR          |             |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC           | 66          |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         | 1204        |        |
| rget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12         | 66          |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC          | 3           |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN           | 1           |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR           | 1           |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN           | 2           |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT          | 3           |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET           | 3           |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR           | 1           |        |
| rget_12c_SetStatus_12cRegPtr_Cnt_T_str.ODR           | 2           |        |
|  |             |        |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD            | 3           |        |
| irget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL          | 3           |        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR | 55          |        |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66          |        |
|  |             |        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR | 556         |        |

2014-10-14, 23:08:30+0530

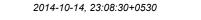


| Name   | Input Value    |                |      |
|--|----------------|----------------|------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204           |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87             |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67             |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55             |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66             |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309           |                |      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR    | 5              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66             |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204           |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66             |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1              |                |      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 1              |                |      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN    | 2              |                |      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT   | 3              |                |      |
|  | 3              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    |                |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2              |                |      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD     | 3              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55             |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66             |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556            |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309           |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204           |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87             |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67             |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55             |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66             |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309           |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66             |                |      |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 1204           |                |      |
|  | 66             |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 3              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  |                |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3              |                |      |
| target_i2cREG1_temp.OAR                                  | 55             |                |      |
| target_i2cREG1_temp.IMR                                  | 66             |                |      |
| target_i2cREG1_temp.STR                                  | 556            |                |      |
| target i2cREG1 temp.CLKL                                 | 2309           |                |      |
| target i2cREG1 temp.CLKH                                 | 1204           |                |      |
| target i2cREG1 temp.CNT                                  | 87             |                |      |
| target i2cREG1 temp.DRR                                  | 67             |                |      |
| target_i2cREG1_temp.SAR                                  | 55             |                |      |
|  | 66             |                |      |
| target_i2cREG1_temp.DXR                                  |                |                |      |
| target_i2cREG1_temp.MDR                                  | 2309           |                |      |
| target_i2cREG1_temp.IVR                                  | 5              |                |      |
| target_i2cREG1_temp.EMDR                                 | 3              |                |      |
| target_i2cREG1_temp.PSC                                  | 66             |                |      |
| target_i2cREG1_temp.PID11                                | 1204           |                |      |
| target_i2cREG1_temp.PID12                                | 66             |                |      |
| target_i2cREG1_temp.DMAC                                 | 3              |                |      |
| target_i2cREG1_temp.FUN                                  | 1              |                |      |
| target_i2cREG1_temp.DIR                                  | 1              |                |      |
| target_i2cREG1_temp.DIN                                  | 2              |                |      |
| target_i2cREG1_temp.DOUT                                 | 3              |                |      |
| target_i2cREG1_temp.SET                                  | 3              |                |      |
| target i2cREG1 temp.CLR                                  | 1              |                |      |
| target_i2cREG1_temp.ODR                                  | 2              |                |      |
| target_i2cREG1_temp.PD                                   | 3              |                |      |
| target realized temps b                                  |                |                |      |
|  | 3              |                |      |
| target_i2cREG1_temp.PSL  Name                            | 3 Actual Value | Expected Value | Resi |

2014-10-14, 23:08:30+0530



| Name   | Actual Value  | Expected Value | Resu |
|--|---------------|----------------|------|
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10            | 10             |      |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20            | 20             | •    |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30            | 30             | •    |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1             | 1              | •    |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1             | 1              |      |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1             | 1              |      |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2309<br>123   | 2309<br>123    |      |
| DigColPsInt_CurrentStave_Cnt_M_u08   | INIT COMPLETE | INIT COMPLETE  |      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16         | 1             | 1              |      |
| DigColPsInt I2CHwIncompleteCustData Uls M u16                                    | 2             | 2              |      |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0             | 0              |      |
| DigColPsInt NackOccured Cnt M Igc  | 0             | 0              |      |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0             | 0              |      |
| DigColPsInt RecvdDataType Cnt M u08  | 0             | 0              |      |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0             | 0              |      |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 87            | 87             |      |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10            | 10             | •    |
| 2c_SetStatus(Status_Cnt_T_u16)   | 7             | 7              |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                                    | 55            | 55             | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                                   | 66            | 66             | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                                   | 556           | 556            |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                                   | 2309          | 2309           | •    |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                                   | 1204          | 1204           |      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                                   | 87            | 87             | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                                   | 67            | 67             |      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                                   | 55            | 55             | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                                   | 66            | 66             | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                                   | 2309          | 2309           | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                                   | 5             | 5              | •    |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                                   | 3             | 3              | •    |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                                    | 66            | 66             | •    |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                  | 1204          | 1204           | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                 | 66            | 66             | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                                  | 3             | 3              | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                                   | 1             | 1              | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                                   | 1             | 1              | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                                   | 2             | 2              | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                  | 3             | 3              | •    |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET                                   | 3             | 3              | •    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                                   | 1             | 1              | •    |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR                                   | 2             | 2              |      |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD                                    | 3             | 3              |      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                                   | 3             | 3              |      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55            | 55             |      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66            | 66             |      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556           | 556            |      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309          | 2309<br>1204   |      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204<br>87    | 87             |      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67            | 67             |      |
| target_I2c_Send_I2cRegPtr_Cnt_I_str.DRR target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55            | 55             |      |
| target_12c_Send_12cRegPtr_Cnt_1_str.SAR target_12c_Send_12cRegPtr_Cnt_T_str.DXR  | 66            | 66             |      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309          | 2309           |      |
| target_12c_Send_12cRegPtr_Cnt_1_str.MDR target_12c_Send_12cRegPtr_Cnt_T_str.IVR  | 5             | 5              |      |
| target_12c_Send_12cRegPtr_Cnt_1_str.tvR target_12c_Send_12cRegPtr_Cnt_T_str.EMDR | 3             | 3              |      |
| target_12c_Send_12cRegPtr_Cnt_T_str.PSC  | 66            | 66             |      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204          | 1204           |      |
| target_12c_Send_12cRegPtr_Cnt_T_str.PID12  | 66            | 66             |      |
| target_12c_Send_12cRegPtr_Cnt_T_str.PiD12  | 3             | 3              |      |
| arget_12c_Send_12cRegPtr_Cnt_T_str.FUN   | 1             | 1              |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1             | 1              |      |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2             | 2              |      |
| rarget_12c_Send_12cRegPtr_Cnt_T_str.DOUT   | 3             | 3              |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3             | 3              |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1             | 1              |      |
| arget_12c_Send_12cRegPtr_Cnt_T_str.ODR   | 2             | 2              |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3             | 3              |      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 3             | 3              |      |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.OAR                                       | 55            | 55             |      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR                                       | 66            | 66             |      |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.NinX                                      | 556           | 556            |      |
|  | 1000          | 000            |      |





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | <b>~</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 67<br>55     | 67<br>55       | , and a  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR                         | 66           | 66             |          |
| target I2c SetRecv I2cRegPtr Cnt T str.MDR  | 2309         | 2309           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 3            | 3              | · ·      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR                         | 2            | 1 2            |          |
| target I2c SetRecv I2cRegPtr Cnt T str.PD   | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              |          |
| target I2c SetStatus I2cRegPtr Cnt T str.OAR  | 55           | 55             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204<br>66   | 1204<br>66     |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC                  | 3            | 3              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  | 1204<br>87   | 1204<br>87     | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 2309         | 2309           |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR   | 5            | 5              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | •        |
| THE LAC SETTINGS TELECONA TACHAMPTE ("NO. 1 SET EST   | 3            | 3              |          |
|   | 55           | EE             | - 4      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR | 55<br>66     | 55<br>66       |          |

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



**Actual Value Expected Value** target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.STR 556 556  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 2309 2309 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKH 1204 1204  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CNT$ 87 87  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DRR$ 67 67  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SAR$ 55 55 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DXR 66 66  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.MDR$ 2309 2309 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IVR 5 5  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.EMDR$ 3 3 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSC 66 66  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID11$ 1204 1204 V target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12 66 66  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC$ 3 3 **y** target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.FUN 1 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIR 1 1  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN$ 2 2 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DOUT 3 3  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET$ 3 3 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR 1  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.ODR$ 2 2 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD 3 3

| T               |       |                   |       | <b>✓</b> |
|-----------------|-------|-------------------|-------|----------|
| Actual Function | Count | Expected Function | Count | Result   |
| I2c_SetStatus   | 1     | I2c_SetStatus     | 1     | <b>~</b> |

3

3

| Test Step 3.2 (Repeat Count = 1)                |  |
|---|--|
| Name  | Input Value  |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08 | 4  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 28   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 56   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 100  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 120  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_NOT_INITIALIZED                               |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 10   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 11   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 4  |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc          | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 3  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 88   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 40   |
| Flags_Cnt_T_b16                                 | 2  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T_DataRegisters_Cnt_u08[3]                      | 36   |
| T_DataRegisters_Cnt_u08[4]                      | 38   |
| T_DataRegisters_Cnt_u08[5]                      | 34   |
| T_DataRegisters_Cnt_u08[6]                      | 10   |
| T_DataRegisters_Cnt_u08[7]                      | 12   |
| T_DataRegisters_Cnt_u08[8]                      | 14   |
| i2cREG1_temp                                    | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                   | 24   |
| k_SpurSensorI2CAddress_Cnt_u08                  | 40   |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 65          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 89          |
|  | 67          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 7           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 577         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 88          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 23          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 65          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 89          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 7           |
| target I2c GenStopCond I2cRegPtr Cnt T str.IVR   | 44          |
|  |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR  | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 89          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 577         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 89          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 0           |
|  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT  | 2           |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 65          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 89          |
|  |             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR          | 67          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 7           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 577         |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT          | 88          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 23          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 65          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 89          |
|  | 7           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          |             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR          | 44          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 89          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 577         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 89          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 0           |
|  | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 0           |
| target I2c SetRecv I2cRegPtr Cnt T str.OAR       | 65          |
|  |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR       | 89          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR       | 67          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 7           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 577         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 88          |
| target I2c SetRecv I2cRegPtr Cnt T str.DRR       | 23          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 65          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 89          |
|  | 7           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 577         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       | 0           |
|  |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       | 0           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN       | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT      | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET       | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR       | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR       | 1           |
| · · · · · · · · ·                                |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL               | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR             | 65          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR             | 89          |
|  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR             | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            | 7           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 577         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 88          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 23          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 65          |
| target I2c SetStatus I2cRegPtr Cnt T str.DXR             | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 7           |
|  | 44          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 577         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 0           |
|  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 65          |
|  | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 577         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 88          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 23          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 65          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 89          |
|  | 7           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 577         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN    | 0           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 0           |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 2           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL    | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 89          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 577         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 23          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 65          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 89          |
|  | 7           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 577         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
|  | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2           |
|  |             |



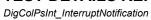
DigColPsInt\_InterruptNotification

| Name  | Input Value   |  |          |
|---|---|--|----------|
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR  | 0   |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1   |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2   |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0   |  |          |
| target_i2cREG1_temp.OAR   | 65  |  |          |
| target_i2cREG1_temp.IMR   | 89  |  |          |
| target_i2cREG1_temp.STR   | 67  |  |          |
| target_i2cREG1_temp.CLKL  | 7   |  |          |
| target_i2cREG1_temp.CLKH  | 577   |  |          |
| target_i2cREG1_temp.CNT   | 88  |  |          |
| target_i2cREG1_temp.DRR   | 23  |  |          |
| target_i2cREG1_temp.SAR   | 65  |  |          |
| target_i2cREG1_temp.DXR   | 89  |  |          |
| target_i2cREG1_temp.MDR   | 44  |  |          |
| target_i2cREG1_temp.IVR   | 2   |  |          |
| target_i2cREG1_temp.EMDR<br>target_i2cREG1_temp.PSC   | 89  |  |          |
| target i2cREG1 temp.PID11   | 577   |  |          |
| target_i2cREG1_temp.PID12   | 89  |  |          |
| target_i2cREG1_temp.DMAC  | 2   |  |          |
| target_i2cREG1_temp.FUN   | 0   |  |          |
| target i2cREG1 temp.DIR   | 0   |  |          |
| target i2cREG1 temp.DIN   | 1   |  |          |
| target i2cREG1 temp.DOUT  | 2   |  |          |
| target_i2cREG1_temp.SET   | 2   |  |          |
| target_i2cREG1_temp.CLR   | 0   |  |          |
| target_i2cREG1_temp.ODR   | 1   |  |          |
| target_i2cREG1_temp.PD  | 2   |  |          |
| target_i2cREG1_temp.PSL   | 0   |  |          |
| Name  | Actual Value  | Expected Value   | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 4   | 4  | -        |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 36  | 36   | •        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 56  | 56   | •        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 100   | 100  | •        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 1   | 1  | -        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 0   | 0  | •        |
| DigColPsInt_ColCustDatFound_Cnt_M_Igc   | 1   | 1  | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 7   | 7  | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 40  | 40   | _        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_READERROR_SETREG                                       | INIT_SENSOR2_READERROR_SETREG  | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 10  | 10   | •        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 11  | 11   | •        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 1   | 1  | <b>•</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 1   | 1  | <b>V</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1   | 1  |          |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 3   | 3  |          |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 88  | 88   |          |
| DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08   | 40  | 40   |          |
| I2c_Send(Length_Cnt_T_u32)  | 1   | 1  |          |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1   | 1  |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 65  | 65   |          |
| target_126_Genotopoond_126rtegr ti_Ont_1_str.OArt   |   | 89   |          |
| target 12c GenStonCond 12cRegPtr Cnt T str IMR  | 89  |  |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 89<br>67  |  | <b>₩</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 67  | 67   | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 67<br>7   |  | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 67<br>7<br>577  | 67<br>7<br>577   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 67<br>7   | 67<br>7  | 7        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 67<br>7<br>577<br>88  | 67<br>7<br>577<br>88   |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR  | 67<br>7<br>577<br>88<br>23  | 67<br>7<br>577<br>88<br>23   |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR   | 67<br>7<br>577<br>88<br>23<br>65                                    | 67<br>7<br>577<br>88<br>23<br>65   | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 67<br>7<br>577<br>88<br>23<br>65<br>89                              | 67<br>7<br>577<br>88<br>23<br>65<br>89   |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.STR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKH target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CNT target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.SAR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR target_12c_GenStopCond_12cRegPtr_Cnt_T_str.MDR  | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7                         | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7  |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7                         | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7  |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44                   | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44  | 0        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44<br>2<br>89<br>577 | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44<br>2<br>89<br>577                      |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44<br>2<br>89<br>577 | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44<br>2<br>89                             | 0        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44<br>2<br>89<br>577 | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44<br>2<br>89<br>577                      | 0        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 67 7 577 88 23 65 89 7 44 2 89 577 89 2 0                           | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44<br>2<br>89<br>577<br>89<br>2           |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PBC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIAC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 67 7 577 88 23 65 89 7 44 2 89 577 89 2 0 0                         | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44<br>2<br>89<br>577<br>89<br>2<br>0<br>0 |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN | 67 7 577 88 23 65 89 7 44 2 89 577 89 2 0 0 1                       | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44<br>2<br>89<br>577<br>89<br>2<br>0<br>0 |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PBC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIAC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 67 7 577 88 23 65 89 7 44 2 89 577 89 2 0 0                         | 67<br>7<br>577<br>88<br>23<br>65<br>89<br>7<br>44<br>2<br>89<br>577<br>89<br>2<br>0<br>0 | 0        |

0

0

2014-10-14, 23:08:30+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | <b>~</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD   | 0            | 0              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 65           | 65             |          |
| target_I2C_Send_I2CRegPtr_Cnt_T_str.IMR   | 89           | 89             |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 67           | 67             |          |
| target I2c Send I2cRegPtr Cnt T str.CLKL  | 7            | 7              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 577          | 577            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 89           | 89             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN   | 0            | 0              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN   | 1            | 1              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 2            | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0            | 1              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR target_l2c_Send_l2cRegPtr_Cnt_T_str.PD              | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 67           | 67             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 88           | 88             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 23           | 23             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 65           | 65             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 89           | 89             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 7            | 7              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | <b>Y</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD   | 2            | 2              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL  | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 65<br>89     | 65<br>89       | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 67           | 67             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 7            | 7              | -        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH | 577          | 577            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 88           | 88             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR  | 23           | 23             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 65           | 65             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 89           | 89             |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.MDR  | 7            | 7              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | <b>✓</b> |
|   |              |                |          |

2014-10-14, 23:08:30+0530



| Image: 12, SelStablas: Exchange: Cost T, str. CCR   | Name   | Actual Value | Expected Value | Result   |
|---|--|--------------|----------------|----------|
|   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 2            | 2              | <b>✓</b> |
| Image   L.P. Selfshink   Deckepp' Cot   T_str DOR   |  | 0            | 0              | ✓        |
| tanger, E.G. Selfabara (2cRepPir) Con.T., str. Pol. 9  tanger, E.G. Selfabara (2cRepPir) Con.T., str. DAR 65  tanger, E.G. Selfabara (2cRepPir) Con.T., str. DAR 65  tanger, E.G. Selfabara (2cRepPir) Con.T., str. DAR 69  tanger, E.G. Selfabara (2cRepPir) Con.T., str. DAR 7  tanger, E.G. Selfabara (2cRepPir) Con.T., str. DAR 89  tanger, E.G. Selfabara (2cRepPir) Con.T., str. DAR 7  tanger, E.G. Selfabara (2cRepPir) Con.T., str. DAR 89  tanger, E.G. Selfabara (2cRepPir) Con.T., str. DAR 7  tanger, E.G. Selfabara (2cRepPir) Con.T., str. DAR 89  tanger, E.G. Selfabara (2cRepPir) Con.T., str. DAR 99  tanger, E.G. Self | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 1            | 1              | <b>✓</b> |
| singel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. NR         95           singel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. NR         97           singel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. STR         67           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. CUNL         7           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. CUNL         377           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. CUNL         38           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. CUNL         38           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         23           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         38           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         38           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         39           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         39           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         44           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         2           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         2           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         39           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         30           strengel, E.D. SelupMas  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 2            | 2              | <b>✓</b> |
| singel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. NR         95           singel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. NR         97           singel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. STR         67           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. CUNL         7           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. CUNL         377           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. CUNL         38           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. CUNL         38           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         23           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         38           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         38           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         39           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         39           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         44           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         2           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         2           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         39           strengel, E.D. SelupMasterRecove   Zöregiptr. Celf_1 str. DRR         30           strengel, E.D. SelupMas  |  | 0            | 0              | <b>✓</b> |
| target [25. Sebs/MasterRecoive   22RegPir Cent   1 str NRR         89           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str STR         67           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str STR         7           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str CUKH         77           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         88           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         22           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         89           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         99           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         99           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         99           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         90           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         2           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         2           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         2           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         39           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         4           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         0           fraget [25. Sebs/MasterRecoive   22RegPir Cent   1 str DRR         <   |  | 65           | 65             | <b>✓</b> |
| Image L.P. SehuphasterReceive   JCRegipt Cot.   1 str. CLK.   7   7   7   7   7   7   7   7   7   |  | 89           | 89             |          |
| target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.CUH         7           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.CNT         88           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.CNT         88           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.CNT         88           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         89           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         89           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         89           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         7           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         7           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         2           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         2           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         9           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         9           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         0           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         0           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         0           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         0           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR         0           target_L2s_SetupMasterReceive_L2cRepPt_Coll_T_str.DNR </td <td></td> <td>67</td> <td>67</td> <td><b>✓</b></td>  |  | 67           | 67             | <b>✓</b> |
| Image L.P. SchuphdasterReceive   ZeRegPT Cot.   1 str. COT   88   88   7   1 str. COT   88   89   9   1 str. COT   88   89   1 str. COT   88     |  | 7            | 7              |          |
| target_12c_SebuphdasterReceive_12cRegipt**_Cnt_1_str.DRR  |  | 577          | 577            | <b>~</b> |
| brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DRR         23           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DRR         65           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR         89           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR         7           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR         7           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR         2           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR         2           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR)         89           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR)         9           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR)         9           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR)         0           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR)         0           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR)         0           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNR)         1           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNC)         2           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNC)         2           brigget 12s. SelupMasterReceive (2cRepPtr. Cnt.T. str. DNC)         1           brigget 12s. SelupMaster (2creve) (2cRepPtr. Cnt.T. str. DNC)  |  |              |                |          |
| target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DXR)         89         89         89           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DXR)         89         89         89           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DXR)         7         7         7           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DXR)         44         44         44           varget 12e, SelupMasterReceive (2cRepPtr, CntT, str.DXR)         2         2         2           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DID1         577         577         577           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DID4         99         90         90           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DIN         0         0         9           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DIN         0         0         9           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DIN         0         0         9           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DIN         1         1         9           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DIN         1         1         1           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DIN         1         1         1           target 12e, SelupMasterReceive (2cRepPtr, CntT, str.DIN  |  |              |                | <b>~</b> |
| Barget   122_SetupMateInReceive   125RegPtr_CNT_str.DNR   |  |              |                |          |
| target   12c   SetupMasterReceive   2cRegPtr_Cnt_T str/WR   |  |              |                |          |
| starget   2c. SetupMasterReceive   2cRegPtr_Cnt_Tstr.NPR  |  |              |                |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str EMDR  |  |              |                | <b>✓</b> |
| Isrget   12c.   SetupMasterReceive   ZeRegPtr. Cnt.   T. str. PID11   577     |  |              |                |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.PID11         577         577           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.PID12         89         89           varaget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DMAC         2         2           varaget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DMAC         2         2           varaget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DMAC         0         0           varaget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DMAC         1         1           varaget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DMAC         2         2           varaget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DMAC         2         2           varaget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DMAC         2         2           varaget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DMAC         0         0           varaget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DMAC         1         1           varaget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DMAC         5         65           varaget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DMAC         65         65           varaget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DMAC         89         9           varaget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DMAC         7         7           varaget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T str.DMAC  |  |              |                | -        |
| target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.PID12         89         89           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DNAC         2         2           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DN         0           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DN         0           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DN         1           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DN         1           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DN         2           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DN         0           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DN         0           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DNR         0           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DNR         1           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DNR         6           target   Zc. SetupMasterReceive   ZcRegPtr_Cnt_T_str.DNR         6           target   Zc. SetupMasterTransmit   ZcRegPtr_Cnt_T_str.DNR         89           target   Zc. SetupMasterTransmit   ZcRegPtr_Cnt_T_str.CLKI         7           target   Zc. SetupMasterTransmit   ZcRegPtr_Cnt_T_str.CLKI         7           target   Zc. SetupMasterTransmit   ZcRegPtr_Cnt_T_str.DNR         88           target   Zc. SetupMasterTransmit   ZcRegPtr_Cnt_T_str.DNR  |  |              |                |          |
| target_12c_SetupMasterReceive_12cRegPT_Cnt_T_str.DMAC         2         2           target_12c_SetupMasterReceive_12cRegPT_Cnt_T_str.DN         0         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DN         0         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DN         0         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDUT         2         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDUT         2         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         1         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         1         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         1         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR         65         65           target_12c_SetupMasterTransmil_12cRegPtr_Cnt_T_str.DAR         65         65           target_12c_SetupMasterTransmil_12cRegPtr_Cnt_T_str.DAR         89         99           target_12c_SetupMasterTransmil_12cRegPtr_Cnt_T_str.CLKL         7         7           target_12c_SetupMasterTransmil_12cRegPtr_Cnt_T_str.DAR         89         89           target_12c_SetupMasterTransmil_12cRegPtr_Cnt_T_str.DAR         89         89           target_12c_SetupMasterTransmil_12cRegPtr_Cnt_T_str.DAR         89         <   |  |              |                |          |
| target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.DIN   |  |              |                |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIR         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DCIT         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DCIR         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DCIR         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         65           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         7           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         88           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         23           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         23           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         89           target_12c_SetupMasterTransmit_12cRegPtr   |  |              |                |          |
| target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.DIN   |  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DUT         2         2         V           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET         2         2         V           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DLR         0         0         V           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DDR         1         1         1         V           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD         2         2         V         V           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         65         65         65         V         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMR         89         89         V         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL         7         7         7         47         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH         577         577         V         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         88         88         V         arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         88         88         V         arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         88         88         V         arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         89         89         V         arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         65         65         V         arget_I2c_SetupMasterTransmit_I2cR  |  |              |                |          |
| Image: 126_SetupMasterReceive   12RegPtr_Cnt_T_str.Ctr  |  |              |                |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.OR         1         2         2         2         4  |  |              |                | -        |
| target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDR         1         1           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.PD         2         2           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DAR         65         0           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         65         65           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR         89         89           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR         67         67           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CtkL         7         7           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CtkL         577         577           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CNT         88         88           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         23         23           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         23         23           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         89         89           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         7         7           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR         2         2           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRC         89         89           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRC         <  |  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD         2         2           target_I2c_SetupMasterTeaceive_I2cRegPtr_Cnt_T_str.PSL         0         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         65         65           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DKR         89         89           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DKR         67         67           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL         7         7           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT         88         88           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT         88         88           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR         23         23           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR         89         89           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR         89         89           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR         44         44           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR         2         2           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PDC         89         89           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12         89         89           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DINA  |  |              |                | -        |
| target   2c_ SetupMasterReceive   2cRegPtr_Cnt_T_str.PSL         0           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.DAR         65           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.IMR         89           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.DKR         67           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.CLKL         7           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.CLKL         7           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.CNT         88           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.CNT         88           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.DRR         23           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.DRR         23           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.DNR         65           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.DNR         7           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.EMDR         2           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.PID11         577           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.PID12         89           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.DNAC         2           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.DNAC         2           target   2c_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.DNA         0  |  |              |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR         65         65           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR         89         89           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CkH         67         67           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CkH         7         7           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CkH         577         577           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ChT         88         88           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         23         23           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         89         89           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         89         89           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         89         89           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         44         44           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMR         2         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNC         89         89           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNL         577         577           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNL         2         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNL   |  |              |                |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR         89         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR         67         67           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         7         7           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT         88         88           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         23         23           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR         23         23           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         89         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR         89         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DNR         7         7           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR         2         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PDC         89         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11         577         577           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DID12         89         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         0         0           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN   |  |              |                |          |
| target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.CLKL         7         7           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.CLKL         7         7           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.CLKH         577         577           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR         23         88           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR         23         23           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR         23         89           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DXR         89         89           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DXR         89         89           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DRR         7         7           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.PDR         2         2           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.PDDR         2         2           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.PDD11         577         577           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DIN         89         89           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DIR         0         0           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DIR         0         0           target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DIR   |  |              |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL         7         7           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT         88         88           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         23         23           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR         23         23           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         89         89           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         89         89           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         89         89           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR         44         44           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR         2         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC         89         89           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID11         577         577           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIMAC         2         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIM         0         0           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         1         1           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN         2         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIT   |  |              |                | ~        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH       577       577         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT       88       88         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR       23       23         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       89       89         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       89       89         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR       7       7         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.IVR       44       44         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.BDDR       2       2         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID11       577       577         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12       89       89         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       577       577         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       1       1         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       1       1         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       1       1         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR       0       0         target_12c_SetupM   |  |              |                | -        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT       88       88         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR       23       23         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.SAR       65       65         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       89       89         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DXR       89       89         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR       7       7         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR       2       2         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC       89       89         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PID12       89       89         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DID2       89       89         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC       2       2         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.FUN       0       0         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN       1       1         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT       2       2         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT       2       2         target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLR       0       0         target_12c_SetupMasterTr   |  |              |                |          |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DRR       23       23         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.SAR       65       65         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       89       89         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.MDR       7       7         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.MDR       7       44         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR       2       2         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR       2       2         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PDT       577       577         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PID12       89       89         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DMAC       2       2         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DOUT       2       2         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DUT       2       2         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLR       0       0         target_!2c_SetupMasterTransm   |  |              |                | -        |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       65       65         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DXR       89       89         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.MDR       7       7         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.WR       44       44         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.EMDR       2       2         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSC       89       89         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PID11       577       577         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PID12       89       89         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DMAC       2       2         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DOUT       2       2         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DOUT       2       2         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.SET       2       2         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DUR       0       0         target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DOR       1       1         target_!2c_SetupMasterTran   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR       89       89       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR       7       7         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR       44       44         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC       89       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       577       577         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DID12       89       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN       0       0         0       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         v       target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 23           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR       7         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR       44         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       577         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR       2  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR       44       44         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC       89       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       577       577         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       89       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR       2       2  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   |              |                | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC       89       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       577       577         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       89       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR       2       2  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC       89       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       577       577         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       89       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD       2       2   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11       577       577         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       89       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR       2       2   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12       89       89         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD       2       2   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD       2       2   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 577          | 577            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD       2       2   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 89           | 89             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD       2       2  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD       2       2   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       2       2  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET       2       2         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR       0       0         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR       1       1         target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD       2       2  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR 0 0 0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR 0 0 0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD 2 2   |  | 0            | 0              | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD 2 2   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>✓</b> |
|   |  | 2            | 2              | <b>✓</b> |
|   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              |          |

| au                      |       |                         | V     |          |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GenStopCond         | 1     | I2c_GenStopCond         | 1     | ~        |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c Send                | 1     | I2c Send                | 1     | _        |

| Test Step 3.3 (Repeat Count = 1)                | ✓           |
|---|-------------|
| Name  | Input Value |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 5           |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123         |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145         |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200         |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0           |



| DigCoiPsini_interruptivotilication   |   |
|--|---|
| lame   | Input Value   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                                      | 1   |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                                      | 0   |
| igColPsInt_ColSnsrData_Cnt_M_u16   | 554   |
| igColPsInt_CurrentSlave_Cnt_M_u08  | 5   |
| bigColPsInt_CurrentStepNo_Cnt_M_enum                                       | READ_COMPLETE   |
| igColPsInt_I2CHwCustData_Uls_M_u16   | 13  |
| igColPsInt_I2CHwIncompleteCustData_Uls_M_u16                               | 14  |
| igColPsInt_InitFailedOnce_Cnt_M_lgc  | 0   |
| igColPsInt_NackOccured_Cnt_M_lgc   | 0   |
| igColPsInt_PrevReqDataType_Cnt_M_u08                                       | 5   |
| igColPsInt_RecvOverrunError_Cnt_M_lgc                                      | 0   |
| igColPsInt_RecvdDataType_Cnt_M_u08   | 4   |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc                                     | 0   |
| bigColPsInt_SpurCustDatFound_Cnt_M_lgc                                     | 123   |
| igColPsInt_SpurSnsrData_Cnt_M_u16  | 50  |
| igColPsInt_TransactionCnt_Cnt_M_u08<br>lags_Cnt_T_b16                      | 1   |
| c_GenStopCond(I2cRegPtr_Cnt_T_str)   | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str  |
|  | target_12c_Send_12cRegPtr_Cnt_T_str   |
| to_SetBook(I2cRegPtr_Cnt_T_str)  |   |
| tc_SetRecv(l2cRegPtr_Cnt_T_str)  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str  |
| c_SetStatus(I2cRegPtr_Cnt_T_str) c_SetupMasterReceive(I2cRegPtr_Cnt_T_str) | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str            |
|  | target_lzc_SetupMasterReceive_lzcRegPtr_Cnt_1_str  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| Cc_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                                | target_12c_SetupMasterTransmit_12ckegPtr_Cht_1_str  |
| _DataRegisters_Cnt_u08[0]<br>_DataRegisters_Cnt_u08[1]                     | 32  |
|  | 30  |
| _DataRegisters_Cnt_u08[2]<br>_DataRegisters_Cnt_u08[3]                     | 36  |
| _DataRegisters_Cnt_u08[4]  | 38  |
| _DataRegisters_Cnt_u08[5]  | 34  |
| _DataRegisters_Cnt_u08[6]<br>_DataRegisters_Cnt_u08[6]                     | 10  |
| _DataRegisters_Cnt_u08[7]  | 12  |
| _DataRegisters_Cnt_u08[8]  | 14  |
| cREG1 temp   | target_i2cREG1_temp   |
| ColSensorl2CAddress Cnt u08  | 29  |
| _SpurSensorI2CAddress_Cnt_u08  | 50  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                              | 54  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                              | 66  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                              | 8   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                             | 554   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                             | 344   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.CNT                              | 123   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                              | 45  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.SAR                              | 54  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                              | 66  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.MDR                              | 554   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.IVR                              | 788   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                             | 3   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                              | 66  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                            | 344   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                            | 66  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                             | 3   |
| liget_12c_GenStopCond_12cRegPtr_Cnt_T_str.FUN                              | 1   |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                              | 3   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                              | 2   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                              | 3   |
| rget I2c GenStopCond I2cRegPtr Cnt T str.SET                               | 3   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.CLR                              | 3   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                               | 2   |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                               | 1   |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                              | 2   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                                      | 54  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                                      | 66  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                      | 8   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                     | 554   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                                     | 344   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                                     | 123   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                                      | 45  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                                     | 54  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                                     | 66  |
| arget_l2c_send_l2cRegPtr_Cnt_T_str.MDR                                     | 554   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                                     | 788   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                                    | 3   |
|  |   |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 344         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN                                | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 1           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL<br>target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR                           | 54          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 8           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 554         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 344         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 123         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 45          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 54          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR                           | 66<br>554   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.lvR  | 788         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 344         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN                           | 3 2         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 54          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR                       | 66<br>  8   |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKL   | 554         |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH   | 344         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 123         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 45          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 54          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 554         |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR                      | 788<br>3    |
| target_l2c_setStatus_l2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 344         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT   | 3 3         |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET<br>target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR                    | 3           |
| target I2c SetStatus I2cRegPtr Cnt T str.ODR  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 54          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 8           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 554         |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH<br>target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT | 344<br>123  |
| target_lzc_SetupMasterReceive_lzcRegPtr_Cnt_I_str.CN1 target_lzc_SetupMasterReceive_lzcRegPtr_Cnt_T_str.DRR     | 45          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 54          |
|   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 99          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_I_str.DXR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR     | 554         |

2014-10-14, 23:08:30+0530



| Impact   December     | g   |             | , , , , , |        |
|---|---|-------------|-----------|--------|
| taggst 29. SepakhasterRoome, Enderger Cort T. SP 1012 taggst 29. SepakhasterRoome, Enderger Cort T. SP 1014 taggst 29. SepakhasterRoome, Enderger Cort T. S | Name  | Input Value |           |        |
| signal Dr. SchephtwaterScener.   DeReight Coff.   1 m   1011   50   50   50   50   50   50  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3           |           |        |
| signal Dr. SchephtwaterScener.   DeReight Coff.   1 m   1011   50   50   50   50   50   50  | target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC   | 66          |           |        |
| Barget R.D Seutophane Fracence   Carter print Cont   T. p. PD 102   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 344         |           |        |
| target_IP_S_SetulyAsserSecone_UP_SERPE_INCTTEP_IN target_IP_S_SetulyAsserTransment_UP_SERPE_INCTTEP_IN target_IP_S_SETULYASSERTTANSMENT_UP_SERPE_INCTTEP_IN target_IP_S_SETULYASSERTTANSMENT_UP_SERPE_INCTTEP_IN target_IP_S_SETULYASSERTTANSMENT_UP_SERPE_INCTTEP_IN target_IP_S_SETULYASSERTTANSMENT_UP_SERPE_INCTTEP_IN target_IP_S_SETULYASSERTTANSMENT_UP_SERPE_INCTTEP_IN target_IP_S_SETULYASSERTTANSMENT_UP_SERPE_INCTTEP_IN tar   |   | 66          |           |        |
| Septembland Process   Content of the Content of    | target I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC  | 3           |           |        |
| Sept   Dec Sept   Se   |   | 1           |           |        |
| target ID. Schulphderifacoole (Diffeigin ConT, an DON) 1 target ID. Schulphderifacoole (Diffeigin ConT, an DON) 1 target ID. Schulphderifacoole (Diffeigin ConT, an DOT) 1 target ID. Schulphderifacoole (Diffeigin ConT, and DON) 1 target ID. Schulph |   | 3           |           |        |
| Egopt   12.5. Selpub Natient Receive   12.6 Reg   17.5 Lev   1.5 Lev   1.   | · ·   |             |           |        |
| Image:   Des SelayMaterRecenia   E2RegNot Cent   1 at SET   |   | 3           |           |        |
| Seption   Sep   |   | 3           |           |        |
| taged_P.S. = SubpMaterFaceOver_L2RRegPC_CNTstr_PD   |   | 3           |           |        |
| Egraph   1.0  |   | 2           |           |        |
| targer_L2s_SelapAnderForcent_26-PepPr_Cnt_T_st PSL  targer_L2s_SelapAnderForcent_26-PepPr_Cnt_T_st NOR  54  targer_L2s_SelapAnderForcent_26-PepPr_Cnt_T_st NOR  68  targer_L2s_SelapAnderForcent_26-PepPr_Cnt_T_st NOR  69  targer_L2s_SelapAnderForcent_26-PepPr_Cnt_T_st NOR  69  targer_L2s_SelapAnderForcent_26-PepPr_Cnt_T_st NOR  60  targer_L2s_SelapAnderForcent_26-P |   | 1           |           |        |
| Segon   1.0   |   | 2           |           |        |
| tageng Les, Selaphaset Transma (2016app. Col.T.; ats MR   50  |   |             |           |        |
| Egope   Lip. Subsylvalet Frament   ZeRogh** Con.T. pt. CLUL.   554  |   | 66          |           |        |
| target_D2. SetupMasterTransmit_E2RegPty_Cnt_T_str.CLM  434  target_D2. SetupMasterTransmit_E2RegPty_Cnt_T_str.CDR  436  target_D2. SetupMasterTransmit_E2RegPty_Cnt_T_str.DRR  437  target_D2. SetupMasterTransmit_E2RegPty_Cnt_Str.DRR  438  target_D2. SetupMasterTransmit_E2RegPty_Cnt_Str.DRR  439  target_D2. SetupMasterTransmit_E2RegPty_Cnt_Str.DRR  439  target_D2. SetupMasterTransmit_E2RegPty_Cnt_Str.DRR  430  target_D2. SetupMasterTransmit_E2RegPty_Cnt_T_str.DRR  431  target_D2. SetupMasterTransmit_E2RegPty_Cnt_T_str.DRR  434  target_D2. Se |   |             |           |        |
| Image   Leg. SetupMasterTransmil   ZeRegPP  ConT   1 th CLCH4   344   123   135     |   | 554         |           |        |
| target_Re_SetupAtasterTransmit_ReSepting* ConT_str.CNT 123 target_Re_SetupAtasterTransmit_ReSepting* ConT_str.DRR 45 target_Re_SetupAtasterTransmit_ReSepting* ConT_str.DRR 47 target_Re_SetupAtasterTransmit_ReSepting* ConT_str.DRR 47 target_Re_SetupAtasterTransmit_ReSepting* ConT_str.DRR 47 target_Re_SetupAtasterTransmit_ReSepting* ConT_str.DRR 48 target_Re_SetupAtasterTransmit_Resepting* ConT_str.DRR 49 target_Re_SetupAtasterTransmit_Resepting* ConT_str.DRR 49 target_Re_SetupAtasterTransmit_Resepting* ConT_str.DRR 40 target_Re_SetupAtasterTransmit_Resepting* ConT_str.DRR 41 target_Re_SetupAtasterTransmit_Resepting* ConT_str.DRR 42 target_Re_SetupAtasterTransmit_Resepting* ConT_str.DRR 43 target_Re_SetupAtasterTransmit_Resepting* ConT_str.DRR 44 target_Re_SetupAtasterTransmit_Resepting* ConT_str.DRR 45 target_Re_Setu |   |             |           |        |
| Barget Lip S. Sehuphaster Transmit LipSchephr Cont _ 1 str. SAR   |   |             |           |        |
| Integral   P.B.   Setuph Master Transmill   ZeRegPtPL COLT_SM SAR   54  |   |             |           |        |
| Integral_E2_Sehuphdaset Frammut_CeRepPt_Cnl_T_st_NDR  |   |             |           |        |
| target 122. SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  3  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  3  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  344  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  44  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  45  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  46  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  47  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  48  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  49  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  40  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  41  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  42  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  43  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  44  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  45  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  46  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  46  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  47  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  48  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  49  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T sit MDR  40  singet_126_SetupMasterTransmit_J2cRepPt_Cnt_T s |   |             |           |        |
| ingred_12_SebupMasterTransmit_12cRepPr_Cnt_T str.NR prof_12_SebupMasterTransmit_12cRepPr_Cnt_T str.PSC prof_12_SebupMasterTransmit_12cRepPr_Cnt_T str.PSC prof_12_SebupMasterTransmit_12cRepPr_Cnt_T str.PSC prof_12_SebupMasterTransmit_12cRepPr_Cnt_T str.PDC1 prof_12_SebupMasterTransmit_12cRepPr_Cnt_T str.PDC1 prof_12_SebupMasterTransmit_12cRepPr_Cnt_T str.DDMAC prof_12_SebupMasterTransmit_12cRepPr_Cnt_T str.DDMAC prof_12_SebupMasterTransmit_12cRepPr_Cnt_T str.DDMAC prof_12_SebupMasterTransmit_12cRepPr_Cnt_T str.DDMAC prof_12_SebupMasterTransmit_12cRepPr_Cnt_T str.DDMAC prof_12_SebupMasterTransmit_12cRepPr_Cnt_T str.DDMT prof_12_SebupMa |   |             |           |        |
| target_12e_SetupMasterTransmit_12cRepPr_Cnt_T_str.PSC   |   |             |           |        |
| Baget Lize, SetupMasterTransmit_UzeRegPtr_Cnt_T_str.PID11   344   |   |             |           |        |
| target_12e_SetupMasterTransmit_12eRegPtr_Cnt_T_str_PD112  |   |             |           |        |
| singel_12e_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   |   |             |           |        |
| target_12c_SetupMassterTransmit_12cRegPtr_Cnt_T_str.DNAC  |   |             |           |        |
| target_ Ze_SetupMasterTransmit_ ZeRegPt_Cnt_T_str.DIN   1   |   |             |           |        |
| target_ Zc_SetupMasterTransmit_ ZcRegPtr_Cnt_T_str.DIR   3   target_ Zc_SetupMasterTransmit_ ZcRegPtr_Cnt_T_str.DIN   2   target_ Zc_SetupMasterTransmit_ ZcRegPtr_Cnt_T_str.DIV   3   target_ Zc_SetupMasterTransmit_ ZcRegPtr_Cnt_T_str.DIV   3   target_ Zc_SetupMasterTransmit_ ZcRegPtr_Cnt_T_str.DIR   3   target_ Zc_SetupMasterTransmit_ ZcRegPtr_Cnt_T_str.DIR   3   target_ Zc_SetupMasterTransmit_ ZcRegPtr_Cnt_T_str.DIR   2   target_ Zc_SetupMasterTransmit_ ZcRegPtr_Cnt_T_str.DIR   4   target_ Zc_Set_ temp_CNA   5   target_ Zc_Set_ temp_CNR   6   target_ Zc_Set_ temp_CNR   5   target_ Zc_Set_ temp_CNR   5   target_ Zc_Set_ temp_CNR   5   target_ Zc_Set_ temp_CNR   5   target_ Zc_Set_ temp_DNR   3   target_ Zc_Set_ temp_DNR   5   target_ Zc_ |   |             |           |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DNUT   |   |             |           |        |
| target_ 2c_SetupMasterTransmit_ 2cRegPtr_Cnt_T_str.DOUT   |   |             |           |        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CIR  |   |             |           |        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.ODR 2 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1  |   |             |           |        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR 2 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD 1 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD 1 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL 2 target_12cREG1_temp.DAR 54 target_12cREG1_temp.DIMR 66 target_12cREG1_temp.DIMR 8 8 target_12cREG1_temp.CLKL 554 target_12cREG1_temp.CLKH 344 target_12cREG1_temp.DLKH 123 target_12cREG1_temp.DLKH 45 target_12cREG1_temp.DRR 45 target_12cREG1_temp.DRR 45 target_12cREG1_temp.DRR 66 target_12cREG1_temp.DNR 7 788 target_12cREG1_temp.DNR 7 788 target_12cREG1_temp.DNR 7 788 target_12cREG1_temp.DNR 7 788 target_12cREG1_temp.PSC 66 target_12cREG1_temp.PSC 66 target_12cREG1_temp.DIM 7 788 target_12cREG1_ |   |             |           |        |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PD   |   |             |           |        |
| target_!2e_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL         2           target_!2cREG1_temp_DAR         54           target_!2cREG1_temp_LIMR         66           target_!2cREG1_temp_CLKL         554           target_!2cREG1_temp_CLKL         344           target_!2cREG1_temp_DLKH         344           target_!2cREG1_temp_DRR         45           target_!2cREG1_temp_DXR         54           target_!2cREG1_temp_DXR         66           target_!2cREG1_temp_DXR         788           target_!2cREG1_temp_BVR         788           target_!2cREG1_temp_DNB         3           target_!2cREG1_temp_PDD1         344           target_!2cREG1_temp_PDD1         344           target_!2cREG1_temp_PDD1         344           target_!2cREG1_temp_PDD1         344           target_!2cREG1_temp_PDD1         3           target_!2cREG1_temp_PDD1         3           target_!2cREG1_temp_PDD1         3           target_!2cREG1_temp_PDR         3           target_!2cREG1_temp_PDR         3           target_!2cREG1_temp_PDR         3           target_!2cREG1_temp_PDR         3           target_!2cREG1_temp_PSET         3           target_!2cREG1_temp_PDR         1   |   |             |           |        |
| target_!2cREG1_temp.OAR   |   |             |           |        |
| target_izcREG1_temp.NMR         66           target_izcREG1_temp.STR         8           target_izcREG1_temp.CLKL         554           target_izcREG1_temp.CNT         123           target_izcREG1_temp.DRR         45           target_izcREG1_temp.DXR         66           target_izcREG1_temp.MDR         554           target_izcREG1_temp.MDR         554           target_izcREG1_temp.NDR         788           target_izcREG1_temp.PVR         788           target_izcREG1_temp.PSC         66           target_izcREG1_temp.PDC         3           target_izcREG1_temp.PID12         66           target_izcREG1_temp.DMAC         3           target_izcREG1_temp.DMAC         3           target_izcREG1_temp.DIN         1           target_izcREG1_temp.DIN         2           target_izcREG1_temp.DIN         2           target_izcREG1_temp.DOUT         3           target_izcREG1_temp.DCLR         3           target_izcREG1_temp.DCLR         3           target_izcREG1_temp.DCLR         3           target_izcREG1_temp.DOR         2           target_izcREG1_temp.DOR         2           target_izcREG1_temp.DOR         2           target_izcREG1_temp.D   |   |             |           |        |
| target_!2cREG1_temp.CLKL  |   |             |           |        |
| target_i2cREG1_temp.CLKL  | *   |             |           |        |
| target_i2cREG1_temp.CNT   |   |             |           |        |
| target_i2cREG1_temp.DRR   | · ·   |             |           |        |
| target_i2cREG1_temp.DRR   |   |             |           |        |
| target_i2cREG1_temp.DXR       54         target_i2cREG1_temp.DXR       66         target_i2cREG1_temp.MDR       554         target_i2cREG1_temp.EMDR       788         target_i2cREG1_temp.EMDR       3         target_i2cREG1_temp.PSC       66         target_i2cREG1_temp.PID11       344         target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.EMDN       1         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       3         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.DDR       1         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.PD       1         target_i2cREG1_temp.PSL       2         Name       Actual Value       Expected Value       Result         DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       5       0  |   |             |           |        |
| target_i2cREG1_temp.DXR   |   |             |           |        |
| target_i2cREG1_temp.MDR       554         target_i2cREG1_temp.EMDR       3         target_i2cREG1_temp.EMDR       3         target_i2cREG1_temp.PSC       66         target_i2cREG1_temp.PID11       344         target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.DMN       1         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       3         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.DDR       1         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.DDR       1         target_i2cREG1_temp.PD       1         target_i2cREG1_temp.PDL       2         Name       Actual Value       Expected Value         DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       5  |   |             |           |        |
| target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  66  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  66  target_i2cREG1_temp.DMAC  target_i2cREG1_temp.DMAC  target_i2cREG1_temp.FUN  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.CDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  Actual Value  Expected Value  Result  PigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | · ·   |             |           |        |
| target_i2cREG1_temp.EMDR  |   |             |           |        |
| target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  66  target_i2cREG1_temp.DMAC  3  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  2  target_i2cREG1_temp.DUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.CLR  target_i2cREG1_temp.ODR  2  target_i2cREG1_temp.DDR  2  target_i2cREG1_temp.DDR  2  target_i2cREG1_temp.DDR  2  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  2  Name  Actual Value  Expected Value  Result  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | <b>v</b> =  |             |           |        |
| target_i2cREG1_temp.PID11   |   |             |           |        |
| target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC  target_i2cREG1_temp.FUN  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.ODR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Parget_i2cREG1_temp.PSL  Name  Actual Value  Expected Value  Result  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   |   |             |           |        |
| target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       3         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       1         target_i2cREG1_temp.PSL       2         Name       Actual Value       Expected Value       Result         DigCoIPsInt_AttempOccurForCustDatRead_Cnt_M_u08       5       ✓  |   |             |           |        |
| target_i2cREG1_temp.FUN  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  2  target_i2cREG1_temp.DOUT  3  target_i2cREG1_temp.SET  3  target_i2cREG1_temp.CLR  3  target_i2cREG1_temp.ODR  2  target_i2cREG1_temp.DDR  4  target_i2cREG1_temp.PD  5  target_i2cREG1_temp.PSL  Parget_i2cREG1_temp.PSL  Actual Value  Expected Value  Result  DigCoIPsInt_AttempOccurForCustDatRead_Cnt_M_u08  Expected Value  Result   |   |             |           |        |
| target_i2cREG1_temp.DIR       3         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       3         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       1         target_i2cREG1_temp.PSL       2         Name       Actual Value       Expected Value       Result         DigCoIPsInt_AttempOccurForCustDatRead_Cnt_M_u08       5       ✓   |   |             |           |        |
| target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       3         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       1         target_i2cREG1_temp.PSL       2         Name       Actual Value       Expected Value       Result         DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       5       ✓   |   |             |           |        |
| target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       3         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       1         target_i2cREG1_temp.PSL       2         Name       Actual Value       Expected Value       Result         DigCoIPsInt_AttempOccurForCustDatRead_Cnt_M_u08       5       ✓   |   |             |           |        |
| target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       3         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       1         target_i2cREG1_temp.PSL       2         Name       Actual Value       Expected Value       Result         DigCoIPsInt_AttempOccurForCustDatRead_Cnt_M_u08       5       \$   |   |             |           |        |
| target_i2cREG1_temp.CLR       3         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       1         target_i2cREG1_temp.PSL       2         Name       Actual Value       Expected Value       Result         DigCoIPsInt_AttempOccurForCustDatRead_Cnt_M_u08       5       5       ✓  |   |             |           |        |
| target_i2cREG1_temp.ODR         2           target_i2cREG1_temp.PD         1           target_i2cREG1_temp.PSL         2           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         5         5         ✓  | · ·   |             |           |        |
| target_i2cREG1_temp.PD         1           target_i2cREG1_temp.PSL         2           Name         Actual Value         Expected Value         Result           DigCoIPsInt_AttempOccurForCustDatRead_Cnt_M_u08         5         5         ✓  |   |             |           |        |
| target_i2cREG1_temp.PSL 2  Name Actual Value Expected Value Result  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 5 5 5   |   |             |           |        |
| Name     Actual Value     Expected Value     Result       DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08     5     5   |   |             |           |        |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 5   |   |             |           |        |
|   |   |             | •         | Result |
| DigColPsInt_Buffer_Cnt_M_u08[0]         123   |   |             |           | ~      |
|   | DigColPsInt_Buffer_Cnt_M_u08[0]                         | 123         | 123       | ~      |

| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 5            | 5              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123          | 123            | •        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145          | 145            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200          | 200            | •        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1            | 1              | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1            | 1              | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0            | 0              | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 554          | 554            | <b>✓</b> |

2014-10-14, 23:08:30+0530





| Name   | Actual Value  | Expected Value | Result   |
|--|---------------|----------------|----------|
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 5             | 5              | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_COMPLETE | READ_COMPLETE  | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 13            | 13             | ~        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 14            | 14             | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0             | 0              | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0             | 0              | <b>*</b> |
| DigColPoint_RecvOverrunError_Cnt_M_lgc   | 0             | 0              | ~        |
| DigColPoint_RecvdDataType_Cnt_M_u08  | 0             | 0              |          |
| DigColPsInt_SpurCustDatFound_Cnt_M_Igc DigColPsInt_SpurSnsrData_Cnt_M_u16                      | 123           | 123            |          |
| DigColPsInt TransactionCnt Cnt M u08   | 50            | 50             |          |
| I2c_SetStatus(Status_Cnt_T_u16)  | 7             | 7              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 54            | 54             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66            | 66             | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 8             | 8              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 554           | 554            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 344           | 344            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 123           | 123            | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR   | 45            | 45             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 54            | 54             | <b>Y</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66            | 66             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 554           | 554            | · ·      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 788<br>3      | 788            | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC | 66            | 66             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 344           | 344            |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66            | 66             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3             | 3              | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1             | 1              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 3             | 3              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2             | 2              | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT  | 3             | 3              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3             | 3              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 3             | 3              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR   | 2             | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 1             | 1              | <b>Y</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 2             | 2              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 54            | 54             | · ·      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66<br>8       | 66<br>8        |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL               | 554           | 554            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 344           | 344            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 123           | 123            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 45            | 45             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 54            | 54             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66            | 66             | <b>✓</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  | 554           | 554            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 788           | 788            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3             | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66            | 66             | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11  | 344           | 344            | <b>Y</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66            | 66             | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3             | 3              | <b>•</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 3             | 3              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c Send_l2cRegPtr_Cnt_T str.DIN                | 2             | 2              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3             | 3              |          |
| target I2c Send I2cRegPtr Cnt T str.SET  | 3             | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3             | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2             | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 1             | 1              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 2             | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 54            | 54             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66            | 66             | <b>✓</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 8             | 8              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 554           | 554            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 344           | 344            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 123           | 123            | <b>v</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 45            | 45             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 54            | 54             | <b>Y</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66            | 66             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 554           | 554            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 788           | 788            |          |

2014-10-14, 23:08:30+0530



|  | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 344<br>66    | 344<br>66      |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC                       | 3            | 3              |        |
| target_i2c_SetRecv_i2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR                      | 66<br>8      | 66<br>8        |        |
| target_i2c_SetStatus_i2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            |        |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH  | 344          | 344            |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | •      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 344          | 344            | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3 1            |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR                      | 3            | 3              |        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DIN   | 2            | 2              |        |
| target_i2c_SetStatus_i2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 54           | 54             | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 8            | 8              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 554          | 554            |        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH   | 344<br>123   | 344<br>123     |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT target_I2c SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 45           | 45             |        |
| target I2c SetupMasterReceive I2cReqPtr Cnt T str.SAR  | 54           | 54             |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 554          | 554            | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 788          | 788            | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344          | 344            | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3              | ¥      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT target_I2c SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3            | 3 3            |        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SE1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR    | 3            | 3              |        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  | 2            | 2              |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 2            | 2              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54           | 54             | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •      |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 8            | 8              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | •      |
| target_12e_Octupinaster Fransinit_12ertegr tr_Ont_1_str.Octi   | 044          | 344            |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344          |                | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT | 123          | 123            |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  |              |                |        |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344          | 344            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | ~        |

| T               |       |                   |       | V      |
|-----------------|-------|-------------------|-------|--------|
| Actual Function | Count | Expected Function | Count | Result |
| I2c_SetStatus   | 1     | I2c_SetStatus     | 1     | -      |

| Test Step 3.4 (Repeat Count = 1)                | <b>✓</b>   |
|---|--|
| Name  | Input Value  |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08 | 8  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 28   |
| DigColPsInt Buffer Cnt M u08[1]                 | 56   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 100  |
| DigColPsInt BusBusySeqError Cnt M Igc           | 1  |
| DigColPsInt CmdFailOccurred Cnt M Igc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt ColSnsrData Cnt M u16               | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 20   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_EXTREADCTRLREG_READ                   |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 22   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 23   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 2  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 2  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 80   |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T_DataRegisters_Cnt_u08[3]                      | 36   |
| T_DataRegisters_Cnt_u08[4]                      | 38   |
| T_DataRegisters_Cnt_u08[5]                      | 34   |
| T_DataRegisters_Cnt_u08[6]                      | 10   |
| T_DataRegisters_Cnt_u08[7]                      | 12   |
| T_DataRegisters_Cnt_u08[8]                      | 14   |
| i2cREG1_temp                                    | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                   | 44   |
| k_SpurSensorI2CAddress_Cnt_u08                  | 127  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 556  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 67   |

2014-10-14, 23:08:30+0530



| Name   | Input Value  |  |
|--|--------------|--|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55           |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66           |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309         |  |
| target I2c GenStopCond I2cRegPtr Cnt T str.IVR   | 5            |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3            |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66           |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204         |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66           |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3            |  |
|  | 1            |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN   |              |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR   | 1            |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN   | 2            |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3            |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET    | 3            |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR    | 1            |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR    | 2            |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD     | 3            |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL    | 3            |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR           | 55           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR           | 66           |  |
| target I2c Send I2cRegPtr Cnt T str.STR          | 556          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 2309         |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 1204         |  |
| target I2c Send I2cRegPtr Cnt T str.CNT          | 87           |  |
|  | 67           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR           | 55           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR           | 66           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR           |              |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR           | 2309         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR           | 5            |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR          | 3            |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC           | 66           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         | 1204         |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         | 66           |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC          | 3            |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1            |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 1            |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2            |  |
| target I2c Send I2cRegPtr Cnt T str.DOUT         | 3            |  |
| target I2c Send I2cRegPtr Cnt T str.SET          | 3            |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 1            |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 2            |  |
|  | 3            |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD           |              |  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR        | 55           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR        | 66           |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR        | 556          |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       | 2309         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH       | 1204         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT        | 87           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR        | 67           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR        | 55           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR        | 66           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR        | 2309         |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR        | 5            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR       | 3            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC        | 66           |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.PID11      | 1204         |  |
| · · ·  | 66           |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12      |              |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC       | 3            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN        | 1            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR        | 1            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN        | 2            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT       | 3            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET        | 3            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR        | 1            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR        | 2            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD         | 3            |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL        | 3            |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR      | 55           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR      | 66           |  |
|  | 556          |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR      |              |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL     | 2309<br>1204 |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH     |              |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 55          |
| target I2c SetStatus I2cRegPtr Cnt T str.DXR  | 66          |
| target I2c SetStatus I2cRegPtr Cnt T str.MDR  | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 5           |
|   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target I2c SetStatus I2cRegPtr Cnt T str.SET  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1           |
|   | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55          |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN   | 2           |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR  | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL   | 2309        |
|   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 5           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC  | 66          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11  | 1204        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12  | 66          |
|   | 3           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3           |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD  target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL | 3           |
|   |             |
| target_i2cREG1_temp.OAR   | 55          |
| target_i2cREG1_temp.IMR   | 66          |
| target_i2cREG1_temp.STR   | 556         |
|   |             |



| Name  | Input Value  |                                 |          |
|---|--------------|---------------------------------|----------|
| target_i2cREG1_temp.CLKL  | 2309         |                                 |          |
| target_i2cREG1_temp.CLKH  | 1204<br>87   |                                 |          |
| target_i2cREG1_temp.CNT<br>target_i2cREG1_temp.DRR  | 67           |                                 |          |
| target i2cREG1 temp.SAR   | 55           |                                 |          |
| target_i2cREG1_temp.DXR   | 66           |                                 |          |
| target_i2cREG1_temp.MDR   | 2309         |                                 |          |
| target_i2cREG1_temp.IVR   | 5            |                                 |          |
| target_i2cREG1_temp.EMDR  | 3            |                                 |          |
| target_i2cREG1_temp.PSC   | 66           |                                 |          |
| target_i2cREG1_temp.PID11   | 1204         |                                 |          |
| target_i2cREG1_temp.PID12   | 66<br>3      |                                 |          |
| target_i2cREG1_temp.DMAC<br>target_i2cREG1_temp.FUN   | 1            |                                 |          |
| target i2cREG1 temp.DIR   | 1            |                                 |          |
| target i2cREG1 temp.DIN   | 2            |                                 |          |
| target_i2cREG1_temp.DOUT  | 3            |                                 |          |
| target_i2cREG1_temp.SET   | 3            |                                 |          |
| target_i2cREG1_temp.CLR   | 1            |                                 |          |
| target_i2cREG1_temp.ODR   | 2            |                                 |          |
| target_i2cREG1_temp.PD  | 3            |                                 |          |
| target_i2cREG1_temp.PSL   | 3            |                                 |          |
| Name  | Actual Value | Expected Value                  | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 8 12         | 8 12                            | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]                                   | 56           | 56                              | ,        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 100          | 100                             | ·        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 1            | 1                               | -        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1            | 1                               | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_Igc   | 1            | 1                               | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 2309         | 2309                            | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 127          | 127                             | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  |              | INIT_SENSOR2_EXTREADCTRLREG_SET |          |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 22           | 22                              | ~        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 23           | 23                              | <b>*</b> |
| DigColPoint_InitFailedOnce_Cnt_M_lgc  | 1            | 1                               | <b>✓</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc                          | 1            | 1                               | ,        |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 2            | 2                               | <b>V</b> |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1            | 1                               | -        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 87           | 87                              | •        |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 80           | 80                              | ~        |
| I2c_Send(Length_Cnt_T_u32)  | 1            | 1                               | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1            | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66                              | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL    | 556<br>2309  | 556<br>2309                     | ,        |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLKH   | 1204         | 1204                            | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87                              | -        |
| target I2c GenStopCond I2cRegPtr Cnt T str.DRR  | 67           | 67                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5                               | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR   | 3            | 3                               | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66<br>1204   | 66<br>1204                      | <b>*</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12 | 66           | 66                              | •        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.Pin2   | 3            | 3                               | -        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.FUN  | 1            | 1                               | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1                               | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2                               | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3            | 3                               | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2                               | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3            | 3                               | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55                              | - 4      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66                              | _        |
|   | 556          | 556                             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR<br>target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL               | 556<br>2309  | 556<br>2309                     | <b>✓</b> |

2014-10-14, 23:08:30+0530





| M  | A -AI V-I    | Form and ad Malian | D 14     |
|--|--------------|--------------------|----------|
| Name   | Actual Value | Expected Value     | Result   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT | 87           | 1204<br>87         | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67                 |          |
| target_I2C_Send_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5                  |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3                  | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.PSC  | 66           | 66                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66                 | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3                  | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.FUN  | 1            | 1                  | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1                  | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIN  | 2            | 2                  |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            | 3                  | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1                  | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2                  | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3                  | -        |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.OAR                                       | 55           | 55                 | ~        |
| target I2c SetRecv I2cRegPtr Cnt T str.IMR                                       | 66           | 66                 |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.STR                                       | 556          | 556                | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKL                                      | 2309         | 2309               |          |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKH                                      | 1204         | 1204               | ~        |
| target I2c SetRecv I2cRegPtr Cnt T str.CNT                                       | 87           | 87                 |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR                                       | 67           | 67                 | ~        |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.SAR                                       | 55           | 55                 |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR                                       | 66           | 66                 | ~        |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR                                       | 2309         | 2309               |          |
|  | 5            | 5                  |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR                                       | 3            | 3                  |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR                                      | 66           | 66                 | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC                                       | 1204         | 1204               |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11                                     | 66           | 66                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12                                     |              | 3                  |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC                                      | 3            | 1                  | -        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN                                       | 1            | 1                  |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR                                       | 2            | 2                  | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN                                       |              |                    |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT                                      | 3 3          | 3                  | -        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET                                       |              |                    |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR                                       | 1 2          | 1 2                |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR                                       |              |                    |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD  | 3            | 3                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL                                       | 3            | 3                  |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR                                     | 55           | 55                 |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR                                     | 66           | 66                 | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR                                     | 556          | 556                | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL                                    | 2309         | 2309               |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH                                    | 1204         | 1204<br>87         | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT                                     | 87           | 67                 |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR                                     | 67           | 55                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR                                     | 55           | 66                 |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR                                     | 66           |                    | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR                                     | 2309         | 2309               |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR                                     | 5            | 3                  | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR                                    | 3            |                    |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC                                     | 66           | 66                 | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11                                   | 1204         | 1204               |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12                                   | 66           | 66                 |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC                                    | 3            | 3                  | <b>Y</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN                                     | 1            | 1                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR                                     | 1            | 1                  |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN                                     | 2            | 2                  | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT                                    | 3            | 3                  | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET                                     | 3            | 3                  | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR                                     | 1            | 1                  | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR                                     | 2            | 2                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD                                      | 3            | 3                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL                                     | 3            | 3                  | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                            | 55           | 55                 | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                            | 66           | 66                 | ~        |

2014-10-14, 23:08:30+0530



| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR | 556<br>2309<br>1204<br>87<br>67<br>55<br>66<br>2309   | 556<br>2309<br>1204<br>87<br>67<br>55<br>66 | *************************************** |
|---|---|---|---|
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 1204<br>87<br>67<br>55<br>66<br>2309  | 1204<br>87<br>67<br>55                      | · ·                                     |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR   | 87<br>67<br>55<br>66<br>2309  | 87<br>67<br>55                              | ~                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67<br>55<br>66<br>2309  | 67<br>55                                    | •                                       |
|   | 55<br>66<br>2309  | 55  |   |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR   | 66<br>2309  |   | <b>~</b>                                |
|   | 2309  | 66  |   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   |   |   | <b>✓</b>                                |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 5   | 2309  | <b>✓</b>                                |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | o la companya di companya | 5   | <b>✓</b>                                |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3   | 3   | ~                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66  | 66  | ~                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 1204  | 1204  | ~                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 66  | 66  | <b>✓</b>                                |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3   | 3   | <b>✓</b>                                |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1   | 1   | <b>✓</b>                                |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1   | 1   | <b>✓</b>                                |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2   | 2   | <b>✓</b>                                |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3   | 3   | <b>✓</b>                                |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3   | 3   | ~                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1   | 1   | ~                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2   | 2   | <b>✓</b>                                |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3   | 3   | <b>✓</b>                                |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3   | 3   | ✓                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 55  | 55  | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66  | 66  | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556   | 556   | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 2309  | 2309  | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 1204  | 1204  | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 87  | 87  | ~                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 67  | 67  | ~                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 55  | 55  | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 66  | 66  | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2309  | 2309  | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 5   | 5   | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3   | 3   | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 66  | 66  | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 1204  | 1204  | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 66  | 66  | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 3   | 3   | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1   | 1   | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1   | 1   | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2   | 2   | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3   | 3   | ~                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3   | 3   | ~                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1   | 1   | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2   | 2   | ~                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3   | 3   | <b>✓</b>                                |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3   | 3   | <b>✓</b>                                |

| T .                     |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |

| Test Step 3.5 (Repeat Count = 1)                |                             | V |
|---|-----------------------------|---|
| Name  | Input Value                 |   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 10                          |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 0                           |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 0                           |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 0                           |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1                           |   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1                           |   |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1                           |   |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 566                         |   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 30                          |   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_CHECKSTAT_READ |   |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 28                          |   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 29                          |   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 1                           |   |



| DigColPSIIIL_IIIterruptiNotilication   |  |
|--|--|
| lame   | Input Value  |
| ligColPsInt_NackOccured_Cnt_M_lgc  | 1  |
| igColPsInt_PrevReqDataType_Cnt_M_u08   | 4  |
| igColPsInt_RecvOverrunError_Cnt_M_lgc  | 1  |
| igColPsInt_RecvdDataType_Cnt_M_u08   | 4  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 1  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1  |
| igColPsInt_SpurSnsrData_Cnt_M_u16  | 129  |
| igColPsInt_TransactionCnt_Cnt_M_u08  | 100  |
| lags_Cnt_T_b16   | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| c SetRecv(I2cRegPtr Cnt T str)   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| cc_SetStatus(I2cRegPtr_Cnt_T_str)  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]  | 0  |
| _DataRegisters_Cnt_u08[1]  | 32   |
| _DataRegisters_Cnt_u08[2]  | 30   |
| _DataRegisters_Cnt_u08[3]  | 36   |
|  | 38   |
| _DataRegisters_Cnt_u08[4]  |  |
| _DataRegisters_Cnt_u08[5]  | 34   |
| _DataRegisters_Cnt_u08[6]  | 10   |
| _DataRegisters_Cnt_u08[7]  | 12   |
| _DataRegisters_Cnt_u08[8]  | 14   |
| cREG1_temp   | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08   | 54   |
| _SpurSensorl2CAddress_Cnt_u08  | 120  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 567  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 44   |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR   | 4444   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 566  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 4466   |
| rrget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 129  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 6  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 567  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 44   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 566  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 554  |
|  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 4466   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 44   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 0  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 0  |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3  |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL   | 3  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 567  |
|  | 44   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  |  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 4444   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566  |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 4466   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 129  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 6  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 44   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 566  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 554  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 44   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 4466   |
| rget_12c_Send_12cRegPtr_Cnt_T_str.PID12  | 44   |
| rget_12c_Send_12cRegPtr_Cnt_1_str.PiD12 rget_12c_Send_12cRegPtr_Cnt_T_str.DMAC   | 1  |
|  | 1<br>  1   |
|  |  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  |  |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.FUN rget_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 2  |
| riget_12z_gend_12cRegPtr_Cnt_T_str.FUN  riget_12c_Send_12cRegPtr_Cnt_T_str.DIR  riget_12c_Send_12cRegPtr_Cnt_T_str.DIN  riget_12c_Send_12cRegPtr_Cnt_T_str.DIN  riget_12c_Send_12cRegPtr_Cnt_T_str.DUT |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |  |
|---|-------------|--|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 567         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 44          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 4444        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 566         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 129         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 6           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 567         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 44          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 566         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 554         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 1           |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 44          |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11  | 4466        |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12  | 44          |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 0           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 1           |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 0           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 567         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 44          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 4444        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 566         |  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH   | 4466        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 129<br>6    |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 567         |  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR | 44          |  |
| target 12c SetStatus 12cRegPtr Cnt T str.MDR  | 566         |  |
| target I2c SetStatus I2cRegPtr Cnt T str.IVR  | 554         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 1           |  |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PSC  | 44          |  |
| target I2c SetStatus I2cRegPtr Cnt T str.PID11  | 4466        |  |
| target I2c SetStatus I2cRegPtr Cnt T str.PID12  | 44          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1           |  |
| target I2c SetStatus I2cRegPtr Cnt T str.DIR  | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 0           |  |
| target I2c SetStatus I2cRegPtr Cnt T str.DOUT   | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 0           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                                     | 567         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                                     | 44          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR                                     | 4444        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                                    | 566         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH                                    | 4466        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT                                     | 129         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR                                     | 6           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR                                     | 567         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR                                     | 44          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR                                     | 566         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR                                     | 554         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR                                    | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC                                     | 44          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11                                   | 4466        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12                                   | 44          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC                                    | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN                                     | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR                                     | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN                                     | 0           |  |
|   |             |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value                   |                               |        |
|--|-------------------------------|-------------------------------|--------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1                             |                               |        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET    | 1                             |                               |        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 2                             |                               |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0                             |                               |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3                             |                               |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3                             |                               |        |
|  |                               |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567                           |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44                            |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444                          |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566                           |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466                          |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129                           |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6                             |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567                           |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44                            |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566                           |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554                           |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1                             |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44                            |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466                          |                               |        |
| target I2c SetupMasterTransmit I2cReqPtr Cnt T str.PID12 | 44                            |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1                             |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1                             |                               |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 2                             |                               |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 0                             |                               |        |
| · ·  | 1                             |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  |                               |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1                             |                               |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 2                             |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0                             |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3                             |                               |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3                             |                               |        |
| target_i2cREG1_temp.OAR                                  | 567                           |                               |        |
| target_i2cREG1_temp.IMR                                  | 44                            |                               |        |
| target_i2cREG1_temp.STR                                  | 4444                          |                               |        |
| target_i2cREG1_temp.CLKL                                 | 566                           |                               |        |
| target_i2cREG1_temp.CLKH                                 | 4466                          |                               |        |
| target_i2cREG1_temp.CNT                                  | 129                           |                               |        |
| target_i2cREG1_temp.DRR                                  | 6                             |                               |        |
| target_i2cREG1_temp.SAR                                  | 567                           |                               |        |
| target_i2cREG1_temp.DXR                                  | 44                            |                               |        |
| target_i2cREG1_temp.MDR                                  | 566                           |                               |        |
| target_i2cREG1_temp.IVR                                  | 554                           |                               |        |
| target i2cREG1 temp.EMDR                                 | 1                             |                               |        |
| target i2cREG1 temp.PSC                                  | 44                            |                               |        |
| target_i2cREG1_temp.PID11                                | 4466                          |                               |        |
| target_i2cREG1_temp.PID12                                | 44                            |                               |        |
| target i2cREG1 temp.DMAC                                 | 1                             |                               |        |
| target_i2cREG1_temp.FUN                                  | 1                             |                               |        |
| target i2cREG1 temp.DIR                                  | 2                             |                               |        |
| target i2cREG1 temp.DIN                                  | 0                             |                               |        |
| target_i2cREG1_temp.DOUT                                 | 1                             |                               |        |
|  | 1                             |                               |        |
| target_i2cREG1_temp.SET                                  | 2                             |                               |        |
| target_i2cREG1_temp.CLR                                  |                               |                               |        |
| target_i2cREG1_temp.ODR                                  | 0                             |                               |        |
| target_i2cREG1_temp.PD                                   | 3                             |                               |        |
| target_i2cREG1_temp.PSL                                  | 3                             |                               |        |
| Name   | Actual Value                  | Expected Value                | Result |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08          | 10                            | 10                            | ~      |
| DigColPsInt_Buffer_Cnt_M_u08[0]                          | 36                            | 36                            | ~      |
| DigColPsInt_Buffer_Cnt_M_u08[1]                          | 0                             | 0                             | ~      |
| DigColPsInt_Buffer_Cnt_M_u08[2]                          | 0                             | 0                             | ~      |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                    | 1                             | 1                             | ~      |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                    | 1                             | 1                             | ~      |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                    | 1                             | 1                             | ~      |
| DigColPsInt_ColSnsrData_Cnt_M_u16                        | 566                           | 566                           | ~      |
| DigColPsInt_CurrentSlave_Cnt_M_u08                       | 120                           | 120                           | ~      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                     | INIT_SENSOR2_READERROR_SETREG | INIT_SENSOR2_READERROR_SETREG | •      |
| DigColPsInt_I2CHwCustData_Uls_M_u16                      | 28                            | 28                            | -      |
| DigColPsInt I2CHwIncompleteCustData Uls M u16            | 29                            | 29                            | ~      |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                     | 0                             | 0                             | ~      |
| DigColPsInt NackOccured Cnt M Igc                        | 1                             | 1                             | ~      |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                   | 1                             | 1                             | -      |
| DigColPsInt_RecvdDataType_Cnt_M_u08                      | 4                             | 4                             | •      |
| 0  |                               |                               |        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Resul |
|--|--------------|----------------|-------|
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc           | 1            | 1              | •     |
| DigColPsInt_SpurSnsrData_Cnt_M_u16               | 129          | 129            | •     |
| DigColPsInt_TransactionCnt_Cnt_M_u08             | 100          | 100            | •     |
| 2c_Send(Length_Cnt_T_u32)                        | 1            | 1              | •     |
| l2c_SetupMasterTransmit(DataLength_Cnt_T_u16)    | 1            | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | •     |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR    | 44           | 44             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 567          | 567            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 44           | 44             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 4444         | 4444           | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 566          | 566            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 4466         | 4466           | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 129          | 129            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 6            | 6              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 567          | 567            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 44           | 44             |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 566          | 566            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 554          | 554            |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 1            | 1              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 44           | 44             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 4466         | 4466           | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 44           | 44             |       |
| target I2c Send I2cRegPtr Cnt T str.DMAC         | 1            | 1              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1            | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 2            | 2              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 0            | 0              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 1            | 1              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 1            | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 2            | 2              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 0            | 0              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 3            | 3              |       |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.PSL          | 3            | 3              |       |
| target_i2c_SetRecv_i2cRegPtr_Cnt_T_str.OAR       | 567          | 567            |       |
| target I2c SetRecv I2cRegPtr Cnt T str.IMR       | 44           | 44             |       |
|  |              |                |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR       | 4444         | 4444           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 566          | 566            |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 4466         | 4466           |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT       | 129          | 129            |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR       | 6            | 6              |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR       | 567          | 567            |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR       | 44           | 44             |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR       | 566          | 566            |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR       | 554          | 554            | •     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR      | 1            | 1              | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       | 44           | 44             | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 4466         | 4466           | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     | 44           | 44             | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 1            | 1              | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       | 1            | 1              | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       | 2            | 2              |       |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | · ·      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET   | 1 2          | 1 2            |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR                          | 0            | 0              | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.PSL   | 3            | 3              | ·        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | <b>Y</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>Y</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>Y</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | · ·      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  |              | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 2            | 1 2            | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR                      | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | ·        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.OAR  | 567          | 567            | ·        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 566          | 566            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 3 3          | 3              | · ·      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  |              | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567<br>44    | 567<br>44      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 4444         | 4444           |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL | 566          | 566            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 44           | 44             | _        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MDR   | 566          | 566            | ·        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>v</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>✓</b> |
|  |              |                |          |

2014-10-14, 23:08:30+0530



| DigColPsInt_In | terruptNotification |
|----------------|---------------------|
|----------------|---------------------|

| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |

| Т                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~      |
| I2c_Send                | 1     | I2c_Send                | 1     | ~      |

| Name  | Input Value  |  |
|---|--|--|
|   | ·  |  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 6  |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123  |  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145  |  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200  |  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0  |  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0  |  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2767   |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 45   |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_CHECKSTAT_READ                        |  |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 37   |  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 38   |  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 2  |  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 2  |  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 564  |  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 130  |  |
| Flags_Cnt_T_b16                                 | 32   |  |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |  |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_l2c_Send_l2cRegPtr_Cnt_T_str                |  |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |  |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |  |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |  |
| 「_DataRegisters_Cnt_u08[0]                      | 0  |  |
| 「_DataRegisters_Cnt_u08[1]                      | 32   |  |
| DataRegisters_Cnt_u08[2]                        | 30   |  |
| DataRegisters_Cnt_u08[3]                        | 36   |  |
| DataRegisters_Cnt_u08[4]                        | 38   |  |
| _DataRegisters_Cnt_u08[5]                       | 34   |  |
| 「_DataRegisters_Cnt_u08[6]                      | 10   |  |
| Γ_DataRegisters_Cnt_u08[7]                      | 12   |  |
| _DataRegisters_Cnt_u08[8]                       | 14   |  |
| 2cREG1_temp                                     | target_i2cREG1_temp                                |  |
| COISensorI2CAddress_Cnt_u08                     | 69   |  |
| _SpurSensorI2CAddress_Cnt_u08                   | 123  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 3  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 100  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 7788   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2767   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 556  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 564  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 88   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 3  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 100  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2767   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 9  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 0  |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  | •           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 100         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 556         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 100         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 0           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 100         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 7788        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 2767        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 556         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          |             |

2014-10-14, 23:08:30+0530

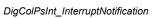


| Name   | Input Value |
|--|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 9           |
| target I2c SetStatus I2cRegPtr Cnt T str.EMDR            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 100         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 556         |
|  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12           | 100         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 0           |
| target I2c SetStatus I2cRegPtr Cnt T str.CLR             | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.ODR             | 3           |
|  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD              | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 100         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 7788        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2767        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKH   | 556         |
|  | 564         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR    | 88          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 100         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2767        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 9           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 100         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 556         |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 100         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 0           |
|  | 1           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 100         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 7788        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 2767        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 556         |
|  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT   | 564         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 88          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 100         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2767        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 9           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0           |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSC   | 100         |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 556         |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 100         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0           |
|  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_i2cREG1_temp.OAR                                  | 3           |
| target_i2cREG1_temp.IMR                                  | 100         |
| target_i2cREG1_temp.STR                                  | 7788        |
| target i2cREG1 temp.CLKL                                 | 2767        |
|  |             |
| target_i2cREG1_temp.CLKH                                 | 556         |
| target_i2cREG1_temp.CNT                                  | 564         |
| target_i2cREG1_temp.DRR                                  | 88          |
| target_i2cREG1_temp.SAR                                  | 3           |
|  |             |



| Name  | Input Value                   |                               |             |
|---|-------------------------------|-------------------------------|-------------|
| target_i2cREG1_temp.DXR   | 100                           |                               |             |
| target_i2cREG1_temp.MDR   | 2767<br>9                     |                               |             |
| target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR  | 9                             |                               |             |
| target i2cREG1 temp.PSC   | 100                           |                               |             |
| target i2cREG1 temp.PID11   | 556                           |                               |             |
| target_i2cREG1_temp.PID12   | 100                           |                               |             |
| target_i2cREG1_temp.DMAC  | 2                             |                               |             |
| target_i2cREG1_temp.FUN   | 0                             |                               |             |
| target_i2cREG1_temp.DIR   | 1                             |                               |             |
| target_i2cREG1_temp.DIN   | 3                             |                               |             |
| target_i2cREG1_temp.DOUT  | 2                             |                               |             |
| target_i2cREG1_temp.SET<br>target_i2cREG1_temp.CLR  | 1                             |                               |             |
| target i2cREG1 temp.ODR   | 3                             |                               |             |
| target i2cREG1 temp.PD  | 0                             |                               |             |
| target_i2cREG1_temp.PSL   | 3                             |                               |             |
| Name  | Actual Value                  | Expected Value                | Result      |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 6                             | 6                             | ~           |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 36                            | 36                            | ~           |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 145                           | 145                           | ~           |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 200                           | 200                           | ~           |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                             | 0                             |             |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 0                             | 0                             | ~           |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0                             | 0                             | •           |
| DigColPoint_ColSnsrData_Cnt_M_u16   | 2767<br>45                    | 2767<br>45                    | \ \ \ \ \ \ |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum                         | INIT_SENSOR1_READERROR_SETREG | INIT_SENSOR1_READERROR_SETREG | -           |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 37                            | 37                            |             |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 38                            | 38                            | -           |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1                             | 1                             | -           |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                             | 0                             | -           |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                             | 0                             | -           |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 2                             | 2                             | •           |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0                             | 0                             | ~           |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 564                           | 564                           | ~           |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 130                           | 130                           | ~           |
| I2c_Send(Length_Cnt_T_u32)  | 1                             | 1                             | <b>*</b>    |
| l2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR    | 3                             | 1 3                           | -           |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR  | 100                           | 100                           |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 7788                          | 7788                          | -           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2767                          | 2767                          | -           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 556                           | 556                           | -           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 564                           | 564                           | •           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 88                            | 88                            | ~           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 3                             | 3                             | ~           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 100                           | 100                           | <b>*</b>    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2767                          | 2767                          | •           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 9                             | 9                             | <b>*</b>    |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR   | 100                           | 100                           | ·           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 556                           | 556                           |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 100                           | 100                           | -           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 2                             | 2                             | -           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 0                             | 0                             | -           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1                             | 1                             | ~           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 3                             | 3                             | ~           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 2                             | 2                             | ~           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 0                             | 0                             | ~           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1                             | 1                             | ~           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 3                             | 3                             | <b>V</b>    |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD   | 0 3                           | 0 3                           | <b>*</b>    |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3                             | 3                             | -           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                 | 100                           | 100                           | -           |
| target_12c_Send_12cRegPtr_Cnt_T_str.STR   | 7788                          | 7788                          |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2767                          | 2767                          | -           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 556                           | 556                           | -           |
| target_120_0011a_1201tcgr tr_01t_1_0tr.021tr1   |                               |                               | 1 .         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 564                           | 564                           | ~           |
|   | 564<br>88                     | 88                            | -           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   |                               |                               |             |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           | <b>→</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 9            | 9              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 100          | 100            | <b>→</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD target_l2c Send_l2cRegPtr_Cnt_T str.PSL         | 3            | 3              |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.OAR   | 3            | 3              |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.UMR   | 100          | 100            |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.NrR   | 7788         | 7788           |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           |          |
|  | 556          | 556            |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT | 564          | 564            |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR   | 88           | 88             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 3            | 3              |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DXR   | 100          | 100            |          |
| target I2c SetRecv I2cRegPtr Cnt T str.MDR   | 2767         | 2767           |          |
| target I2c SetRecv I2cRegPtr Cnt T str.IVR   | 9            | 9              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.EMDR  | 0            | 0              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 556          | 556            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR   | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 100          | 100            | •        |
| target I2c SetStatus I2cRegPtr Cnt T str.STR   | 7788         | 7788           | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           | •        |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH  | 556          | 556            | -        |
| target I2c SetStatus I2cRegPtr Cnt T str.CNT   | 564          | 564            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                                  | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                                  | 100          | 100            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR                                  | 7788         | 7788           | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                                 | 2767         | 2767           | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH                                 | 556          | 556            | <b>→</b> |
|  |              | 504            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT                                  | 564          | 564            |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2767         | 2767           | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 9            | 9              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            | 0              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 100          | 100            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 564          | 564            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 556          | 556            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 100          | 100            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c_Send                | 1     | l2c_Send                | 1     | ~        |

| Test Step 3.7 (Repeat Count = 1)                | ✓                           |
|---|-----------------------------|
| Name  | Input Value                 |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 8                           |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 100                         |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 200                         |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 250                         |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1                           |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1                           |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1                           |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7846                        |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 10                          |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_CHECKSTAT_READ |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 40                          |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 41                          |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 1                           |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1                           |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 3                           |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1                           |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 3                           |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0                           |

#### 2014-10-14, 23:08:30+0530



|  |  | , , , |
|--|--|-------|
| Name   | Input Value  |       |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 1  |       |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 98   |       |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 12   |       |
| Flags_Cnt_T_b16  | 32   |       |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |       |
| l2c_Send(l2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |       |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |       |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |       |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | target I2c SetupMasterReceive I2cRegPtr Cnt T str  |       |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |       |
| T DataRegisters Cnt u08[0]   | 0  |       |
|  | 32   |       |
| T_DataRegisters_Cnt_u08[1]   |  |       |
| T_DataRegisters_Cnt_u08[2]   | 30   |       |
| T_DataRegisters_Cnt_u08[3]   | 36   |       |
| T_DataRegisters_Cnt_u08[4]   | 38   |       |
| T_DataRegisters_Cnt_u08[5]   | 34   |       |
| T_DataRegisters_Cnt_u08[6]   | 10   |       |
| T_DataRegisters_Cnt_u08[7]   | 12   |       |
| Γ_DataRegisters_Cnt_u08[8]   | 14   |       |
| 2cREG1_temp  | target_i2cREG1_temp                                |       |
| COlSensorl2CAddress_Cnt_u08  | 74   |       |
| <pre>c_SpurSensorl2CAddress_Cnt_u08</pre>  | 100  |       |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 10   |       |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 10   |       |
| target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.STR   | 1223   |       |
| arget I2c GenStopCond I2cRegPtr_Cnt_T_str.STR arget I2c GenStopCond I2cRegPtr Cnt T str.CLKL | 7846   |       |
|  | 8974   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   |  |       |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT  | 98   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 12   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 10   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 10   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 7846   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 55   |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 10   |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 8974   |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 10   |       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC  | 1  |       |
|  | 1  |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   |  |       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR   | 2  |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 2  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 1  |       |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 1  |       |
| arget I2c Send I2cRegPtr Cnt T str.OAR   | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 1223   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 7846   |       |
|  | 8974   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  |  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 98   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 12   |       |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 7846   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 55   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 8974   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 10   |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1  |       |
|  |  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 2  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1  |       |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 1  |       |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 1  |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 10   |       |
| <u> </u>   |  |       |

2014-10-14, 23:08:30+0530



| DigColFSint_interruptNotinication   |             |
|---|-------------|
| Name  | Input Value |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 10          |
| arget I2c SetRecv I2cRegPtr Cnt T str.STR   | 1223        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 7846        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 8974        |
| arget I2c SetRecv I2cRegPtr Cnt T str.CNT   | 98          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 12          |
|   | 10          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 10          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   |             |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 7846        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 55          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 10          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 8974        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 10          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 10          |
| arget I2c SetStatus I2cRegPtr Cnt T str.IMR   | 10          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.iviR  | 1223        |
|   | 7846        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 8974        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  |             |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 98          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 12          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 10          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 10          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 7846        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 55          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 10          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 8974        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 10          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| arget I2c SetStatus I2cRegPtr Cnt T str.FUN   | 1           |
| arget I2c SetStatus I2cRegPtr Cnt T str.DIR   | 2           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 1           |
|   | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  |             |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 1           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 10          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 10          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 1223        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7846        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 8974        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 98          |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str.DRR  | 12          |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR  | 10          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 10          |
|   | 7846        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  |             |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 55          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 10          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 8974        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 10          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 2           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 1           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
|   |             |
|   | 1           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 1 2         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR | 2           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value  |                |        |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 10           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 10           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 1223         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7846         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 8974         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 98           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 10           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 10           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7846         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 8974         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 10           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1            |                |        |
| target_i2cREG1_temp.OAR                                  | 10           |                |        |
| target_i2cREG1_temp.IMR                                  | 10           |                |        |
| target_i2cREG1_temp.STR                                  | 1223         |                |        |
| target_i2cREG1_temp.CLKL                                 | 7846         |                |        |
| target_i2cREG1_temp.CLKH                                 | 8974         |                |        |
| target_i2cREG1_temp.CNT                                  | 98           |                |        |
| target_i2cREG1_temp.DRR                                  | 12           |                |        |
| target_i2cREG1_temp.SAR                                  | 10           |                |        |
| target_i2cREG1_temp.DXR                                  | 10           |                |        |
| target_i2cREG1_temp.MDR                                  | 7846         |                |        |
| target_i2cREG1_temp.IVR                                  | 55           |                |        |
| target_i2cREG1_temp.EMDR                                 | 1            |                |        |
| target_i2cREG1_temp.PSC                                  | 10           |                |        |
| target_i2cREG1_temp.PID11                                | 8974         |                |        |
| target_i2cREG1_temp.PID12                                | 10           |                |        |
| target_i2cREG1_temp.DMAC                                 | 1            |                |        |
| target_i2cREG1_temp.FUN                                  | 1            |                |        |
| target_i2cREG1_temp.DIR                                  | 2            |                |        |
| target_i2cREG1_temp.DIN                                  | 1            |                |        |
| target_i2cREG1_temp.DOUT                                 | 1            |                |        |
| target_i2cREG1_temp.SET                                  | 1            |                |        |
| target_i2cREG1_temp.CLR                                  | 2            |                |        |
| target_i2cREG1_temp.ODR                                  | 1            |                |        |
| target_i2cREG1_temp.PD                                   | 1            |                |        |
| target_i2cREG1_temp.PSL                                  | 1            |                |        |
| Name   | Actual Value | Expected Value | Result |

| target_i2cREG1_temp.PSL                         | 1                               |                                 |          |  |
|---|---------------------------------|---------------------------------|----------|--|
| Name  | Actual Value                    | Expected Value                  | Result   |  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 8                               | 8                               | ~        |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10                              | 10                              | ~        |  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 3                               | 3                               | ~        |  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 7                               | 7                               | <b>✓</b> |  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1                               | 1                               | ~        |  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1                               | 1                               | •        |  |
| DigColPsInt_ColCustDatFound_Cnt_M_Igc           | 1                               | 1                               | ~        |  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7846                            | 7846                            | •        |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 74                              | 74                              | ~        |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT SENSOR1 EXTREADADDRREG SEN | INIT SENSOR1 EXTREADADDRREG SEN | ~        |  |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 40                              | 40                              | ~        |  |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 41                              | 41                              | ~        |  |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 0                               | 0                               | ~        |  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1                               | 1                               | ~        |  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1                               | 1                               | ~        |  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 3                               | 3                               | •        |  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1                               | 1                               | ~        |  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 98                              | 98                              | •        |  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 12                              | 12                              | ~        |  |
| I2c_Send(Length_Cnt_T_u32)                      | 3                               | 3                               | •        |  |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 3                               | 3                               | ~        |  |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result                                |
|--|--------------|----------------|---------------------------------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10             | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           | <b>V</b>                              |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 7846<br>8974 | 7846<br>8974   | <b>*</b>                              |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT | 98           | 98             |                                       |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR   | 12           | 12             | -                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10             | -                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10             | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846           | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55             | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10             | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 8974         | 8974           | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 10           | 10             | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>V</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | -                                     |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT | 1            | 1              |                                       |
| target I2c GenStopCond I2cRegPtr Cnt T str.SET   | 1            | 1              | ~                                     |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLR   | 2            | 2              | -                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 10           | 10             | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 10           | 10             | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 1223         | 1223           | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 7846         | 7846           | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 8974         | 8974           | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 98           | 98             | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 12           | 12             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 10           | 10             | <b>*</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                | 7846         | 7846           | -                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 55           | 55             |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 10           | 10             | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 8974         | 8974           | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 10           | 10             | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~                                     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                 | 1            | 1              | -                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 1            | 1              | -                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10             | <b>~</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846           | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974           | ~                                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 98           | 98             | ~                                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | •                                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   | 10           | 10             | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10             | <b>V</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 7846<br>55   | 7846<br>55     | <b>*</b>                              |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR         | 1            | 1              |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10             | -                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 8974         | 8974           | -                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 10           | 10             | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~                                     |
|  | T. A.        | l a            | _                                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~                                     |
|  |              |                | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |

2014-10-14, 23:08:30+0530



| Digoon am_menupavounouson   |              | •              |          |
|---|--------------|----------------|----------|
| Name  | Actual Value | Expected Value | Result   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 10           | 10             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 10           | 10             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 1223         | 1223           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 7846         | 7846           | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 8974         | 8974           | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT  | 98           | 98             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR | 12           | 10             | -        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR  | 10           | 10             |          |
| target I2c SetStatus I2cRegPtr Cnt T str.MDR  | 7846         | 7846           | -        |
| target I2c SetStatus I2cRegPtr Cnt T str.IVR  | 55           | 55             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | -        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC  | 10           | 10             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11  | 8974         | 8974           | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12  | 10           | 10             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR  | 1            | 1              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD   | 1            | 1              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL  | 1            | 1              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                                     | 10           | 10             | · ·      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                                     | 10           | 10             |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR                                     | 1223         | 1223           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                                    | 7846         | 7846           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH                                    | 8974         | 8974           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT                                     | 98           | 98             | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR                                     | 12           | 12             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR                                     | 10           | 10             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR                                     | 10           | 10             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR                                     | 7846         | 7846           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR                                     | 55           | 55             | ~        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.EMDR                                    | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC                                     | 10           | 10             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11                                   | 8974         | 8974           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12                                   | 10           | 10             |          |
| target I2c SetupMasterReceive I2cReqPtr Cnt T str.DMAC                                    | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN                                     | 1            | 1              | <b>~</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR                                     | 2            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN                                     | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT                                    | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET                                     | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR                                     | 2            | 2              | •        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR                                     | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD                                      | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL                                     | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                                    | 10           | 10             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR                                    | 10           | 10             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR                                    | 1223         | 1223           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL                                   | 7846         | 7846           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH                                   | 8974         | 8974           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT                                    | 98           | 98             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                                    | 12           | 12             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR                                    | 10           | 10             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR                                    | 10           | 10             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR                                    | 7846         | 7846           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR                                    | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR                                   | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC                                    | 10           | 10             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                                  | 8974         | 8974           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12                                  | 10           | 10             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC                                   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN                                    | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR                                    | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN                                    | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT                                   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET                                    | 1            | 1              | •        |
|   |              |                |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | ✓        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL | 1            | 1              | <b>✓</b> |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteData          | 1     | SetupWriteData          | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~        |
| I2c_Send                | 1     | I2c_Send                | 1     | ~        |

| Test Step 3.8 (Repeat Count = 1)  |  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                         | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 5  |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 9  |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc                                   | 0  |
|   | 0  |
| DigColPoint_CmdFailOccurred_Cnt_M_lgc                                   | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 | 847  |
|   | 20   |
| DigColPoint_CurrentSlave_Cnt_M_u08                                      |  |
| DigColPoint_CurrentStepNo_Cnt_M_enum                                    | READ_SENSOR1_GETDATA                               |
| DigColPoint_I2CHwCustData_Uls_M_u16                                     | 43   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16                           |  |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc                                    | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc                                       | 0  |
| DigColPoint_PrevReqDataType_Cnt_M_u08                                   | 4  |
| DigColPoint_RecvOverrunError_Cnt_M_lgc                                  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                                     | 4  |
| DigColPoInt_SkipRegisterWrite_Cnt_M_lgc                                 | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                                  | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                                      | 487  |
| DigColPsInt_TransactionCnt_Cnt_M_u08                                    | 13   |
| Flags_Cnt_T_b16   | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)                                    | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)  | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)                                      | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                             | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                            | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]  | 0  |
| T_DataRegisters_Cnt_u08[1]  | 32   |
| T_DataRegisters_Cnt_u08[2]  | 30   |
| T_DataRegisters_Cnt_u08[3]  | 36   |
| T_DataRegisters_Cnt_u08[4]  | 38   |
| T_DataRegisters_Cnt_u08[5]  | 34   |
| T_DataRegisters_Cnt_u08[6]  | 10   |
| T_DataRegisters_Cnt_u08[7]  | 12   |
| T_DataRegisters_Cnt_u08[8]  | 14   |
| i2cREG1_temp  | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08   | 79   |
| k_SpurSensorl2CAddress_Cnt_u08  | 110  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                          | 34   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                          | 24   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                          | 455  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                         | 847  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                         | 987  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                          | 487  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                          | 34   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                          | 34   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                          | 24   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                          | 847  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                          | 56   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                         | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                          | 24   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                        | 987  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                        | 24   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                         | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                          | 0  |
|   | I <sup>2</sup>                                     |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
|   | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2           |
|   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         | 34          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         | 24          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         | 455         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL        | 847         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH        | 987         |
|   | 487         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT         |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR         | 34          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR         | 34          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         | 24          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         | 847         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         | 56          |
|   | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR        |             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC         | 24          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       | 987         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       | 24          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC        | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN         | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         | 3           |
|   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT        | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD          | 2           |
|   |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR      | 34          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR      | 24          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR      | 455         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL     | 847         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH     | 987         |
|   |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT      | 487         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR      | 34          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR      | 34          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR      | 24          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR      | 847         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR      | 56          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR     | 2           |
|   |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC      | 24          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11    | 987         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12    | 24          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC     | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN      | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR      | 3           |
| target I2c SetRecv I2cRegPtr Cnt T str.DIN      | 3           |
|   |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT     | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET      | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD       | 2           |
|   | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL      |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR    | 34          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR    | 24          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR    | 455         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 847         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 987         |
|   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT    | 487         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR    | 34          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR    | 34          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR    | 24          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR    | 847         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR    | 56          |
|   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC    | 24          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 987         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 24          |
|   |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 2           |
| target I2c SetStatus I2cRegPtr Cnt T str.FUN             | 0           |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DIR             | 3           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 3           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 34          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 24          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 455         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 847         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 987         |
|  | 487         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR    | 34          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 34          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 24          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 847         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 56          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 24          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 987         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 24          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 3           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 34          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 24          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 455         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 847         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 987         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 487         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 34          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 34          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 24          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 847         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 56          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 24          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 987         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 24          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 2           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD    | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2           |
| target_i2cREG1_temp.OAR                                  | 34          |
| target_i2cREG1_temp.IMR                                  | 24          |
| target_i2cREG1_temp.STR                                  | 455         |
| target_i2cREG1_temp.CLKL                                 | 847         |
| target_i2cREG1_temp.CLKH                                 | 987         |
| target i2cREG1 temp.CNT                                  | 487         |
| target i2cREG1 temp.DRR                                  | 34          |
| target i2cREG1 temp.SAR                                  | 34          |
| target i2cREG1_temp.DXR                                  | 24          |
|  |             |
| target_i2cREG1_temp.MDR                                  | 847         |
| target_i2cREG1_temp.IVR                                  | 56          |
| target_i2cREG1_temp.EMDR                                 | 2           |
| target_i2cREG1_temp.PSC                                  | 24          |
|  |             |

2014-10-14, 23:08:30+0530



| Name                      | Input Value  |                |        |
|---------------------------|--------------|----------------|--------|
| target_i2cREG1_temp.PID11 | 987          |                |        |
| target_i2cREG1_temp.PID12 | 24           |                |        |
| target_i2cREG1_temp.DMAC  | 2            |                |        |
| target_i2cREG1_temp.FUN   | 0            |                |        |
| target_i2cREG1_temp.DIR   | 3            |                |        |
| target_i2cREG1_temp.DIN   | 3            |                |        |
| target_i2cREG1_temp.DOUT  | 2            |                |        |
| target_i2cREG1_temp.SET   | 2            |                |        |
| target_i2cREG1_temp.CLR   | 3            |                |        |
| target_i2cREG1_temp.ODR   | 3            |                |        |
| target_i2cREG1_temp.PD    | 2            |                |        |
| target_i2cREG1_temp.PSL   | 2            |                |        |
| Name                      | Actual Value | Expected Value | Result |

| target_i2cREG1_temp.ODR  | 3                   |                     |          |
|--|---------------------|---------------------|----------|
| target_i2cREG1_temp.PD   | 2                   |                     |          |
| target_i2cREG1_temp.PSL  | 2                   |                     |          |
| Name   | Actual Value        | Expected Value      | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 10                  | 10                  | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 38                  | 38                  | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 5                   | 5                   | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 9                   | 9                   | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0                   | 0                   | -        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 0                   | 0                   | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 0                   | 0                   | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 261                 | 261                 | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 110                 | 110                 | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_SENSOR2_SETREG | READ_SENSOR2_SETREG | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 43                  | 43                  | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  | 44                  | 44                  | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 1                   | 1                   | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                   | 0                   | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                   | 0                   | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 4                   | 4                   | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0                   | 0                   | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 487                 | 487                 | ~        |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 13                  | 13                  | ~        |
| I2c_Send(Length_Cnt_T_u32)   | 1                   | 1                   | ~        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 1                   | 1                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 34                  | 34                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 24                  | 24                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 455                 | 455                 | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 847                 | 847                 | <b>*</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 987                 | 987                 |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 487                 | 487                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 34                  | 34                  |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 34<br>24            | 24                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR    | 847                 | 847                 |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.N/DR  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.I/VR | 56                  | 56                  | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FVR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 2                   | 2                   |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 24                  | 24                  | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 987                 | 987                 | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 24                  | 24                  | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2                   | 2                   | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0                   | 0                   | <b>~</b> |
| target I2c GenStopCond I2cRegPtr Cnt T str.DIR   | 3                   | 3                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 3                   | 3                   | <b>~</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT  | 2                   | 2                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 2                   | 2                   | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 3                   | 3                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 3                   | 3                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 2                   | 2                   | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL   | 2                   | 2                   | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR  | 34                  | 34                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 24                  | 24                  | <b>✓</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR  | 455                 | 455                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 847                 | 847                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 987                 | 987                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 487                 | 487                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 34                  | 34                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 34                  | 34                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 24                  | 24                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 847                 | 847                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 56                  | 56                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 2                   | 2                   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 24                  | 24                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 987                 | 987                 | <b>~</b> |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result                                |
|--|--------------|----------------|---------------------------------------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 24           | 24             | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | <b>~</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | · ·                                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3              |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT                               | 2            | 2              | _                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | <b>✓</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 2            | 2              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 34           | 34             | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 24           | 24             | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 455          | 455            | <b>v</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 847          | 847            |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 987<br>487   | 987<br>487     | ~                                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR                          | 34           | 34             |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 34           | 34             |                                       |
| target I2c SetRecv I2cRegPtr Cnt T str.DXR   | 24           | 24             | <b>✓</b>                              |
| target I2c SetRecv I2cRegPtr Cnt T str.MDR   | 847          | 847            | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 56           | 56             | <b>✓</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | <b>✓</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 24           | 24             | <b>✓</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 987          | 987            | ✓                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 24           | 24             | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | <b>~</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>v</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | <b>~</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ~                                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 2 2          | 2 2            |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR                          | 3            | 3              |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | <b>→</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | ✓                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 34           | 34             | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 24           | 24             | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 455          | 455            | ✓                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 847          | 847            | ✓                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 987          | 987            | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 487          | 487            | <b>~</b>                              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 34           | 34             | <b>~</b>                              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 34<br>24     | 34<br>24       |                                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR                      | 847          | 847            |                                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 56           | 56             |                                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | <b>✓</b>                              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 24           | 24             | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 987          | 987            | <b>✓</b>                              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 24           | 24             | <b>✓</b>                              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ✓                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | <b>✓</b>                              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | •                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>V</b>                              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | <b>✓</b>                              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | · · · · · · · · · · · · · · · · · · · |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD                       | 3 2          | 2              | ~                                     |
| target_l2c_SetStatus_l2cRegPti_Cnt_T_str.PD  | 2            | 2              |                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 34           | 34             | ·                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 24           | 24             | <b>✓</b>                              |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 455          | 455            | <b>✓</b>                              |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 847          | 847            | <b>✓</b>                              |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 987          | 987            | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 487          | 487            | ~                                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 34           | 34             | <b>✓</b>                              |
|  |              | 104            |                                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 34           | 34             | -                                     |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR<br>target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR | 24           | 24             | <b>→</b>                              |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  |              |                | -                                     |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 24           | 24             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 987          | 987            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 24           | 24             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 34           | 34             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 24           | 24             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 455          | 455            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 847          | 847            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 987          | 987            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 487          | 487            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 34           | 34             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 34           | 34             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 24           | 24             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 847          | 847            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 56           | 56             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 24           | 24             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 987          | 987            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 24           | 24             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | <b>✓</b> |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | •      |
| I2c_Send                | 1     | I2c_Send                | 1     | ~      |

| Test Step 3.9 (Repeat Count = 1)                | ✓  |
|---|--|
| Name  | Input Value                                |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309                                       |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 30   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ_SENSOR1_GETDATA                       |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 46   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 47   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 5  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 14   |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str |



| DigColFSint_Interruptivotincation   | IMACIA   |
|---|--|
| Name  | Input Value  |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]   | 0  |
| _DataRegisters_Cnt_u08[1]   | 32   |
|   | 30   |
| DataRegisters Cnt u08[3]  | 36   |
|   | 38   |
|   | 34   |
| aataRegisters_Cnt_u08[6]  | 10   |
| DataRegisters_Cnt_u08[7]  | 12   |
| DataRegisters_Cnt_u08[8]  | 14   |
| 2cREG1_temp   | target i2cREG1 temp                                |
| _ColSensorl2CAddress_Cnt_u08  | 84   |
|   | 120  |
| _SpurSensorI2CAddress_Cnt_u08   |  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR   | 55   |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR  | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN   | 1  |
|   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556  |
| arget I2c Send I2cRegPtr Cnt T str.CLKL   | 2309   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87   |
| arget I2c Send I2cRegPtr Cnt T str.DRR  | 67   |
| arget_l2c_send_l2cRegPtr_Cnt_T_str.SAR  | 55   |
|   | 66   |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  |  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309   |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5  |
| trget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1  |
| irget_12c_Send_12cRegPtr_Cnt_T_str.ODR  | 2  |
|   | 3  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.PD   |  |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3  |
|   | 55   |
|   |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 556  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR<br>arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH | 556  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67          |
|  |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204        |
|  | 66          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1           |
|  | 2           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target I2c SetStatus I2cRegPtr Cnt T str.IMR   | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556         |
|  | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target I2c SetStatus I2cRegPtr Cnt T str.DXR   | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
|  | 5           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1           |
|  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target I2c SetStatus I2cRegPtr Cnt T str.PD  | 3           |
| target I2c SetStatus I2cRegPtr Cnt T str.PSL   | 3           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 67          |
|  | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 66          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 3           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
|  |             |
| target 12c SetupMasterTransmit 12cRegPtr Cnt 1 str STP   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL | 556<br>2309 |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

|  |                         | • • •                   | 10.10    |
|--|-------------------------|-------------------------|----------|
| Name   | Input Value             |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204                    |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87                      |                         |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 67                      |                         |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR | 55<br>66                |                         |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 2309                    |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66                      |                         |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11   | 1204                    |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC | 66                      |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3                       |                         |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 3                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR    | 2                       |                         |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD  | 3                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3                       |                         |          |
| target_i2cREG1_temp.OAR  | 55                      |                         |          |
| target_i2cREG1_temp.IMR  | 66                      |                         |          |
| target_i2cREG1_temp.STR  | 556                     |                         |          |
| target_i2cREG1_temp.CLKL   | 2309<br>1204            |                         |          |
| target_i2cREG1_temp.CLKH<br>target_i2cREG1_temp.CNT  | 87                      |                         |          |
| target i2cREG1 temp.DRR  | 67                      |                         |          |
| target_i2cREG1_temp.SAR  | 55                      |                         |          |
| target_i2cREG1_temp.DXR  | 66                      |                         |          |
| target_i2cREG1_temp.MDR  | 2309                    |                         |          |
| target_i2cREG1_temp.IVR  | 5                       |                         |          |
| target_i2cREG1_temp.EMDR   | 3<br>66                 |                         |          |
| target_i2cREG1_temp.PSC<br>target_i2cREG1_temp.PID11   | 1204                    |                         |          |
| target_i2cREG1_temp.PID12  | 66                      |                         |          |
| target_i2cREG1_temp.DMAC   | 3                       |                         |          |
| target_i2cREG1_temp.FUN  | 1                       |                         |          |
| target_i2cREG1_temp.DIR  | 1                       |                         |          |
| target_i2cREG1_temp.DIN  | 3                       |                         |          |
| target_i2cREG1_temp.DOUT<br>target_i2cREG1_temp.SET  | 3                       |                         |          |
| target i2cREG1 temp.CLR  | 1                       |                         |          |
| target_i2cREG1_temp.ODR  | 2                       |                         |          |
| target_i2cREG1_temp.PD   | 3                       |                         |          |
| target_i2cREG1_temp.PSL  | 3                       |                         |          |
| Name   | Actual Value            | Expected Value          | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 1                       | 1                       | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]  | 10                      | 10<br>20                | <b>✓</b> |
| DigColPsInt Buffer Cnt M u08[2]  | 30                      | 30                      | ~        |
| DigColPsInt BusBusySeqError Cnt M Igc  | 1                       | 1                       | -        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1                       | 1                       | •        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1                       | 1                       | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2580                    | 2580                    | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 120                     | 120                     | <b>~</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16   | READ_SENSOR2_GETDATA 46 | READ_SENSOR2_GETDATA 46 | - V      |
| DigColPsInt_I2CHwlncompleteCustData_Uls_M_u16  | 47                      | 47                      | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0                       | 0                       | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1                       | 1                       | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1                       | 1                       | •        |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 5                       | 5                       | •        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 1                       | 1                       | <b>~</b> |
| DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08  | 87<br>14                | 87<br>14                | · ·      |
| I2c_SetRecv(Length_Cnt_T_u32)  | 2                       | 2                       | · ·      |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)   | 2                       | 2                       |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55                      | 55                      | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66                      | 66                      | ~        |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR   | 556                     | 556                     | <b>✓</b> |

556

2309

1204

target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.STR

 $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 

 $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 

556 2309

1204

2014-10-14, 23:08:30+0530



| Name   | Actual Value                | Expected Value | Result   |
|--|-----------------------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87                          | 87             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67                          | 67             | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55                          | 55             | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                          | 66             | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309                        | 2309           | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5                           | 5              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3                           | 3              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66                          | 66             | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204                        | 1204           | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66                          | 66             | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                           | 3              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                           | 1              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                           | 1              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                           | 2              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                           | 3              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                           | 3              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1                           | 1              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2                           | 2              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 3                           | 3              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3                           | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 55                          | 55             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 66                          | 66             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 556                         | 556            | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 2309                        | 2309           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 1204                        | 1204           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 87                          | 87             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 67                          | 67             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 55                          | 55             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 66                          | 66             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 2309                        | 2309           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 5                           | 5              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 344                         | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 3<br>6                      | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 1 <b>20</b> 4<br>6 <b>6</b> | 1204           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 6 <b>kV</b>                 | 66             |          |

2014-10-14, 23:08:30+0530



|  | I            |                |          |
|--|--------------|----------------|----------|
| Name   | Actual Value | Expected Value | Result   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 87           | 87             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 67           | 67             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 55           | 55             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 5            | 5              | ~        |
| target I2c SetStatus I2cRegPtr Cnt T str.EMDR            | 3            | 3              | <b>~</b> |
| target I2c SetStatus I2cRegPtr Cnt T str.PSC             | 66           | 66             | _        |
|  | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           |              |                |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12           | 66           | 66             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3            | 3              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1            | 1              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2            | 2              |          |
|  | 3            | 3              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3            | 3              | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR    | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87           | 87             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             | •        |
|  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55           | 55             | -        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              |          |
|  | 1            | 1              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN    |              |                | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | <b>J</b> |
| target I2c SetupMasterTransmit I2cReqPtr Cnt T str.OAR   | 55           | 55             |          |
|  |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 2309         | 2309           | ~        |
|  |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              |          |
|  |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
|  |              |                |          |



| T                      |       |                        |       | <b>✓</b> |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| SetupRead              | 1     | SetupRead              | 1     | ~        |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | <b>✓</b> |
| I2c SetRecv            | 1     | I2c SetRecv            | 1     | <b>✓</b> |

| Test Step 3.10 (Repeat Count = 1)  | Input Value  |
|--|--|
| Name   | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 3  |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 123  |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 145  |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 200  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 566  |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 30   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR2_READEXTERR_SETREG                     |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 67   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 68   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 4  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 4  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 129  |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 100  |
| flags_Cnt_T_b16  | 2  |
| 2c GenStopCond(I2cRegPtr Cnt T str)  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)  | target I2c SetStatus I2cRegPtr Cnt T str           |
| 2c_Setolatus(i2chegr ti_cin_1_str) 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
|  |  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]  | ·  |
| _DataRegisters_Cnt_u08[1]  | 32   |
| DataRegisters_Cnt_u08[2]   | 30   |
| _DataRegisters_Cnt_u08[3]  | 36   |
| _DataRegisters_Cnt_u08[4]  | 38   |
| _DataRegisters_Cnt_u08[5]  | 34   |
| _DataRegisters_Cnt_u08[6]  | 10   |
| _DataRegisters_Cnt_u08[7]  | 12   |
| _DataRegisters_Cnt_u08[8]  | 14   |
| 2cREG1_temp  | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08   | 0  |
| _SpurSensorl2CAddress_Cnt_u08  | 120  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 567  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 4444   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 566  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 4466   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 129  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 6  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 567  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 566  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 554  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 4466   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 44   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.Plb12 arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC | 1  |
|  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1  |

2014-10-14, 23:08:30+0530



| DigColPSint_InterruptNotinication             |             | TOPO TO |
|---|-------------|---------|
| Name  | Input Value |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR | 0           |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3           |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL | 3           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR        | 567         |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR        | 44          |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR        | 4444        |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       | 566         |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       | 4466        |         |
| arget I2c Send I2cRegPtr Cnt T str.CNT        | 129         |         |
| arget I2c Send I2cRegPtr Cnt T str.DRR        | 6           |         |
| arget I2c Send I2cRegPtr Cnt T str.SAR        | 567         |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR        | 44          |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR        | 566         |         |
|   | 554         |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR        | 1           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       | 44          |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC        | 4466        |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11      |             |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12      | 44          |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       | 1           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN        | 1           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR        | 2           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN        | 0           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       | 1           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET        | 1           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR        | 2           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR        | 0           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD         | 3           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL        | 3           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR     | 567         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR     | 44          |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR     | 4444        |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL    | 566         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH    | 4466        |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT     | 129         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR     | 6           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR     | 567         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR     | 44          |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR     | 566         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR     | 554         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR    | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC     | 44          |         |
| arget I2c SetRecv I2cRegPtr Cnt T str.PID11   | 4466        |         |
| arget I2c SetRecv I2cRegPtr Cnt T str.PID12   | 44          |         |
|   | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC    |             |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN     | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR     | 2           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN     | 0           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT    | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET     | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR     | 2           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR     | 0           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD      | 3           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL     | 3           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 567         |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 4444        |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 566         |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 129         |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 6           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 567         |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 44          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 566         |         |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR    | 554         |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1           |         |
|   | 44          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   |             |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 | 4466        |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 | 44          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 0           |         |
|   | 1           |         |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  | · ·         |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target I2c SetStatus I2cRegPtr Cnt T str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 567         |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 4444        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567         |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466        |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0           |
|  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567         |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 44          |
|  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 4466        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 0           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_i2cREG1_temp.OAR                                  | 567         |
|  |             |
| target_i2cREG1_temp.IMR                                  | 44          |
| target_i2cREG1_temp.STR                                  | 4444        |
| target_i2cREG1_temp.CLKL                                 | 566         |
| target_i2cREG1_temp.CLKH                                 | 4466        |
| target_i2cREG1_temp.CNT                                  | 129         |
| target_i2cREG1_temp.DRR                                  | 6           |
| target_i2cREG1_temp.SAR                                  | 567         |
|  |             |
| target_i2cREG1_temp.DXR                                  | 44          |
| target_i2cREG1_temp.MDR                                  | 566         |
| target_i2cREG1_temp.IVR                                  | 554         |
| target_i2cREG1_temp.EMDR                                 | 1           |
| target i2cREG1 temp.PSC                                  | 44          |
| ·  | 4466        |
| target_i2cREG1_temp.PID11                                |             |
| target_i2cREG1_temp.PID12                                | 44          |
| target_i2cREG1_temp.DMAC                                 | 1           |
| target_i2cREG1_temp.FUN                                  | 1           |
| target_i2cREG1_temp.DIR                                  | 2           |
|  | ,           |

#### 2014-10-14, 23:08:30+0530



| Name   Depart   De  |   |              |                |          |
|--|---|--------------|----------------|----------|
| Sept   1997    | Name  | Input Value  |                |          |
| Seption   Sept | target_i2cREG1_temp.DIN                         | 0            |                |          |
| Image: Appelled   Person   Company   Company | target_i2cREG1_temp.DOUT                        | 1            |                |          |
| Image:   Company   Compa | target_i2cREG1_temp.SET                         | 1            |                |          |
| Sample   Delicion   Image   Part   Delicion   Sample   Delicion   Delicion  | target_i2cREG1_temp.CLR                         | 2            |                |          |
| Samp   Activation   Activatio | target_i2cREG1_temp.ODR                         | 0            |                |          |
|  | target i2cREG1 temp.PD                          | 3            |                |          |
| Name   | target i2cREG1 temp.PSL                         | 3            |                |          |
| DipoCarliert, Manager Cont, M., 1989   1   |   | Actual Value | Expected Value | Result   |
| DipoCarlinal_Buffer_Cort_M_108[0]   10   10   10   10   10   10   10   |   |              | •              | - Tooule |
| DigoDoPall Buffer (D. M. 1907    3   3   7   7   7   7   7   7   7   |   |              |                | •        |
| Digitable   Dutiles Could   United   |   |              |                |          |
| DOCOPIENT, Superlay-Registron, CM, Mgs   |   |              |                |          |
| DipoCarbent Conference Court M (sp   |   |              |                |          |
| DipOCPAPIC CONTENSION COLUMN 1916   566   566   566   ▼  |   |              |                |          |
| DipOpPerHILLCORNISSING_CHI_M_008   |   |              |                |          |
| DigoChiefic CurrentStewn, Cut M, Unide   |   |              |                |          |
| Disposable   Convention  |   |              |                |          |
| DigGOPBHI ICCHWCHIGHTBUL IN M 116   65   68   98   94  |   |              |                |          |
| Disposition    |   |              |                |          |
| DigicalPatin   National Pierro Personal   1  | DigColPsInt_I2CHwCustData_Uls_M_u16             |              |                |          |
| Digitable   Next   Ne | DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 68           | 68             |          |
| DigicalPaint, Recoverentaintry, Crit, Millor   |   |              |                |          |
| Disput   D | DigColPsInt_NackOccured_Cnt_M_lgc               | 1            | 1              | ~        |
| DigicalPaint, SparCustInalForum, Crit, M, 196   122   129  | DigColPsInt_RecvOverrunError_Cnt_M_lgc          |              |                |          |
| DipoCaPaint_TranspartConf_Cnt_Mur8   | DigColPsInt_RecvdDataType_Cnt_M_u08             | 4            | 4              | ~        |
| DigCoPPAIN_TansacationCri_Cri_M_U08  | DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1            | 1              | ~        |
| 22 Septiclarght_CRT_1282  3   3   3   3   4   4   4   4   4   4  | DigColPsInt_SpurSnsrData_Cnt_M_u16              | 129          | 129            | ~        |
| 2c_SetupMasterTransmillOstalLength_Cnl_Tut9)   3   3   3   3   3   3   3   3   3   | DigColPsInt_TransactionCnt_Cnt_M_u08            | 100          | 100            | ~        |
|  | I2c_Send(Length_Cnt_T_u32)                      | 3            | 3              | ~        |
| target   Zo_GenStopCond   ZeRegPr_Cnt_T_str.MR   | I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 3            | 3              | ~        |
| target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrCLKL         4444           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrCLKL         566         566           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrCLKH         4468         4466           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrCLKH         4468         4466           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         6         6           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         6         6           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         44         44           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         44         44           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         566         566           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         1         1           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         1         1           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD11         446         446           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD11         446         446           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD10         446         446           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD10         44         44           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD10         1         1           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD10         1         1     <  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567            | ~        |
| target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrCLKL         4444           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrCLKL         566         566           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrCLKH         4468         4466           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrCLKH         4468         4466           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         6         6           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         6         6           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         44         44           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         44         44           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         566         566           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         1         1           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrDRR         1         1           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD11         446         446           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD11         446         446           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD10         446         446           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD10         44         44           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD10         1         1           target_LZc_GenStopCond_LZcRegPtr_Cnt_tstrD10         1         1     <  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             | ~        |
| target_IZe_GenStopCond_IZeRegPtr_Cnt_T_str.CNT         566         \$66         \$66           target_IZe_GenStopCond_IZeRegPtr_Cnt_T_str.CNT         129         129         \$129           target_IZe_GenStopCond_IZeRegPtr_Cnt_T_str.CNT         129         129         \$129   |   | 4444         | 4444           | <b>✓</b> |
| target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.CNT         129         129           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.CNT         129         129           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.CNT         129         129           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.CNT         6         6           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.DNR         44         44           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.DNR         44         44           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.EMDR         566         566           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.EMDR         1         1           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.EMDR         1         44           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.DD11         4466         4466           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.DD11         4466         4466           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.DNAC         1         1           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.DNAC         1         1           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.DNA         1         1           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.DNA         1         1           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.DNA         1         1           target_Ize_GenStopCond_IzeRegPtr_Cnt_T_str.DNA<  |   | 566          | 566            | ~        |
| target_I2c_GenStopCond_I2cRepPt_Cnt_T_str.DRR  |   | 4466         | 4466           | <b>✓</b> |
| target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_SNR         567         567           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_SNR         44         44           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_SNR         44         44           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_SNR         566         566           vtarget_12e_GenStopCond_12eRepPtr_Cnt_Tstr_NDR         566         566           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_SNDR         1         1           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_SNDR         1         1           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_SND11         4466         446           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_D101         4466         446           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_D1D12         44         44           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_DNDR         1         1           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_DNDR         1         1           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_DNDN         0         0           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_DNDN         0         0           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_STST         1         1           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_STST         1         1           target_12e_GenStopCond_12eRepPtr_Cnt_Tstr_STOR         <   | target I2c GenStopCond I2cRegPtr Cnt T str.CNT  | 129          | 129            | ~        |
| target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DXR         44         44           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DXR         44         44           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DXR         566         366           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.NDR         566         366           varget_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DRDR         1         1           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DRDT         44         44           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DRDT         446         44           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DDT         44         44           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DDT         44         44           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DND         1         1           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DND         0         0           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DUT         1         1           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DUT         1         1           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DT         1         1           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DLR         2         2           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DLR         3         3           target_I2e_GenStopCond_I2eRepPtr_Cnt_T_str.DLR  |   | 6            | 6              | <b>✓</b> |
| larget   12c. GenStopCond   2cRegPir_Cnt   T_str.NDR   |   | 567          | 567            | ~        |
| target   2c, GenStopCond   2cRegPtr_Cnt_T_str.NDR  | target I2c GenStopCond I2cRegPtr Cnt T str.DXR  | 44           | 44             | <b>✓</b> |
| target_12c_GenStopCond_12cRepPtr_Cnt_T_str.NR  |   | 566          | 566            | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR  |   | 554          | 554            | <b>✓</b> |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PDC1         44         44         44           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID11         4466         4466         ✓           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DID12         44         44         ✓           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIMC         1         1         1         ✓           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIM         2         2         ✓         V           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIN         0         0         0         V         V         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         1         1         0         V         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         1         1         1         V         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         1         1         1         V         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         0         0         0         V         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         3         3         0         V         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         3         3         3         0         V         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DAR         567         567         567         V         target_12c_Send_12cRegPtr_Cnt_T_str.DAR         44         444         444 <td>target I2c GenStopCond I2cRegPtr Cnt T str.EMDR</td> <td>1</td> <td>1</td> <td>~</td>   | target I2c GenStopCond I2cRegPtr Cnt T str.EMDR | 1            | 1              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11         4466         4466         ✓           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIMC         1         1         ✓           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIMC         1         1         ✓           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIM         1         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIM         0         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         1         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         1         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         1         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         2         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         3         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         3         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DUT         3         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR         4         4         4           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR         44         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR   |   | 44           | 44             | <b>~</b> |
| target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DID12         44         44           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DMC         1         1         1         4           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DIN         1         1         4         4           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DIN         0         0         0         4         4           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DOUT         1         1         1         4         4           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DOUT         1         1         1         4 <td></td> <td>4466</td> <td>4466</td> <td>~</td>   |   | 4466         | 4466           | ~        |
| target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DMAC         1         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.FUN         1         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DIR         2         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DIN         0         0         Jarget_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DIN         0         0           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DLT_str.CLR         1         1         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DDR         2         2         2         4           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DDR         0         0         0         4           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DDR         0         0         0         4           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DDR         3         3         3         4           target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DAR         567         567         567         4 <td></td> <td></td> <td>44</td> <td><b>~</b></td>   |   |              | 44             | <b>~</b> |
| larget_ 2c_GenStopCond_ 2cRegPtr_Cnt_T_str.DNR   |   |              |                | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DDR         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DD         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DD         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DD         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DA         567         567           target_l2c_Send_l2cRegPtr_Cnt_T_str.DA         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.DA         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL         566         566           target_l2c_Send_l2cRegPtr_Cnt_T_str.DA         4466         4466           target_l2c_Send_l2cRegPtr_Cnt_T_str.DA         6         6           target_l2c_Send_l2cRegPtr_Cnt_T_str.DA         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.DA         44         44           t  |   | 1            | 1              | <b>✓</b> |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUN         0   |   | 2            | 2              | ~        |
| target_!2c_GenStopCond_!2cRegPtr_CntT_str.DUT         1 </td <td></td> <td></td> <td>0</td> <td><b>~</b></td>  |   |              | 0              | <b>~</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CDR         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DDR         0         0           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DDR         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR         567         567           target_l2c_Send_l2cRegPtr_Cnt_T_str.MR         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.STR         4444         4444           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL         566         566           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH         4466         4466           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         6         6           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         6         6           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR         566         566           target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR         554         554           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMR         1         1           target_l2c_  |   | 1            | 1              | ~        |
| target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.CDR         2         2           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DDR         0         0           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.PD         3         3           target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.PDL         3         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR         567         567           target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR         44         44           target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR         444         444           target_!2c_Send_!2cRegPtr_Cnt_T_str.CLKL         566         566           target_!2c_Send_!2cRegPtr_Cnt_T_str.CLKH         4466         4466           target_!2c_Send_!2cRegPtr_Cnt_T_str.DNT         129         129           target_!2c_Send_!2cRegPtr_Cnt_T_str.DNR         6         6           target_!2c_Send_!2cRegPtr_Cnt_T_str.DXR         44         44           target_!2c_Send_!2cRegPtr_Cnt_T_str.DXR         44         44           target_!2c_Send_!2cRegPtr_Cnt_T_str.DXR         567         567           target_!2c_Send_!2cRegPtr_Cnt_T_str.MDR         566         566           target_!2c_Send_!2cRegPtr_Cnt_T_str.MDR         566         566           target_!2c_Send_!2cRegPtr_Cnt_T_str.DNC         1         1           target_!2c_Send_  |   |              |                | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DDR         0         Jarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD         3         3         3         Jarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL         3         3         Jarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL         3         3         Jarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR         567         567         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         44         44         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.MIMR         44         44         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         4444         4444         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL         566         566         566         566         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL         4466         4466         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         4466         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         6         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         6         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         44         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         44         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         44         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         566         566         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         554         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         44         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         1         1         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         44         Jarget_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         44         Jarge  |   |              |                | _        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD         3         3         V           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL         3         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         567         567         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMR         44         44         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.STR         4444         444         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL         566         566         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH         4466         4466         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         6         6         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         44         44         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         44         44         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         44         44         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.MR         566         566         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         44         44         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         554         554         ✓           target_l2c_Send_l2cRegPtr_Cnt_T_str.PiD11         4466         44         ✓   |   |              |                | ~        |
| target_l2c_GenStopCond_l2cRegPt_Cnt_Tstr.OAR         3           target_l2c_Send_l2cRegPtr_Cnt_Tstr.OAR         567           target_l2c_Send_l2cRegPtr_Cnt_Tstr.IMR         44           44         44           44rget_l2c_Send_l2cRegPtr_Cnt_Tstr.STR         444           44rget_l2c_Send_l2cRegPtr_Cnt_Tstr.CLKL         566           44rget_l2c_Send_l2cRegPtr_Cnt_Tstr.CLKH         4466           44rget_l2c_Send_l2cRegPtr_Cnt_Tstr.CNT         129           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.DRR         6           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.DRR         6           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.DXR         44           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.DXR         44           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.WR         566           566         566           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.WR         554           554         554           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.EMDR         1           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.PiD11         4466           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.PiD12         44           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.DMAC         1           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.DMAC         1           4arget_l2c_Send_l2cRegPtr_Cnt_Tstr.DMAC         1           4arget_l2c_Send_l2cR  |   |              |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR       567       567         target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.STR       4444       4444         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL       566       566         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH       4466       4466         target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT       129       129         target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR       6       6         target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR       6       6         target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       566       566         target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       554       554         target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11       4466       4466         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DINC       1       1  |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR       44       44       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.STR       4444       4444       4444         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       566       566       466         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       4466       4466       4466         target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT       129       129       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       6       6       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       44       44       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       566       566       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.NDR       566       566       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.NDR       1       1       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1       1       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.PiD11       4466       4466       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.PiD12       44       44       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       1       1       4         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2   |   |              |                | _        |
| target_12c_Send_12cRegPtr_Cnt_T_str.STR       4444       4444       4444         target_12c_Send_12cRegPtr_Cnt_T_str.CLKL       566       566       466         target_12c_Send_12cRegPtr_Cnt_T_str.CLKH       4466       4466       466         target_12c_Send_12cRegPtr_Cnt_T_str.CNT       129       129       4         target_12c_Send_12cRegPtr_Cnt_T_str.DRR       6       6       4         target_12c_Send_12cRegPtr_Cnt_T_str.DXR       567       567       4         target_12c_Send_12cRegPtr_Cnt_T_str.DXR       44       44       4         target_12c_Send_12cRegPtr_Cnt_T_str.MDR       566       566       4         target_12c_Send_12cRegPtr_Cnt_T_str.NVR       554       554       4         target_12c_Send_12cRegPtr_Cnt_T_str.EMDR       1       1       4         target_12c_Send_12cRegPtr_Cnt_T_str.PID11       4466       44       4       4         target_12c_Send_12cRegPtr_Cnt_T_str.PID12       44       44       4       4         target_12c_Send_12cRegPtr_Cnt_T_str.DMAC       1       1       1       4         target_12c_Send_12cRegPtr_Cnt_T_str.DIR       2       2       2       4   |   |              |                |          |
| target   2c Send   12cRegPtr_Cnt_T str.CLKL       566       566         target   12c Send   12cRegPtr_Cnt_T str.CLKH       4466       4466         target   12c Send   12cRegPtr_Cnt_T str.CNT       129       129         target   12c Send   12cRegPtr_Cnt_T str.DRR       6       6         target   12c Send   12cRegPtr_Cnt_T str.SAR       567       567         target   12c Send   12cRegPtr_Cnt_T str.DXR       44       44         target   12c Send   12cRegPtr_Cnt_T str.MDR       566       566         target   12c Send   12cRegPtr_Cnt_T str.IVR       554       554         target   12c Send   12cRegPtr_Cnt_T str.EMDR       1       1         target   12c Send   12cRegPtr_Cnt_T str.PSC       44       44         target   12c Send   12cRegPtr_Cnt_T str.PID11       4466       4466         target   12c Send   12cRegPtr_Cnt_T str.PID12       44       44         target   12c Send   12cRegPtr_Cnt_T str.DMAC       1       1         target   12c Send   12cRegPtr_Cnt_T str.FUN       1       1         target   12c Send   12cRegPtr_Cnt_T str.DIR       2       2   |   |              |                |          |
| target   2c Send   12cRegPtr_Cnt_T str.CLKH       4466       4466         target   12c Send   12cRegPtr_Cnt_T str.CNT       129       129         target   12c Send   12cRegPtr_Cnt_T str.DRR       6       6         target   12c Send   12cRegPtr_Cnt_T str.SAR       567       567         target   12c Send   12cRegPtr_Cnt_T str.DXR       44       44         target   12c Send   12cRegPtr_Cnt_T str.MDR       566       566         target   12c Send   12cRegPtr_Cnt_T str.IVR       554       554         target   12c Send   12cRegPtr_Cnt_T str.EMDR       1       1         target   12c Send   12cRegPtr_Cnt_T str.PSC       44       44         target   12c Send   12cRegPtr_Cnt_T str.PID11       4466       4466         target   12c Send   12cRegPtr_Cnt_T str.PID12       44       44         target   12c Send   12cRegPtr_Cnt_T str.DMAC       1       1         target   12c Send   12cRegPtr_Cnt_T str.FUN       1       1         target   12c Send   12cRegPtr_Cnt_T str.FUN       1       1         target   12c Send   12cRegPtr_Cnt_T str.DIR       2       2  |   |              |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR       129         target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR       6         target_l2c_Send_l2cRegPtr_Cntstr.SAR       567         target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       566         target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR       554         target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11       4466         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR       2  |   |              |                |          |
| target   2c Send   2cRegPtr_Cnt_T str.DRR       6       6         target   2c Send   2cRegPtr_Cnt_T str.SAR       567       567         target   2c Send   2cRegPtr_Cnt_T str.DXR       44       44         target   2c Send   2cRegPtr_Cnt_T str.MDR       566       566         target   2c Send   2cRegPtr_Cnt_T str.IVR       554       554         target   2c Send   2cRegPtr_Cnt_T str.EMDR       1       1         target   12c Send   2cRegPtr_Cnt_T str.PSC       44       44         target   12c Send   2cRegPtr_Cnt_T str.PID11       4466       4466         target   12c Send   2cRegPtr_Cnt_T str.PID12       44       44         target   12c Send   2cRegPtr_Cnt_T str.DMAC       1       1         target   12c Send   2cRegPtr_Cnt_T str.DMAC       1       1         target   12c Send   2cRegPtr_Cnt_T str.FUN       1       1         target   12c Send   2cRegPtr_Cnt_T str.DIR       2       2  |   |              |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR       567       567         target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       566       566         target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR       554       554         target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.PiD11       4466       4466         target_l2c_Send_l2cRegPtr_Cnt_T_str.PiD12       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR       2       2  |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       44       44       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       566       566       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       554       554       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       44       44       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       4466       4466       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44       44       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2       ✓  |   |              |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       566       566         target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR       554       554         target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC       44       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11       4466       4466       4466         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       44       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1       1       4         target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN       1       1       4         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR       2       2       4   |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       554       554         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       44       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       4466       4466         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2  |   |              |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11       4466       4466         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR       2       2  |   |              |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC       44       44       ✓         target_l2c_Send_l2cRegPtr_Cnt_T_str.PlD11       4466       4466       ✓         target_l2c_Send_l2cRegPtr_Cnt_T_str.PlD12       44       44       ✓         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1       1       ✓         target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN       1       1       ✓         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR       2       2       ✓   |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       4466       4466       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44       44       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2       ✓   |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44       44       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2       ✓   |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2   |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1  |   |              |                | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR 2  |   |              |                |          |
|  |   |              |                |          |
| target_izc_Send_izckegrtr_Cht_i_str.DIN 0  |   |              |                |          |
|  | target_izd_Senit_izdRegPti_CRt_I_Str.DIN        | U            | <b>U</b>       |          |

2014-10-14, 23:08:30+0530





| Name   | N  | A -4I V-I | Form and ad Malian | D 14     |
|--|--|-----------|--------------------|----------|
|  |  |           | ·                  | Result   |
|  |  |           |                    |          |
| Based   10.5 Seed   Defender   Col.   1.8 COR  |  |           |                    | -        |
| Image   1,00, Seed   2,00 miles   2,00 mil   |  |           |                    |          |
| Image   120, Series   120, S   |  |           |                    | _        |
| Barget Dec.   Service   |  |           |                    |          |
| Target, Die, Selfreco, Der Regift, Cort. T. plan 1976  Target, Die, Selfreco, Der Regift, Cort. T. plan 1977  Target, Die, Selfreco, Der Regift, Cort. T. plan 1977  Target, Die, Selfreco, Der Regift, Cort. T. plan 1978  Target, Die, Selfreco, Der Regift, Cort. T. plan 1978  Target, Die, Selfreco, Der Regift, Cort. T. plan 1978  Target, Die, Selfreco, Der Regift, Cort. T. plan 1978  Target, Die, Selfreco, Der Regift, Cort. T. plan 1978  Target, Die, Selfreco, Der Regift, Cort. T. plan 1978  Target, Die, Selfreco, Der Regift, Cort. T. plan 1978  Target, Die, Selfreco, Der Regift, Cort. T. plan 1978  Target, Die, Selfreco, Der Regift, Cort. T. plan 1978  Target, Die, Selfreco, Der Regift, Cort. T. plan 1979  Target, Die, Selfreco, Der Regift, Cort. T. plan 1971  Target, Die, Selfreco, Der Regift, Cort. T. plan 1971  Target, Die, Selfreco, Der Regift, Cort. T. plan 1971  Target, Die, Selfreco, Der Regift, Cort. T. plan 1971  Target, Die, Selfreco, Der Regift, Cort. T. plan 1971  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die, Selfreco, Der Regift, Cort. T. plan 1972  Target, Die |  |           |                    | •        |
| Image   120   Seffero   Category   Cat   T   SEC   Category   Cate   |  |           |                    | ~        |
| Maged LID, Seaffew, Diethory Coult T, all CLINT   199   19   |  | 4444      | 4444               | •        |
|  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL            | 566       | 566                | ~        |
| Banger   120, Services   Debeloging CPL   150 SBR  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH            | 4466      | 4466               | ~        |
| Index    12.5   Self-Rev   Exchange For Dut T are SAR   44   44   44   44   44   44   44   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT             | 129       | 129                | •        |
| Sear   Dec.   Ser   Se   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 6         | 6                  | ~        |
| Langer   125 Serfiew   128 S   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR             | 567       | 567                | ~        |
| Internal   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             | 44        | 44                 |          |
|  |  |           |                    |          |
| Marger   122, Selfaces   2028app* Col.   T. std PSC  |  |           |                    |          |
|  |  |           |                    | _        |
|  |  |           |                    |          |
| Imaged   122 Selface  CERRIPE CHT_SELFACE   1  |  |           |                    |          |
| Image: 125 SetPace   Jacks piller Cot.   T. SET. DNN   1   |  |           |                    |          |
| Image:   Dec.   Self-Bort   Zelf-Bort   Colt   T. of the District   Dec.   De   |  |           |                    | _        |
| September   Jacksep    Cont.   1 sept   No.  |  |           |                    |          |
| Images   125   Selfence   126   267   26   |  |           |                    |          |
| Integral   2.0. Selfrecor   2.0. Perspire Cont   1. str. CNR   2   2   2   2   2   2   2   2   2   |  |           |                    |          |
| Integral   |  |           |                    |          |
| Image   L2C SetRency   Zecheght's Crit   T. str. DNR   3   3   3   4   4   |  |           |                    |          |
| Integral   20. Selficery   20chappin; Cent_T str PD    3   3   3   3   3   3   3   3   3   |  |           |                    |          |
| large Li De Selficer J. 26RepPt. Cert. T. str. PSL 3 3 3 4 4 4 4 4 4 4 4 4 4 4 4 4 4 4 4 4   |  |           |                    |          |
| target_IZc_SetStatusIZcRegPr_Cnt_T_str.DNR   |  |           |                    | ~        |
| Inggel_L2e_SelStatus_U2cRegPPt_Cnt_Tstr.NR   |  |           |                    |          |
| target I.Ze. SerStatus. IZcRegPPr Cnt T. str. STR  arget I.Ze. SerStatus. IZcRegPPr Cnt T. str. CLKL  566  566  566  567  567  568  4466  568  4466  4466  4466  4466  4466  4466  4466  4466   |  |           |                    | •        |
| larget L2s. SelStatus. J2cRepPtr. Cnt. T. str. ClKH         4466         4466         ✓           larget L2s. SelStatus. J2cRepPtr. Cnt. T. str. ClKH         4466         4466         ✓           larget L2s. SelStatus. J2cRepPtr. Cnt. T. str. CNT         129         ✓           larget L2s. SelStatus. J2cRepPtr. Cnt. T. str. CNR         6         6         ✓           larget L2s. SelStatus. J2cRepPtr. Cnt. T. str. SNR         567         567         ✓           larget L2s. SelStatus. J2cRepPtr. Cnt. T. str. SNR         44         44         44         44           larget L2s. SelStatus. J2cRepPtr. Cnt. T. str. MDR         566         66         ✓         4           larget L2s. SelStatus. J2cRepPtr. Cnt. T. str. MDR         566         568         ✓           larget L2s. SelStatus. J2cRepPtr. Cnt. T. str. PDD11         446         44         44         ✓           larget L2s. SelStatus. J2cRepPtr. Cnt. T. str. PDD12         44         44         44         ✓           larget L2s. SelStatus. J2cRepPtr. Cnt. T. str. DNA         1         2         <   |  |           |                    | ~        |
| larget   12c SelfStatus   12cRegPtr_Cnt_T_str.DRT   129  |  |           | 566                | •        |
| targe_Lize_SelStatus_LizeRegPT_CnL_T.str.DRR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH          | 4466      | 4466               | ~        |
| target   2c SetStatus   2cRegPtr_Cnt_T_str.DAR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT           | 129       | 129                | ~        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR           | 6         | 6                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.NDR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR           | 567       | 567                | •        |
| target_[2c_SetStatus_!2cRepPtr_Cnt_T_str.WR  554  554  554  4 target_[2c_SetStatus_!2cRepPtr_Cnt_T_str.EMDR  1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR           | 44        | 44                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR           | 566       | 566                | •        |
| target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.PSC   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR           |           | 554                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         4466         4466         ✓           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         44         44         44         ✓           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         1         1          ✓           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN         1         1         1         ✓           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN         0         0         0         ✓           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DUT         1         1         1         ✓           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DUT         1         1         1         ✓         ✓           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOR         0         0         0         ✓   |  |           |                    | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12         44         44         44           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         1         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN         1         1         4           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR         2         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN         0         0         0            target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DUT         1         1         1   |  |           | 44                 |          |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DMAC         1         1         4 </td <td></td> <td></td> <td></td> <td><b>V</b></td>   |  |           |                    | <b>V</b> |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.FUN         1         1         1         varget_12c_SetStatus_12cRegPtr_Cnt_T_str.DIR         2         2         2         varget_12c_SetStatus_12cRegPtr_Cnt_T_str.DIN         0         0         varget_12c_SetStatus_12cRegPtr_Cnt_T_str.DOUT         1         1         1         varget_12c_SetStatus_12cRegPtr_Cnt_T_str.DOUT         1         1         1         varget_12c_SetStatus_12cRegPtr_Cnt_T_str.DOUT         1         1         1         varget_12c_SetStatus_12cRegPtr_Cnt_T_str.DOR         1         1         1         varget_12c_SetStatus_12cRegPtr_Cnt_T_str.DOR         0         0         varget_12c_SetStatus_12cRegPtr_Cnt_T_str.DOR         3         3         3         varget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRL         3         3         3         varget_12c_SetStatus_12cRegPtr_Cnt_T_str.DRL         3         3         3         varget_12c_SetUpMasterReceive_12cRegPtr_Cnt_T_str.DAR         567         567         4         444  |  |           |                    | <b>Y</b> |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIR         2         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DNT         0         0           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DUT         1         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DUT         1         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CLR         2         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         0         0           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DD         3         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DD         3         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DAR         567         567           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.MR         44         44           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.STR         4444         444           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CtkL         566         566           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CtkL         466         4466           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         6         6           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         6         6           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         44         44           target_!2c_SetupMasterRece  |  |           |                    | ¥        |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIN         0         0           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DOUT         1         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.SET         1         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CDR         2         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         0         0           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.PD         3         3           target_!2c_SetspMasterReceive_!2cRegPtr_Cnt_T_str.DAR         567         567           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.MR         44         44           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.STR         4444         444           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKL         566         566           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKH         4466         4466           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DNT         129         129           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DNR         6         6           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DNR         6         6           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DNR         6         6           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.MDR         566         566 <td< td=""><td></td><td></td><td></td><td>-4</td></td<>  |  |           |                    | -4       |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DOUT         1         1         1         4 </td <td></td> <td></td> <td></td> <td></td>   |  |           |                    |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET         1         1         V           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR         2         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR         0         0         0           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR         3         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL         3         3         3           target_l2c_SetUpMasterReceive_l2cRegPtr_Cnt_T_str.OAR         567         567         567           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR         444         44         44           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL         566         566         566           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT         129         129         4466           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         6         6         4466         4466           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR         44         44         44         44           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR         44         44         44         44           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR         44         44         44         44           target_l2c_SetupMasterReceive_l2cRegPtr   |  |           |                    |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.ODR         2         2           target_12c_SetStatus_12cRegPtr_Cnt_T_str.ODR         0         0           target_12c_SetStatus_12cRegPtr_Cnt_T_str.PD         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.PSL         3         3           target_12c_SetsUpMasterReceive_12cRegPtr_Cnt_T_str.DAR         567         567           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MIR         44         44           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR         4444         444           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL         566         566           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL         566         566           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CNT         129         129           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         6         6           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR         44         44           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR         44         44           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR         44         44           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.BDR         566         566           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.BCR         44         44     <   |  |           |                    |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR         0         0         v           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD         3         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL         3         3         4           target_l2c_SetspMasterReceive_l2cRegPtr_Cnt_T_str.DAR         567         567         567           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR         44         44         44         44           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL         566         566         566         566           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH         4466         4466         4466         4466           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         6         6         4         4           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         6         6         4         4           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         44         44         4           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         567         567         567           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         566         567         567           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         566         566         567  |  |           |                    |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD         3         3            target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL         3         3            target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR         567         567            target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MR         44             target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR               target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL  <  |  |           |                    |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PSL       3       3         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR       567       567         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.IMR       44       44         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR       4444       4444         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL       566       566         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKH       4466       4466         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DLR       466       4466         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR       6       6         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR       567       567         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR       44       44         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR       566       566         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.EMDR       554       554         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.EMDR       1       1         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID11       4466       446         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID12       44       44         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC       1       1  |  |           |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR       567       567         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR       4444       4444         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       566       566         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       4466       4466         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       129       129         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       6       6         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       567       567         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       566       566         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       4466       446         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1  |  |           |                    |          |
| target   2c SetupMasterReceive   12cRegPtr_Cnt_T str.IMR       44       44       44         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.STR       4444       4444       4444         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CLKL       566       566       466         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CNT       129       129       466         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DRR       6       6       46         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       44       44       44         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       44       44       44         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.MDR       566       566       566         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.IVR       554       554       554         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.EMDR       1       1       44         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PSC       44       44       44         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PiD11       4466       4466       4466         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PiD12       44       44       44         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DMAC       1       1   |  |           |                    | <b>~</b> |
| target   2c SetupMasterReceive   12cRegPtr_Cnt_T str.STR       4444       4444         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CLKL       566       566         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CLKH       4466       4466         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CNT       129       129         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DRR       6       6         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       44       44         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       44       44         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.MDR       566       566         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.IVR       554       554         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.EMDR       1       1         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PSC       44       44         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID11       4466       4466         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID12       44       44         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID12       44       44         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DMAC       1       1   |  |           |                    |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL       566       566         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKH       4466       4466         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CNT       129       129         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR       6       6         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SAR       567       567         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR       44       44         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR       566       566         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.IVR       554       554         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.EMDR       1       1         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PSC       44       44         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID11       4466       4466         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID12       44       44         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC       1       1  |  |           |                    | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       4466       4466         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       129       129         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       6       6         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       567       567         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       566       566         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       554       554         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       4466       4466         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1   |  |           | 566                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       129       129         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       6       6         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       567       567         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       566       566         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       554       554         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       4466       4466         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1  |  |           |                    | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       6       6         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       567       567         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       566       566         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       554       554         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       4466       4466         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1  |  | 129       | 129                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       44       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       566       566       4         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       554       554       4         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1       4         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       44       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       4466       4466       4466         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       44       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1       4  |  | 6         | 6                  | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR       566       566         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR       554       554         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR       1       1         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC       44       44         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11       4466       4466         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12       44       44         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC       1       1  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 567       | 567                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       554       554         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       4466       4466         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 44        | 44                 | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       4466       4466         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       44       44         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 566       | 566                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       44       44       ✓         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       4466       4466       ✓         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       44       44       ✓         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1       ✓   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 554       | 554                | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR | 1         |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  |  |           |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC 1 1   |  |           |                    |          |
|  |  |           |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN 1  |  |           |                    | ~        |
|  | target_i2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1         | 1                  | -        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2            | 2              | <b>*</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

| T .                     |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| I2c_GenStopCond         | 1     | I2c_GenStopCond         | 1     | ~        |
| SetupWriteData          | 1     | SetupWriteData          | 1     | <b>✓</b> |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>~</b> |
| I2c Send                | 1     | I2c Send                | 1     | <b>✓</b> |

| Test Step 3.11 (Repeat Count = 1)               | <b>✓</b>  |
|---|---|
| Name  | Input Value                                       |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 0   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200   |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc           | 0   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0   |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0   |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2767  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 45  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADCTRLREG_READ                  |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 76  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 77  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0   |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0   |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 2   |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0   |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 2   |
| DigColPsInt_SkipRegisterWrite_Cnt_M_Igc         | 1   |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0   |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 564   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 130   |
| Flags_Cnt_T_b16                                 | 32  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str        |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_l2c_Send_l2cRegPtr_Cnt_T_str               |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str            |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str          |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str |

2014-10-14, 23:08:30+0530



|  |  | <del></del> |
|--|--|-------------|
| lame   | Input Value  |             |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |             |
| _DataRegisters_Cnt_u08[0]                      | 0  |             |
|  | 32   |             |
|  | 30   |             |
| DataRegisters Cnt u08[3]                       | 36   |             |
|  | 38   |             |
| _DataRegisters_Cnt_u08[4]                      |  |             |
| _DataRegisters_Cnt_u08[5]                      | 34   |             |
| _DataRegisters_Cnt_u08[6]                      | 10   |             |
| _DataRegisters_Cnt_u08[7]                      | 12   |             |
| _DataRegisters_Cnt_u08[8]                      | 14   |             |
| cREG1_temp                                     | target_i2cREG1_temp                                |             |
| _ColSensorl2CAddress_Cnt_u08                   | 7  |             |
| _SpurSensorl2CAddress_Cnt_u08                  | 123  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 3  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 100  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 7788   |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2767   |             |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH  | 556  |             |
|  |  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 564  |             |
| get_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR    | 88   |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 3  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 100  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2767   |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 9  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 0  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 100  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 556  |             |
| rget I2c GenStopCond I2cRegPtr Cnt T str.PID12 | 100  |             |
|  | 2  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  |  |             |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN   | 0  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 3  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 0  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1  |             |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 3  |             |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 0  |             |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3  |             |
|  | 3  |             |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         |  |             |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         | 100  |             |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR         | 7788   |             |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL        | 2767   |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 556  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 564  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 88   |             |
| rget I2c Send I2cRegPtr Cnt T str.SAR          | 3  |             |
| rget I2c Send I2cRegPtr Cnt T str.DXR          | 100  |             |
| · · ·  | 2767   |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          |  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 9  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 0  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 100  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 556  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 100  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 2  |             |
| rget I2c Send I2cRegPtr Cnt T str.FUN          | 0  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 1  |             |
| rget_12c_Send_12cRegPtr_Cnt_T_str.DIN          | 3  |             |
|  |  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 2  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 0  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 1  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 3  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 0  |             |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3  |             |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 3  |             |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 100  |             |
| rget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR       | 7788   |             |
|  | 2767   |             |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      |  |             |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 556  |             |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 564  |             |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 88   |             |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 3  |             |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 100  |             |
| <del></del>                                    | 2767   |             |

2014-10-14, 23:08:30+0530



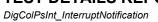
| Name  | Input Value |  |
|---|-------------|--|
|   | ·           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 9           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 0           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 100         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 556         |  |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12            | 100         |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 0           |  |
|   |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 0           |  |
| target I2c SetRecv I2cRegPtr Cnt T str.CLR              | 1           |  |
|   | 3           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 0           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 100         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 7788        |  |
|   | 2767        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 556         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 564         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 88          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR            | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 100         |  |
|   |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 2767        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 9           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 0           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 100         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 556         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 100         |  |
|   |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 0           |  |
|   | 1           |  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR            |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 0           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 100         |  |
|   |             |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 7788        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2767        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 556         |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CNT   | 564         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 88          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 3           |  |
|   |             |  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR   | 100         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2767        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 9           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0           |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC   | 100         |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11 | 556         |  |
|   |             |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 100         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0           |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR   | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 3           |  |
|   | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  |             |  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 0           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 0           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |  |
|   |             |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 3           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 100         |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 7788        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 2767        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 556         |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 564         |  |
|   |             |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 88          |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR  | 3           |  |
|   |             |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value  |                                 |        |
|---|--------------|---------------------------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 100          |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2767         |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 9            |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0            |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 100          |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 556          |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 100          |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 0            |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR | 1            |                                 |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  | 3            |                                 |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT   | 2            |                                 |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET  | 0            |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3            |                                 |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD   | 0            |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            |                                 |        |
| target_i2cREG1_temp.OAR   | 3            |                                 |        |
| target_i2cREG1_temp.IMR   | 100          |                                 |        |
| target_i2cREG1_temp.STR   | 7788         |                                 |        |
| target_i2cREG1_temp.CLKL  | 2767         |                                 |        |
| target_i2cREG1_temp.CLKH  | 556          |                                 |        |
| target_i2cREG1_temp.CNT   | 564          |                                 |        |
| target_i2cREG1_temp.DRR   | 88           |                                 |        |
| target_i2cREG1_temp.SAR   | 3            |                                 |        |
| target_i2cREG1_temp.DXR   | 100          |                                 |        |
| target_i2cREG1_temp.MDR   | 2767         |                                 |        |
| target_i2cREG1_temp.IVR   | 9            |                                 |        |
| target_i2cREG1_temp.EMDR  | 0            |                                 |        |
| target_i2cREG1_temp.PSC   | 100          |                                 |        |
| target_i2cREG1_temp.PID11<br>target_i2cREG1_temp.PID12  | 556<br>100   |                                 |        |
| target i2cREG1_temp.PhD12   | 2            |                                 |        |
| target i2cREG1 temp.FUN   | 0            |                                 |        |
| target_i2cREG1_temp.DIR   | 1            |                                 |        |
| target_i2cREG1_temp.DIN   | 3            |                                 |        |
| target_i2cREG1_temp.DOUT  | 2            |                                 |        |
| target_i2cREG1_temp.SET   | 0            |                                 |        |
| target_i2cREG1_temp.CLR   | 1            |                                 |        |
| target_i2cREG1_temp.ODR   | 3            |                                 |        |
| target_i2cREG1_temp.PD  | 0            |                                 |        |
| target_i2cREG1_temp.PSL   | 3            |                                 |        |
| Name  | Actual Value | Expected Value                  | Result |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 1            | 1                               | -      |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 12           | 12                              | ~      |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 145          | 145                             | -      |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 200          | 200                             | •      |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0            | 0                               | ~      |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 0            | 0                               | -      |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0            | 0                               | ~      |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 2767         | 2767                            | •      |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 7            | 7                               | ~      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  |              | INIT SENSOR1 EXTREADCTRLREG SET |        |
| DigColPsInt_I2CHwCustData_UIs_M_u16   | 76           | 76                              | •      |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 77           | 77                              | J      |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0            | 0                               |        |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt RecvOverrunError Cnt M lgc                                      | 0            | 0                               | J      |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 2            | 2                               |        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1            | 1                               |        |
| DigColPsInt SpurSnsrData Cnt M u16  | 564          | 564                             |        |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 130          | 130                             | j      |
| I2c_Send(Length_Cnt_T_u32)  | 1            | 1                               | -      |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1            | 1                               | -      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3                               | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100                             | -      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788                            | •      |
|   | 2767         | 2767                            | -      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   |              |                                 | -      |
|   | 556          | 556                             | _      |
|   | 556<br>564   | 556<br>564                      |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   |              |                                 |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                | 564          | 564                             | ~      |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>→</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN   | 0            | 0              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 3 2          | 3 2            |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET | 0            | 0              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.PSL   | 3            | 3              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.CLKL   | 2767         | 2767           |          |
| target I2c Send I2cRegPtr Cnt T str.CLKH   | 556          | 556            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  | 88           | 88             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 100          | 100            |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  | 9            | 9              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FMDR   | 0            | 0              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDK   | 100          | 100            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              |          |
| target I2c Send I2cRegPtr Cnt T str.FUN  | 0            | 0              |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIR  | 1            | 1              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.CLR  | 1            | 1              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.OAR   | 3            | 3              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR   | 100          | 100            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            | •        |
| target I2c SetRecv I2cRegPtr Cnt T str.CNT   | 564          | 564            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   | 3            | 3              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.DXR   | 100          | 100            |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            |          |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12   | 100          | 100            |          |
| target I2c SetRecv I2cRegPtr Cnt T str.DMAC  | 2            | 2              | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.FUN   | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | -        |
| target I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 100          | 100            | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            | -        |
| target I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 564          | 564            | •        |
|  |              |                |          |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 100          | 100            | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 9            | 9              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 100          | 100            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | <b>v</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET  | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | _        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD   | 3            | 3              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR target_I2c SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR | 100          | 100            |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_1_str.lmR target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR | 7788         | 7788           | _        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL  | 2767         | 2767           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            | _        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT   | 564          | 564            |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR | 88           | 88             | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 2767         | 2767           | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 2767         | 2767           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 88           | 88             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 100          | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 9            | 9              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | <b>v</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 100          | 100            | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | <b>v</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET  | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <u> </u> |



| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | _        |

| Test Step 3.12 (Repeat Count = 1)               | Innut Value  |
|---|--|
| lame  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 11   |
| igColPsInt_Buffer_Cnt_M_u08[0]                  | 100  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 200  |
| igColPsInt_Buffer_Cnt_M_u08[2]                  | 250  |
| igColPsInt_BusBusySeqError_Cnt_M_lgc            | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7846   |
| 0igColPsInt_CurrentSlave_Cnt_M_u08              | 10   |
| higColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADCTRLREG_READ                   |
| igColPsInt_I2CHwCustData_Uls_M_u16              | 79   |
| igColPsInt_I2CHwIncompleteCustData_Uls_M_u16    | 80   |
| igColPsInt_InitFailedOnce_Cnt_M_lgc             | 1  |
| ligColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| ligColPsInt_PrevReqDataType_Cnt_M_u08           | 3  |
| igColPsInt_RecvOverrunError_Cnt_M_lgc           | 1  |
| igColPsInt_RecvdDataType_Cnt_M_u08              | 3  |
| pigColPsInt SkipRegisterWrite Cnt M Igc         | 0  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc           | 1  |
| bigColPsInt_SpurSnsrData_Cnt_M_u16              | 98   |
| DigColPsInt TransactionCnt Cnt M u08            | 12   |
| lags_Cnt_T_b16                                  | 32   |
| 2c GenStopCond(I2cRegPtr Cnt T str)             | target I2c GenStopCond I2cRegPtr Cnt T str         |
|   |  |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]                       | 0  |
| _DataRegisters_Cnt_u08[1]                       | 32   |
| _DataRegisters_Cnt_u08[2]                       | 30   |
| _DataRegisters_Cnt_u08[3]                       | 36   |
| _DataRegisters_Cnt_u08[4]                       | 38   |
| _DataRegisters_Cnt_u08[5]                       | 34   |
| _DataRegisters_Cnt_u08[6]                       | 10   |
| _DataRegisters_Cnt_u08[7]                       | 12   |
| _DataRegisters_Cnt_u08[8]                       | 14   |
| 2cREG1_temp                                     | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08                    | 11   |
| _SpurSensorI2CAddress_Cnt_u08                   | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 1223   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.CLKL  | 7846   |
| arget I2c GenStopCond I2cReqPtr Cnt T str.CLKH  | 8974   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 98   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DRR   | 12   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR   | 10   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR   | 10   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR   | 7846   |
|   | 55   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR    | 1  |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR   |  |
| irget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC   | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 8974   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.CLR   | 2  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |  |
|--|-------------|--|
|  | 1           |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR |             |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 1           |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR        | 10          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR        | 10          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR        | 1223        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       | 7846        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       | 8974        |  |
| target I2c Send I2cRegPtr Cnt T str.CNT        | 98          |  |
|  |             |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR        | 12          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR        | 10          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR        | 10          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR        | 7846        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR        | 55          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC        | 10          |  |
|  | 8974        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11      |             |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12      | 10          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN        | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR        | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN        | 1           |  |
| target I2c Send I2cRegPtr Cnt T str.DOUT       | 1           |  |
|  |             |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET        | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR        | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR        | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         | 1           |  |
| target I2c Send I2cRegPtr Cnt T str.PSL        | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR     | 10          |  |
|  | 10          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR     |             |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR     | 1223        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL    | 7846        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH    | 8974        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT     | 98          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR     | 12          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR     | 10          |  |
|  | 10          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR     |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR     | 7846        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR     | 55          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR    | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC     | 10          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 8974        |  |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12   | 10          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC    | 1           |  |
|  | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN     |             |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR     | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN     | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT    | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET     | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR     | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR     | 1           |  |
| target I2c SetRecv I2cRegPtr Cnt T str.PD      | 1           |  |
|  |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL     | 1           |  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR   | 10          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 10          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 1223        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 7846        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 8974        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 98          |  |
|  | 12          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 10          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 10          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 7846        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 55          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 10          |  |
|  |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 | 8974        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 | 10          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 1           |  |
|  | <u>'</u>    |  |

2014-10-14, 23:08:30+0530



| DigColFSint_Interruptivotilication  | - COLOTON   |
|---|-------------|
| Name  | Input Value |
| target I2c SetStatus I2cRegPtr Cnt T str.SET  | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.CLR  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.PD   | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.PSL  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 10          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IMR   | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.NrR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR | 1223        |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 7846        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 8974        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 98          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 12          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 7846        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 8974        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 1           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR   | 2           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 1223        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL   | 7846        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 8974        |
|   | 98          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 12          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7846        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 8974        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 1           |
| target_i2cREG1_temp.OAR   | 10          |
| target_i2cREG1_temp.IMR   | 10          |
| target_i2cREG1_temp.STR   | 1223        |
| target_i2cREG1_temp.CLKL  | 7846        |
| target i2cREG1_temp.CLKH  | 8974        |
| target_i2cREG1_temp.CNT   | 98          |
| target_i2cREG1_temp.DRR   | 12          |
| target_i2cREG1_temp.SAR   | 10          |
|   | 10          |
| target_i2cREG1_temp.DXR   |             |
| target_i2cREG1_temp.MDR   | 7846        |
| target_i2cREG1_temp.IVR   | 55          |
| target_i2cREG1_temp.EMDR  | 1           |
| target_i2cREG1_temp.PSC   | 10          |
| target_i2cREG1_temp.PID11   | 8974        |
| target_i2cREG1_temp.PID12   | 10          |
|   | 1           |
| target_i2cREG1_temp.DMAC  | 1           |
| target_i2cREG1_temp.DMAC<br>target_i2cREG1_temp.FUN   | 1           |



| Name  | Input Value  |                                 |          |
|---|--------------|---------------------------------|----------|
| target_i2cREG1_temp.DIN   | 1            |                                 |          |
| target_i2cREG1_temp.DOUT  | 1            |                                 |          |
| target_i2cREG1_temp.SET   | 1            |                                 |          |
| target_i2cREG1_temp.CLR   | 2            |                                 |          |
| target_i2cREG1_temp.ODR   | 1            |                                 |          |
| target_i2cREG1_temp.PD  | 1            |                                 |          |
| target_i2cREG1_temp.PSL   | 1            |                                 |          |
| Name  | Actual Value | Expected Value                  | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 12           | 12                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 14           | 14                              | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 200          | 200                             | <b>*</b> |
| DigColPoint_Buffer_Cnt_M_u08[2]   | 250<br>1     | 250                             |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc                   | 1            | 1                               | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 1            | 1                               | -        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 7846         | 7846                            | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 11           | 11                              | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  |              | INIT SENSOR1 EXTREADDATREG SETR | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 79           | 79                              | ~        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 80           | 80                              | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 1            | 1                               | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 1            | 1                               | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1            | 1                               | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 3            | 3                               | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1            | 1                               | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 98           | 98                              | ~        |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 12           | 12                              | ~        |
| I2c_Send(Length_Cnt_T_u32)  | 1            | 1                               | <b>V</b> |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 1            | 1                               | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 10           | 10                              | <b>*</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR | 1223         | 1223                            |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL   | 7846         | 7846                            | Ž        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 8974         | 8974                            | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 98           | 98                              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 12           | 12                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 10           | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 10           | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 7846         | 7846                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 55           | 55                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 10           | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 8974         | 8974                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 10           | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1                               | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1 2          | 1 2                             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN | 1            | 1                               | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT   | 1            | 1                               |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.SET  | 1            | 1                               | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2                               | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 1            | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 1            | 1                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 98           | 98                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10                              | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10                              | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846<br>55                      | <b>*</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 55<br>1      | 1                               |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC              | 10           | 10                              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 8974         | 8974                            | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12   | 10           | 10                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1                               | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1                               | ~        |
|   |              |                                 |          |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | Nesuit   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 1            | 1              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 98           | 98             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   | 10           | 10             | _        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 10           | 10             | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846           | •        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR   | 55           | 55             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | -        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 10<br>8974   | 10<br>8974     |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 10           | 10             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN     | 1            | 1<br>  1       |          |
| target I2c SetRecv I2cRegPti_Cnt_1_str.PuN target I2c SetRecv I2cRegPtr Cnt T str.DIR      | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.DOUT  | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 1            | 1              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 98           | 98             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC   | 10           | 10             | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11   | 8974         | 8974           | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12   | 10           | 10             | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | _        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | · ·      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | -        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET | 1            | 1              |          |
| target I2c SetStatus I2cRegPtr Cnt T str.CLR   | 2            | 2              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CDR   | 1            | 1              |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PD  | 1            |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                                      | 10           | 10             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                                      | 10           | 10             | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR                                      | 1223         | 1223           | V        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                                     | 7846         | 7846           | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH                                     | 8974         | 8974           | -        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT                                      | 98           | 98             | -        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR                                      | 12           | 12             | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR                                      | 10           | 10             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR                                      | 10           | 10             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR                                      | 7846         | 7846           | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR                                      | 55           | 55             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR                                     | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC                                      | 10           | 10             | <b>✓</b> |
|  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11                                    | 8974         | 8974           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12                                    | 8974<br>10   | 10             | •        |
|  | 8974         |                | ~        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 98           | 98             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 8974         | 8974           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 10           | 10             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1              |          |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>•</b> |

| Test Step 3.13 (Repeat Count = 1)               | ✓ ·  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_READERROR_SETREG                      |
| DigColPsInt_I2CHwCustData_UIs_M_u16             | 1  |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 10   |
| Flags_Cnt_T_b16                                 | 4  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |

2014-10-14, 23:08:30+0530



| DigCor-Sint_interruptivotilication              |                     |  |
|---|---------------------|--|
| Name  | Input Value         |  |
| Γ_DataRegisters_Cnt_u08[0]                      | 0                   |  |
| Γ_DataRegisters_Cnt_u08[1]                      | 32                  |  |
| Γ_DataRegisters_Cnt_u08[2]                      | 30                  |  |
| 「_DataRegisters_Cnt_u08[3]                      | 36                  |  |
| T_DataRegisters_Cnt_u08[4]                      | 38                  |  |
| T_DataRegisters_Cnt_u08[5]                      | 34                  |  |
| T_DataRegisters_Cnt_u08[6]                      | 10                  |  |
| Γ_DataRegisters_Cnt_u08[7]                      | 12                  |  |
| T DataRegisters Cnt u08[8]                      | 14                  |  |
| 2cREG1_temp                                     | target_i2cREG1_temp |  |
| <_ColSensorl2CAddress_Cnt_u08                   | 9                   |  |
| <pre>&lt;_SpurSensorI2CAddress_Cnt_u08</pre>    | 10                  |  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.OAR   | 55                  |  |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66                  |  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR   | 556                 |  |
|   | 2309                |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 1204                |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  |                     |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309                |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204                |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 3                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3                   |  |
| target I2c Send I2cRegPtr Cnt T str.OAR         | 55                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         | 66                  |  |
|   | 556                 |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 2309                |  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL        |                     |  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH        | 1204                |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 87                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 67                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 55                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 66                  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR          | 2309                |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 5                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 66                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 1204                |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 66                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 1                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 1                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3                   |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 55                  |  |
| arget_I2C_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 66                  |  |
|   |                     |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 556                 |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 2309                |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 1204                |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 87                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 67                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 55                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 66                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 2309                |  |
|   |                     |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 3           |
|  | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT  | 3           |
| target I2c SetRecv I2cRegPtr Cnt T str.SET   | 3           |
| target I2c SetRecv I2cRegPtr Cnt T str.CLR   | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target I2c SetStatus I2cRegPtr Cnt T str.PID11   | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR target_I2c SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 55<br>66    |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.STR  | 556         |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL   | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT target_I2c SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_I_str.SE1 target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 1           |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.ODR  | 2           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD   | 3           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87          |
|  | 07          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR | 55<br>66    |

2014-10-14, 23:08:30+0530



|   |                             | I GIZC                      | ICHU     |
|---|-----------------------------|-----------------------------|----------|
| Name  | Input Value                 |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2309                        |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 5                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3                           |                             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  | 66                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 1204                        |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 66                          |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 3                           |                             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR | 1                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2                           |                             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT   | 3                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3                           |                             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR  | 1                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3                           |                             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3                           |                             |          |
| target_i2cREG1_temp.OAR   | 55                          |                             |          |
| target_i2cREG1_temp.IMR   | 66                          |                             |          |
| target_i2cREG1_temp.STR   | 556                         |                             |          |
| target_i2cREG1_temp.CLKL  | 2309                        |                             |          |
| target_i2cREG1_temp.CLKH  | 1204                        |                             |          |
| target_i2cREG1_temp.CNT   | 87                          |                             |          |
| target_i2cREG1_temp.DRR   | 67                          |                             |          |
| target_i2cREG1_temp.SAR   | 55<br>66                    |                             |          |
| target_i2cREG1_temp.DXR<br>target_i2cREG1_temp.MDR  | 2309                        |                             |          |
| target i2cREG1 temp.IVR   | 5                           |                             |          |
| target_i2cREG1_temp.EMDR  | 3                           |                             |          |
| target_i2cREG1_temp.PSC   | 66                          |                             |          |
| target_i2cREG1_temp.PID11   | 1204                        |                             |          |
| target_i2cREG1_temp.PID12   | 66                          |                             |          |
| target_i2cREG1_temp.DMAC  | 3                           |                             |          |
| target_i2cREG1_temp.FUN   | 1                           |                             |          |
| target_i2cREG1_temp.DIR   | 1                           |                             |          |
| target_i2cREG1_temp.DIN   | 2                           |                             |          |
| target_i2cREG1_temp.DOUT  | 3                           |                             |          |
| target_i2cREG1_temp.SET   | 3                           |                             |          |
| target_i2cREG1_temp.CLR   | 1                           |                             |          |
| target_i2cREG1_temp.ODR   | 2                           |                             |          |
| target_i2cREG1_temp.PD  | 3                           |                             |          |
| target_i2cREG1_temp.PSL  Name   | Actual Value                | Expected Value              | Result   |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08   | 1                           | 1                           | Kesuit   |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 10                          | 10                          | -        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 20                          | 20                          |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 30                          | 30                          | •        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0                           | 0                           | -        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1                           | 1                           | •        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 1                           | 1                           | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 2309                        | 2309                        | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 123                         | 123                         | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READERROR_READ | INIT_SENSOR1_READERROR_READ | ~        |
| DigColPsInt_I2CHwCustData_UIs_M_u16   | 1                           | 1                           |          |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 2                           | 2                           | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 0                           | 0                           | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                           | 0                           | <b>*</b> |
| DigColPoint_RecvOverrunError_Cnt_M_lgc  | 0                           | 0                           |          |
| DigColPoint_RecvdDataType_Cnt_M_u08   | 0                           | 0                           |          |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16                                     | 87                          | 87                          |          |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 10                          | 10                          |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55                          | 55                          |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66                          | 66                          |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 556                         | 556                         | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2309                        | 2309                        | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 1204                        | 1204                        | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87                          | 87                          | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 67                          | 67                          | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55                          | 55                          | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66                          | 66                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309                        | 2309                        | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5                           | 5                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 3                           | 3                           |          |
|   |                             |                             |          |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET | 3            | 3              | ~        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLR   | 1            | 1              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 1204<br>87   | 1204<br>87     | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR             | 67           | 67             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2 3          | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67           | 55             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR          | 55<br>66     | 66             |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           |          |
| target I2c SetRecv I2cRegPtr Cnt T str.IVR   | 5            | 5              | ~        |
| target I2c SetRecv I2cRegPtr Cnt T str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR          | 1            | 1              |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.PD  | 3            | 3              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD  | 3            | 3              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | -4       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66<br>556    | 66<br>556      | -        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309<br>1204 | 2309<br>1204   | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT | 87           | 1204<br>87     |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_1_str.Cn1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | -        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SAR  | 55           | 55             |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | J              |          |

| T                      |       |                        |       | <b>✓</b> |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| SetupRead              | 1     | SetupRead              | 1     | ~        |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | <b>✓</b> |
| I2c SetRecv            | 1     | I2c SetRecv            | 1     | <b>✓</b> |



| Test Step 3.14 (Repeat Count = 1)                                       |  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                         | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                                   | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                                   | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                                   | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16                                       | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08                                      | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                                    | INIT_SENSOR1_READEXTERR_SETREG                     |
| DigColPsInt_I2CHwCustData_Uls_M_u16                                     | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                           | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                                    | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc                                       | 0 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08                                   | 0  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                                  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                                     | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc                                 | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                                  | 87   |
| DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt TransactionCnt Cnt M u08 | 10   |
| DigColPsint_TransactionCnt_Cnt_M_u08 Flags_Cnt_T_b16                    | 4  |
| Flags_Cnt_1_b16<br>  I2c_GenStopCond(I2cRegPtr_Cnt_T_str)               | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| I2C_GensiopCond(I2CRegPti_Cni_1_str) I2C_Send(I2cRegPtr_Cnt_T_str)      | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| I2c SetRecv(I2cRegPtr Cnt T str)  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)                                      | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                             | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                            | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]  | 0  |
| T_DataRegisters_Cnt_u08[1]  | 32   |
| T_DataRegisters_Cnt_u08[2]  | 30   |
| T_DataRegisters_Cnt_u08[3]  | 36   |
| T_DataRegisters_Cnt_u08[4]  | 38   |
| T_DataRegisters_Cnt_u08[5]  | 34   |
| T_DataRegisters_Cnt_u08[6]  | 10   |
| T_DataRegisters_Cnt_u08[7]  | 12   |
| T_DataRegisters_Cnt_u08[8]  | 14   |
| i2cREG1_temp  | target i2cREG1 temp                                |
| k_ColSensorl2CAddress_Cnt_u08   | 9  |
| k SpurSensorI2CAddress Cnt u08  | 10   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                          | 55   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                          | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                          | 556  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                         | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                         | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                          | 87   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                          | 67   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                          | 55   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                          | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                          | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                          | 5  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                         | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                          | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                        | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                        | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                         | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                          | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                          | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                          | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                         | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                          | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                          | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                          | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                           | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                          | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                                 | 55   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                                 | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                 | 556  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                | 2309   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                                | 1204   |

2014-10-14, 23:08:30+0530



|   |             | <i>)</i> 0 |
|---|-------------|------------|
| Name  | Input Value |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT               | 87          |            |
| target I2c Send I2cRegPtr Cnt T str.DRR               | 67          |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR               | 55          |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR               | 66          |            |
|   | 2309        |            |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR               |             |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR               | 5           |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR              | 3           |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC               | 66          |            |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11             | 1204        |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12             | 66          |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC              | 3           |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN               | 1           |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR               | 1           |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN               | 2           |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT              | 3           |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET               | 3           |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR               | 1           |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR               | 2           |            |
|   | 3           |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                |             |            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL               | 3           |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR            | 55          |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR            | 66          |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR            | 556         |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL           | 2309        |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH           | 1204        |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT            | 87          |            |
| target I2c SetRecv I2cRegPtr Cnt T str.DRR            | 67          |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR            | 55          |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR            | 66          |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR            | 2309        |            |
|   | 5           |            |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR            |             |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR           | 3           |            |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC            | 66          |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11          | 1204        |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12          | 66          |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC           | 3           |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN            | 1           |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR            | 1           |            |
| target I2c SetRecv I2cRegPtr Cnt T str.DIN            | 2           |            |
| target I2c SetRecv I2cRegPtr Cnt T str.DOUT           | 3           |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET            | 3           |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR            | 1           |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR            | 2           |            |
|   | 3           |            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD             |             |            |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL            | 3           |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR          | 55          |            |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR          | 66          |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR          | 556         |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL         | 2309        |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH         | 1204        |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT          | 87          |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR          | 67          |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR          | 55          |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR          | 66          |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR          | 2309        |            |
|   | 5           |            |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR          |             |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR         | 3           |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC          | 66          |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11        | 1204        |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12        | 66          |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         | 3           |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN          | 1           |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR          | 1           |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN          | 2           |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT         | 3           |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET          | 3           |            |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR          | 1           |            |
|   |             |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR          | 2           |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD           | 3           |            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL          | 3           |            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR | 55          |            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR | 66          |            |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR | 556         |            |
|   |             |            |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11  | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
|  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87          |
|  | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
|  | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1           |
|  | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_i2cREG1_temp.OAR                                  | 55          |
| target_i2cREG1_temp.IMR                                  | 66          |
| target_i2cREG1_temp.STR                                  | 556         |
| target i2cREG1 temp.CLKL                                 | 2309        |
| target_i2cREG1_temp.CLKH                                 | 1204        |
|  | 87          |
| target_i2cREG1_temp.CNT                                  |             |
| target_i2cREG1_temp.DRR                                  | 67          |
| target_i2cREG1_temp.SAR                                  | 55          |
| target_i2cREG1_temp.DXR                                  | 66          |
| target_i2cREG1_temp.MDR                                  | 2309        |
| target i2cREG1 temp.IVR                                  | 5           |
|  | 3           |
| target_i2cREG1_temp.EMDR                                 |             |
| target_i2cREG1_temp.PSC                                  | 66          |
| target_i2cREG1_temp.PID11                                | 1204        |
| target_i2cREG1_temp.PID12                                | 66          |
| target_i2cREG1_temp.DMAC                                 | 3           |
| target_i2cREG1_temp.FUN                                  | 1           |
|  |             |
| target_i2cREG1_temp.DIR                                  | 1           |
| target_i2cREG1_temp.DIN                                  | 2           |
| target_i2cREG1_temp.DOUT                                 | 3           |
| target_i2cREG1_temp.SET                                  | 3           |
| target i2cREG1 temp.CLR                                  | 1           |
| target_i2cREG1_temp.ODR                                  | 2           |
|  | 3           |
| target_i2cREG1_temp.PD                                   |             |
| target_i2cREG1_temp.PSL                                  | 3           |
|  |             |

2014-10-14, 23:08:30+0530





| Name  | Actual Value                 | Expected Value               | Result        |
|---|------------------------------|------------------------------|---------------|
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 1                            | 1                            | <b>•</b>      |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 10                           | 10                           | _             |
| DigColPoint_Buffer_Cnt_M_u08[1]   | 20<br>30                     | 20<br>30                     |               |
| DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lqc                         | 0                            | 0                            | j             |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1                            | 1                            |               |
| DigColPsInt ColCustDatFound Cnt M Igc   | 1                            | 1                            |               |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 2309                         | 2309                         |               |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 123                          | 123                          |               |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READEXTERR_READ | INIT_SENSOR1_READEXTERR_READ | •             |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 1                            | 1                            | -             |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 2                            | 2                            | •             |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                            | 0                            | <b>✓</b>      |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                            | 0                            | •             |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                            | 0                            | •             |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 0                            | 0                            | •             |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0                            | 0                            | ~             |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 87                           | 87                           | •             |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 10                           | 10                           | ~             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55                           | 55                           | _             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66                           | 66                           | <b>•</b>      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 556                          | 556                          | · ·           |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL   | 2309                         | 2309                         | · ·           |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH   | 1204<br>87                   | 1204<br>87                   | \ \ \ \ \ \ \ |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR | 67                           | 67                           |               |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR  | 55                           | 55                           |               |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66                           | 66                           | -             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309                         | 2309                         |               |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5                            | 5                            | -             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 3                            | 3                            | -             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66                           | 66                           | •             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 1204                         | 1204                         | -             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 66                           | 66                           | -             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 3                            | 3                            | -             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1                            | 1                            | •             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1                            | 1                            | -             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2                            | 2                            | •             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3                            | 3                            | ~             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3                            | 3                            | ~             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1                            | 1                            | ~             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2                            | 2                            | ~             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD   | 3                            | 3                            |               |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3                            | 3                            | ~             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55                           | 55                           | ~             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66                           | 66                           | _             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 556                          | 556                          | <b>~</b>      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309<br>1204                 | 2309<br>1204                 |               |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 87                           | 87                           | -             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR               | 67                           | 67                           |               |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55                           | 55                           |               |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66                           | 66                           |               |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309                         | 2309                         | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 5                            | 5                            | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3                            | 3                            | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66                           | 66                           | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204                         | 1204                         | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66                           | 66                           | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3                            | 3                            | <b>✓</b>      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                            | 1                            | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1                            | 1                            | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2                            | 2                            | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3                            | 3                            | •             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3                            | 3                            | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1                            | 1                            | •             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2                            | 2                            | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3                            | 3                            | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                            | 3                            | ~             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55                           | 55                           | •             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66                           | 66                           | ~             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556                          | 556                          | •             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309                         | 2309                         |               |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR  | 5<br>3       | 3              |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC                      | 66           | 66             |        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           |        |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12  | 66           | 66             |        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           |        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT   | 87<br>67     | 87<br>67       |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 55           | 55             |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR target_I2c SetupMasterReceive_I2cRegPtr_Cnt_T str.DXR | 66           | 66             |        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 2309         | 2309           |        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR   | 5            | 5              |        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FNDR  | 3            | 3              |        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PSC   | 66           | 66             |        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11   | 1204         | 1204           |        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12   | 66           | 66             |        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC  | 3            | 3              |        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.FUN   | 1            | 1              |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              |        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN   | 2            | 2              |        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              |        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR   | 1            | 1              |        |
|   | 2            | 2              |        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str ODR   | _            |                |        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD  | 3            | 3              |        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |        |
| · · - · · · - · - · - · · - · · - ·                                   |              |                |        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~      |

| T                      |       |                        |       | V        |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| SetupRead              | 1     | SetupRead              | 1     | ~        |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | <b>~</b> |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | ~        |

| Test Step 3.15 (Repeat Count = 1)               | <b>✓</b>   |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| DigColPsInt Buffer Cnt M u08[0]                 | 10   |
| DigColPsInt Buffer Cnt M u08[1]                 | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| DigColPsInt BusBusySeqError Cnt M Igc           | 0  |
| DigColPsInt CmdFailOccurred Cnt M Igc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt ColSnsrData Cnt M u16               | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_CHECKSTAT_SETREG                      |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 10   |
| Flags_Cnt_T_b16                                 | 4  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T_DataRegisters_Cnt_u08[3]                      | 36   |
| T_DataRegisters_Cnt_u08[4]                      | 38   |
| T_DataRegisters_Cnt_u08[5]                      | 34   |
| T_DataRegisters_Cnt_u08[6]                      | 10   |
| T_DataRegisters_Cnt_u08[7]                      | 12   |
| T_DataRegisters_Cnt_u08[8]                      | 14   |
| i2cREG1_temp                                    | target_i2cREG1_temp                                |

2014-10-14, 23:08:30+0530



| DigColPsini_InterruptiNotinication  |              | GEO   GO |
|---|--------------|----------|
| Name  | Input Value  |          |
| <_ColSensorl2CAddress_Cnt_u08   | 9            |          |
| <pre>&lt;_SpurSensorI2CAddress_Cnt_u08</pre>  | 10           |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55           |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66           |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556          |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309         |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 1204         |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87           |          |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DRR   | 67           |          |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55           |          |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66           |          |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309         |          |
| rarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR  | 5            |          |
|   | 3            |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 66           |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   |              |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 1204         |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66           |          |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC  | 3            |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1            |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1            |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2            |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3            |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3            |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1            |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2            |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3            |          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55           |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           |          |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.STR  | 556          |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309         |          |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 1204         |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87           |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67           |          |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.SAR  | 55           |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66           |          |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309         |          |
| target I2c Send I2cRegPtr Cnt T str.IVR   | 5            |          |
|   | 3            |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   |              |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66           |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204         |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66           |          |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC   | 3            |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1            |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2            |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1            |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2            |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            |          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55           |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66           |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 556          |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2309         |          |
| arget I2c SetRecv I2cRegPtr Cnt T str.CLKH  | 1204         |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 87           |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67           |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55           |          |
|   | 66           |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   |              |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309         |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5            |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3            |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66           |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204         |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3            |          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            |          |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR   | 1            |          |
|   | 2            |          |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_l_str.DIN   | <del>-</del> |          |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN<br>arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT | 3            |          |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR               | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR               | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL               | 3           |
| target I2c SetStatus I2cRegPtr Cnt T str.OAR             | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR             | 66          |
| target I2c SetStatus I2cRegPtr Cnt T str.STR             | 556         |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 55          |
| target I2c SetStatus I2cRegPtr Cnt T str.DXR             | 66          |
| ·  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR             | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 1204        |
|  | 66          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12           |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67          |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC    | 66          |
|  | 1204        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 3           |
| target I2c SetupMasterReceive I2cReqPtr Cnt T str.PSL    | 3           |
|  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 1204        |
|  | 87          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |
|  |             |

2014-10-14, 23:08:30+0530



| Name  | Input Value  |                |       |
|---|--------------|----------------|-------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 3            |                |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3            |                |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            |                |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2            |                |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3            |                |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            |                |       |
| target_i2cREG1_temp.OAR                                 | 55           |                |       |
| target_i2cREG1_temp.IMR                                 | 66           |                |       |
| target_i2cREG1_temp.STR                                 | 556          |                |       |
| target_i2cREG1_temp.CLKL                                | 2309         |                |       |
| target_i2cREG1_temp.CLKH                                | 1204         |                |       |
| target_i2cREG1_temp.CNT                                 | 87           |                |       |
| target_i2cREG1_temp.DRR                                 | 67           |                |       |
| target_i2cREG1_temp.SAR                                 | 55           |                |       |
| target_i2cREG1_temp.DXR                                 | 66           |                |       |
| target_i2cREG1_temp.MDR                                 | 2309         |                |       |
| target_i2cREG1_temp.IVR                                 | 5            |                |       |
| target_i2cREG1_temp.EMDR                                | 3            |                |       |
| target_i2cREG1_temp.PSC                                 | 66           |                |       |
| target_i2cREG1_temp.PID11                               | 1204         |                |       |
| target_i2cREG1_temp.PID12                               | 66           |                |       |
| target_i2cREG1_temp.DMAC                                | 3            |                |       |
| target_i2cREG1_temp.FUN                                 | 1            |                |       |
| target_i2cREG1_temp.DIR                                 | 1            |                |       |
| target_i2cREG1_temp.DIN                                 | 2            |                |       |
| target_i2cREG1_temp.DOUT                                | 3            |                |       |
| target_i2cREG1_temp.SET                                 | 3            |                |       |
| target_i2cREG1_temp.CLR                                 | 1            |                |       |
| target_i2cREG1_temp.ODR                                 | 2            |                |       |
| target_i2cREG1_temp.PD                                  | 3            |                |       |
| target_i2cREG1_temp.PSL                                 | 3            |                |       |
| Namo  | Actual Value | Expected Value | Pocul |

| target_i2cREG1_temp.PSL                          | 3                           |                             |          |
|--|-----------------------------|-----------------------------|----------|
| Name   | Actual Value                | Expected Value              | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 1                           | 1                           | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                  | 10                          | 10                          | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]                  | 20                          | 20                          | •        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                  | 30                          | 30                          | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc            | 0                           | 0                           | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc            | 1                           | 1                           | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc            | 1                           | 1                           | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16                | 2309                        | 2309                        | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08               | 123                         | 123                         | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum             | INIT_SENSOR1_CHECKSTAT_READ | INIT_SENSOR1_CHECKSTAT_READ | <b>✓</b> |
| DigColPsInt_I2CHwCustData_Uls_M_u16              | 1                           | 1                           | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16    | 2                           | 2                           | <b>✓</b> |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc             | 0                           | 0                           | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc                | 0                           | 0                           | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc           | 0                           | 0                           | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08              | 0                           | 0                           | <b>✓</b> |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc           | 0                           | 0                           | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16               | 87                          | 87                          | •        |
| DigColPsInt_TransactionCnt_Cnt_M_u08             | 10                          | 10                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55                          | 55                          | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66                          | 66                          | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR   | 556                         | 556                         | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 2309                        | 2309                        | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204                        | 1204                        | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT   | 87                          | 87                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67                          | 67                          | <b>~</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR   | 55                          | 55                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                          | 66                          | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR   | 2309                        | 2309                        | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5                           | 5                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3                           | 3                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66                          | 66                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204                        | 1204                        | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66                          | 66                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                           | 3                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                           | 1                           | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                           | 1                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                           | 2                           | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                           | 3                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                           | 3                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1                           | 1                           | ~        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR | 2            | 2              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR        | 55           | 55             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR        | 66           | 66             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR        | 556          | 556            | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       | 2309         | 2309           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       | 1204         | 1204           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT        | 87           | 87             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR        | 67           | 67             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR        | 55           | 55             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR        | 66           | 66             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR        | 2309         | 2309           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR        | 5            | 5              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC        | 66           | 66             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11      | 1204         | 1204           | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12      | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       | 3            | 3              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN        | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR        | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN        | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET        | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR        | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR        | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL        | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR     | 55           | 55             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR     | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR     | 556          | 556            | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL    | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH    | 1204         | 1204           | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT     | 87           | 87             | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR     | 67           | 67             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR     | 55           | 55             | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR     | 66           | 66             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR     | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR     | 5            | 5              | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR    | 3            | 3              | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC     | 66           | 66             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC    | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN     | 1            | 1              | <b>Y</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR     | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN     | 2            | 2              | <b>V</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT    | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET     | 3            | 3              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR     | 1            | 1              | <b>✓</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR     | 2            | 2              | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD      | 3            | 3              | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL     | 3            | 3              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR   | 66           | 66             |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3            | 3              | _        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.OAR    | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66           | 66             | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556          | 556            | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL   | 2309         | 2309           | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CNT    | 87           | 87             | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55           | 55             |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DXR    | 66           | 66             | ·        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR    | 5            | 5              | ·        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |          |
|  | 66           | 66             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    |              | 11             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 66           | 66             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 1            | 1              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              |          |
|  | 2            | 2              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   |              | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

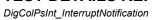
| T                      |       |                        |       | <b>✓</b> |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| SetupRead              | 1     | SetupRead              | 1     | ~        |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | <b>✓</b> |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | ~        |

| Test Step 3.16 (Repeat Count = 1)               |             | <b>✓</b> |
|---|-------------|----------|
| Name  | Input Value |          |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1           |          |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10          |          |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20          |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30          |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0           |          |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1           |          |



| Name  | Input Value  |
|---|--|
| DigColPsInt_ColCustDatFound_Cnt_M_Igc   | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_READERROR_SETREG                      |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 0  |
|   |  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 10   |
| Flags_Cnt_T_b16   | 4  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)  | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)   | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)  | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]  | 0  |
| T_DataRegisters_Cnt_u08[1]  | 32   |
| T_DataRegisters_Cnt_u08[2]  | 30   |
| T_DataRegisters_Cnt_u08[3]  | 36   |
| T_DataRegisters_Cnt_u08[4]  | 38   |
| T_DataRegisters_Cnt_u08[5]  | 34   |
| T_DataRegisters_Cnt_u08[6]  | 10   |
| T_DataRegisters_Cnt_u08[7]  | 12   |
| T_DataRegisters_Cnt_u08[8]  | 14   |
| i2cREG1_temp  | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08   | 9  |
| k_SpurSensorI2CAddress_Cnt_u08  | 10   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55   |
|   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 556  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 67   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 3  |
| target I2c GenStopCond I2cRegPtr Cnt T str.FUN  | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET  | 3  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR  | 1  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR | 2  |
|   | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 5  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204   |
| go  | 1LVT   |

2014-10-14, 23:08:30+0530





| Name   | Input Value |
|--|-------------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12              | 66          |
| target I2c Send I2cRegPtr Cnt T str.DMAC               | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                | 2           |
|  | 3           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT               | 3           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET                | 1           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR                |             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR                | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                 | 3           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL                | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR             | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR             | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR             | 556         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL            | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH            | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT             | 87          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 67          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR             | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR             | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR             | 5           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR            | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC             | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11           | 1204        |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12           | 66          |
| target I2c SetRecv I2cRegPtr Cnt T str.DMAC            | 3           |
| target I2c SetRecv I2cRegPtr Cnt T str.FUN             | 1           |
|  | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN             | 2           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT            | 3           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET             | 3           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR             | 1           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR           | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR           | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL          | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH          | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT           | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR           | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR           | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR           | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR           | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR          | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         | 1204        |
| target I2c SetStatus I2cRegPtr Cnt T str.PID12         | 66          |
| target I2c SetStatus I2cRegPtr Cnt T str.DMAC          | 3           |
| target I2c SetStatus I2cRegPtr Cnt T str.FUN           | 1           |
|  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN           |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT          | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET           | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL           | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR | 3           |
| 0  |             |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

| Name  | Input Value  |                |          |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66           |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 1204         |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 66           |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1            |                |          |
|   | 1            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 55           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556          |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 2309         |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 1204         |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 87           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 67           |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR  | 55           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 66           |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR  | 2309         |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_1_str.MDR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR | 5            |                |          |
|   |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 66           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 1204         |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 66           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            |                |          |
| target i2cREG1 temp.OAR   | 55           |                |          |
| target i2cREG1 temp.IMR   | 66           |                |          |
|   | 556          |                |          |
| target_i2cREG1_temp.STR<br>target_i2cREG1_temp.CLKL   | 2309         |                |          |
| 0 =   |              |                |          |
| target_i2cREG1_temp.CLKH  | 1204         |                |          |
| target_i2cREG1_temp.CNT   | 87           |                |          |
| target_i2cREG1_temp.DRR   | 67           |                |          |
| target_i2cREG1_temp.SAR   | 55           |                |          |
| target_i2cREG1_temp.DXR   | 66           |                |          |
| target_i2cREG1_temp.MDR   | 2309         |                |          |
| target_i2cREG1_temp.IVR   | 5            |                |          |
| target_i2cREG1_temp.EMDR  | 3            |                |          |
| target_i2cREG1_temp.PSC   | 66           |                |          |
| target_i2cREG1_temp.PID11   | 1204         |                |          |
| target_i2cREG1_temp.PID12   | 66           |                |          |
| target_i2cREG1_temp.DMAC  | 3            |                |          |
| target i2cREG1 temp.FUN   | 1            |                |          |
| target_i2cREG1_temp.DIR   | 1            |                |          |
| target i2cREG1 temp.DIN   | 2            |                |          |
| target i2cREG1 temp.DOUT  | 3            |                |          |
|   | 3            |                |          |
| target_i2cREG1_temp.SET   | 1            |                |          |
| target_i2cREG1_temp.CLR   |              |                |          |
| target_i2cREG1_temp.ODR   | 2            |                |          |
| target_i2cREG1_temp.PD  | 3            |                |          |
| target_i2cREG1_temp.PSL   | 3            |                |          |
| Name  | Actual Value | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 1            | 1              | <b>~</b> |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 10           | 10             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 20           | 20             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 30           | 30             | <b>✓</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0            | 0              | ~        |
|   |              |                |          |

2309

123

DigColPsInt\_CmdFailOccurred\_Cnt\_M\_lgc DigColPsInt\_ColCustDatFound\_Cnt\_M\_lgc

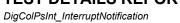
DigColPsInt\_ColSnsrData\_Cnt\_M\_u16

 $DigColPsInt\_CurrentSlave\_Cnt\_M\_u08$ 

1

2309

2014-10-14, 23:08:30+0530





| Name   | Actual Value                | Expected Value              | Result   |
|--|-----------------------------|-----------------------------|----------|
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR2_READERROR_READ | INIT_SENSOR2_READERROR_READ | _        |
| DigColPsInt_I2CHwCustData_UIs_M_u16  | 1 2                         | 1 2                         |          |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 0                           | 0                           | J        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt NackOccured Cnt M lgc                 | 0                           | 0                           |          |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                           | 0                           | j        |
| DigColPsInt RecvdDataType Cnt M u08  | 0                           | 0                           |          |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0                           | 0                           |          |
| DigColPsInt SpurSnsrData Cnt M u16   | 87                          | 87                          | -        |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10                          | 10                          | -        |
| target I2c GenStopCond I2cRegPtr Cnt T str.OAR   | 55                          | 55                          | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66                          | 66                          |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR   | 556                         | 556                         | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309                        | 2309                        | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204                        | 1204                        | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87                          | 87                          | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67                          | 67                          | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55                          | 55                          | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                          | 66                          | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309                        | 2309                        | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5                           | 5                           | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3                           | 3                           | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66                          | 66                          | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                       | 1204                        | 1204                        | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                       | 66                          | 66                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                           | 3                           | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                           | 1                           | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                           | 1                           | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                           | 2                           | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                           | 3                           | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                           | 3                           | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1                           | 1                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2                           | 2                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3                           | 3                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3                           | 3                           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55                          | 55                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66                          | 66                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556                         | 556                         | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309                        | 2309                        | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204                        | 1204                        | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87                          | 87                          | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67                          | 67                          |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55                          | 55                          | Y Y      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66                          | 66                          |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309                        | 2309                        |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5                           | 5                           | - 4      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 66                          | 66                          |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11      | 1204                        | 1204                        |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12  | 66                          | 66                          |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC   | 3                           | 3                           |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN  | 1                           | 1                           |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1                           | 1                           |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN  | 2                           | 2                           |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT   | 3                           | 3                           | -        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET  | 3                           | 3                           |          |
| target I2c Send I2cRegPtr Cnt T str.CLR  | 1                           | 1                           | -        |
| target I2c Send I2cRegPtr Cnt T str.ODR  | 2                           | 2                           |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD   | 3                           | 3                           | -        |
| target I2c Send I2cRegPtr Cnt T str.PSL  | 3                           | 3                           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55                          | 55                          | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66                          | 66                          |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 556                         | 556                         |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2309                        | 2309                        | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 1204                        | 1204                        | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 87                          | 87                          | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67                          | 67                          | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55                          | 55                          | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66                          | 66                          | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309                        | 2309                        | -        |
|  | _                           | E                           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5                           | 5                           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR | 3                           | 3                           | -        |

2014-10-14, 23:08:30+0530





| Nama  | Actual Value | Expected Value | Booult        |
|---|--------------|----------------|---------------|
| Name target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204         | Expected Value | Result        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | -             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              |               |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ~             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ~             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 1            | 1              |               |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | Ž             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL                            | 3            | 3              | -             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             |               |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | -             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | -             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | •             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | <b>V</b>      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | <b>Y</b>      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |               |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11                     | 66<br>1204   | 66<br>1204     | -             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             |               |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ·             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |               |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | <b>V</b>      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>V</b>      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR     | 55<br>66     | 55<br>66       |               |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR   | 556          | 556            | -             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           |               |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKH  | 1204         | 1204           | <b>✓</b>      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              |               |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>V</b>      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 1204<br>66   | 1204<br>66     | <b>*</b>      |
| target_I2C_SetupMasterReceive_I2CRegPtr_Cnt_T_str.DMAC  | 3            | 3              |               |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | _             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>~</b>      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | ~             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>~</b>      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | <b>✓</b>      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | \ \ \ \ \ \ \ |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556<br>2309  | 556<br>2309    | -             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 1204         | 1204           | -             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CERH  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT | 87           | 87             | -             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | -             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | -             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | ~             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ~             |
|   |              |                |               |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~      |

| T ·                    |       |                        |       |        |
|------------------------|-------|------------------------|-------|--------|
| Actual Function        | Count | Expected Function      | Count | Result |
| SetupRead              | 1     | SetupRead              | 1     | ~      |
| I2c_SetupMasterReceive | 1     | l2c_SetupMasterReceive | 1     | ~      |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | •      |

| ama  | Innut Value  |
|--|--|
| ame  | Input Value  |
| igColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 |  |
| igColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| igColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| gColPsInt_Buffer_Cnt_M_u08[2]                  | 30   |
| gColPsInt_BusBusySeqError_Cnt_M_lgc            | 0  |
| igColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| gColPsInt_ColCustDatFound_Cnt_M_lgc            | 1  |
| gColPsInt_ColSnsrData_Cnt_M_u16                | 2309   |
| igColPsInt_CurrentSlave_Cnt_M_u08              | 123  |
| gColPsInt_CurrentStepNo_Cnt_M_enum             | INIT_SENSOR2_READEXTERR_SETREG                     |
| gColPsInt_I2CHwCustData_Uls_M_u16              | 1  |
| gColPsInt_I2CHwIncompleteCustData_Uls_M_u16    | 2  |
| gColPsInt_InitFailedOnce_Cnt_M_lgc             | 0  |
| gColPsInt_NackOccured_Cnt_M_lgc                | 0  |
| gColPsInt_PrevReqDataType_Cnt_M_u08            | 1  |
| gColPsInt_RecvOverrunError_Cnt_M_lgc           | 0  |
| gColPsInt_RecvdDataType_Cnt_M_u08              | 0  |
| gColPsInt_SkipRegisterWrite_Cnt_M_lgc          | 0  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| gColPsInt SpurSnsrData Cnt M u16               | 87   |
| gColPsInt_TransactionCnt_Cnt_M_u08             | 10   |
| ags_Cnt_T_b16                                  | 4  |
| c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| c Send(I2cRegPtr Cnt T str)                    | target I2c Send I2cRegPtr Cnt T str                |
| c SetRecv(I2cRegPtr Cnt T str)                 | target I2c SetRecv I2cRegPtr Cnt T str             |
| c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| c SetupMasterReceive(I2cRegPtr Cnt T str)      | target I2c SetupMasterReceive I2cRegPtr Cnt T str  |
| c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |
| DataRegisters_Cnt_u08[0]                       | 0  |
|  | 32   |
| _DataRegisters_Cnt_u08[1]                      | 30   |
| _DataRegisters_Cnt_u08[2]                      |  |
| _DataRegisters_Cnt_u08[3]                      | 36   |
| _DataRegisters_Cnt_u08[4]                      | 38   |
| _DataRegisters_Cnt_u08[5]                      | 34   |
| _DataRegisters_Cnt_u08[6]                      | 10   |
| _DataRegisters_Cnt_u08[7]                      | 12   |
| _DataRegisters_Cnt_u08[8]                      | 14   |
| cREG1_temp                                     | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08                   | 9  |
| SpurSensorI2CAddress_Cnt_u08                   | 10   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67   |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55          |
|  |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target I2c GenStopCond I2cRegPtr Cnt T str.DMAC  | 3           |
|  |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1           |
|  |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 55          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 66          |
| target I2c Send I2cRegPtr Cnt T str.STR          | 556         |
|  |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 2309        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 1204        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 87          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 67          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 55          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 66          |
| target I2c Send I2cRegPtr Cnt T str.MDR          | 2309        |
|  |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 5           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 1204        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 3           |
|  | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3           |
| target I2c Send I2cRegPtr Cnt T str.SET          | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 1           |
|  | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 556         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 2309        |
|  | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 87          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 67          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 5           |
|  |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       | 1           |
|  | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN       | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET       | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR       | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR       | 2           |
|  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD        |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL       | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR     | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR     | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR     | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL    | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH    | 1204        |
|  |             |

2014-10-14, 23:08:30+0530



| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | Input Value |
|---|-------------|
|   |             |
|   | 87          |
|   | 67          |
| ·   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR            | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 66          |
| target I2c SetStatus I2cRegPtr Cnt T str.MDR            | 2309        |
|   | 5           |
| ·   |             |
| 0 = = 0 = ==  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 1204        |
|   | 66          |
|   |             |
|   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 2           |
|   | 3           |
| 0 0   |             |
| 0 = = = 0 = ==  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 2           |
|   | 3           |
|   |             |
|   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66          |
|   | 556         |
|   |             |
|   | 2309        |
|   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67          |
|   | 55          |
|   |             |
|   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR   | 5           |
|   | 3           |
|   |             |
|   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
|   | 1           |
|   |             |
|   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
|   | 3           |
|   |             |
|   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |
|   | 55          |
|   |             |
|   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 2309        |
|   | 1204        |
|   |             |
| 0 =   | 87          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 55          |
|   | 66          |
|   | 2309        |
| 0 =   |             |
|   | 5           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR | 3           |
|   | 66          |
|   | 1204        |
|   |             |
|   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1.          |
|   | 1           |
|   | 2           |
|   |             |
| 0   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3           |
|   | 1           |
|   | 2           |
|   |             |
| 0 = - 1 = 0 =   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| target_i2cREG1_temp.OAR                                 | 55          |
|   |             |
|   | 66          |
| target_i2cREG1_temp.IMR                                 | 66<br>556   |



| Name   | Input Value                  |                              |          |
|--|------------------------------|------------------------------|----------|
| target i2cREG1 temp.CLKL   | 2309                         |                              |          |
| target_i2cREG1_temp.CLKH   | 1204                         |                              |          |
| target i2cREG1 temp.CNT  | 87                           |                              |          |
| target_i2cREG1_temp.DRR  | 67                           |                              |          |
| target_i2cREG1_temp.SAR  | 55                           |                              |          |
| target i2cREG1 temp.DXR  | 66                           |                              |          |
| target i2cREG1 temp.MDR  | 2309                         |                              |          |
| target_i2cREG1_temp.IVR  | 5                            |                              |          |
| target_i2cREG1_temp.EMDR   | 3                            |                              |          |
| target i2cREG1 temp.PSC  | 66                           |                              |          |
| target i2cREG1 temp.PID11  | 1204                         |                              |          |
| target i2cREG1 temp.PID12  | 66                           |                              |          |
| target_i2cREG1_temp.DMAC   | 3                            |                              |          |
| target i2cREG1 temp.FUN  | 1                            |                              |          |
| target i2cREG1 temp.DIR  | 1                            |                              |          |
| target i2cREG1 temp.DIN  | 2                            |                              |          |
| target_i2cREG1_temp.DOUT   | 3                            |                              |          |
| target_i2cREG1_temp.SET  | 3                            |                              |          |
| target i2cREG1 temp.CLR  | 1                            |                              |          |
| target i2cREG1 temp.ODR  | 2                            |                              |          |
| target i2cREG1 temp.PD   | 3                            |                              |          |
| target i2cREG1 temp.PSL  | 3                            |                              |          |
| Name   | Actual Value                 | Expected Value               | Result   |
|  |                              | · ·                          |          |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                                  | 1                            | 1                            | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10                           | 10                           | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20                           | 20                           | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30                           | 30                           | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0                            | 0                            | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1                            | 1                            | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1                            | 1                            | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2309                         | 2309                         | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 123                          | 123                          | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR2_READEXTERR_READ | INIT_SENSOR2_READEXTERR_READ | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 1                            | 1                            | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16                                    | 2                            | 2                            | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc   | 0                            | 0                            | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                            | 0                            | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_Igc   | 0                            | 0                            | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 0                            | 0                            | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0                            | 0                            | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 87                           | 87                           | ~        |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10                           | 10                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                                   | 55                           | 55                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                                   | 66                           | 66                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                                   | 556                          | 556                          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                                  | 2309                         | 2309                         | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                                  | 1204                         | 1204                         | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                                   | 87                           | 87                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                                   | 67                           | 67                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                                   | 55                           | 55                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                                   | 66                           | 66                           | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                                   | 2309                         | 2309                         | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                                   | 5                            | 5                            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                                  | 3                            | 3                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                                   | 66                           | 66                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                 | 1204                         | 1204                         | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                 | 66                           | 66                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                                  | 3                            | 3                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                                   | 1                            | 1                            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                                   | 1                            | 1                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                                   | 2                            | 2                            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                  | 3                            | 3                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                                   | 3                            | 3                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                                   | 1                            | 1                            |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                                   | 2                            | 2                            | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                                    | 3                            | 3                            |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                                   | 3                            | 3                            | <b>*</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55                           | 55                           | -        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR  | 66                           | 66                           | -        |
| target_l2c_Send_l2cRegPti_Cnt_T_str.lmR target_l2c_Send_l2cRegPtr_Cnt_T_str.STR  | 556                          | 556                          |          |
|  | 000                          | 000                          |          |
|  | 2309                         | 2309                         | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309                         | 2309                         | <b>-</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT | 2309<br>1204<br>87           | 2309<br>1204<br>87           | <b>*</b> |

2014-10-14, 23:08:30+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR               | 67           | 67             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR               | 55           | 55             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR               | 66           | 66             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR               | 2309         | 2309           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR               | 5            | 5              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR              | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC               | 66           | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11             | 1204         | 1204           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12             | 66           | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC              | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN               | 1            | 1              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR               | 1            | 1              | <b>v</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN               | 2            | 2              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT              | 3            | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET               | 3            | 3              |          |
| target I2c Send I2cRegPtr Cnt T str.CLR               | 1            | 1              | <b>~</b> |
| · ·   | 2            | 2              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR               |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL               | 3            | 3              | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR            | 55           | 55             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR            | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR            | 556          | 556            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL           | 2309         | 2309           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH           | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT            | 87           | 87             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR            | 67           | 67             | <b>✓</b> |
| target I2c SetRecv I2cRegPtr Cnt T str.SAR            | 55           | 55             | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR            | 66           | 66             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR            | 2309         | 2309           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR            | 5            | 5              | <b>✓</b> |
|   | 3            | 3              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR           |              |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC            | 66           | 66             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11          | 1204         | 1204           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12          | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC           | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN            | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR            | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN            | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT           | 3            | 3              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET            | 3            | 3              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR            | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR            | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD             | 3            | 3              | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL            | 3            | 3              | _        |
| target I2c SetStatus I2cRegPtr Cnt T str.OAR          | 55           | 55             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR          | 66           | 66             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR          | 556          | 556            |          |
|   | 2309         | 2309           | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL         |              |                |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH         | 1204         | 1204           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT          | 87           | 87             | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR          | 67           | 67             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR          | 55           | 55             | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR          | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR          | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR          | 5            | 5              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR         | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC          | 66           | 66             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11        | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12        | 66           | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         | 3            | 3              | <b>v</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN          | 1            | 1              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR          | 1            | 1              |          |
|   | 2            | 2              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN          |              |                |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT         | 3            | 3              | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET          | 3            | 3              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR          | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR          | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD           | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL          | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR | 55           | 55             | ~        |
| . 3   |              | 00             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR | 66           | 66             | ✓        |
|   | 66<br>556    | 556            |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | · ·      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87           | 87             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55           | 55             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 1            | 1              | •        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 2            | 2              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 3            | 3              | •        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL    | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 55           | 55             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 66           | 66             | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 556          | 556            |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 2309         | 2309           | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 5            | 5              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 66           | 66             | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11 | 1204         | 1204           | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 66           | 66             | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 1            | 1              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ·        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 3            | 3              | · ·      |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 3            | 3              | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 1            | 1              | ·        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD    | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 3            | 3              | _        |

| T                      |       |                        |       | V        |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| SetupRead              | 1     | SetupRead              | 1     | ~        |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | <b>✓</b> |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | <b>✓</b> |

| Test Step 3.18 (Repeat Count = 1)               | ✓                             |
|---|-------------------------------|
| Name  | Input Value                   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1                             |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10                            |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20                            |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30                            |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0                             |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1                             |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1                             |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309                          |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 123                           |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_CHECKSTAT_SETREG |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 1                             |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 2                             |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0                             |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0                             |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1                             |



| Name  | Input Value  |
|---|--|
| igColPsInt_RecvOverrunError_Cnt_M_lgc           | 0  |
| igColPsInt_RecvdDataType_Cnt_M_u08              | 0  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc          | 0  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc           | 0  |
| higColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| higColPsInt_TransactionCnt_Cnt_M_u08            | 10   |
| lags_Cnt_T_b16                                  | 4  |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c SetRecv(I2cRegPtr Cnt T str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |
| _DataRegisters_Cnt_u08[0]                       | 0  |
| _DataRegisters_Cnt_u08[1]                       | 32   |
| _DataRegisters_Cnt_u08[2]                       | 30   |
| _DataRegisters_Cnt_u08[3]                       | 36   |
|   | 38   |
| _DataRegisters_Cnt_u08[4]                       | 36 34  |
| _DataRegisters_Cnt_u08[5]                       |  |
| _DataRegisters_Cnt_u08[6]                       | 10   |
| _DataRegisters_Cnt_u08[7]                       | 12   |
| _DataRegisters_Cnt_u08[8]                       | 14   |
| cREG1_temp                                      | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08                    | 9  |
| _SpurSensorl2CAddress_Cnt_u08                   | 10   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR    | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT    | 87   |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67   |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66   |
|   | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN    | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET    | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR    | 1  |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR    | 2  |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 3  |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3  |
| rget I2c Send I2cRegPtr Cnt T str.OAR           | 55   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR           | 66   |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.STR           | 556  |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL          | 2309   |
|   |  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH          | 1204   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT           | 87   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR           | 67   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR           | 55   |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.DXR           | 66   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR           | 2309   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR           | 5  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR          | 3  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC           | 66   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         | 1204   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         | 66   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC          | 3  |
| rget_12c_Send_12cRegPtr_Cnt_T_str.FUN           | 1  |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.DIR           | 1  |
|   | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          |  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT          | 3  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.SET           | 3  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR           | 1 2  |
|   |  |

2014-10-14, 23:08:30+0530



| DigColPsint_interruptivotilication   |             |
|--|-------------|
| Name   | Input Value |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5           |
|  | 3           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 66          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 1204        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 66          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  |             |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1           |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  | 2           |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 3           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 55          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| arget I2c SetStatus I2cRegPtr Cnt T str.IVR  | 5           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| arget I2c SetStatus I2cRegPtr Cnt T str.PSC  | 66          |
| arget I2c SetStatus I2cRegPtr Cnt T str.PID11  | 1204        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| arget I2c SetStatus I2cRegPtr Cnt T str.DIR  | 1           |
| arget I2c SetStatus I2cRegPtr Cnt T str.DIN  | 2           |
| ·  | 3           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3           |
| ·  | 1           |
| arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR  |             |
| arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR  | 2           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR   | 66          |
| arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR   | 556         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 1204        |
|  | 66          |
| arget_I2c_SetupMasterReceive I2cRegPtr Cnt T str.PID12   | 3           |
|  |             |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  |             |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1 1         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DUT | 1           |

2014-10-14, 23:08:30+0530



| Name   | Input Value                 |                             |    |
|--|-----------------------------|-----------------------------|----|
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR                      | 1                           |                             |    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR                      | 2                           |                             |    |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD                        | 3                           |                             |    |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL                       | 3                           |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                      | 55                          |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR                      | 66                          |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR                      | 556                         |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL                     | 2309                        |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH                     | 1204                        |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT                      | 87                          |                             |    |
| arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR                      | 67                          |                             |    |
| arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR                      | 55                          |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR                      | 66                          |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR                      | 2309                        |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR                      | 5                           |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR                     | 3                           |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC                      | 66                          |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                    | 1204                        |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12                    | 66                          |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC                     | 3                           |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN                      | 1                           |                             |    |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR                      | 1                           |                             |    |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN                      | 2                           |                             |    |
| arget   12c SetupMasterTransmit   12cRegPtr Cnt T str.DOUT                 | 3                           |                             |    |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET                      | 3                           |                             |    |
| arget_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR                      | 1                           |                             |    |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR                      | 2                           |                             |    |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD                       | 3                           |                             |    |
|  | 3                           |                             |    |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL                      |                             |                             |    |
| arget_i2cREG1_temp.OAR   | 55                          |                             |    |
| arget_i2cREG1_temp.IMR   | 66                          |                             |    |
| arget_i2cREG1_temp.STR   | 556                         |                             |    |
| arget_i2cREG1_temp.CLKL  | 2309                        |                             |    |
| arget_i2cREG1_temp.CLKH  | 1204                        |                             |    |
| arget_i2cREG1_temp.CNT   | 87                          |                             |    |
| arget_i2cREG1_temp.DRR   | 67                          |                             |    |
| arget_i2cREG1_temp.SAR   | 55                          |                             |    |
| arget_i2cREG1_temp.DXR   | 66                          |                             |    |
| arget_i2cREG1_temp.MDR   | 2309                        |                             |    |
| arget_i2cREG1_temp.IVR   | 5                           |                             |    |
| arget_i2cREG1_temp.EMDR  | 3                           |                             |    |
| arget_i2cREG1_temp.PSC   | 66                          |                             |    |
| arget_i2cREG1_temp.PID11   | 1204                        |                             |    |
| arget_i2cREG1_temp.PID12   | 66                          |                             |    |
| arget_i2cREG1_temp.DMAC  | 3                           |                             |    |
| arget_i2cREG1_temp.FUN   | 1                           |                             |    |
| arget i2cREG1 temp.DIR   | 1                           |                             |    |
| arget_i2cREG1_temp.DIN   | 2                           |                             |    |
| arget_i2cREG1_temp.DOUT  | 3                           |                             |    |
| arget i2cREG1 temp.SET   | 3                           |                             |    |
| arget i2cREG1_temp.CLR   | 1                           |                             |    |
| · ·  | 2                           |                             |    |
| arget_i2cREG1_temp.ODR   | 3                           |                             |    |
| arget_i2cREG1_temp.PD arget_i2cREG1_temp.PSL                               | 3                           |                             |    |
|  |                             |                             |    |
| lame   | Actual Value                | Expected Value              | Re |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                            | 1                           | 1                           |    |
| 0igColPsInt_Buffer_Cnt_M_u08[0]  | 10                          | 10                          |    |
| 0igColPsInt_Buffer_Cnt_M_u08[1]  | 20                          | 20                          |    |
| igColPsInt_Buffer_Cnt_M_u08[2]   | 30                          | 30                          |    |
| ligColPsInt_BusBusySeqError_Cnt_M_lgc                                      | 0                           | 0                           |    |
| igColPsInt_CmdFailOccurred_Cnt_M_lgc                                       | 1                           | 1                           |    |
| igColPsInt_ColCustDatFound_Cnt_M_lgc                                       | 1                           | 1                           |    |
| ligColPsInt_ColSnsrData_Cnt_M_u16  | 2309                        | 2309                        |    |
| bigColPsInt_CurrentSlave_Cnt_M_u08   | 123                         | 123                         |    |
| igColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_CHECKSTAT_READ | INIT_SENSOR2_CHECKSTAT_READ |    |
| digColPsInt_I2CHwCustData_Uls_M_u16  | 1                           | 1                           |    |
| bigColPsInt_I2CHwIncompleteCustData_UIs_M_u16                              | 2                           | 2                           |    |
|  | 0                           | 0                           |    |
| ligColPsInt_InitFailedOnce_Cnt_M_lgc                                       |                             |                             |    |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                           | 0                           |    |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                                     | 0                           | 0                           |    |
|  | 0                           | 0                           |    |
|  |                             |                             |    |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc | 0                           | 0                           |    |

2014-10-14, 23:08:30+0530



|  |              | I=             | l=       |
|--|--------------|----------------|----------|
| Name   | Actual Value | Expected Value | Result   |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10<br>55     | 10<br>55       | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR  | 66           | 66             |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR   | 556          | 556            | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1 2          | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT | 3            | 3              |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.SET   | 3            | 3              | -        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLR   | 1            | 1              |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CDR   | 2            | 2              | ~        |
| target I2c GenStopCond I2cRegPtr Cnt T str.PD  | 3            | 3              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12  | 66           | 66             |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | -        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN                | 2            | 2              |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>V</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3 1          | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | -        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN          | 1 2          | 1 2            | -        |
| target_12c_SetRecv_12cRegPti_Cnt_1_str.Din target_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT         | 3            | 3              |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.SET   | 3            | 3              | -        |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLR   | 1            | 1              | -        |
| 0 1 12 12 11 11 10 12 11 10 12 11 11 11 11 11 11 11 11 11 11 11 11                             |              |                | -        |

2014-10-14, 23:08:30+0530



| DigCor-sint_interruptivotinication   |              |                | WAC TON  |
|--|--------------|----------------|----------|
| Name   | Actual Value | Expected Value | Result   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ✓        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3<br>55      | 3<br>55        | <u> </u> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR                      | 66           | 66             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | <b>→</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>*</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | · ·      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204<br>66   | 1204<br>66     |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC                   | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ✓        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87<br>67     | 87<br>67       |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR    | 55           | 55             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | _        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR  | 2309         | 2309           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 1 2          | 1 2            | · ·      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD     | 3            | 3              |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL  | 3            | 3              | _        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 55           | 55             | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | · ·      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | _        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
|  |              |                |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL | 3            | 3              | <b>✓</b> |

| Τ                      |       |                        | V     |        |
|------------------------|-------|------------------------|-------|--------|
| Actual Function        | Count | Expected Function      | Count | Result |
| SetupRead              | 1     | SetupRead              | 1     | ~      |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | -      |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | ~      |

| T 404 040/D 40 44)                                    |  |
|---|--|
| Test Step 3.19 (Repeat Count = 1)                     | <b>▼</b>   |
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                       | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                       | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                       | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc                 | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                 | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                 | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16                     | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08                    | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                  | INIT_SENSOR1_EXTREADCTRLREG_SETREG                   |
| DigColPsInt_I2CHwCustData_Uls_M_u16                   | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16         | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc                  | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc                     | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08                 | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                   | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_Igc               | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                    | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08                  | 10   |
| Flags_Cnt_T_b16                                       | 4  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)                  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str           |
| I2c_Send(I2cRegPtr_Cnt_T_str)                         | target_I2c_Send_I2cRegPtr_Cnt_T_str                  |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                      | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str               |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)                    | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str             |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)           | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str    |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)          | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 |
| T_DataRegisters_Cnt_u08[0] T_DataRegisters_Cnt_u08[1] | 32   |
| T_DataRegisters_Cnt_u08[2]                            | 30   |
| T_DataRegisters_Cnt_u08[3]                            | 36   |
| T_DataRegisters_Cnt_u08[4]                            | 38   |
| T_DataRegisters_Cnt_u08[5]                            | 34   |
| T_DataRegisters_Cnt_u08[6]                            | 10   |
| T_DataRegisters_Cnt_u08[7]                            | 12   |
| T_DataRegisters_Cnt_u08[8]                            | 14   |
| i2cREG1 temp  | target_i2cREG1_temp                                  |
| k_ColSensorl2CAddress_Cnt_u08                         | 9  |
| k SpurSensorl2CAddress Cnt u08                        | 10   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR        | 55   |
| target I2c GenStopCond I2cRegPtr Cnt T str.IMR        | 66   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.NTR        | 556  |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL       | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH       | 1204   |
| target I2c GenStopCond I2cRegPtr Cnt T str.CNT        | 87   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR        | 67   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR        | 55   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR        | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR        | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR        | 5  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR       | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC        | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11      | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12      | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC       | 3  |
| 0 0   |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target I2c GenStopCond I2cRegPtr Cnt T str.PSL   | 3           |
|  |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 55          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR          | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 556         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 2309        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 1204        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 87          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 67          |
|  |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 55          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR          | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 2309        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 5           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 3           |
| target I2c Send I2cRegPtr Cnt T str.PSC          | 66          |
| · ·  | 1204        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3           |
|  |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 66          |
|  | 556         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 87          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 67          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 2309        |
|  |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 5           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       |             |
|  | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN       | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET       | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR       | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR       | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD        | 3           |
|  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL       |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR     | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR     | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR     | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL    | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH    | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT     | 87          |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR     | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR     | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR     | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR     | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR     | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR    | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC     | 66          |
| talgot_125_cototatao_126ttogi ti_Olit_1_str.i GO |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204        |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
|  | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC   | 3           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN    | 1           |
|  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
|  | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
|  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 2           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
|  |             |
| target_i2cREG1_temp.OAR                                  | 55          |
| target_i2cREG1_temp.IMR                                  | 66          |
| target_i2cREG1_temp.STR                                  | 556         |
| target_i2cREG1_temp.CLKL                                 | 2309        |
| target_i2cREG1_temp.CLKH                                 | 1204        |
| target_i2cREG1_temp.CNT                                  | 87          |
| target_i2cREG1_temp.DRR                                  | 67          |
| target i2cREG1 temp.SAR                                  | 55          |
|  |             |
| target_i2cREG1_temp.DXR                                  | 66          |
| target_i2cREG1_temp.MDR                                  | 2309        |
| target_i2cREG1_temp.IVR                                  | 5           |
| target_i2cREG1_temp.EMDR                                 | 3           |
|  |             |



| Name                      | Input Value  |                |        |
|---------------------------|--------------|----------------|--------|
| target_i2cREG1_temp.PSC   | 66           |                |        |
| target_i2cREG1_temp.PID11 | 1204         |                |        |
| target_i2cREG1_temp.PID12 | 66           |                |        |
| target_i2cREG1_temp.DMAC  | 3            |                |        |
| target_i2cREG1_temp.FUN   | 1            |                |        |
| target_i2cREG1_temp.DIR   | 1            |                |        |
| target_i2cREG1_temp.DIN   | 2            |                |        |
| target_i2cREG1_temp.DOUT  | 3            |                |        |
| target_i2cREG1_temp.SET   | 3            |                |        |
| target_i2cREG1_temp.CLR   | 1            |                |        |
| target_i2cREG1_temp.ODR   | 2            |                |        |
| target_i2cREG1_temp.PD    | 3            |                |        |
| target_i2cREG1_temp.PSL   | 3            |                |        |
| Namo                      | Actual Value | Expected Value | Result |

| target_i2cREG1_temp.ODR  | 2            |                                   |          |
|--|--------------|-----------------------------------|----------|
| target_i2cREG1_temp.PD   | 3            |                                   |          |
| target_i2cREG1_temp.PSL  | 3            |                                   |          |
| Name   | Actual Value | Expected Value                    | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                              | 1            | 1                                 | ~        |
| DigColPsInt Buffer Cnt M u08[0]  | 10           | 10                                | •        |
| DigColPsInt Buffer Cnt M u08[1]  | 20           | 20                                | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30           | 30                                | <b>~</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0            | 0                                 | _        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1            | 1                                 | <b>✓</b> |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1            | 1                                 | _        |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2309         | 2309                              | <b>✓</b> |
| DigColPsInt CurrentSlave Cnt M u08   | 123          | 123                               | _        |
| DigColPsInt CurrentStepNo Cnt M enum   |              | A INIT SENSOR1 EXTREADCTRLREG REA |          |
| DigColPsInt I2CHwCustData Uls M u16  | 1            | 1                                 | _        |
| DigColPsInt I2CHwIncompleteCustData Uls M u16                                | 2            | 2                                 | •        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0            | 0                                 |          |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0            | 0                                 | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                                       | 0            | 0                                 | -        |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 0            | 0                                 | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                                       | 0            | 0                                 |          |
| DigColPsInt_SpurCustDateOthla_Crit_wi_gc  DigColPsInt SpurSnsrData Cnt M u16 | 87           | 87                                | ~        |
| •  | 10           | 10                                |          |
| DigColPsInt_TransactionCnt_Cnt_M_u08   |              | •                                 | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                               | 55           | 55                                |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                               | 66           | 66                                | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR                               | 556          | 556                               |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                              | 2309         | 2309                              | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH                              | 1204         | 1204                              |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT                               | 87           | 87                                | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                               | 67           | 67                                | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                               | 55           | 55                                | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                               | 66           | 66                                | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                               | 2309         | 2309                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                               | 5            | 5                                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                              | 3            | 3                                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                               | 66           | 66                                | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                             | 1204         | 1204                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                             | 66           | 66                                | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                              | 3            | 3                                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                               | 1            | 1                                 | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                               | 1            | 1                                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                               | 2            | 2                                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                              | 3            | 3                                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                               | 3            | 3                                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                               | 1            | 1                                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                               | 2            | 2                                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                                | 3            | 3                                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                               | 3            | 3                                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR                                      | 55           | 55                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR                                      | 66           | 66                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                      | 556          | 556                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL                                     | 2309         | 2309                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH                                     | 1204         | 1204                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT                                      | 87           | 87                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR                                      | 67           | 67                                | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR                                      | 55           | 55                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                                      | 66           | 66                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                                      | 2309         | 2309                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                                      | 5            | 5                                 | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                                     | 3            | 3                                 | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                                      | 66           | 66                                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                    | 1204         | 1204                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                    | 66           | 66                                | ~        |
|  |              |                                   |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Resul |
|--|--------------|----------------|-------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN  | 2            | 1 2            |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 556          | 556            | •     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH<br>target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 1204<br>87   | 1204<br>87     |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR   | 2            | 1 2            |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN<br>target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | •     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT   | 87           | 87             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 67<br>55     | 67<br>55       |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 3            | 2              | •     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT<br>target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET  | 3            | 3 3            |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_I_str.SE1 target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR  | 1            | 1              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | ·     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66<br>2309   | 66<br>2309     |       |
| target 12c SetupMasterPeceive 12cPosPtr Cot T otr MDP  |              |                |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  |              |                |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR | 5 3          | 5              |       |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification Actual Value **Expected Value** target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.PID11 1204 1204 target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.PID12 66 66 target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DMAC 3 3 target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.FUN 1 target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DIR 1 target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DIN 2 2 target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.DOUT 3 3  $target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.SET$ 3 3 target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.CLR 2 2  $target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.ODR$ target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.PD 3 3 3 3  $target\_I2c\_SetupMasterReceive\_I2cRegPtr\_Cnt\_T\_str.PSL$ 

| targot_120_00taprinactor (000110_120110g) tr_011t_1_0ttr | •    | •    |          |
|--|------|------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55   | 55   | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66   | 66   | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556  | 556  | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309 | 2309 | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204 | 1204 | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87   | 87   | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67   | 67   | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55   | 55   | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66   | 66   | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309 | 2309 | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5    | 5    | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3    | 3    | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66   | 66   | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204 | 1204 | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66   | 66   | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3    | 3    | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1    | 1    | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1    | 1    | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2    | 2    | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3    | 3    | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3    | 3    | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1    | 1    | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2    | 2    | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3    | 3    | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3    | 3    | ✓        |

| T                      |       |                        |       | V      |
|------------------------|-------|------------------------|-------|--------|
| Actual Function        | Count | Expected Function      | Count | Result |
| SetupRead              | 1     | SetupRead              | 1     | ~      |
| I2c_SetupMasterReceive | 1     | l2c_SetupMasterReceive | 1     | •      |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | ~      |

| Test Step 3.20 (Repeat Count = 1)               | <b>✓</b>                                   |
|---|--|
| Name  | Input Value                                |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309                                       |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADCTRLREG_SETREG         |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 10   |
| Flags_Cnt_T_b16                                 | 4  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str        |



DigColPsInt InterruptNotification Input Value I2c\_SetRecv(I2cRegPtr\_Cnt\_T\_str) target I2c SetRecv I2cRegPtr Cnt T str I2c\_SetStatus(I2cRegPtr\_Cnt\_T\_str) target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str I2c SetupMasterReceive(I2cRegPtr Cnt T str) target I2c SetupMasterReceive I2cRegPtr Cnt T str I2c\_SetupMasterTransmit(I2cRegPtr\_Cnt\_T\_str) target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str T DataRegisters Cnt u08[0] T\_DataRegisters\_Cnt\_u08[1] 32 T\_DataRegisters\_Cnt\_u08[2] 30 T\_DataRegisters\_Cnt\_u08[3] 36 T\_DataRegisters\_Cnt\_u08[4] 38 T\_DataRegisters\_Cnt\_u08[5] 34 T\_DataRegisters\_Cnt\_u08[6] 10 T\_DataRegisters\_Cnt\_u08[7] 12 T\_DataRegisters\_Cnt\_u08[8] 14 i2cREG1\_temp target\_i2cREG1\_temp k ColSensorl2CAddress Cnt u08 10 k SpurSensorl2CAddress Cnt u08  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.OAR$ 55 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IMR 66  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.STR$ 556 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKL 2309  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 1204 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CNT 87  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DRR$ 67 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.SAR 55 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DXR 66  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.MDR$ 2309 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IVR 5 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.EMDR 3 target I2c GenStopCond I2cRegPtr Cnt T str.PSC 66 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PID11 1204 target I2c GenStopCond I2cRegPtr Cnt T str.PID12 66 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DMAC 3 target I2c GenStopCond I2cRegPtr Cnt T str.FUN 1  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DIR$ 1 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DIN 2 3 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DOUT  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.SET$ 3  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLR$ 1  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.ODR$ 2 3 target I2c GenStopCond I2cRegPtr Cnt T str.PD target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PSL 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.OAR 55 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.STR 556  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 2309 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKH 1204 target I2c Send I2cRegPtr Cnt T str.CNT 87 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DRR 67 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SAR 55 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DXR 66 target I2c Send I2cRegPtr Cnt T str.MDR 2309 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IVR 5 target I2c Send I2cRegPtr Cnt T str.EMDR target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSC 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID11 1204  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID12$ 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DMAC 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.FUN 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIR target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIN 2 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DOUT 3 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SET target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLR 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.ODR 2 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PD 3 3 target I2c Send I2cRegPtr Cnt T str.PSL target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.OAR 55 target I2c SetRecv I2cRegPtr Cnt T str.IMR 66 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.STR 556 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKL 2309

1204

87

67

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKH

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CNT

2014-10-14, 23:08:30+0530



| DigCor-sint_interruptivotincation   | - Contraction of the contraction |
|---|--|
| Name  | Input Value  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55   |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66   |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309   |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66   |
|   | 1204   |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 66   |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  |  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1  |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 1  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67   |
| arget I2c SetStatus I2cRegPtr Cnt T str.SAR   | 55   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309   |
|   | 5  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 3  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66   |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2  |
| arget I2c SetStatus I2cRegPtr Cnt T str.PD  | 3  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66   |
|   |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 67   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 55   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2309   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66   |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11  | 1204   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66   |
| arget_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC   | 3  |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN  | 1  |
|   | 1  |
| arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR  |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 2  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 3  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 1  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 2  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 3  |
|   | 3  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  |  |
|   | 55   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55<br>66   |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL |  |

2014-10-14, 23:08:30+0530



DigColPsInt InterruptNotification

| DigColPsInt_InterruptNotification  |              | MADI                              | at     |
|--|--------------|-----------------------------------|--------|
| Name   | Input Value  |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT                     | 87           |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                     | 67           |                                   |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR                     | 55           |                                   |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR                     | 66           |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR                     | 2309         |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR                     | 5            |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR                    | 3            |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC                     | 66           |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                   | 1204         |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12                   | 66           |                                   |        |
|  | 3            |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC                    | 1            |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN                     | 1            |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR                     |              |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN                     | 2            |                                   |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT                    | 3            |                                   |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET                     | 3            |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR                     | 1            |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR                     | 2            |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD                      | 3            |                                   |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL                     | 3            |                                   |        |
| target_i2cREG1_temp.OAR  | 55           |                                   |        |
| target_i2cREG1_temp.IMR  | 66           |                                   |        |
| target_i2cREG1_temp.STR  | 556          |                                   |        |
| target_i2cREG1_temp.CLKL   | 2309         |                                   |        |
| target_i2cREG1_temp.CLKH   | 1204         |                                   |        |
| target_i2cREG1_temp.CNT  | 87           |                                   |        |
| target_i2cREG1_temp.DRR  | 67           |                                   |        |
| target_i2cREG1_temp.SAR  | 55           |                                   |        |
| target i2cREG1 temp.DXR  | 66           |                                   |        |
| target_i2cREG1_temp.MDR  | 2309         |                                   |        |
| target i2cREG1 temp.IVR  | 5            |                                   |        |
| target_i2cREG1_temp.EMDR   | 3            |                                   |        |
| target i2cREG1 temp.PSC  | 66           |                                   |        |
| target_i2cREG1_temp.PID11  | 1204         |                                   |        |
| target_i2cREG1_temp.PID12  | 66           |                                   |        |
|  | 3            |                                   |        |
| target_i2cREG1_temp.DMAC   | 1            |                                   |        |
| target_i2cREG1_temp.FUN  |              |                                   |        |
| target_i2cREG1_temp.DIR  | 1            |                                   |        |
| target_i2cREG1_temp.DIN  | 2            |                                   |        |
| target_i2cREG1_temp.DOUT   | 3            |                                   |        |
| target_i2cREG1_temp.SET  | 3            |                                   |        |
| target_i2cREG1_temp.CLR  | 1            |                                   |        |
| target_i2cREG1_temp.ODR  | 2            |                                   |        |
| target_i2cREG1_temp.PD   | 3            |                                   |        |
| target_i2cREG1_temp.PSL  | 3            |                                   |        |
| Name   | Actual Value | Expected Value                    | Result |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                            | 1            | 1                                 | •      |
| DigColPsInt Buffer Cnt M u08[0]  | 10           | 10                                | •      |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20           | 20                                |        |
| DigColPsInt Buffer Cnt M u08[2]  | 30           | 30                                |        |
| DigColPsInt BusBusySeqError Cnt M Igc                                      | 0            | 0                                 |        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                                      | 1            | 1                                 |        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                                      | 1            | 1                                 |        |
| DigColPsInt_ColCustDateOuting_Cnt_M_igc  DigColPsInt_ColSnsrData_Cnt_M_u16 | 2309         | 2309                              |        |
| DigColPsInt_ColsnsrData_Cnt_M_u16  DigColPsInt CurrentSlave Cnt M u08      | 123          | 123                               |        |
|  |              |                                   |        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                                       |              | A INIT_SENSOR2_EXTREADCTRLREG_REA |        |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 1            | 1                                 | •      |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                              | 2            | 2                                 | •      |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                                       | 0            | 0                                 | •      |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0            | 0                                 | •      |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                                     | 0            | 0                                 | -      |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 0            | 0                                 | -      |
| Disco-ID-I-t Court-th-tF-year Cot M I                                      | 1.0          | 1.                                | 1      |

87

10

55

66

556

2309

1204

87

67

55

87

10

55

66

556

2309

1204

87

67

DigColPsInt\_SpurCustDatFound\_Cnt\_M\_lgc DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16

target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.OAR

target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IMR

target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.STR

target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKL

 $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 

target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CNT

 $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DRR$ 

 $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.SAR$ 

DigColPsInt\_TransactionCnt\_Cnt\_M\_u08

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result        |
|--|--------------|----------------|---------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | \ \ \ \ \ \ \ |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR  | 2309         | 2309<br>5      |               |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              |               |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ·             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | <b>V</b>      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | •             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 3            | 2 3            |               |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             |               |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ~             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | ~             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ~             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | ~             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | <b>V</b>      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | <b>Y</b>      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11   | 66<br>1204   | 66<br>1204     | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             |               |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | -             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ~             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ~             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD   | 3            | 3              | <b>V</b>      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | · ·           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR  | 55<br>66     | 55<br>66       |               |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | -             |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKL  | 2309         | 2309           |               |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKH  | 1204         | 1204           | <b>*</b>      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | -             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | •             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>V</b>      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | •             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66<br>3        |               |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | -             |
| target I2c SetRecv I2cRegPtr Cnt T str.DIR   | 1            | 1              |               |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ·             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | -             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | -             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | •             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~             |
|  | 2309         | 2309           | <b>~</b>      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  |              |                | -             |
| target_Izc_SetStatus_IzcRegPtr_Cnt_1_str.CLKL target_Izc_SetStatus_IzcRegPtr_Cnt_T_str.CLKH target_Izc_SetStatus_IzcRegPtr_Cnt_T_str.CNT | 1204<br>87   | 1204<br>87     | ~             |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 67           | 67             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 55           | 55             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 5            | 5              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 66           | 66             | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3            | 3              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55           | 55             | -        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IMR    | 66           | 66             |          |
|  | 556          | 556            |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR    | 2309         | 2309           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   |              |                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87           | 87             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ~        |
|  | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | <b>Y</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 55           | 55             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 5            | 5              | ~        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR  | 3            | 3              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 66           | 66             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           |          |
|  | 66           | 66             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 |              |                | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •        |
|  |              |                |          |



| T                      |       |                        |       |          |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| SetupRead              | 1     | SetupRead              | 1     | ~        |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | <b>✓</b> |
| I2c SetRecv            | 1     | I2c SetRecv            | 1     | -        |

| est Step 3.21 (Repeat Count = 1)                | Innuit Value                                       |
|---|--|
| lame  | Input Value  |
| higColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| ligColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| ligColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| ligColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| ligColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| ligColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| ligColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| ligColPsInt_ColSnsrData_Cnt_M_u16               | 2309   |
| igColPsInt_CurrentSlave_Cnt_M_u08               | 123  |
| igColPsInt_CurrentStepNo_Cnt_M_enum             | INIT_SENSOR1_EXTREADDATREG_SETREG                  |
| igColPsInt_I2CHwCustData_Uls_M_u16              | 1  |
| igColPsInt_I2CHwIncompleteCustData_Uls_M_u16    | 2  |
| ligColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| ligColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| ligColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| igColPsInt_RecvOverrunError_Cnt_M_lgc           | 0  |
| ligColPsInt_RecvdDataType_Cnt_M_u08             | 0  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc          | 0  |
| bigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt SpurSnsrData Cnt M u16              | 87   |
| higColPsInt_TransactionCnt_Cnt_M_u08            | 10   |
| lags_Cnt_T_b16                                  | 4  |
| 2c GenStopCond(I2cRegPtr Cnt T str)             | target I2c GenStopCond I2cRegPtr Cnt T str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target I2c Send I2cRegPtr Cnt T str                |
| 2c SetRecv(I2cRegPtr Cnt T str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c SetupMasterTransmit(I2cRegPtr Cnt T str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| - , , , , , , , , , , , , , , , , , , ,         | 0  |
| _DataRegisters_Cnt_u08[0]                       | 32   |
| _DataRegisters_Cnt_u08[1]                       | 30   |
| _DataRegisters_Cnt_u08[2]                       | 36   |
| _DataRegisters_Cnt_u08[3]                       |  |
| _DataRegisters_Cnt_u08[4]                       | 38   |
| _DataRegisters_Cnt_u08[5]                       | 34   |
| _DataRegisters_Cnt_u08[6]                       | 10   |
| _DataRegisters_Cnt_u08[7]                       | 12   |
| _DataRegisters_Cnt_u08[8]                       | 14   |
| cREG1_temp                                      | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08                    | 9  |
| _SpurSensorI2CAddress_Cnt_u08                   | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309   |
| rrget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.PID12 | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET   | 3  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.CLR   | 1  |

2014-10-14, 23:08:30+0530



DigColPsInt InterruptNotification Input Value target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.ODR 2 3  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PD$ target I2c GenStopCond I2cRegPtr Cnt T str.PSL 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.OAR 55 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.STR 556 target I2c Send I2cRegPtr Cnt T str.CLKL 2309  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 1204 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CNT 87  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DRR$ 67 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SAR 55  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DXR$ 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.MDR 2309 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IVR 5 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.EMDR 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSC 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID11 1204 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID12 66  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DMAC$ 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.FUN 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIR 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIN 2  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DOUT$ 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SET 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLR 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.ODR 2 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PD 3  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSL$ 3 target I2c SetRecv I2cRegPtr Cnt T str.OAR 55  $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IMR$ 66 target I2c SetRecv I2cRegPtr Cnt T str.STR 556 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKL 2309 target I2c SetRecv I2cRegPtr Cnt T str.CLKH 1204 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CNT 87 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DRR 67 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.SAR 55  $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DXR$ 66 2309 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.MDR target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.IVR target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.EMDR 3 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PSC 66 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PID11 1204 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PID12 66 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DMAC 3  $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.FUN$ 1 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DIR 1

2

3

3

1

2

3

3

55

66

556

2309

1204

87

67

55 66

2309

5

3

66

66

3

1

1

2

3

1204

target I2c SetRecv I2cRegPtr Cnt T str.DIN

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.DOUT

 $target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.SET$ 

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLR

target I2c SetRecv I2cRegPtr Cnt T str.ODR

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PD

target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.PSL

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.OAR

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.IMR

 $target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.STR$ 

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.CLKL

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.CLKH

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.CNT

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.DRR

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.SAR

 $target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.DXR \\ target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.MDR$ 

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.IVR

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.EMDR

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.PSC

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.PID11

target I2c SetStatus I2cRegPtr Cnt T str.PID12

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.DMAC

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.FUN

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.DIR

target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str.DIN

2014-10-14, 23:08:30+0530



| Name   | Input Value |  |
|--|-------------|--|
| target I2c SetStatus I2cRegPtr Cnt T str.SET             | 3           |  |
| target I2c SetStatus I2cRegPtr Cnt T str.CLR             | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2           |  |
| target I2c SetStatus I2cRegPtr Cnt T str.PD              | 3           |  |
| target I2c SetStatus I2cRegPtr Cnt T str.PSL             | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55          |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IMR    | 66          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKH   | 1204        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR    | 2309        |  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR    | 5           |  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 3           |  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC    | 66          |  |
|  | 1204        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  |             |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556         |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 66          |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11 | 1204        |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 66          |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 3           |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 1           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3           |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 3           |  |
| target I2c SetupMasterTransmit_I2cRegPtr Cnt T str.CLR   | 1           |  |
| target   | 2           |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD    | 3           |  |
|  |             |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 3           |  |
| target_i2cREG1_temp.OAR                                  | 55          |  |
| target_i2cREG1_temp.IMR                                  | 66          |  |
| target_i2cREG1_temp.STR                                  | 556         |  |
| target_i2cREG1_temp.CLKL                                 | 2309        |  |
| target_i2cREG1_temp.CLKH                                 | 1204        |  |
| target_i2cREG1_temp.CNT                                  | 87          |  |
| target_i2cREG1_temp.DRR                                  | 67          |  |
| target_i2cREG1_temp.SAR                                  | 55          |  |
| target_i2cREG1_temp.DXR                                  | 66          |  |
| target_i2cREG1_temp.MDR                                  | 2309        |  |
| target_i2cREG1_temp.IVR                                  | 5           |  |
| target_i2cREG1_temp.EMDR                                 | 3           |  |
| target_i2cREG1_temp.PSC                                  | 66          |  |
| target_i2cREG1_temp.PID11                                | 1204        |  |
| target_i2cREG1_temp.PID12                                | 66          |  |
| target_i2cREG1_temp.DMAC                                 | 3           |  |
| target_i2cREG1_temp.FUN                                  | 1           |  |
|  |             |  |



| Name   | Input Value  |                                 |          |
|--|--------------|---------------------------------|----------|
| target_i2cREG1_temp.DIN  | 2            |                                 |          |
| target_i2cREG1_temp.DOUT   | 3            |                                 |          |
| target_i2cREG1_temp.SET  | 3            |                                 |          |
| target_i2cREG1_temp.CLR  | 1            |                                 |          |
| target_i2cREG1_temp.ODR  | 2            |                                 |          |
| target_i2cREG1_temp.PD   | 3            |                                 |          |
| target_i2cREG1_temp.PSL  | 3            |                                 |          |
| Name   | Actual Value | Expected Value                  | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 1            | 1                               | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10           | 10                              | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20           | 20                              | <b>*</b> |
| DigColPoint_Buffer_Cnt_M_u08[2]  | 30<br>0      | 30<br>0                         |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc                    | 1            | 1                               | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1            | 1                               | Ž        |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2309         | 2309                            | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 123          | 123                             | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   |              | INIT SENSOR1 EXTREADDATREG READ | <b>✓</b> |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 1            | 1                               | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  | 2            | 2                               | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc   | 0            | 0                               | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0            | 0                               | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0            | 0                               | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 0            | 0                               | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0            | 0                               | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 87           | 87                              | ~        |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10           | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55                              | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66                              | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556          | 556                             | <b>~</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 2309<br>1204 | 2309<br>1204                    |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT | 87           | 87                              | -        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR   | 67           | 67                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55                              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66                              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5                               | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1                               |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2                               | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT  | 3 3          | 3                               | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1                               |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.ODR   | 2            | 2                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3            | 3                               |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3                               | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66                              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556          | 556                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309                            | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5                               | · ·      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR   | 3            | 3                               | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  | 66<br>1204   | 66<br>1204                      | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204<br>66                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC             | 3            | 3                               | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.FUN  | 1            | 1                               | -        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIR  | 1            | 1                               | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            | 3                               | ~        |
|  |              |                                 |          |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | result   |
| target I2c Send I2cRegPtr Cnt T str.ODR  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | _        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | <b>*</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5 3          | 5<br>3         |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC                         | 66           | 66             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR   | 5<br>3       | 5<br>3         |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC                     | 66           | 66             |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | -        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PID12   | 66           | 66             |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | -        |
| target I2c SetStatus I2cRegPtr Cnt T str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | <b>*</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC | 66<br>3      | 66<br>3        |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PUN target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | 2        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN  | 2            | 2              | J        |
| go=o_ootapinaoton.coono_izontegi u_ont_i_su.biiv   | -            | -              |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ✓        |

| T                      |       |                        | V     |        |
|------------------------|-------|------------------------|-------|--------|
| Actual Function        | Count | Expected Function      | Count | Result |
| SetupRead              | 1     | SetupRead              | 1     | ~      |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | •      |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | -      |

| Test Step 3.22 (Repeat Count = 1)               | v v v v v v v v v v v v v v v v v v v              |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADDATREG_SETREG                  |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 10   |
| Flags_Cnt_T_b16                                 | 4  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |

2014-10-14, 23:08:30+0530



| DigColFSInt_InterruptNotification               |                     |  |
|---|---------------------|--|
| Name  | Input Value         |  |
| T_DataRegisters_Cnt_u08[2]                      | 30                  |  |
| T_DataRegisters_Cnt_u08[3]                      | 36                  |  |
| T_DataRegisters_Cnt_u08[4]                      | 38                  |  |
| T DataRegisters Cnt u08[5]                      | 34                  |  |
| T_DataRegisters_Cnt_u08[6]                      | 10                  |  |
| T_DataRegisters_Cnt_u08[7]                      | 12                  |  |
| T_DataRegisters_Cnt_u08[8]                      | 14                  |  |
| 2cREG1_temp                                     | target_i2cREG1_temp |  |
| <_ColSensorl2CAddress_Cnt_u08                   | 9                   |  |
| <pre>&lt;_SpurSensorI2CAddress_Cnt_u08</pre>    | 10                  |  |
| rarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR  | 55                  |  |
|   | 66                  |  |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  |                     |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 556                 |  |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 2309                |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH | 1204                |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT  | 87                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309                |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204                |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2                   |  |
|   | 3                   |  |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3                   |  |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  |                     |  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         | 55                  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.IMR          | 66                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         | 556                 |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 2309                |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 1204                |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 87                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 67                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 55                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 66                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 2309                |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 5                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 66                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 1204                |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 66                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 1                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3                   |  |
| arget I2c Send I2cRegPtr Cnt T str.SET          | 3                   |  |
| · · ·   |                     |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 1                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3                   |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 55                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 66                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 556                 |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 2309                |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 1204                |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 87                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 67                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 55                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 66                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 2309                |  |
|   | 5                   |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 3                   |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      |                     |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC      | 66                  |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 1204        |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12            | 66          |
|   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 2           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT             | 3           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET              | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 67          |
| target I2c SetStatus I2cRegPtr Cnt T str.SAR            | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 66          |
|   | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55          |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11 | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN   | 1           |
|   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 2309        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 55          |
|   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR  | 5           |



| Name  | Input Value   |   |                                       |
|---|---|---|---------------------------------------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 66  |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  | 1204  |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 66  |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN  | 3   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PUN  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2   |   |                                       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD   | 3   |   |                                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3   |   |                                       |
| target_i2cREG1_temp.OAR   | 55<br>66  |   |                                       |
| target_i2cREG1_temp.IMR<br>target_i2cREG1_temp.STR  | 556   |   |                                       |
| target_i2cREG1_temp.CLKL  | 2309  |   |                                       |
| target_i2cREG1_temp.CLKH  | 1204  |   |                                       |
| target i2cREG1 temp.CNT   | 87  |   |                                       |
| target_i2cREG1_temp.DRR   | 67  |   |                                       |
| target_i2cREG1_temp.SAR   | 55  |   |                                       |
| target_i2cREG1_temp.DXR   | 66  |   |                                       |
| target_i2cREG1_temp.MDR   | 2309  |   |                                       |
| target_i2cREG1_temp.IVR   | 5   |   |                                       |
| target_i2cREG1_temp.EMDR  | 3   |   |                                       |
| target_i2cREG1_temp.PSC   | 66  |   |                                       |
| target_i2cREG1_temp.PID11   | 1204  |   |                                       |
| target_i2cREG1_temp.PID12<br>target_i2cREG1_temp.DMAC   | 66  |   |                                       |
| target_i2cREG1_temp.FUN   | 1   |   |                                       |
| target i2cREG1 temp.DIR   | 1   |   |                                       |
| target i2cREG1 temp.DIN   | 2   |   |                                       |
| target i2cREG1 temp.DOUT  | 3   |   |                                       |
| target_i2cREG1_temp.SET   | 3   |   |                                       |
|   |   |   |                                       |
| target_i2cREG1_temp.CLR   | 1   |   |                                       |
| target_i2cREG1_temp.CLR<br>target_i2cREG1_temp.ODR  | 2   |   |                                       |
| target_i2cREG1_temp.ODR<br>target_i2cREG1_temp.PD   | 2 3   |   |                                       |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  | 2 3 3   |   |                                       |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  | 2<br>3<br>3<br>Actual Value   | Expected Value  |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 2 3 3 Actual Value  | 1   | ~                                     |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0]   | 2<br>3<br>3<br><b>Actual Value</b><br>1   | 1 10  | ~                                     |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1]   | 2<br>3<br>3<br><b>Actual Value</b><br>1<br>10<br>20   | 1<br>10<br>20   | <i>y</i>                              |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0]   | 2<br>3<br>3<br><b>Actual Value</b><br>1   | 1 10  | ~                                     |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]   | 2<br>3<br>3<br>Actual Value<br>1<br>10<br>20<br>30  | 1<br>10<br>20<br>30   | <i>y</i>                              |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 2<br>3<br>3<br>Actual Value<br>1<br>10<br>20<br>30<br>0   | 1<br>10<br>20<br>30<br>0  | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 2<br>3<br>3<br>Actual Value<br>1<br>10<br>20<br>30<br>0   | 1<br>10<br>20<br>30<br>0<br>1   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 2<br>3<br>3<br>Actual Value<br>1<br>10<br>20<br>30<br>0<br>1  | 1<br>10<br>20<br>30<br>0<br>1   | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum   | 2 3 3  Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ   | 1<br>10<br>20<br>30<br>0<br>1<br>1<br>1<br>2309<br>123<br>INIT_SENSOR2_EXTREADDATREG_READ                               | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsint_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsint_Buffer_Cnt_M_u08[0] DigColPsint_Buffer_Cnt_M_u08[1] DigColPsint_Buffer_Cnt_M_u08[2] DigColPsint_BusBusySeqError_Cnt_M_lgc DigColPsint_CmdFailOccurred_Cnt_M_lgc DigColPsint_ColCustDatFound_Cnt_M_lgc DigColPsint_ColSnsrData_Cnt_M_u16 DigColPsint_CurrentSlave_Cnt_M_u08 DigColPsint_CurrentStepNo_Cnt_M_enum DigColPsint_CurrentStepNo_Cnt_M_enum  | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ  | 1   | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2  | 1   | · · · · · · · · · · · · · · · · · · · |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsint_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsint_Buffer_Cnt_M_u08[0] DigColPsint_Buffer_Cnt_M_u08[1] DigColPsint_Buffer_Cnt_M_u08[2] DigColPsint_BusBusySeqError_Cnt_M_lgc DigColPsint_CmdFailOccurred_Cnt_M_lgc DigColPsint_ColCustDatFound_Cnt_M_lgc DigColPsint_ColSnsrData_Cnt_M_u16 DigColPsint_CurrentSlave_Cnt_M_u08 DigColPsint_CurrentStepNo_Cnt_M_enum DigColPsint_I2CHwCustData_Uls_M_u16 DigColPsint_I2CHwIncompleteCustData_Uls_M_u16 DigColPsint_I2CHwIncompleteCustData_Uls_M_u16 DigColPsint_initFailedOnce_Cnt_M_lgc  | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0  | 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsint_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsint_Buffer_Cnt_M_u08[0] DigColPsint_Buffer_Cnt_M_u08[1] DigColPsint_Buffer_Cnt_M_u08[2] DigColPsint_BusBusySeqError_Cnt_M_lgc DigColPsint_CmdFailOccurred_Cnt_M_lgc DigColPsint_ColCustDatFound_Cnt_M_lgc DigColPsint_ColSnsrData_Cnt_M_u16 DigColPsint_CurrentSlave_Cnt_M_u08 DigColPsint_CurrentStepNo_Cnt_M_enum DigColPsint_I2CHwCustData_Uls_M_u16 DigColPsint_I2CHwIncompleteCustData_Uls_M_u16 DigColPsint_intFailedOnce_Cnt_M_lgc DigColPsint_lnitFailedOnce_Cnt_M_lgc DigColPsint_NackOccured_Cnt_M_lgc  | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0  | 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsint_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsint_Buffer_Cnt_M_u08[0] DigColPsint_Buffer_Cnt_M_u08[1] DigColPsint_Buffer_Cnt_M_u08[2] DigColPsint_BusBusySeqError_Cnt_M_lgc DigColPsint_CmdFailOccurred_Cnt_M_lgc DigColPsint_ColCustDatFound_Cnt_M_lgc DigColPsint_ColSnsrData_Cnt_M_u16 DigColPsint_CurrentSlave_Cnt_M_u08 DigColPsint_CurrentStepNo_Cnt_M_enum DigColPsint_I2CHwCustData_UIs_M_u16 DigColPsint_I2CHwIncompleteCustData_UIs_M_u16 DigColPsint_initFailedOnce_Cnt_M_lgc DigColPsint_NackOccured_Cnt_M_lgc DigColPsint_NackOccured_Cnt_M_lgc DigColPsint_RecvOverrunError_Cnt_M_lgc   | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0  | 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSteve_Cnt_M_u08 DigColPsInt_CurrentSteve_Cnt_M_u08 DigColPsInt_CurrentSteve_Cnt_M_u08 DigColPsInt_CurrentSteve_Cnt_M_u6 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_litFailedOnce_Cnt_M_lgc DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08   | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0  | 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_GusBatloccurred_Cnt_M_lgc DigColPsInt_ColCustDatBound_Cnt_M_lgc DigColPsInt_ColCustDatBound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 2 3 3  Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0   | 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSteve_Cnt_M_u08 DigColPsInt_CurrentSteve_Cnt_M_u08 DigColPsInt_CurrentSteve_Cnt_M_u08 DigColPsInt_CurrentSteve_Cnt_M_u6 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_litFailedOnce_Cnt_M_lgc DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08   | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0  | 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_GustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColFustData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_I3cHound_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDataFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16   | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87   | 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CuffFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_l1ETailedOnce_Cnt_M_lgc DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDataFound_Cnt_M_lgc DigColPsInt_SpurCustDataFound_Cnt_M_lgc DigColPsInt_SpurCustDataFound_Cnt_M_u08 DigColPsInt_SpurSnsrData_Cnt_M_u08   | 2 3 3 3  Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10   | 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_litFailedOnce_Cnt_M_lgc DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_SpurSnsrData_Cnt_M_u08 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR  | 2 3 3 3  Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10 55 66 556                                 | 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CndFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I3cHwCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u08 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 2 3 3 3  Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10 55 66 556 2309                            | 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColGustDatFound_Cnt_M_lgc DigColPsInt_ColGustDatFound_Cnt_M_lgc DigColPsInt_ColGnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I1failedOnce_Cnt_M_lgc DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 2 3 3 3  Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 87 10 55 66 556 2309 1204                         | 1   |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I3cHwCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDateTound_Cnt_M_lgc DigColPsInt_SpurCustDateTound_Cnt_M_u08 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH  | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 87 10 55 66 556 2309 1204 87                       | 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87              |                                       |
| target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_latifailedOnce_Cnt_M_lgc DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustData_Cnt_M_lgc DigColPsInt_SpurCustData_Cnt_M_l16 DigColPsInt_SpurCustData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR  | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67                  | 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67             |                                       |
| target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_linitFailedOnce_Cnt_M_lgc DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_u08 DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustData_Cnt_M_u08 DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR  | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55               | 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55          |                                       |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDataFound_Cnt_M_lgc DigColPsInt_SpurCustDataFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55 66            | 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55 66       |                                       |
| target_i2cREG1_temp.DD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentStave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_I3cHonce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR  | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55 66 2309     | 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55 66 2309  |                                       |
| target_i2cREG1_temp.DD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR   | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55 66 2309 5     | 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55 66 2309 5  |                                       |
| target_i2cREG1_temp.DD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentStave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_I3cHonce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR  | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55 66 2309     | 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55 66 2309  |                                       |
| target_i2cREG1_temp.DD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_GusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2cHwCustData_Uls_M_u16 DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR | 2 3 3 3 Actual Value 1 10 20 30 0 1 1 1 2309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 1 2 0 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55 66 2309 5 3 | 1 10 20 30 0 1 1 12309 123 INIT_SENSOR2_EXTREADDATREG_READ 1 2 0 0 0 0 0 87 10 55 66 556 2309 1204 87 67 55 66 2309 5 3 |                                       |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | <b>-</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN | 3            | 3<br>1         | -        |
| target 12c GenStopCond 12cRegPtr_Cnt_T_str.PoN   | 1            | 1              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH           | 2309<br>1204 | 2309<br>1204   |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN                | 2            | 1 2            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 1204<br>87   | 1204<br>87     | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR          | 67           | 67             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.DXR   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 2            | 1 2            | •        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DUT          | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.CLR   | 1            | 1              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target I2c SetRecv I2cRegPtr Cnt T str.PD  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR   | 55<br>66     | 55<br>66       |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR      | 2309         | 2309           | 4        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>V</b> |
| V V  |              |                |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC               | 66           | 66             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11             | 1204         | 1204           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12             | 66           | 66             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC              | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN               | 1            | 1              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR               | 1            | 1              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN               | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT              | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET               | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR               | 1            | 1              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR               | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD                | 3            | 3              | •        |
| target I2c SetStatus I2cRegPtr Cnt T str.PSL               | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR      | 55           | 55             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR      | 66           | 66             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR      | 556          | 556            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL     | 2309         | 2309           | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH     | 1204         | 1204           | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT      | 87           | 87             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR      | 67           | 67             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR      | 55           | 55             |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DXR      | 66           | 66             |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR      | 2309         | 2309           |          |
|  | 5            | 5              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR      | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR     | 66           | 66             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC      |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11    | 1204         | 1204           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12    | 66           | 66             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC     | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN      | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR      | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN      | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT     | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET      | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR      | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR      | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD       | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL      | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR     | 55           | 55             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR     | 66           | 66             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR     | 556          | 556            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL    | 2309         | 2309           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH    | 1204         | 1204           | <b>→</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT     | 87           | 87             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR     | 67           | 67             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR     | 55           | 55             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR     | 66           | 66             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR     | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR     | 5            | 5              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR    | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC     | 66           | 66             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC    | 3            | 3              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN     | 1            | 1              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR     | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN     | 2            | 2              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT    | 3            | 3              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET     | 3            | 3              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR     | 1            | 1              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR     | 2            | 2              |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD      | 3            | 3              |          |
| target_126_Getupiviaster Fransinit_126RegFti_Gftt_1_Str.FD | J            | J              | _        |

| Τ                      |       |                        |       | <b>✓</b> |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| SetupRead              | 1     | SetupRead              | 1     | ~        |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | <b>✓</b> |
| I2c SetRecv            | 1     | I2c SetRecv            | 1     | _        |



| Fest Step 3.23 (Repeat Count = 1)  | Innut Value  |
|--|--|
| Name   | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                                | 1 10   |
| DigColPsInt_Buffer_Cnt_M_u08[0]  |  |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20   |
| igColPsInt_Buffer_Cnt_M_u08[2]   | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_SENSOR1_SETREG                                |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                                  | 2  |
| igColPsInt_InitFailedOnce_Cnt_M_lgc  | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0  |
| ligColPsInt_PrevReqDataType_Cnt_M_u08  | 1  |
| igColPsInt_RecvOverrunError_Cnt_M_lgc  | 0  |
| bigColPsInt_RecvdDataType_Cnt_M_u08  | 0  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 0  |
|  | 0  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc  |  |
| igColPsInt_SpurSnsrData_Cnt_M_u16  | 87   |
| igColPsInt_TransactionCnt_Cnt_M_u08  | 10   |
| lags_Cnt_T_b16   | 4  |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)  | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)  | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)  | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                                     | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                                    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
|  | 0  |
| DataRegisters_Cnt_u08[1]   | 32   |
| _DataRegisters_Cnt_u08[2]  | 30   |
|  |  |
| _DataRegisters_Cnt_u08[3]  | 36   |
| _DataRegisters_Cnt_u08[4]  | 38   |
| _DataRegisters_Cnt_u08[5]  | 34   |
| _DataRegisters_Cnt_u08[6]  | 10   |
| _DataRegisters_Cnt_u08[7]  | 12   |
| _DataRegisters_Cnt_u08[8]  | 14   |
| 2cREG1_temp  | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08   | 9  |
| _SpurSensorl2CAddress_Cnt_u08  | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                                  | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                                  | 66   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.STR                                  | 556  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL                                 | 2309   |
|  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                                 | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                                  | 87   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                                  | 67   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                                  | 55   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                                   | 66   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                                   | 2309   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                                   | 5  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                                  | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                                   | 66   |
| rget I2c GenStopCond I2cRegPtr Cnt T str.PID11                                 | 1204   |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12                                 | 66   |
| rget I2c GenStopCond I2cRegPtr Cnt T str.DMAC                                  | 3  |
|  | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                                   |  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                                   | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                                   | 2  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                  | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                                   | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                                   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                                  | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                                   | 3  |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                                  | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55   |
|  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| rrget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309   |
|  | 1204   |
| arget_I2c_Send_I2cRegPtr_Cnt_I_str.CLKH  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT | 87   |

2014-10-14, 23:08:30+0530



| DigColPsint_interruptiNotinication   |             | GEO   CAU |
|--|-------------|-----------|
| Name   | Input Value |           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  | 67          |           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55          |           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66          |           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309        |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 5           |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3           |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66          |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204        |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66          |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3           |           |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1           |           |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1           |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2           |           |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3           |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3           |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1           |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2           |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3           |           |
|  | 3           |           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   |             |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55          |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66          |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556         |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |           |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 87          |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67          |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55          |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66          |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309        |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5           |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3           |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66          |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204        |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66          |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3           |           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1           |           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1           |           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2           |           |
| arget I2c SetRecv I2cRegPtr Cnt T str.DOUT   | 3           |           |
| target I2c SetRecv I2cRegPtr Cnt T str.SET   | 3           |           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1           |           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2           |           |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3           |           |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3           |           |
| arget I2c SetStatus I2cRegPtr Cnt T str.OAR  | 55          |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66          |           |
|  |             |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556         |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87          |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67          |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 55          |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66          |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2309        |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 5           |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3           |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66          |           |
| arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11  | 1204        |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66          |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3           |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1           |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1           |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2           |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3           |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3           |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1           |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 2           |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3           |           |
|  | 3           |           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  |             |           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55          |           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66          |           |
|  | 556         |           |
| arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL | 2309        |           |

2014-10-14, 23:08:30+0530



| Name   |   |              |                |        |
|--|---|--------------|----------------|--------|
| Image   Top   Septiment   September   Se   | Name  | Innut Value  |                |        |
| Harry L. C. Secularization Feeders (Carloging Cont.   1 str. CNT   1   |   | •            |                |        |
|  |   |              |                |        |
| Section   Sect   |   |              |                |        |
| angel, E.S. Sahudarieneous Discorption CH. T. str.DNR  |   |              |                |        |
| Design   12. Sephalphaterisecence   Design   Cort   1 as N R   |   |              |                |        |
| Separation   Proceedings   Separation   Se   |   |              |                |        |
|  |   |              |                |        |
|  |   |              |                |        |
| Barger   Dec. SembyManderForceroine_ DecRegings   Cont_ and PD111   100   10   |   |              |                |        |
| Image   12.5   Subphalar Floories   Cart Flo   |   |              |                |        |
| Barger   120. Selephbater Receive   2014-09  Cont   2 art DMAC   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11                           | 1204         |                |        |
| Langer   D. S. Sebup Master Receive   Defecting Cont   per DNR   1   1   1   1   1   1   1   1   1   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12                           | 66           |                |        |
| Base  12. SetupAsiarRecever   JeRespir Cett   1 x DIR  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC                            | 3            |                |        |
| Langer   12.5. Setup Master Forceron   2.7.   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN                             | 1            |                |        |
| Langer   12. Setup Master Receive   2. Pers   1. Setup Master Receive   2. Setup   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR                             | 1            |                |        |
| tanger_Dis_SelephAsset-Receive_DisRegin_Collwill be a  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN                             | 2            |                |        |
|  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT                            | 3            |                |        |
|  | target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET                             | 3            |                |        |
| Langer   12.5. SebupMasterFracenic   20.7 People   Col. T. Jan COR   1   1   1   1   1   1   1   1   1   |   | 1            |                |        |
| Image   D.S. SelupMasterPacevine   EarRegPt; Coll T_ Jat PD   1   1   1   1   1   1   1   1   1   1  |   |              |                |        |
| torquet [22. Sebug-Master Frameru, [2249pt]*, Contrat PSL torquet [22. Sebug-Master Frameru, [2249pt]*, Contrat Cult H torquet [22. Sebug-Master Frameru, [2249pt]*, Contrat MRR torquet [23. Sebug-Master Frameru, [2249pt]*, Contrat PSD torquet [23. Sebug-Master Frameru, [2449pt]*, Contra   |   |              |                |        |
| Image:   Dec.   SetupMasterTransmit   ZeRopPt: CMT_1st CAR   SetupMasterTransmit   ZeRopPt: CMT_1st CAR   SetupMasterTransmit   ZeRopPt: CMT_1st CAR   SetupMasterTransmit   ZeRopPt: CMT_1st CAR   2009   SetupMasterTransmit   ZeRopPt: CMT_1st PDID   SetupMa   |   |              |                |        |
| target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.MR         68           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.STR         556           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.CUK.         2309           sarget_De_SebupMeaterTransmit_Excheptr_Cont_T_str.CUK.         1204           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.CNT         87           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         67           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         65           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         66           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         66           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         5           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         3           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         6           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         1         1204           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         1         1           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         1         1           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         1         1           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR         3         1           target_De_SebupMeaterTransmit_Excheptr_Cont_T_str.DRR <td></td> <td></td> <td></td> <td></td>  |   |              |                |        |
| target_RD_SebupMeater Transmit_Rotherphr_Contstr_STR         556           target_RD_SebupMeater Transmit_Rotherphr_Contstr_CUKH         2004           target_RD_SebupMeater Transmit_Rotherphr_Contstr_CUKH         204           target_RD_SebupMeater Transmit_Rotherphr_Contstr_CUKH         87           target_RD_SebupMeater Transmit_Rotherphr_Contstr_Det DRR         67           target_RD_SebupMeater Transmit_Rotherphr_Contstr_Det DRR         67           target_RD_SebupMeater Transmit_Rotherphr_Contstr_Det DRR         68           target_RD_SebupMeater Transmit_Rotherphr_Contstr_Det DRR         86           target_RD_SebupMeater Transmit_Rotherphr_Contstr_Det DRR         2000           target_RD_SebupMeater Transmit_Rotherphr_Contstr_Det DRR         3           target_RD_SebupMeater Transmit_Rotherphr_Contstr_Det DRR         3           target_RD_SebupMeater Transmit_Rotherphr_Contstr_Det DRR         3           target_RD_SebupMeater Transmit_Rotherphr_Contstr_Det DRR         1  |   |              |                |        |
| langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 1 str. CUH         2309           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 1 str. CNT         87           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 1 str. CNT         87           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 1 str. CNR         67           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 1 str. CNR         68           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 1 str. CNR         55           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 2 str. MCR         2009           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 2 str. CNR         3           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 3 str. CNR         3           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 3 str. CNR         3           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 3 str. CNR         3           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 3 str. CNR         3           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 3 str. CNR         1           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 3 str. CNR         1           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 3 str. CNR         1           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 3 str. CNR         3           langel, Exp. Sehuphsted Framenti, Exceptir, Colf., 3 str. CNR         3           langel, Exception, Sept   |   |              |                |        |
| Integral_E2_SebupMasterTransmit_E2RepPtr_On_T_str_DRR  | · · - · · - · - · - · - · · - · · - · · - · |              |                |        |
| target_R2_SebupMasterTransmit_P2cRepPtr_CNT_T_str.DTR  |   |              |                |        |
| barget_L2c_SetupAsseterTransmit_L2cRepPir_Cnt_T_str.DAR  |   |              |                |        |
| target_IZe_SetupMaster Transmit_L2cRepPtr_Cont_Tart.DXR         65           target_IZe_SetupMaster Transmit_L2cRepPtr_Cont_Tart.DXR         66           target_IZe_SetupMaster Transmit_L2cRepPtr_Cont_Tart.DMR         2300           target_IZe_SetupMaster Transmit_L2cRepPtr_Cont_Tart.DMR         5           target_IZe_SetupMaster Transmit_L2cRepPtr_Cont_Tart.DMR         3           target_IZe_SetupMaster Transmit_L2cRepPtr_Cont_Tart.DMR         3           target_IZe_SetupMaster Transmit_L2cRepPtr_Cont_Tart.DMR         6           target_IZe_SetupMaster Transmit_L2cRepPtr_Cont_Tart.DMR         6           target_IZe_SetupMaster Transmit_L2cRepPtr_Cont_Tart.DMR         1           target_IZe_SetupMaster Transmit_L2cRepPtr_Cont_Tart.DMT         3           target_IZe_SetupMast  |   |              |                |        |
| target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.NR         66           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.NR         2309           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.NR         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.NR         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.NPSC         66           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.DIDI         1204           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.DIDI         1           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.DIN         1           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.DIN         2           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.DIDI         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.DIDI         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.DIDI         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.DIDI         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CntT_str.DIDI         3           target_Ize_REGI_temp_CNT         66           target_Ize_REGI_temp_CNT         67           target_Ize_REGI_temp_CNT         67           target_Ize_REGI_temp_DNR         66           target_Ize_REGI_temp_DNR         67  |   |              |                |        |
| target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.MDR         2309           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.MDR         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.MDR         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.MDID1         1204           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.DID12         66           default_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.DIMAC         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.DIMAC         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.DIMAC         1           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.DIMAC         1           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.DIMAC         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.DIMAC         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.DIMAC         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.DIMAC         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.DIMAC         3           target_Ize_SetupMasterTransmit_IzeRegPtr_CnLT_str.DIMAC         3           target_Ize_RegCl_temp_DIMAC         66           target_Ize_RegCl_temp_DIMAC         66           target_Ize_RegCl_temp_DIMAC         67           target_Ize_RegCl_temp_DIMAC         67           target_Ize_RegCl_tem   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR                            | 55           |                |        |
| larget_L2e_SetupMasterTransmit_!2cRepPr_Cnt_Tst_PDR         3           carget_L2e_SetupMasterTransmit_!2cRepPr_Cnt_Tst_PDR         3           carget_L2e_SetupMasterTransmit_!2cRepPr_Cnt_Tst_PDR         66           carget_L2e_SetupMasterTransmit_!2cRepPr_Cnt_Tst_PDDT1         1204           target_L2e_SetupMasterTransmit_!2cRepPr_Cnt_Tst_PDDT2         66           target_L2e_SetupMasterTransmit_!2cRepPr_Cnt_Tst_PDDT2         66           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDDT2         1           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDDT2         1           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDDT2         3           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDDT2         3           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDDT2         3           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDDT2         3           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDDT2         3           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDD         3           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDD         3           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDD         3           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDD         3           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDD         3           target_L2e_SetupMasterTransmit_PacRepPr_Cnt_Tst_PDD         6<   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR                            | 66           |                |        |
| largeL122_SetupMasterTransmit_I2cRegPtr_Cnt_T_str_ENDR   204   1204      | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR                            | 2309         |                |        |
| large_L12_SetupMasterTransmit_L2RegPtr_Cnt_T_str.PID11   1204   1204   1204   1204   1204   1204   1204   1205     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR                            | 5            |                |        |
| target   2e_ SetupMasterTransmit   2cRegPtr_Cnt_T_str.PD112   66   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR                           | 3            |                |        |
| sarget   2c. SetupMasterTransmit   2cRegPtr_Cnt_T_str.DNAC   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC                            | 66           |                |        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DMAC         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         1           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         1           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIN         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DOUT         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DET         3           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DET         1           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DED         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DED         3           target_12c_REGE_1_temp.BIR         66           target_12c_REGE_1_temp.DIR         67           target_12c_REGE_1_temp.DIN         3           target_12c_RE   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                          | 1204         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DMAC         3           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DIN         1           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DIN         2           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DOUT         3           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DOUT         3           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DOUT         1           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DOUT         2           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DOUT         2           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DOUT         3           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DOUT         3           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DOUT         3           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DOUT         5           target_I2c_SetupMasterTransmit_I2cRegPtr_CntT_str.DOUT         5           target_I2c_REGGI_temp.DIR         66           target_I2c_REGGI_temp.DIR         1204           target_I2c_REGGI_temp.CLK         1204           target_I2c_REGGI_temp.DIR         67           target_I2c_REGGI_temp.DIR         5           target_I2c_REGGI_temp.DIN         3           target_I2c_REGGI_temp.DIN         1           target_I2c_REGGI_tem  | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12                          | 66           |                |        |
| target_ 2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DIN   1   | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC                           | 3            |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_sir.DIN         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_sir.DIN         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_sir.DIN         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_sir.DIR         1           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_sir.DIR         1           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_sir.DIR         2           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_sir.DIR         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_sir.DIR         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_sir.DIR         55           target_l2c_REG1_temp.DIR         66           target_l2c_REG1_temp.DIR         66           target_l2cREG1_temp.DIX         2309           target_l2cREG1_temp.CLKH         1204           target_l2cREG1_temp.DIR         67           target_l2cREG1_temp.DIR         67           target_l2cREG1_temp.DIR         55           target_l2cREG1_temp.BIDR         3           target_l2cREG1_temp.BIDR         3           target_l2cREG1_temp.BIDR         3           target_l2cREG1_temp.DINA         3           target_l2cREG1_temp.DINA         1           target_l2cREG1_temp.DIR         1 <tr< td=""><td></td><td>1</td><td></td><td></td></tr<>  |   | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR         2           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DD         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR         5           target_I2cREG1_temp_DAR         66           target_I2cREG1_temp_DAR         66           target_I2cREG1_temp_DCKL         2309           target_I2cREG1_temp_DCNT         87           target_I2cREG1_temp_DXR         67           target_I2cREG1_temp_DXR         66           target_I2cREG1_temp_MDR         2309           target_I2cREG1_temp_MDR         33           target_I2cREG1_temp_MDR         66           target_I2cREG1_temp_PDXR         66           target_I2cREG1_temp_PDMDR         3           target_I2cREG1_temp_PDMDR         3           target_I2cREG1_temp_PDMDR         1204           target_I2cREG1_temp_PDIN         1           target_I2cREG1_temp_DIN         1           target_I2cREG1_temp_DIN <td< td=""><td></td><td></td><td></td><td></td></td<>   |   |              |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DDR         2           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PDL         3           target_I2cREG1_temp.OAR         55           target_I2cREG1_temp.DIMR         66           target_I2cREG1_temp.DIMR         66           target_I2cREG1_temp.CLKI         2309           target_I2cREG1_temp.CLKI         1204           target_I2cREG1_temp.DRR         67           target_I2cREG1_temp.DAR         67           target_I2cREG1_temp.DAR         66           target_I2cREG1_temp.DAR         55           target_I2cREG1_temp.DIVR         5           target_I2cREG1_temp.DIVR         5           target_I2cREG1_temp.EMDR         3           target_I2cREG1_temp.DID1         1204           target_I2cREG1_temp.DID1         1204           target_I2cREG1_temp.DID1         1           target_I2cREG1_temp.DIDN         3           target_I2cREG1_temp.DIDN         2   |   |              |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CtR         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OtR         2           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD         3           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL         3           target_I2c_Set_I temp_LMR         66           target_I2c_REG_I temp_DSTR         556           target_I2c_REG_I temp_CLKL         2309           target_I2c_REG_I temp_CNT         87           target_I2c_REG_I temp_DNR         67           target_I2c_REG_I temp_DNR         66           target_I2c_REG_I temp_DNR         66           target_I2c_REG_I temp_DNR         67           target_I2c_REG_I temp_DNR         66           target_I2c_REG_I temp_DNR         66           target_I2c_REG_I temp_DNR         5           target_I2c_REG_I temp_DNR         3           target_I2c_REG_I temp_DNR         3           target_I2c_REG_I temp_DNR         66           target_I2c_REG_I temp_DNB         3           target_I2c_REG_I temp_DNB         3           target_I2c_REG_I temp_DNAC         66           target_I2c_REG_I temp_DNAC         3 <t< td=""><td></td><td></td><td></td><td></td></t<>  |   |              |                |        |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CDR         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DDR         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD         3           target_12c_REG1_temp_OAR         55           target_12cREG1_temp_DAR         66           target_12cREG1_temp_DLKL         2309           target_12cREG1_temp_CLKL         2309           target_12cREG1_temp_DLKH         1204           target_12cREG1_temp_DRR         67           target_12cREG1_temp_DRR         67           target_12cREG1_temp_DRR         66           target_12cREG1_temp_DRR         66           target_12cREG1_temp_DRR         67           target_12cREG1_temp_DRR         66           target_12cREG1_temp_DRR         66           target_12cREG1_temp_DRR         66           target_12cREG1_temp_DRR         66           target_12cREG1_temp_DRR         3           target_12cREG1_temp_DRD         3           target_12cREG1_temp_DDG         66           target_12cREG1_temp_DDMA         1           target_12cREG1_temp_DNA         1           target_12cREG1_temp_DN         1           target_12cREG1_temp_DN         1           target_12cR  |   |              |                |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PD         3           target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL         3           target_l2c_REG1_temp_DMR         55           target_l2c_REG1_temp_DMR         66           target_l2c_REG1_temp_STR         556           target_l2c_REG1_temp_CLKL         2309           target_l2c_REG1_temp_CLKH         1204           target_l2c_REG1_temp_DRT         87           target_l2c_REG1_temp_DRR         67           target_l2c_REG1_temp_DRR         66           target_l2c_REG1_temp_DRR         2309           target_l2c_REG1_temp_DRR         55           target_l2c_REG1_temp_DRR         66           target_l2c_REG1_temp_DRR         3           target_l2c_REG1_temp_PBC         66           target_l2c_REG1_temp_PBC         66           target_l2c_REG1_temp_PDC         66           target_l2c_REG1_temp_PDD11         1204           target_l2c_REG1_temp_DMAC         3           target_l2c_REG1_temp_DMAC         3           target_l2c_REG1_temp_DMAC         1           target_l2c_REG1_temp_DDT         1           target_l2c_REG1_temp_DDT         3      <  |   |              |                |        |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PD         3           target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL         3           target_!2cREG1_temp_OAR         65           target_!2cREG1_temp_STR         556           target_!2cREG1_temp_CLKL         2309           target_!2cREG1_temp_CLKH         1204           target_!2cREG1_temp_DRR         67           target_!2cREG1_temp_DRR         67           target_!2cREG1_temp_DRR         66           target_!2cREG1_temp_DXR         66           target_!2cREG1_temp_DXR         66           target_!2cREG1_temp_NDR         2309           target_!2cREG1_temp_NDR         3           target_!2cREG1_temp_PNC         66           target_!2cREG1_temp_PSC         66           target_!2cREG1_temp_PDID1         1204           target_!2cREG1_temp_DID12         66           target_!2cREG1_temp_DID14         1204           target_!2cREG1_temp_DID15         1           target_!2cREG1_temp_DID16         1           target_!2cREG1_temp_DIN         1           target_!2cREG1_temp_DIN         2           target_!2cREG1_temp_DOUT         3           target_!2cREG1_temp_DOUT         3           target_!2cREG1_temp_DOR <td></td> <td></td> <td></td> <td></td>   |   |              |                |        |
| target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.PSL         3           target_!2cREG1_temp.DAR         55           target_!2cREG1_temp.BIR         66           target_!2cREG1_temp.CLKL         2309           target_!2cREG1_temp.CLKL         1204           target_!2cREG1_temp.DCNT         87           target_!2cREG1_temp.DRR         67           target_!2cREG1_temp.DXR         66           target_!2cREG1_temp.DXR         66           target_!2cREG1_temp.DXR         66           target_!2cREG1_temp.DMR         2309           target_!2cREG1_temp.DNR         5           target_!2cREG1_temp.EMDR         3           target_!2cREG1_temp.PNC         66           target_!2cREG1_temp.PNC         66           target_!2cREG1_temp.PID11         1204           target_!2cREG1_temp.PID12         66           target_!2cREG1_temp.DINC         3           target_!2cREG1_temp.DIN         1           target_!2cREG1_temp.DIN         1           target_!2cREG1_temp.DIN         2           target_!2cREG1_temp.DIN         2           target_!2cREG1_temp.DIN         3           target_!2cREG1_temp.DIN         2           target_!2cREG1_temp.DIN         3 <tr< td=""><td></td><td></td><td></td><td></td></tr<>  |   |              |                |        |
| target_2cREG1_temp.OAR         55           target_2cREG1_temp.IMR         66           target_2cREG1_temp.STR         55           target_2cREG1_temp.CLKL         2309           target_2cREG1_temp.CLKH         1204           target_2cREG1_temp.CNT         87           target_2cREG1_temp.DRR         67           target_2cREG1_temp.DXR         66           target_2cREG1_temp.DXR         66           target_2cREG1_temp.MOR         2309           target_1cREG1_temp.IVR         5           target_1cREG1_temp.PDR         3           target_1cREG1_temp.PSC         66           target_1cREG1_temp.PDD11         1204           target_1cREG1_temp.PID12         66           target_1cREG1_temp.PID10         1           target_1cREG1_temp.DINAC         3           target_1cREG1_temp.DIN         1           target_1cREG1_temp.DIN         1           target_1cREG1_temp.DIN         2           target_1cREG1_temp.DOUT         3           target_1cREG1_temp.DUT         3           target_1cREG1_temp.DUR         1           target_1cREG1_temp.DUR         2           target_1cREG1_temp.DUR         2           target_1cREG1_temp.DUR         3  |   |              |                |        |
| target_!2cREG1_temp.STR         556           target_!2cREG1_temp.CLKL         2309           target_!2cREG1_temp.CLKH         1204           target_!2cREG1_temp.CNT         87           target_!2cREG1_temp.DRR         67           target_!2cREG1_temp.DXR         66           target_!2cREG1_temp.MDR         2309           target_!2cREG1_temp.MDR         5           target_!2cREG1_temp.EMDR         3           target_!2cREG1_temp.EMDR         3           target_!2cREG1_temp.PDSC         66           target_!2cREG1_temp.PDNA         1204           target_!2cREG1_temp.PID11         1204           target_!2cREG1_temp.DINAC         3           target_!2cREG1_temp.DINAC         1           target_!2cREG1_temp.DIN         1           target_!2cREG1_temp.DIN         2           target_!2cREG1_temp.DIN         2           target_!2cREG1_temp.DIN         3           target_!2cREG1_temp.DUT         3           target_!2cREG1_temp.DIN         2           target_!2cREG1_temp.DLR         1           target_!2cREG1_temp.DLR         3           target_!2cREG1_temp.DLR         3           target_!2cREG1_temp.DLR         3           target_!2cREG1_   |   |              |                |        |
| target_2cREG1_temp.CLKL 2309 target_2cREG1_temp.CLKL 1204 target_2cREG1_temp.CLKH 1204 target_2cREG1_temp.CNT 87 target_2cREG1_temp.DRR 67 target_2cREG1_temp.DRR 55 target_2cREG1_temp.DRR 55 target_2cREG1_temp.DXR 66 target_2cREG1_temp.DXR 55 target_2cREG1_temp.DRR 2309 target_2cREG1_temp.MDR 2309 target_2cREG1_temp.EMDR 3 target_2cREG1_temp.EMDR 3 target_2cREG1_temp.EMDR 3 target_2cREG1_temp.PSC 66 target_2cREG1_temp.PSC 66 target_2cREG1_temp.PID11 1204 target_2cREG1_temp.DID12 66 target_2cREG1_temp.DMAC 3 target_2cREG1_temp.DMAC 3 target_2cREG1_temp.DNR 1 target_2cREG1_temp.DNR 1 target_2cREG1_temp.DNR 1 target_2cREG1_temp.DNR 1 target_2cREG1_temp.DNR 1 target_2cREG1_temp.DNR 1 target_2cREG1_temp.DOUT 3 target_2cREG1_temp.DOUT 3 target_2cREG1_temp.CLR 1 target_2cREG1_temp.CLR 1 target_2cREG1_temp.DR 2 target_2cREG1_temp.DR 3   |   |              |                |        |
| target_i2cREG1_temp.CLKL         2309           target_i2cREG1_temp.CLKH         1204           target_i2cREG1_temp.CNT         87           target_i2cREG1_temp.DRR         67           target_i2cREG1_temp.DXR         66           target_i2cREG1_temp.DXR         66           target_i2cREG1_temp.MDR         2309           target_i2cREG1_temp.DNR         5           target_i2cREG1_temp.PDRC         66           target_i2cREG1_temp.PSC         66           target_i2cREG1_temp.PID11         1204           target_i2cREG1_temp.DINAC         3           target_i2cREG1_temp.DINAC         3           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DIN         2           target_i2cREG1_temp.DIN         2           target_i2cREG1_temp.SET         3           target_i2cREG1_temp.CLR         1           target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.DDR         3           target_i2cREG1_temp.DDR         3           target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.DDR         5           target_i2cREG1_temp.D   |   |              |                |        |
| target_izcREG1_temp.CLKH 1204 target_izcREG1_temp.CNT 87 target_izcREG1_temp.DRR 67 target_izcREG1_temp.DRR 55 target_izcREG1_temp.DXR 66 target_izcREG1_temp.DXR 66 target_izcREG1_temp.DXR 55 target_izcREG1_temp.DXR 66 target_izcREG1_temp.EMDR 2309 target_izcREG1_temp.EMDR 3 target_izcREG1_temp.EMDR 66 target_izcREG1_temp.PBDE 66 target_izcREG1_temp.PID12 66 target_izcREG1_temp.PID12 66 target_izcREG1_temp.DMAC 3 target_izcREG1_temp.FUN 11 target_izcREG1_temp.DIN 11 target_izcREG1_temp.DIN 11 target_izcREG1_temp.DIN 12 target_izcREG1_temp.DIN 13 target_izcREG1_temp.DIN 14 target_izcREG1_temp.DIN 15 target_izcREG1_temp.DUT 15 target_iz |   |              |                |        |
| target_i2cREG1_temp.DRR         67           target_i2cREG1_temp.DRR         55           target_i2cREG1_temp.DXR         66           target_i2cREG1_temp.DMDR         2309           target_i2cREG1_temp.MDR         5           target_i2cREG1_temp.EMDR         3           target_i2cREG1_temp.PDC         66           target_i2cREG1_temp.PID11         1204           target_i2cREG1_temp.DMAC         3           target_i2cREG1_temp.DMAC         3           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DIN         2           target_i2cREG1_temp.DCUT         3           target_i2cREG1_temp.DCLR         1           target_i2cREG1_temp.CLR         1           target_i2cREG1_temp.DCLR         1           target_i2cREG1_temp.DCR         2           target_i2cREG1_temp.DCR         2           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PCL         Expected Value   | · · · · · · · · · · · · · · · · · · ·   |              |                |        |
| target_i2cREG1_temp.DRR       67         target_i2cREG1_temp.SAR       55         target_i2cREG1_temp.DXR       66         target_i2cREG1_temp.MDR       2309         target_i2cREG1_temp.EMDR       5         target_i2cREG1_temp.EMDR       3         target_i2cREG1_temp.PSC       66         target_i2cREG1_temp.PID11       1204         target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.BET       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.DDD       2         target_i2cREG1_temp.DD       3         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value  |   |              |                |        |
| target_i2cREG1_temp.SAR         55           target_i2cREG1_temp.DXR         66           target_i2cREG1_temp.MDR         2309           target_i2cREG1_temp.IVR         5           target_i2cREG1_temp.EMDR         3           target_i2cREG1_temp.PSC         66           target_i2cREG1_temp.PID11         1204           target_i2cREG1_temp.PID12         66           target_i2cREG1_temp.DMAC         3           target_i2cREG1_temp.DMR         1           target_i2cREG1_temp.DIR         1           target_i2cREG1_temp.DIR         2           target_i2cREG1_temp.DOUT         3           target_i2cREG1_temp.SET         3           target_i2cREG1_temp.CLR         1           target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.DDR         3           target_i2cREG1_temp.DDR         3           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value   |   | 87           |                |        |
| target_i2cREG1_temp.DXR       66         target_i2cREG1_temp.MDR       2309         target_i2cREG1_temp.IVR       5         target_i2cREG1_temp.EMDR       3         target_i2cREG1_temp.PSC       66         target_i2cREG1_temp.PID11       1204         target_i2cREG1_temp.PID12       66         target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.DIN       1         target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DOUT       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value   | target_i2cREG1_temp.DRR   | 67           |                |        |
| target_i2cREG1_temp.MDR       2309         target_i2cREG1_temp.IVR       5         target_i2cREG1_temp.EMDR       3         target_i2cREG1_temp.PSC       66         target_i2cREG1_temp.PID11       1204         target_i2cREG1_temp.PID2       66         target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.DD       3         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value   | target_i2cREG1_temp.SAR   | 55           |                |        |
| target_i2cREG1_temp.MDR       2309         target_i2cREG1_temp.IVR       5         target_i2cREG1_temp.EMDR       3         target_i2cREG1_temp.PSC       66         target_i2cREG1_temp.PID11       1204         target_i2cREG1_temp.PID2       66         target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.DD       3         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value   | target_i2cREG1_temp.DXR   | 66           |                |        |
| target_i2cREG1_temp.IVR       5         target_i2cREG1_temp.EMDR       3         target_i2cREG1_temp.PSC       66         target_i2cREG1_temp.PID11       1204         target_i2cREG1_temp.PID12       66         target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value  |   | 2309         |                |        |
| target_i2cREG1_temp.EMDR       3         target_i2cREG1_temp.PSC       66         target_i2cREG1_temp.PID11       1204         target_i2cREG1_temp.PID12       66         target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value  | · ·   |              |                |        |
| target_i2cREG1_temp.PSC       66         target_i2cREG1_temp.PID11       1204         target_i2cREG1_temp.PID12       66         target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value   | <u> </u>  |              |                |        |
| target_i2cREG1_temp.PID11     1204       target_i2cREG1_temp.PID12     66       target_i2cREG1_temp.DMAC     3       target_i2cREG1_temp.FUN     1       target_i2cREG1_temp.DIR     1       target_i2cREG1_temp.DIN     2       target_i2cREG1_temp.DOUT     3       target_i2cREG1_temp.SET     3       target_i2cREG1_temp.CLR     1       target_i2cREG1_temp.ODR     2       target_i2cREG1_temp.PD     3       target_i2cREG1_temp.PSL     3       Name     Actual Value     Expected Value  | · · · · · · · · · · · · · · · · · · ·   |              |                |        |
| target_i2cREG1_temp.PID12       66         target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value   |   |              |                |        |
| target_i2cREG1_temp.DMAC       3         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value  | · ·   |              |                |        |
| target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value   |   |              |                |        |
| target_i2cREG1_temp.DIR       1         target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value   |   |              |                |        |
| target_i2cREG1_temp.DIN       2         target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value   |   |              |                |        |
| target_i2cREG1_temp.DOUT       3         target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value   |   |              |                |        |
| target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.ODR       2         target_i2cREG1_temp.PD       3         target_i2cREG1_temp.PSL       3         Name       Actual Value       Expected Value  |   |              |                |        |
| target_i2cREG1_temp.CLR         1           target_i2cREG1_temp.ODR         2           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value  | · · · · · · · · · · · · · · · · · · ·   |              |                |        |
| target_i2cREG1_temp.ODR         2           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value  |   |              |                |        |
| target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value  |   |              |                |        |
| target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value   | target_i2cREG1_temp.ODR   |              |                |        |
| Name Actual Value Expected Value   | target_i2cREG1_temp.PD  | 3            |                |        |
| ·  | target_i2cREG1_temp.PSL   | 3            |                |        |
|  | Name  | Actual Value | Expected Value | Result |
| DIQCOIPSINT ATTEMPOCCUTFOTCUSTDATREAD CNT M UU8 1  | DigColPsInt AttempOccurForCustDatRead Cnt M u08                                   | 1            | 1              |        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value         | Expected Value       | Resu |
|--|----------------------|----------------------|------|
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10                   | 10                   |      |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 20                   | 20                   |      |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30                   | 30                   |      |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0                    | 0                    |      |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1                    | 1                    |      |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1                    | 1                    |      |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2309                 | 2309                 |      |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 123                  | 123                  |      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ_SENSOR1_GETDATA | READ_SENSOR1_GETDATA |      |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 1                    | 1                    |      |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 2                    | 2                    |      |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0                    | 0                    |      |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                    | 0                    |      |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                    | 0                    |      |
| DigColPsInt RecvdDataType Cnt M u08  | 0                    | 0                    |      |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0                    | 0                    |      |
| igColPsInt_SpurSnsrData_Cnt_M_u16  | 87                   | 87                   |      |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10                   | 10                   |      |
| arget I2c GenStopCond I2cRegPtr Cnt T str.OAR  | 55                   | 55                   |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66                   | 66                   |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 556                  | 556                  |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2309                 | 2309                 |      |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH   | 1204                 | 1204                 |      |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLRH arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT | 87                   | 87                   |      |
|  | 67                   | 67                   |      |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR  | 55                   | 55                   |      |
| arget_Izc_GenStopCond_IzcRegPtr_Cnt_I_str.SAR arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66                   | 66                   |      |
|  |                      |                      |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309                 | 2309                 |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5                    | 5                    |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 3                    | 3                    |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66                   | 66                   |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 1204                 | 1204                 |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 66                   | 66                   |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 3                    | 3                    |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1                    | 1                    |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1                    | 1                    |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2                    | 2                    |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3                    | 3                    |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3                    | 3                    |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1                    | 1                    |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2                    | 2                    |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3                    | 3                    |      |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3                    | 3                    |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55                   | 55                   |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66                   | 66                   |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556                  | 556                  |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309                 | 2309                 |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204                 | 1204                 |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87                   | 87                   |      |
| arget I2c Send I2cRegPtr Cnt T str.DRR   | 67                   | 67                   |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55                   | 55                   |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66                   | 66                   |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309                 | 2309                 |      |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.lVR   | 5                    | 5                    |      |
| arget_lzc_Send_lzcRegPtr_Cnt_I_str.IVR arget_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR               | 3                    | 3                    |      |
| · ·  |                      |                      |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66                   | 66                   |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204                 | 1204                 |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66                   | 66                   |      |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3                    | 3                    |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                    | 1                    |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1                    | 1                    |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2                    | 2                    |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3                    | 3                    |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3                    | 3                    |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1                    | 1                    |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2                    | 2                    |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3                    | 3                    |      |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                    | 3                    |      |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55                   | 55                   |      |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66                   | 66                   |      |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556                  | 556                  |      |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309                 | 2309                 |      |
|  |                      |                      |      |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | · ·      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | Ž        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN                      | 2            | 2              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.SET   | 3            | 3              |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLR   | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| target I2c SetRecv I2cRegPtr Cnt T str.PSL   | 3            | 3              |          |
| target I2c SetStatus I2cRegPtr Cnt T str.OAR   | 55           | 55             |          |
| target I2c SetStatus I2cRegPtr Cnt T str.IMR   | 66           | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | J        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ·        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | <u> </u> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | <u> </u> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | ·        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  |              | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | Ž        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  |              |                | - J      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | Ž        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_I_str.PD target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL | 3            | 3              | Ž        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.liMR  | 556          | 556            |          |
| targot_izo_oetupiviastei i i alisiliit_izoRegFtt_Clit_1_Sti.51R  | 330          | JJ0            |          |

 $target\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.DIR \\ target\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.DIN \\$ 

 $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DOUT$ 

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET

 $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR$ 

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.ODR

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PD

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL

DigColPsInt\_InterruptNotification



| Name   | Actual Value | Francis d Volus | Result   |
|--|--------------|-----------------|----------|
| name   | Actual value | Expected Value  | Result   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5               | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3               | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3               | ✓        |
| target 12c SetupMasterTransmit 12cRegPtr Cnt T etr FLIN  | 1            | 1               | _        |

| T                      |       |                        |       | V        |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| SetupRead              | 1     | SetupRead              | 1     | ~        |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | <b>✓</b> |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | <b>✓</b> |

2

3

3

1

2

3

3

2

3

3

1

2

3

3

| Test Step 3.24 (Repeat Count = 1) Name          | Innut Value  |
|---|--|
|   | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ_SENSOR2_SETREG                                |
| DigColPsInt_I2CHwCustData_UIs_M_u16             | 1  |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 10   |
| Flags_Cnt_T_b16                                 | 4  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c Send(I2cRegPtr Cnt T str)                   | target I2c Send I2cRegPtr Cnt T str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target I2c SetRecv I2cRegPtr Cnt T str             |
| I2c SetStatus(I2cRegPtr Cnt T str)              | target I2c SetStatus I2cRegPtr Cnt T str           |
| I2c SetupMasterReceive(I2cRegPtr Cnt T str)     | target I2c SetupMasterReceive I2cRegPtr Cnt T str  |
| I2c SetupMasterTransmit(I2cRegPtr Cnt T str)    | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |
| T DataRegisters Cnt u08[0]                      | 0  |
| T DataRegisters Cnt u08[1]                      | 32   |
| T DataRegisters Cnt u08[2]                      | 30   |
| T DataRegisters Cnt u08[3]                      | 36   |
| T DataRegisters Cnt u08[4]                      | 38   |
| T DataRegisters Cnt u08[5]                      | 34   |
| T DataRegisters Cnt u08[6]                      | 10   |
| T DataRegisters Cnt u08[7]                      | 12   |
| T DataRegisters Cnt u08[8]                      | 14   |
| i2cREG1 temp                                    | target i2cREG1 temp                                |
| k ColSensorl2CAddress Cnt u08                   | 9  |

2014-10-14, 23:08:30+0530



|  | ( 14 15 10 10 |
|--|---------------|
| Name   | Input Value   |
| k_SpurSensorI2CAddress_Cnt_u08   | 10            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66            |
|  | 556           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   |               |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55            |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR   | 66            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5             |
| target I2c GenStopCond I2cRegPtr Cnt T str.EMDR  | 3             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                       | 1204          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                       | 66            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3             |
|  |               |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN   | 1             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR   | 1             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR   | 2             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55            |
| target I2c Send I2cRegPtr Cnt T str.IMR  | 66            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556           |
|  | 2309          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   |               |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 1204          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3             |
| target I2c Send I2cRegPtr Cnt T str.PSC  | 66            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1             |
|  | 1             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  |               |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN  | 2             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT   | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR   | 55            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 556           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2309          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 1204          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 87            |
|  | 67            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   |               |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55            |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR   | 66            |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 2309          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR   | 5             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66            |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 1204          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1             |
|  |               |
| target I2c SetRecy I2cRegPtr Cnt T str DIR   | 1             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  | 1 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT | 2 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2             |

2014-10-14, 23:08:30+0530



| Name   |
|--|
| target L2s Selfecy (28rdepPr Cnt_strDR   |
| target_Dz_Selferov_Dzeneptr_Cont_tat_PDI         3           target_Dz_Selferov_Dzeneptr_Cont_tat_PDI         3           target_Dz_Selferov_Dzeneptr_Cont_tat_PDI         55           target_Dz_Selferov_Dzeneptr_Cont_tat_PDI         55           target_Dz_Selferov_Dzeneptr_Cont_tat_PDI         55           target_Dz_Selferov_Dzeneptr_Cont_tat_PDI         55           target_Dz_Selferov_Dzeneptr_Cont_tat_Selferov         12           target_Dz_Selferov_Dzeneptr_Cont_tat_Selferov         12           target_Dz_Selferov_Dzeneptr_Cont_tat_Selferov         67           target_Dz_Selferov_Dz_Selferov_Cont_tat_Selferov         67           target_Dz_Selferov_Dz_Selferov_Cont_tat_Selferov         66           target_Dz_Selferov_Dz_Selferov_Dz_Selferov_Cont_tat_Selferov         66           target_Dz_Selferov_Dz_Selferov_Cont_tat_Selferov         56   |
| target 1.22. SetReva (2018-ppt* Cnt.T. str.PSL)  singet 1.22. SetStotus, 120-Rept* Cnt.T. str.DNR  singet 1.22. SetStotus, 120-Rept* Cnt.T. str.DNDR  singet 1.22. SetStotus, 120-Rept* Cnt.T. str.DNDR  singet 1.22. SetStotus, 120-Rept* Cnt.T. str.DNA  singet 1.22. SetUnMasterReceveve 1.22-Rept* Cnt.T. str.DNA  singet 1.22. SetUnMasterReceveve 1. |
| singer_Loz_SelStatus_LozRegoPt_Cnt_T str.OAR         55           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.IMR         66           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.STR         556           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.CNT         250           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.CNT         87           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         67           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         67           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         67           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         65           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         66           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         3           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         3           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         66           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         1204           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         1204           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         1204           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         1404           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         1404           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         1404           targer_Loz_SelStatus_LozRegoPt_Cnt_T str.DNR         1404  |
| target_12e_SelSistus_12eRegPtr_Cnt_T str.NR         66           target_12e_SelSistus_12eRegPtr_Cnt_T str.STR         556           target_12e_SelSistus_12eRegPtr_Cnt_T str.CLRH         2009           target_12e_SelSistus_12eRegPtr_Cnt_T str.CLRH         1204           target_12e_SelSistus_12eRegPtr_Cnt_T str.CNT         87           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         67           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         67           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         68           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         2009           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         5           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         5           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         66           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         6           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         1204           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         1204           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         3           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         3           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         1           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         1           target_12e_SelSistus_12eRegPtr_Cnt_T str.DRR         1 <td< td=""></td<>  |
| singel 12b SelSistan J2cRepPt Cnt T_str STR         556           birgel 12b SelSistan J2cRepPt Cnt T_str CLKL         2209           singel 12b SelSistan J2cRepPt Cnt T_str CNT         87           stragel 12b SelSistan J2cRepPt Cnt T_str CNT         87           stragel 12b SelSistan J2cRepPt Cnt T_str CNT         87           stragel 12b SelSistan J2cRepPt Cnt T_str DRR         67           stragel 12b SelSistan J2cRepPt Cnt T_str DRR         66           stragel 12b SelSistan J2cRepPt Cnt T_str DRR         66           stragel 12b SelSistan J2cRepPt Cnt T_str DRR         8           stragel 12b SelSistan J2cRepPt Cnt T_str DRR         8           stragel 12b SelSistan J2cRepPt Cnt T_str DRR         8           stragel 12b SelSistan J2cRepPt Cnt T_str DDT         120           stragel 12b SelSistan J2cRepPt Cnt T_str DDT         120           stragel 12b SelSistan J2cRepPt Cnt T_str DDT         120           stragel 12b SelSistan J2cRepPt Cnt T_str DN         1           stragel 2b Sel  |
| target 12e, SelfStatus J2cRegPtr, Cnt_str.CLKH         2309           target 12e, SelfStatus J2cRegPtr, Cnt_str.CLKH         1204           target 12e, SelfStatus J2cRegPtr, Cnt_str.DRR         67           target 12e, SelfStatus J2cRegPtr, Cnt_str.DRR         67           target 12e, SelfStatus J2cRegPtr, Cnt_str.DRR         67           target 12e, SelfStatus J2cRegPtr, Cnt_str.DRR         66           target 12e, SelfStatus J2cRegPtr, Cnt_str.DRR         66           target 12e, SelfStatus J2cRegPtr, Cnt_str.DRR         3           target 12e, SelfStatus J2cRegPtr, Cnt_str.DRR         3           target 12e, SelfStatus J2cRegPtr, Cnt_str.DDT         48           target 12e, SelfStatus J2cRegPtr, Cnt_str.DDT         66           target 12e, SelfStatus J2cRegPtr, Cnt_str.DDT         66           target 12e, SelfStatus J2cRegPtr, Cnt_str.DDT         1204           target 12e, SelfStatus J2cRegPtr, Cnt_str.DDMC         3           target 12e, SelfStatus J2cRegPtr, Cnt_str.DDM         1           target 12e, SelfStatus J2cRegPtr, Cnt_str.DDN         2           target 12e, SelfStatus J2cRegPtr, Cnt_str.DDN         2           target 12e, SelfStatus J2cRegPtr, Cnt_str.DDN         2           target 12e, SelfStatus J2cRegPtr, Cnt_str.DDN         3           target 12e, SelfStatus J2cRegPtr, Cnt_str.DDN         3  |
| larget Liz_ SelStatus_ IZ-RegPtr_CNT_str.CNT         87           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.CNT         87           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DNR         67           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DNR         55           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DNR         66           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DNR         2309           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DNR         3           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DNR         3           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DDI1         1204           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DDI2         66           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DDI4         66           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DIN         1           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DNR         3           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DIN         1           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DIN         1           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DOUT         3           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DOUT         3           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DON         2           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DNR         3           target Liz_ SelStatus_ IZ-RegPtr_CNT_str.DNR         6           targe  |
|  |
| Isrget   Zo. SetStatus   ZoRegPtr_Cnt_T str.DRR  |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         55           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         66           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         5           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         5           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         5           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR         66           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD11         1204           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD12         66           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD12         66           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD1         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD1         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD1         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD1         3           target_12c_S  |
| target   2c. SelStatus   2cRegPtr_Cnt_T.str.DXR  |
| target_12c_SelStatus_12cRegPtr_Cnt_T_str.NRDR         2309           target_12c_SelStatus_12cRegPtr_Cnt_T_str.NRDR         3           target_12c_SelStatus_12cRegPtr_Cnt_T_str.PBC         66           target_12c_SelStatus_12cRegPtr_Cnt_T_str.PBC         66           target_12c_SelStatus_12cRegPtr_Cnt_T_str.PBD11         1204           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DBD1         66           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DBMC         3           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DBN         1           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DBN         1           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DBN         2           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DDUT         3           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DDUT         3           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DDT         3           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DDR         2           target_12c_SelStatus_12cRegPtr_Cnt_T_str.DDR         2           target_12c_Selstatus_12cRegPtr_Cnt_T_str.DDR         3           target_12c_Selstatus_12cRegPtr_Cnt_T_str.DAR         55           target_12c_SelupMasterReceive_12cRegPtr_Cnt_T_str.DAR         55           target_12c_SelupMasterReceive_12cRegPtr_Cnt_T_str.CNT         87           target_12c_SelupMasterReceive_12cRegPtr_Cnt_T_str.DAR         66 </td   |
| target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.EMDR   3  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T str.PBUR  |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PDC  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID1  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID12  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID12  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID12  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID18  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID18  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID18  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetStatus_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID13  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID14  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID14  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID14  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID14  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID14  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID14  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID14  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID14  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID14  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID15  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T_str.DID16  farget_12e_SetDpMasterReceive_12cRegPtr_Cnt_T |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PID11   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIM2C         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIMAC         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIM         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIM         2           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DUT         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DER         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DER         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DDR         2           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DDR         2           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DDR         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DD         3           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         5           target_I2c_SetUpMasterReceive_I2cRegPtr_Cnt_T_str.DAR         55           target_I2c_SetUpMasterReceive_I2cRegPtr_Cnt_T_str.CNT         556           target_I2c_SetUpMasterReceive_I2cRegPtr_Cnt_T_str.DAR         66           target_I2c_SetUpMasterReceive_I2cRegPtr_Cnt_T_str.DAR         67           target_I2c_SetUpMasterReceive_I2cRegPtr_Cnt_T_str.DAR         67           target_I2c_SetUpMasterReceive_I2cRegPtr_Cnt_T_str.DAR         5           target_I2c_SetUpMasterReceive_I2cRegPtr_Cnt_T_str.DAR  |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DMAC  larget_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIN  1  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIN  1  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIN  2  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIN  2  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DOUT  3  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DOUT  3  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.SET  1  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDN  2  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDN  2  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DD  3  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DD  3  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DD  3  target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DAR  55  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  56  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.LKH  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.LKH  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  67  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  68  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DKH  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DKN  69  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DKN  60  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  55  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  56  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  57  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  58  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  59  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  50  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  51  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  52  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  54  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  55  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  56  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  56  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  57  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  58  target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR  59  target_!2c_SetUpM |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIN         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIR         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DUT         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DUT         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DUT         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         3           target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR         55           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         66           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKI         2309           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKI         1204           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         67           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         67           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         66           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         66           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         66           target_!2c_SetupMasterRecei   |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIR   |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIN         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DOUT         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.SET         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CLR         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DD         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DA         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DAR         55           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.BMR         66           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKL         2309           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKL         2309           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         67           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         67           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         66           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         55           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         67           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.MDR         30           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.MDR         3           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.PDI11         1204   |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT  arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET  arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR  arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR  arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR  arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR  arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR  arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DD  arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DAR  arget_l2c_SetsUpMasterReceive_l2cRegPtr_Cnt_T_str.DAR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRC  arget_l2c_SetupMas |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLR         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.CDR         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         2           target_12c_SetStatus_12cRegPtr_Cnt_T_str.PD         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.PSL         3           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.OAR         55           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR         66           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL         2309           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL         2309           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL         1204           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         67           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         67           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         66           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.NDR         55           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.NDR         2309           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.NDR         5           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID1         66           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID1         66           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID1         66   |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLR   |
| target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.ODR   |
| target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.PD  |
| target_12c_SetsptMasterReceive_12cRegPtr_Cnt_T_str.OAR  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.OAR  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MR  66  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR  556  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL  2309  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.ONT  47  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR  67  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR  46  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR  46  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR  46  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR  47  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR  48  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR  49  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR  40  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR  40  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR  40  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDT1  40  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDT2  40  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDT2  40  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDNAC  41  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDNAC  42  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDN  43  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDN  44  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDN  44  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDN  44  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDN  44  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDN  45  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDN  45  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDN  46   |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR 55 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.BIRR 66 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR 556 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL 2309 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKH 1204 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKH 1204 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR 67 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR 67 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR 66 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR 2309 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR 2309 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR 3 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.BMDR 3 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.EMDR 3 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIT 1204 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIT 1204 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID11 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DID12  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR 556  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL 2309  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH 1204  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT 87  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR 67  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR 55  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR 2309  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR 5  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.BNDR 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11 1204  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IDI2 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DID12 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DID4C 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DID4C 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DID8 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN 2   |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  2309  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.NDR  5  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PUN  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PUN  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PUN  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR  target_l2c_SetupMasterRecei |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.CLKL 2309  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.CLKH 1204  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.CNT 87  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DRR 67  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DRR 55  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DXR 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DNR 2309  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.NDR 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.EMDR 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.EMDR 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.PDD1 1204  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.PID11 1204  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.PID12 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DMAC 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DMAC 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DMAC 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DMAC 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DMAC 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DMR 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DMR 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DMR 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T str.DMR 1   |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DNR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PUN  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PUN  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PUN target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR   |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR 67  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR 55  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR 2309  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR 5  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11 1204  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PUN 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1   |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR 55 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR 66 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR 2309 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR 5 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR 3 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC 66 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11 1204 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 66 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC 3 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC 3 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PUN 1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1   |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR 2309  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR 5  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11 1204  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 56  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 2  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR 5 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR 3 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC 66 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11 1204 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 66 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 66 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC 3 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN 1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 2  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN  2  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11 1204  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 66  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC 3  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 2  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN 2   |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11 1204 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 166 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC 154 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN 154 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 154 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 155 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN 155 target_l2c |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 66 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC 3 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN 1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN 2  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC 3 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN 1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN 2   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN 1 target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR 1 target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN 2  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN 2  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN 2  |
|  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT 3   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET 3  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR 1  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD 3   |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSL 3  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR 55  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR 66  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR 556   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL 2309   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH 1204   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT 87  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR 67  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR 55  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR 66  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR 2309  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR 5   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC 66  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 1204  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 66  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC 3  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN 1   |
|  |
| target 12c SetupMasterTransmit 12cReoPtr Cnt T str.DIR 1   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR 1 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN 2  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 1 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DUT 3   |



| Name   | Input Value  |                |        |
|--|--------------|----------------|--------|
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET | 3            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR | 1            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR | 2            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD  | 3            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL | 3            |                |        |
| target i2cREG1 temp.OAR                                | 55           |                |        |
| target i2cREG1 temp.IMR                                | 66           |                |        |
| target i2cREG1 temp.STR                                | 556          |                |        |
| target i2cREG1 temp.CLKL                               | 2309         |                |        |
| target i2cREG1 temp.CLKH                               | 1204         |                |        |
| target i2cREG1 temp.CNT                                | 87           |                |        |
| target i2cREG1 temp.DRR                                | 67           |                |        |
| target i2cREG1 temp.SAR                                | 55           |                |        |
| target i2cREG1 temp.DXR                                | 66           |                |        |
| target_i2cREG1_temp.MDR                                | 2309         |                |        |
| target_i2cREG1_temp.IVR                                | 5            |                |        |
| target_i2cREG1_temp.EMDR                               | 3            |                |        |
| target_i2cREG1_temp.PSC                                | 66           |                |        |
| target_i2cREG1_temp.PID11                              | 1204         |                |        |
| target_i2cREG1_temp.PID12                              | 66           |                |        |
| target_i2cREG1_temp.DMAC                               | 3            |                |        |
| target_i2cREG1_temp.FUN                                | 1            |                |        |
| target_i2cREG1_temp.DIR                                | 1            |                |        |
| target_i2cREG1_temp.DIN                                | 2            |                |        |
| target_i2cREG1_temp.DOUT                               | 3            |                |        |
| target_i2cREG1_temp.SET                                | 3            |                |        |
| target_i2cREG1_temp.CLR                                | 1            |                |        |
| target_i2cREG1_temp.ODR                                | 2            |                |        |
| target_i2cREG1_temp.PD                                 | 3            |                |        |
| target_i2cREG1_temp.PSL                                | 3            |                |        |
| Name   | Actual Value | Expected Value | Result |

| target_izertEo1_temp.r b                         | 3                    |                      |          |
|--|----------------------|----------------------|----------|
| target_i2cREG1_temp.PSL                          | 3                    |                      |          |
| Name   | Actual Value         | Expected Value       | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 1                    | 1                    | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                  | 10                   | 10                   | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                  | 20                   | 20                   | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                  | 30                   | 30                   | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc            | 0                    | 0                    | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc            | 1                    | 1                    | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc            | 1                    | 1                    | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16                | 2309                 | 2309                 | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08               | 123                  | 123                  | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum             | READ_SENSOR2_GETDATA | READ_SENSOR2_GETDATA | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16              | 1                    | 1                    | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16    | 2                    | 2                    | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc             | 0                    | 0                    | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc                | 0                    | 0                    | ✓        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc           | 0                    | 0                    | <b>✓</b> |
| DigColPsInt_RecvdDataType_Cnt_M_u08              | 0                    | 0                    | ✓        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc           | 0                    | 0                    | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16               | 87                   | 87                   | <b>✓</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08             | 10                   | 10                   | ✓        |
| I2c_SetRecv(Length_Cnt_T_u32)                    | 2                    | 2                    | <b>✓</b> |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)     | 2                    | 2                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55                   | 55                   | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66                   | 66                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556                  | 556                  | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309                 | 2309                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204                 | 1204                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87                   | 87                   | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67                   | 67                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55                   | 55                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                   | 66                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309                 | 2309                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5                    | 5                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3                    | 3                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66                   | 66                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204                 | 1204                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66                   | 66                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                    | 3                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                    | 1                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                    | 1                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                    | 2                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                    | 3                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                    | 3                    | ✓        |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Resul |
|---|--------------|----------------|-------|
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | •     |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •     |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | •     |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556<br>2309  | 556<br>2309    |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  |              |                |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204<br>87   | 1204<br>87     |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 67           | 67             |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR target_I2c Send_I2cRegPtr_Cnt_T_str.SAR               | 55           | 55             |       |
| · ·   | 66           | 66             |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 2309         | 2309           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR               | 5            | 5              |       |
| target_12c_Send_12cRegPtr_Cnt_T_str.FMDR  | 3            | 3              |       |
| target_i2c_send_i2cRegPtr_Cnt_T_str.PSC   | 66           | 66             |       |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           |       |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.PID12   | 66           | 66             |       |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              |       |
|   | 1            | 1              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR               | 1            | 1              |       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN   | 2            | 2              |       |
| target_12c_Send_12cRegPtr_Cnt_1_str.DNV target_12c_Send_12cRegPtr_Cnt_T_str.DOUT              | 3            | 3              |       |
| target_12c_Send_12cRegPtr_Cnt_1_str.DOUT  | 3            | 3              |       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |       |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |       |
| target_i2c_Send_i2cRegPtr_Cnt_T_str.PD  | 3            | 3              |       |
|   | 3            | 3              |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR            | 55           | 55             |       |
| target_i2c_SetRecv_i2cRegPtr_Cnt_T_str.IMR  | 66           | 66             |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  | 556          | 556            |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           |       |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 87           | 87             |       |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR  | 67           | 67             |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 55           | 55             |       |
|   | 66           | 66             |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 2309         | 2309           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 5            | 5              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 3            | 3              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC        | 66           | 66             |       |
|   | 1204         | 1204           |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12     | 66           | 66             |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  | 1            | 1              |       |
| target I2c SetRecv I2cRegPtr Cnt T str.DIN  | 2            | 2              |       |
| target I2c SetRecv I2cRegPtr Cnt T str.DOUT   | 3            | 3              |       |
| target I2c SetRecv I2cRegPtr Cnt T str.SET  | 3            | 3              |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 1            | 1              |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  | 2            | 2              |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD   | 3            | 3              |       |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.PSL  | 3            | 3              |       |
| target I2c SetStatus I2cRegPtr Cnt T str.OAR  | 55           | 55             |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR  | 66           | 66             |       |
| target_i2c_SetStatus_i2cRegPtr_Cnt_T_str.STR  | 556          | 556            |       |
| target_i2c_SetStatus_i2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           |       |
|   | 1204         | 1204           |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH<br>target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT | 87           | 87             |       |
|   | 67           | 67             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 55           | 55             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 66           | 66             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR     | 2309         | 2309           |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.lVR  | 5            | 5              |       |
|   | 3            | 3              |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR   |              |                |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           |       |
|   | 66           | 66             |       |
|   | •            |                |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •     |
|   | 3<br>1<br>1  | 3<br>1<br>1    |       |



| DigColPsInt_InterruptNotification |  |  |
|-----------------------------------|--|--|
|                                   |  |  |
|                                   |  |  |

| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1            | 1              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55           | 55             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87           | 87             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |

| Т                      |       |                        |       | V      |
|------------------------|-------|------------------------|-------|--------|
| Actual Function        | Count | Expected Function      | Count | Result |
| SetupRead              | 1     | SetupRead              | 1     | ~      |
| I2c_SetupMasterReceive | 1     | l2c_SetupMasterReceive | 1     | •      |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | ~      |

| Test Step 3.25 (Repeat Count = 1)               | <b>✓</b>    |
|---|-------------|
| Name  | Input Value |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1           |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10          |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20          |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0           |



| Name   | Input Value  |
|--|--|
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_SENDCMD                               |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 2  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc             | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0  |
| bigColPsInt_PrevReqDataType_Cnt_M_u08  | 1  |
| DigColPsInt RecvOverrunError Cnt M Igc   | 0  |
| bigColPsInt_RecvdDataType_Cnt_M_u08  | 0  |
| igColPsInt SkipRegisterWrite Cnt M Igc   | 0  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0  |
| igColPsInt_SpurSnsrData_Cnt_M_u16  | 87   |
| igColPsInt_TransactionCnt_Cnt_M_u08  | 10   |
| lags_Cnt_T_b16   | 4  |
| c_GenStopCond(I2cRegPtr_Cnt_T_str)   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| tc_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| c_SetStatus(I2cRegPtr_Cnt_T_str)   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)   | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]  | 0  |
| _DataRegisters_Cnt_u08[1]  | 32   |
| _DataRegisters_Cnt_u08[2]  | 30   |
| _DataRegisters_Cnt_u08[3]  | 36   |
| _DataRegisters_Cnt_u08[4]  | 38<br>34   |
| _DataRegisters_Cnt_u08[5]<br>_DataRegisters_Cnt_u08[6]   | 10   |
| _DataRegisters_Cnt_u08[7]  | 12   |
| _DataRegisters_Cnt_u08[8]  | 14   |
| cREG1 temp   | target i2cREG1 temp                                |
| ColSensorI2CAddress Cnt u08  | 9  |
| _SpurSensorI2CAddress_Cnt_u08  | 10   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 67   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1  |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3 3  |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1  |
| lrget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR<br>lrget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR | 2  |
| irget_12c_GenStopCond_12cRegPti_Cnt_1_str.ODR irget_12c_GenStopCond_12cRegPtr_Cnt_T_str.PD     | 3  |
| irget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL  | 3  |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.OAR  | 55   |
| rget_12c_Send_12cRegPtr_Cnt_T_str.IMR  | 66   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204   |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87   |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67   |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309   |
| rrget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 5  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
|  |  |

2014-10-14, 23:08:30+0530



| DigColFSInt_Interruptivotilication   |                  | MACILIA |
|--|------------------|---------|
| Name   | Input Value      |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204             |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66               |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3                |         |
| arget I2c Send I2cRegPtr Cnt T str.FUN   | 1                |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1                |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2                |         |
|  | 3                |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3                |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1                |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2                |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   |                  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3                |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3                |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55               |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66               |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556              |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309             |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204             |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87               |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67               |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55               |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66               |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309             |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5                |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3                |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66               |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204             |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66               |         |
| arget_12c_SetRecv_12cRegPtr_Cnt_T_str.DMAC   | 3                |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1                |         |
|  | 1                |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 2                |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  |                  |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3                |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3                |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1                |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2                |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3                |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3                |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55               |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66               |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556              |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309             |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204             |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87               |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67               |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 55               |         |
| arget I2c SetStatus I2cRegPtr Cnt T str.DXR  | 66               |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2309             |         |
|  | 5                |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  |                  |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3                |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66               |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204             |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66               |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3                |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1                |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1                |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2                |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3                |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3                |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1                |         |
| arget I2c SetStatus I2cRegPtr Cnt T str.ODR  | 2                |         |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.PD   | 3                |         |
|  | 3                |         |
| arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL  |                  |         |
| arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR   | 55               |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66               |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556              |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309             |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204             |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87               |         |
|  | 67               |         |
| arget_l2c_SetupMasterReceive l2cRegPtr Cnt I str.DRR   |                  |         |
|  | 55               |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   |                  |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR | 55<br>66<br>2309 |         |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

| Name   | Input Value  |                |          |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         |                |          |
|  | 66           |                |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            |                |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 3            |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           |                |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 66           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          |                |          |
|  |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           |                |          |
|  | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            |                |          |
| target_i2cREG1_temp.OAR                                  | 55           |                |          |
| target i2cREG1 temp.IMR                                  | 66           |                |          |
| target i2cREG1 temp.STR                                  | 556          |                |          |
| target i2cREG1 temp.CLKL                                 | 2309         |                |          |
| target i2cREG1 temp.CLKH                                 | 1204         |                |          |
| target_i2cREG1_temp.CNT                                  | 87           |                |          |
| target_i2cREG1_temp.DRR                                  | 67           |                |          |
|  | 55           |                |          |
| target_i2cREG1_temp.SAR                                  |              |                |          |
| target_i2cREG1_temp.DXR                                  | 66           |                |          |
| target_i2cREG1_temp.MDR                                  | 2309         |                |          |
| target_i2cREG1_temp.IVR                                  | 5            |                |          |
| target_i2cREG1_temp.EMDR                                 | 3            |                |          |
| target_i2cREG1_temp.PSC                                  | 66           |                |          |
| target_i2cREG1_temp.PID11                                | 1204         |                |          |
| target_i2cREG1_temp.PID12                                | 66           |                |          |
| target_i2cREG1_temp.DMAC                                 | 3            |                |          |
| target_i2cREG1_temp.FUN                                  | 1            |                |          |
| target i2cREG1 temp.DIR                                  | 1            |                |          |
| target_i2cREG1_temp.DIN                                  | 2            |                |          |
| target i2cREG1 temp.DOUT                                 | 3            |                |          |
| target i2cREG1 temp.SET                                  | 3            |                |          |
| target_i2cREG1_temp.CLR                                  | 1            |                |          |
| target_i2cREG1_temp.ODR                                  | 2            |                |          |
|  | 3            |                |          |
| target_i2cREG1_temp.PD                                   |              |                |          |
| target_i2cREG1_temp.PSL                                  | 3            | I=             |          |
| Name   | Actual Value | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08          | 1            | 1              | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[0]                          | 32           | 32             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]                          | 20           | 20             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                          | 30           | 30             | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                    | 0            | 0              | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                    | 1            | 1              | ~        |
| DigColPsInt ColCustDatFound Cnt M Igc                    | 1            | 1              |          |

2309

DigColPsInt\_ColCustDatFound\_Cnt\_M\_lgc

DigColPsInt\_ColSnsrData\_Cnt\_M\_u16

1 2309

2014-10-14, 23:08:30+0530



| Name   | Actual Value                  | Expected Value                | Resul |
|--|-------------------------------|-------------------------------|-------|
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 123                           | 123                           | •     |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_CHECKSTAT_SETREG | INIT_SENSOR1_CHECKSTAT_SETREG | •     |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 1 2                           | 1 2                           |       |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc | 0                             | 0                             |       |
| DigColPsInt_InitralledOrice_Crit_W_igc   | 0                             | 0                             |       |
| DigColPsInt_NackOccured_Cnt_M_gc DigColPsInt RecvOverrunError Cnt M Igc            | 0                             | 0                             |       |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 0                             | 0                             |       |
| DigColPsInt SpurCustDatFound Cnt M Igc   | 0                             | 0                             |       |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 87                            | 87                            |       |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10                            | 10                            |       |
| target I2c GenStopCond I2cRegPtr Cnt T str.OAR                                     | 55                            | 55                            |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                                     | 66                            | 66                            |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                                     | 556                           | 556                           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                                    | 2309                          | 2309                          |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                                    | 1204                          | 1204                          |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                                     | 87                            | 87                            |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                                     | 67                            | 67                            |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                                     | 55                            | 55                            |       |
| target I2c GenStopCond I2cRegPtr Cnt T str.DXR                                     | 66                            | 66                            |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                                     | 2309                          | 2309                          |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                                     | 5                             | 5                             |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                                    | 3                             | 3                             |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                                     | 66                            | 66                            |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                   | 1204                          | 1204                          | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                   | 66                            | 66                            | •     |
| target I2c GenStopCond I2cRegPtr Cnt T str.DMAC                                    | 3                             | 3                             | •     |
| target I2c GenStopCond I2cRegPtr Cnt T str.FUN                                     | 1                             | 1                             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                                     | 1                             | 1                             |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                                     | 2                             | 2                             |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                    | 3                             | 3                             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                                     | 3                             | 3                             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                                     | 1                             | 1                             |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                                     | 2                             | 2                             | •     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                                      | 3                             | 3                             |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                                     | 3                             | 3                             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55                            | 55                            | _     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66                            | 66                            |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556                           | 556                           | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309                          | 2309                          | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204                          | 1204                          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87                            | 87                            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67                            | 67                            | -     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55                            | 55                            | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66                            | 66                            | -     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309                          | 2309                          | •     |
| target I2c Send I2cRegPtr Cnt T str.IVR  | 5                             | 5                             | -     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3                             | 3                             |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66                            | 66                            | -     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204                          | 1204                          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66                            | 66                            |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3                             | 3                             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1                             | 1                             | -     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1                             | 1                             | -     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2                             | 2                             | -     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3                             | 3                             |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3                             | 3                             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1                             | 1                             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2                             | 2                             | -     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3                             | 3                             | •     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3                             | 3                             | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55                            | 55                            | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66                            | 66                            | -     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 556                           | 556                           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2309                          | 2309                          | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 1204                          | 1204                          |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 87                            | 87                            | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 67                            | 67                            |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55                            | 55                            | ~     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66                            | 66                            | -     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309                          | 2309                          | -     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5                             | 5                             | -     |
|  | 3                             | 3                             |       |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Resul |
|--|--------------|----------------|-------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC                         | 3            | 66             |       |
| target I2c SetRecv I2cRegPtr Cnt T str.FUN   | 1            | 1              |       |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DIR   | 1            | 1              |       |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DIN   | 2            | 2              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             |       |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              |       |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |       |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC<br>target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11 | 66<br>1204   | 66<br>1204     |       |
|  | 66           | 66             |       |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              |       |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.FUN  | 1            | 1              |       |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR  | 1            | 1              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              |       |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR  | 1            | 1              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             |       |
|  |              |                |       |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c_Send                | 1     | I2c_Send                | 1     | ~        |

| lame  | Input Value  |
|---|--|
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| igColPsInt_Buffer_Cnt_M_u08[1]                  | 20   |
| DigColPsInt Buffer Cnt M u08[2]                 | 30   |
| DigColPsInt BusBusySeqError Cnt M Igc           | 0  |
| pigColPsInt CmdFailOccurred Cnt M lgc           | 1  |
| bigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| bigColPsInt_ColSnsrData_Cnt_M_u16               | 2309   |
| igColPsInt_CurrentSlave_Cnt_M_u08               | 123  |
| igColPsInt_CurrentStepNo_Cnt_M_enum             | INIT SENSOR2 SENDCMD                               |
| DigColPsInt I2CHwCustData Uls M u16             | 1  |
| igColPsInt I2CHwIncompleteCustData Uls M u16    | 2  |
| igColPsInt InitFailedOnce Cnt M Igc             | 0  |
| bigColPsInt NackOccured Cnt M Igc               | 0  |
| ligColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt RecvOverrunError Cnt M Igc          | 0  |
| igColPsInt_RecvdDataType_Cnt_M_u08              | 0  |
| ligColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| bigColPsInt SpurCustDatFound Cnt M lgc          | 0  |
| igColPsInt_SpurSnsrData Cnt M u16               | 87   |
|   | 10   |
| ligColPsInt_TransactionCnt_Cnt_M_u08            | 4  |
| lags_Cnt_T_b16                                  |  |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]                       | 0  |
| _DataRegisters_Cnt_u08[1]                       | 32   |
| _DataRegisters_Cnt_u08[2]                       | 30   |
| _DataRegisters_Cnt_u08[3]                       | 36   |
| _DataRegisters_Cnt_u08[4]                       | 38   |
| _DataRegisters_Cnt_u08[5]                       | 34   |
| _DataRegisters_Cnt_u08[6]                       | 10   |
| _DataRegisters_Cnt_u08[7]                       | 12   |
| _DataRegisters_Cnt_u08[8]                       | 14   |
| 2cREG1_temp                                     | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08                    | 9  |
| _SpurSensorI2CAddress_Cnt_u08                   | 10   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR    | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87   |

2014-10-14, 23:08:30+0530



|  |             | 10-10 |
|--|-------------|-------|
| Name   | Input Value |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67          |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55          |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66          |       |
| target I2c GenStopCond I2cRegPtr Cnt T str.MDR   | 2309        |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66          |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204        |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66          |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3           |       |
| target I2c GenStopCond I2cRegPtr Cnt T str.FUN   | 1           |       |
|  | 1           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 3           |       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT  |             |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3           |       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR   | 1           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 3           |       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 55          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 66          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 556         |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 2309        |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 1204        |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 87          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 67          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 55          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 66          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 2309        |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 5           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 3           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 66          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 1204        |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 66          |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 3           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 1           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3           |       |
| target I2c Send I2cRegPtr Cnt T str.SET          | 3           |       |
| · ·  | 1           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 2           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          |             |       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD           | 3           |       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 55          |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 66          |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 556         |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 2309        |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 1204        |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 87          |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 67          |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 55          |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 66          |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 2309        |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 5           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 3           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       | 66          |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 1204        |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     | 66          |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 3           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       | 1           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       | 1           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN       | 2           |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT      | 3           |       |
|  | 3           |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET       |             |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR       | 1           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR       | 2           |       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD        | 3           |       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL       | 3           |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR     | 55          |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR     | 66          |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR     | 556         |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL    | 2309        |       |
|  |             |       |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 1204        |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 87          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR             | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 2309        |
| target I2c SetStatus I2cRegPtr Cnt T str.IVR             | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 66          |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 1204        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.DIN             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3           |
|  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556         |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT    | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR    | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 3           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 1204        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 87          |
| · · · · · · · · · · · · · · · · · · ·                    |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.EMDR  | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 66          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_i2cREG1_temp.OAR                                  | 55          |
| target i2cREG1_temp.IMR                                  | 66          |
|  |             |



| DigColPsInt_InterruptNotification  |                               | MACI                          | Cab    |
|--|-------------------------------|-------------------------------|--------|
| Name   | Input Value                   |                               |        |
| target_i2cREG1_temp.STR  | 556                           |                               |        |
| target_i2cREG1_temp.CLKL   | 2309                          |                               |        |
| target_i2cREG1_temp.CLKH   | 1204                          |                               |        |
| target_i2cREG1_temp.CNT  | 87                            |                               |        |
| target_i2cREG1_temp.DRR  | 67<br>55                      |                               |        |
| target_i2cREG1_temp.SAR<br>target_i2cREG1_temp.DXR   | 66                            |                               |        |
| target_i2cREG1_temp.MDR  | 2309                          |                               |        |
| target_i2cREG1_temp.IVR  | 5                             |                               |        |
| target i2cREG1 temp.EMDR   | 3                             |                               |        |
| target i2cREG1 temp.PSC  | 66                            |                               |        |
| target_i2cREG1_temp.PID11  | 1204                          |                               |        |
| target_i2cREG1_temp.PID12  | 66                            |                               |        |
| target_i2cREG1_temp.DMAC   | 3                             |                               |        |
| target_i2cREG1_temp.FUN  | 1                             |                               |        |
| target_i2cREG1_temp.DIR  | 1                             |                               |        |
| target_i2cREG1_temp.DIN  | 2                             |                               |        |
| target_i2cREG1_temp.DOUT   | 3                             |                               |        |
| target_i2cREG1_temp.SET  | 3                             |                               |        |
| target_i2cREG1_temp.CLR  | 1 2                           |                               |        |
| target_i2cREG1_temp.ODR<br>target_i2cREG1_temp.PD  | 3                             |                               |        |
| target i2cREG1_temp.PSL  | 3                             |                               |        |
| Name   | Actual Value                  | Expected Value                | Result |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 1                             | 1                             | Kesuii |
| DigColPsInt Buffer Cnt M u08[0]  | 32                            | 32                            |        |
| DigColPsInt Buffer Cnt M u08[1]  | 20                            | 20                            |        |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 30                            | 30                            |        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0                             | 0                             | •      |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1                             | 1                             | •      |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1                             | 1                             | •      |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2309                          | 2309                          | •      |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 123                           | 123                           | •      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR2_CHECKSTAT_SETREG | INIT_SENSOR2_CHECKSTAT_SETREG | •      |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 1                             | 1                             | •      |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  | 2                             | 2                             | •      |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc   | 0                             | 0                             | •      |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                             | 0                             | •      |
| DigColPoint_RecvOverrunError_Cnt_M_lgc   | 0                             | 0                             |        |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc                         | 0                             | 0                             |        |
| DigColPsInt SpurSnsrData Cnt M u16   | 87                            | 87                            |        |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10                            | 10                            |        |
| I2c_Send(Length_Cnt_T_u32)   | 1                             | 1                             | •      |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 1                             | 1                             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55                            | 55                            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66                            | 66                            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556                           | 556                           | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309                          | 2309                          | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204                          | 1204                          | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87                            | 87                            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67                            | 67                            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55                            | 55                            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                            | 66                            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309                          | 2309                          | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 3                             | 5                             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 66                            | 3 66                          | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC<br>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204                          | 1204                          |        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12   | 66                            | 66                            |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                             | 3                             |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                             | 1                             |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                             | 1                             |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                             | 2                             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                             | 3                             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                             | 3                             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1                             | 1                             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2                             | 2                             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3                             | 3                             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3                             | 3                             | •      |
| talget_izc_Genotopcond_izcivegrti_cnt_1_str.FSL  |                               |                               |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55                            | 55                            | •      |
|  |                               | 55<br>66<br>556               |        |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | <b>Y</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR   | 67<br>55     | 67<br>55       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 66           | 66             |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR | 2309         | 2309           |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 5            | 5              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | <u> </u> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                       | 1204         | 1204           |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                       | 66           | 66             |          |
| target I2c Send I2cRegPtr Cnt T str.DMAC  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.ODR   | 2            | 2              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR                                      | 55           | 55             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR                                      | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR                                      | 556          | 556            | ✓        |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKL                                     | 2309         | 2309           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH                                     | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT                                      | 87           | 87             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR                                      | 67           | 67             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR                                      | 55           | 55             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR                                      | 66           | 66             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR                                      | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR                                      | 5            | 5              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR                                     | 3            | 3              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC                                      | 66           | 66             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11                                    | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12                                    | 66           | 66             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC                                     | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN                                      | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR                                      | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN                                      | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT                                     | 3            | 3              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET                                      | 3            | 3              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR                                      | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR                                      | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                                       | 3            | 3              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL                                      | 3            | 3              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR                                    | 55           | 55             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR                                    | 66           | 66             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR                                    | 556          | 556            | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL                                   | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH                                   | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT                                    | 87           | 87             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR                                    | 67           | 67             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR                                    | 55           | 55             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR                                    | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR                                    | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR                                    | 5            | 5              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR                                   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC                                    | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11                                  | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12                                  | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC                                   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN                                    | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR                                    | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN                                    | 2            | 2              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT                                   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET                                    | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR                                    | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR                                    | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD                                     | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL                                    | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                           | 55           | 55             | <b>~</b> |
|   |              |                |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87           | 87             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC    | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | •        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID12  | 66           | 66             | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC   | 3            | 3              | _        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN    | 1            | 1              | •        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 1            | 1              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | •        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT   | 3            | 3              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | •        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 1            | 1              |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 2            | 2              | ·        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 55           | 55             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 66           | 66             | ·        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 1204         | 1204           |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT   | 87           | 87             | · ·      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR   | 55           | 55             |          |
| · ·  | 66           | 66             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   |              | 2309           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 5              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  |              | 66             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 111            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>Y</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>Y</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>Y</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>~</b> |
| I2c_Send                | 1     | I2c_Send                | 1     | ~        |

| Test Step 3.27 (Repeat Count = 1)               |                                     |
|---|-------------------------------------|
| Name  | Input Value                         |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1                                   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10                                  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20                                  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30                                  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0                                   |
| DigColPsInt_CmdFailOccurred_Cnt_M_Igc           | 1                                   |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1                                   |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309                                |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 123                                 |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_EXTREADADDRREG_SENDCMD |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 1                                   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 2                                   |

### 2014-10-14, 23:08:30+0530



| DigColPSint_interruptiNotification   | ( CAC ) ( CAC )                                    |
|--|--|
| Name   | Input Value  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08  | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10   |
| Flags_Cnt_T_b16  | 4  |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]  | 0  |
| _DataRegisters_Cnt_u08[1]  | 32   |
| _DataRegisters_Cnt_u08[2]  | 30   |
| _DataRegisters_Cnt_u08[3]  | 36   |
| _DataRegisters_Cnt_u08[4]  | 38   |
|  | 34   |
|  | 10   |
|  | 12   |
|  | 14   |
| 2cREG1_temp  | target_i2cREG1_temp                                |
| _ColSensorI2CAddress_Cnt_u08   | 9  |
| <br>_SpurSensorI2CAddress_Cnt_u08  | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 67   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.EMDR   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66   |
|  | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 5  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC  | 3  |
|  | 1  |
| arget 12c Send 12cRegPtr Cnt T str FLIN  |  |
|  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN | 1 2  |

2014-10-14, 23:08:30+0530



| DigCor-Sini_interruptivotinication  | THE CHAIR   |
|---|-------------|
| Name  | Input Value |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 3           |
| target I2c Send I2cRegPtr Cnt T str.CLR   | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3           |
| arget I2c Send I2cRegPtr Cnt T str.PSL  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55          |
|   | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 556         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 55          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66          |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1           |
| rarget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3           |
| arget I2c SetRecv I2cRegPtr Cnt T str.CLR   | 1           |
| target I2c SetRecv I2cRegPtr Cnt T str.ODR  | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| arget_12c_SetStatus_12cRegPtr_Cnt_T_str.OAR   | 55          |
|   | 66          |
| rarget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR  | 67          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR  | 55          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| arget I2c SetStatus I2cRegPtr Cnt T str.SET   | 3           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| arget I2c SetStatus I2cRegPtr Cnt T str.ODR   | 2           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3           |
| arget_12c_setStatus_12cRegPtr_Cnt_T_str.PSL   | 3           |
|   | 55          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  |             |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 55          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66          |
|   | 1204        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt T str.PID11  |             |
|   | 66          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66<br>3     |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN |             |

2014-10-14, 23:08:30+0530



| Name   |  |              |                |          |
|--|--|--------------|----------------|----------|
| Suggi (1) Schaphtenisticsone, Displayer (1) 1, 1900001   1   1   1   1   1   1   1   1   | Name   | Input Value  |                |          |
| Suggi (1) Schaphtenisticsone, Displayer (1) 1, 1900001   1   1   1   1   1   1   1   1   | target 12c SetupMasterReceive 12cRegPtr Cnt T str DIN    | 2            |                |          |
| Supple   Description   Proceedings   Description   Descr   |  |              |                |          |
| Segret   Park   Segret   Seg   |  |              |                |          |
| taggs I.P., Sauphaten Fearman, Edings Front, T. and ORI  stages 1.D. Sauphaten Fearman, Edings Front, T. and | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            |                |          |
| Bingst_PR_SEMENTATION_PROME_   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            |                |          |
| larget_D2_Separatement Receiver_D2_Separate CT_T_SO PAR.  1011_12_12_Separatement Receiver_D2_Separate CT_T_SO PAR.  1012_12_Separatement Receiver_D2_Separatement Rece  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            |                |          |
| larget_D2_Separatement Receiver_D2_Separate CT_T_SO PAR.  1011_12_12_Separatement Receiver_D2_Separate CT_T_SO PAR.  1012_12_Separatement Receiver_D2_Separatement Rece  | target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 3            |                |          |
| Hange, Dis, Shaphdeath Transes (Discher), D.T., Birth DR. 1997, D. |  |              |                |          |
| bugger   De   SeuthAnnet Framenin   DeRegning   Cont   T. au DNR   |  |              |                |          |
| Biggs   12.5. Selph/dester Transmill   2069/Pg   ColT   str. CAL   2036  |  |              |                |          |
| Bayes   12.5. Selection Framework   12.6 Regiver   Civil T. selection   12.6 Regiver   12.6 Re   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           |                |          |
| taggst_RS_SelphAmer Transmit_RRegings_Cont_ and CNLH taggs_RS_SelphAmer Transmit_RRegings_Cont_ and C  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          |                |          |
| taggst_RS_SelphAmer Transmit_RRegings_Cont_ and CNLH taggs_RS_SelphAmer Transmit_RRegings_Cont_ and C  | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 2309         |                |          |
| tanget_22_Sab_bited Transmit_22-Reging_Crit_1 ac DNT   |  | 1204         |                |          |
| lange, I. 2. Sepub Anter Transmil, I. 2018-197. Cn. T. ab DRR   55   |  |              |                |          |
| tayed, 10. Setup-Mater Travarum, 12.0Reg/Pri CMT 1, 14.0DR   |  |              |                |          |
| Larget, 12.5. Sebup Mater Transmill, 2016-98 (2017 CM, 1 yet /MDR  |  |              |                |          |
| Langer   Line    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           |                |          |
| Seption   Sept   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           |                |          |
| Segret   Dec   Selection   Dec   Selection   Dec   Selection   Dec   Selection   Dec   D   | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 2309         |                |          |
| Image   12.5 shouthwaterTeamerit   20-Repith* Cont_T_at RSC   Reging   12.5 shouthwaterTeamerit   20-Repith* Cont_T_at RSC   Reging   12.5 shouthwaterTeamerit   20-Repith* Cont_T_at RIPID12   20-24   20-2   |  | 5            |                |          |
| Image:   1.5. Selesta/Market Transmic (2.0 Regin)** Cont.**   2.0 PET   1.0 PET   1.   |  |              |                |          |
| tinged, I.e., SelandAsset Transmal, I.e.RepPit, Colf. T. at PID112   1204   1204   1205   120 |  |              |                |          |
| Image   Less - Selang Austral Framman   Zelang Pirk Cent   Lat Pirol 2   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           |                |          |
| target_Lip_SebupMateFrammit_Lip_RegPr_Cont_T_str.DMAC   3  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         |                |          |
| target_Lip_SebupMateFrammit_Lip_RegPr_Cont_T_str.DMAC   3  | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 66           |                |          |
| Image   125, Sebuphilate/Transmil   266699PL Col.T., str. DN   1   |  | 3            |                |          |
| barget_125_SetupMeterTransmit_226669PC_ORT_1_str_DRN   1   |  |              |                |          |
| Larges   Lag. SetupMeater Transmit   L2RegPtr   Cost   1 str DOUT   3   1 strong   L2, SetupMeater Transmit   L2RegPtr   Cost   1 strong   L2, SetupMeater Transmit   L2RegPtr   L2, SetupMeater Transmit   L2   |  |              |                |          |
| target L2s SebupAsaterTransmit ZerRepPr CnLT_str.DUT  arget L2s. SebupAsaterTransmit ZerRepPr CnLT_str.DUT  arget L2s. SebupAsaterTransmit ZerRepPr CnLT_str.CLR  1 target L2s. SebupAsaterTransmit ZerRepPr CnLT_str.DUR  2 target L2s. SebupAsaterTransmit ZerRepPr CnLT_str.DUR  3 target L2s. SebupAsaterTransmit ZerRepPr CnLT_str.DUR  3 target L2s. SebupAsaterTransmit ZerRepPr CnLT_str.DUR  3 target L2s. SebupAsaterTransmit ZerRepPr CnLT_str.DUR  4 target L2s. SebupAsaterTransmit ZerRepPr CnLT_str.DUR  5   |  |              |                |          |
| target_Lize_SebupMasterTransmit_LizeRegiPt_Cont_T_str CRR  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            |                |          |
| target_Log_SetupAssterTransmit_LogRegPir_Contstr.OUR 2   1   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            |                |          |
| target_Log_SetupAssterTransmit_LogRegPir_Contstr.OUR 2   1   | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 3            |                |          |
| Integral   2.8 SelupMaster Transmit  |  |              |                |          |
| target_IZe, SetupMasterTransmit_IZeRegPtr_Cnt_T_str.PD  arget_IZe, SetupMasterTransmit_IZeRegPtr_Cnt_T_str.PSL  arget_IZe, SetupMasterTransmit_IZeRegPtr_Cnt_T_str.PSL  arget_IZe, SetupMasterTransmit_IZERegPtr_Cnt_T_str.PSL  arget_IZe, Izenp_Cnmp.STR  55  target_IZE, Izenp_Cnt, Izenp_Clt, Izenp_IZER  target_IZEREGT_lemp_Clt, Izenp_Clt, Izenp_IZEREGT_lemp_Clt, Izenp_IZEREGT_lemp_Clt, Izenp_IZEREGT_lemp_Clt, Izenp_IZEREGT_lemp_Clt, Izenp_IZEREGT_lemp_Clt, Izenp_IZEREGT_lemp_DRR  57  target_IZEREGT_lemp_DRR  58  target_IZEREGT_lemp_DRR  59  target_IZEREGT_lemp_DRR  50  target_IZEREGT_Lemp_IZEREGT_LEMP_IZEREGT_LEMP_IZEREGT_LEMP_IZEREGT_LEMP_IZEREGT_LEMP_IZEREGT_LEMP_IZEREGT_LEMP  |  |              |                |          |
| Integral   22. Seluph Mater   Transmit   22. Reg Pir_Cnt_Tair_PSL   3   3   3   3   3   3   3   3   3  |  |              |                |          |
| target_L2REG1_temp_DAR   55   target_L2REG1_temp_DETR   556   target_L2REG1_temp_DETR   556   target_L2REG1_temp_DETR   556   target_L2REG1_temp_DETR   556   target_L2REG1_temp_DETR   57   target_L2REG1_temp_DETR   67   target_L2REG1_temp_DETR   67   target_L2REG1_temp_DETR   67   target_L2REG1_temp_DETR   67   target_L2REG1_temp_DETR   67   target_L2REG1_temp_DETR   67   target_L2REG1_temp_DETR   68   target_L2REG1_temp_DETR   68   target_L2REG1_temp_DETR   68   target_L2REG1_temp_DETR   68   target_L2REG1_temp_DETR   68   target_L2REG1_temp_DETR   68   target_L2REG1_temp_DETR   69   target_L2REG1_temp_DETR   79   target_L2REG1_temp_DETR   79 | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            |                |          |
| Images   L26/EG1   temp. DIMR  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            |                |          |
| Images   L26/EG1   temp. DIMR  | target i2cREG1 temp.OAR                                  | 55           |                |          |
| target_L2REG1_temp.CLKL    2309  |  |              |                |          |
| target_J2cREG1_temp.CLKL target_J2cREG1_temp.CLKT target_J2cREG1_temp.DRR d7 target_J2cREG1_temp.DRR d8 farget_J2cREG1_temp.DRR d8 target_J2cREG1_temp.DRR d8 target_J2cREG1_temp.PRS d8 target_J2cREG1_temp.PRS d8 target_J2cREG1_temp.PRS d8 target_J2cREG1_temp.DRR d |  |              |                |          |
| target_J2cREG1_temp.CLKH target_J2cREG1_temp.CNT 67 target_J2cREG1_temp.DRR 67 target_J2cREG1_temp.DRR 68 target_J2cREG1_temp.DRR 68 target_J2cREG1_temp.MDR 2309 target_J2cREG1_temp.MDR 3 target_J2cREG1_temp.MDR 3 target_J2cREG1_temp.MDR 3 target_J2cREG1_temp.MDR 4 target_J2cREG1_temp.MDR 4 target_J2cREG1_temp.MDR 4 target_J2cREG1_temp.MDR 5 target_J2cREG1_temp.MDR 4 target_J2cREG1_temp.MDR 4 target_J2cREG1_temp.MDR 4 target_J2cREG1_temp.MDR 4 target_J2cREG1_temp.MDR 4 target_J2cREG1_temp.MDR 5 target_J2cREG1_temp.MDR 4 target_J2cREG1_temp.MDR 4 target_J2cREG1_temp.DDR 4 target_J2cREG1_temp.DDR 5 target_J2cREG1_temp.DDR 6 target_J2cREG1_temp.DDR 7 target_J2cRE |  |              |                |          |
| target_J2cREG1_temp.DRT  | target_i2cREG1_temp.CLKL                                 | 2309         |                |          |
| target_!ZcREG1_temp.DRR  | target_i2cREG1_temp.CLKH                                 | 1204         |                |          |
| target_J2cREG1_temp.DRR  | target i2cREG1 temp.CNT                                  | 87           |                |          |
| target_J2cREG1_temp.SAR         55           target_J2cREG1_temp.DNR         66           target_J2cREG1_temp.NR         5           target_J2cREG1_temp.DNR         3           target_J2cREG1_temp.PBMCR         3           target_J2cREG1_temp.PBMCR         66           target_J2cREG1_temp.DID11         1204           target_J2cREG1_temp.DID12         66           target_J2cREG1_temp.DNAC         3           target_J2cREG1_temp.DNR         1           target_J2cREG1_temp.DIN         1           target_J2cREG1_temp.DIN         2           target_J2cREG1_temp.DCR         3           target_J2cREG1_temp.DCR         1           target_J2cREG1_temp.DCR         2           target_J2cREG1_temp.DCR         2           target_J2cREG1_temp.DCR         2           target_J2cREG1_temp.DCR         1           target_J2cREG1_temp.DCR         2           target_J2cREG1_temp.DCR         2           target_J2cREG1_temp.DSL         3           Name         Actual Value         Expected Value         Result           DigCoPsInt_MatempOccurForCustDatRead_Cnt_M_u08         1         1         1         4           DigCoPsInt_MatempOccurForCustDatRead_Cnt_M_u08 <td< td=""><td></td><td>67</td><td></td><td></td></td<>   |  | 67           |                |          |
| target_ ZcREG1_temp.DXR  |  |              |                |          |
| target_!2cREG_!emp.MDR   | · · · · · · · · · · · · · · · · · · ·                    |              |                |          |
| target_ 2cREG1_temp_IMDR   |  |              |                |          |
| target_!2cREG1_temp_PSC         66           target_!2cREG1_temp_PID11         1204           target_!2cREG1_temp_PID12         66           target_!2cREG1_temp_DIMAC         3           target_!2cREG1_temp_DIMAC         1           target_!2cREG1_temp_DIN         1           target_!2cREG1_temp_DIN         2           target_!2cREG1_temp_DOUT         3           target_!2cREG1_temp_DCR         1           target_!2cREG1_temp_DCR         1           target_!2cREG1_temp_DCR         2           target_!2cREG1_temp_DCR         2           target_!2cREG1_temp_DDN         3           target_!2cREG1_temp_DDR         2           target_!2cREG1_temp_DCR         1           target_!2cREG1_temp_DDR         2           target_!2cREG1_temp_DDN         3           target_!2cREG1_temp_DDR         2           target_!2cREG1_temp_DDR         1           target_!2cREG1_temp_DDR         2           target_!2cREG1_temp_DDR         2           target_!2cREG1_temp_DDR         2           target_!2cREG1_temp_DDR         1           target_!2cREG1_temp_DDR         2           target_!2cREG1_temp_DDR         2           target_!2cREG2_temp_DDR  | target_i2cREG1_temp.MDR                                  | 2309         |                |          |
| target_!2cREG1_temp.PSC  | target_i2cREG1_temp.IVR                                  | 5            |                |          |
| target_i2cREG1_temp.PID11  | target_i2cREG1_temp.EMDR                                 | 3            |                |          |
| target_i2cREG1_temp.PID11  | target_i2cREG1_temp.PSC                                  | 66           |                |          |
| target_i2cREG1_temp.PID12         66           target_i2cREG1_temp.DMAC         3           target_i2cREG1_temp.DNR         1           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         3           target_i2cREG1_temp.DOUT         3           target_i2cREG1_temp.DCR         1           target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.DDR         3           target_i2cREG1_temp.DDR         3           target_i2cREG1_temp.DDR         3           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PDR.         3           target_i2cREG1_temp.PDR.         3           target_i2cREG1_temp.PDR.         3           target_i2cREG1_temp.PDR.         3           target_i2cREG1_temp.PDR.         3           target_i2cREG1_temp.PDR.         3           target_i2cREG1_temp.DDR.         4           larget_i2cREG1_temp.DDR.         4           larget_i2cREG1_temp.DDR.         4           larget_i2cREG1_temp.DDR.         2           larget_i2cREG1_temp.DDR.         1         1           larget_i2cREG1  |  |              |                |          |
| target_!2cREG1_temp.DMAC         3           target_!2cREG1_temp.FUN         1           target_!2cREG1_temp.DIR         1           target_!2cREG1_temp.DIN         2           target_!2cREG1_temp.DOUT         3           target_!2cREG1_temp.SET         3           target_!2cREG1_temp.DOR         2           target_!2cREG1_temp.DOR         2           target_!2cREG1_temp.PD         3           target_!2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         1   |  |              |                |          |
| target_i2cREG1_temp.FUN  | · ·  |              |                |          |
| target_i2cREG1_temp.DIR  | target_i2cREG1_temp.DMAC                                 | 3            |                |          |
| target_i2cREG_temp.DIN         2           target_i2cREG1_temp.DOUT         3           target_i2cREG1_temp.DOR         3           target_i2cREG1_temp.DOR         1           target_i2cREG1_temp.DOR         2           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         1         1         4         4           DigColPsInt_Buffer_Cnt_M_u08[0]         12         12         1         2         1         1         1         4         1         1         4         1         1         4         1         1         1         4         1         4         1         4         1         4         1         4         1         4         1         4         1         4         1         4         1         4         1         4         1         4         2         2         1         1         1         1         2         2         4         1         1         1         1         1         1         1         1         1         1         1   | target_i2cREG1_temp.FUN                                  | 1            |                |          |
| target_i2cREG_temp.DIN         2           target_i2cREG1_temp.DOUT         3           target_i2cREG1_temp.DOR         3           target_i2cREG1_temp.DOR         1           target_i2cREG1_temp.DOR         2           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         1         1         4         4           DigColPsInt_Buffer_Cnt_M_u08[0]         12         12         1         2         1         1         1         4         1         1         4         1         1         4         1         1         1         4         1         4         1         4         1         4         1         4         1         4         1         4         1         4         1         4         1         4         1         4         1         4         2         2         1         1         1         1         2         2         4         1         1         1         1         1         1         1         1         1         1         1   | target i2cREG1 temp.DIR                                  | 1            |                |          |
| target_i2cREG1_temp.DOUT         3           target_i2cREG1_temp.SET         3           target_i2cREG1_temp.CLR         1           target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_AltempOccurForCustDatRead_Cnt_M_u08         1         2         2         1         2         1  | ·  | 2            |                |          |
| target_i2cREG1_temp.SET       3         target_i2cREG1_temp.CLR       1         target_i2cREG1_temp.DDR       2         target_i2cREG1_temp.PSL       3         Actual Value       Expected Value       Result         DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       1 <td< td=""><td>- · ·</td><td></td><td></td><td></td></td<>  | - · ·  |              |                |          |
| target_i2cREG1_temp.CLR         1           target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.PD         3           target_i2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_Buffer_Cnt_M_u08[0]         1         1         1         V           DigColPsInt_Buffer_Cnt_M_u08[1]         128         128         128         V           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         0         V           DigColPsInt_BusBusDySeqError_Cnt_M_lgc         0         0         V           DigColPsInt_CondFailOccurred_Cnt_M_lgc         1         1         V           DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1         V           DigColPsInt_ColSnsrData_Cnt_M_u16         2309         2309         V           DigColPsInt_CurrentSlave_Cnt_M_u08         123         123         123           DigColPsInt_CurrentSlevDo_Cnt_M_enum         INIT_SENSOR1_EXTREADCTRLREG_SEN         V           DigColPsInt_U2CHwCustData_UIs_M_u16         1         1         1           DigColPsInt_lift-BiedOnce_Cnt_M_lgc         0         0         V           DigColPsInt_laft-BiedOnce_Cnt_M_lgc         0         0   |  |              |                |          |
| target_j2cREG1_temp.DDR         2           target_j2cREG1_temp.PD         3           target_j2cREG1_temp.PSL         3           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         1         1         1   |  |              |                |          |
| target_j2cREG1_temp.PD         3           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         1         1         1         ✓           DigColPsInt_Buffer_Cnt_M_u08[0]         12         12         12         ✓           DigColPsInt_Buffer_Cnt_M_u08[1]         128         128         ✓         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         ✓ </td <td>target_i2cREG1_temp.CLR</td> <td>1</td> <td></td> <td></td>   | target_i2cREG1_temp.CLR                                  | 1            |                |          |
| target_i2cREG1_temp.PD         3           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         1         1         1         ✓           DigColPsInt_Buffer_Cnt_M_u08[0]         12         12         12         ✓           DigColPsInt_Buffer_Cnt_M_u08[1]         128         128         ✓         ✓         DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         ✓         ✓         DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0         ✓         ✓         DigColPsInt_BusBusySeqError_Cnt_M_lgc         1         1         1         ✓         ✓         DigColPsInt_CmdFailOccurred_Cnt_M_lgc         1         1         1         ✓         ✓         DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1         1         ✓         ✓         DigColPsInt_ColSustDatFound_Cnt_M_u16         2309         2309         2309         ✓         ✓         DigColPsInt_CurrentSlave_Cnt_M_u08         123         123         ✓         DigColPsInt_CurrentSlave_Cnt_M_u08         123         123         ✓         DigColPsInt_LizCHwCustData_Uis_M_u16         1         1         ✓         DigColPsInt_LizCHwCustData_Uis_M_u16         1         1         ✓         DigColPsInt_InitFailedOnce_Cnt_M_lgc         0  | target i2cREG1 temp.ODR                                  | 2            |                |          |
| Name   |  |              |                |          |
| Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         1         1         4           DigColPsInt_Buffer_Cnt_M_u08[0]         12         12         2           DigColPsInt_Buffer_Cnt_M_u08[1]         128         128         2           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         0         ✓           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0         ✓         ✓           DigColPsInt_CmdFailOccurred_Cnt_M_lgc         1         1         1         ✓         ✓           DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1         1         ✓  |  |              |                |          |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         1         1         ✓           DigColPsInt_Buffer_Cnt_M_u08[0]         12         12         12           DigColPsInt_Buffer_Cnt_M_u08[1]         128         128         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         ✓           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0         ✓           DigColPsInt_CmdFailOccurred_Cnt_M_lgc         1         1         ✓           DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1         ✓           DigColPsInt_ColSnsrData_Cnt_M_u16         2309         2309         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         123         123         123           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_EXTREADCTRLREG_SEN         ✓           DigColPsInt_12CHwCustData_Uls_M_u16         1         1         ✓           DigColPsInt_l2CHwIncompleteCustData_Uls_M_u16         2         2         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓  |  |              |                | I        |
| DigColPsInt_Buffer_Cnt_M_u08[0]         12         12           DigColPsInt_Buffer_Cnt_M_u08[1]         128         128           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0           DigColPsInt_CmdFailOccurred_Cnt_M_lgc         1         1           DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1           DigColPsInt_ColSnsrData_Cnt_M_u16         2309         2309           DigColPsInt_CurrentSlave_Cnt_M_u08         123         123           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_EXTREADCTRLREG_SEN         INIT_SENSOR1_EXTREADCTRLREG_SEN           DigColPsInt_12CHwCustData_Uls_M_u16         1         1         ✓           DigColPsInt_12CHwIncompleteCustData_Uls_M_u16         2         2         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓   | Name   | Actual Value | Expected Value | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[1]         128         128           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0           DigColPsInt_CmdFailOccurred_Cnt_M_lgc         1         1           DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1           DigColPsInt_ColSnsrData_Cnt_M_u16         2309         2309           DigColPsInt_CurrentSlave_Cnt_M_u08         123         123           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_EXTREADCTRLREG_SEN         INIT_SENSOR1_EXTREADCTRLREG_SEN           DigColPsInt_12CHwCustData_Uls_M_u16         1         1         ✓           DigColPsInt_12CHwIncompleteCustData_Uls_M_u16         2         2         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓   | DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08          | 1            | 1              | <b>~</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]         128         128           DigColPsInt_Buffer_Cnt_M_u08[2]         0         0           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0           DigColPsInt_CmdFailOccurred_Cnt_M_lgc         1         1           DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1           DigColPsInt_ColSnsrData_Cnt_M_u16         2309         2309           DigColPsInt_CurrentSlave_Cnt_M_u08         123         123           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_EXTREADCTRLREG_SEN         INIT_SENSOR1_EXTREADCTRLREG_SEN           DigColPsInt_12CHwCustData_Uls_M_u16         1         1         ✓           DigColPsInt_12CHwIncompleteCustData_Uls_M_u16         2         2         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓   | DigColPsInt_Buffer_Cnt_M_u08[0]                          | 12           | 12             | <b>*</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2]         0         0         ✓           DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0         ✓           DigColPsInt_CmdFailOccurred_Cnt_M_lgc         1         1         1           DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1         1           DigColPsInt_ColSnsrData_Cnt_M_u16         2309         2309         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         123         123         ✓           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_EXTREADCTRLREG_SEN         INIT_SENSOR1_EXTREADCTRLREG_SEN         ✓           DigColPsInt_I2CHwCustData_Uls_M_u16         1         1         ✓           DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16         2         2         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓   |  |              |                | -        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc         0         0         ✓           DigColPsInt_CmdFailOccurred_Cnt_M_lgc         1         1         ✓           DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1         ✓           DigColPsInt_ColSnsrData_Cnt_M_u16         2309         2309         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         123         123         ✓           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_EXTREADCTRLREG_SEN         INIT_SENSOR1_EXTREADCTRLREG_SEN         ✓           DigColPsInt_I2CHwCustData_Uls_M_u16         1         1         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓   |  |              |                | -        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc         1         1         ✓           DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1         ✓           DigColPsInt_ColSnsrData_Cnt_M_u16         2309         2309         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         123         123         123           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_EXTREADCTRLREG_SEN         INIT_SENSOR1_EXTREADCTRLREG_SEN         ✓           DigColPsInt_I2CHwCustData_UIs_M_u16         1         1         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓   |  |              |                |          |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc         1         1         ✓           DigColPsInt_ColSnsrData_Cnt_M_u16         2309         2309         ✓           DigColPsInt_CurrentSlave_Cnt_M_u08         123         123         ✓           DigColPsInt_CurrentStepNo_Cnt_M_enum         INIT_SENSOR1_EXTREADCTRLREG_SEN         INIT_SENSOR1_EXTREADCTRLREG_SEN         ✓           DigColPsInt_I2CHwCustData_Uls_M_u16         1         1         ✓           DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16         2         2         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓   |  |              |                | _        |
| DigColPsInt_ColSnsrData_Cnt_M_u16  2309  2309  2309  2309  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I1CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  | DigColPsInt_CmdFailOccurred_Cnt_M_lgc                    | 1            | 1              | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  123  123  DigColPsInt_CurrentStepNo_Cnt_M_enum  INIT_SENSOR1_EXTREADCTRLREG_SEN  INIT_SENSOR1_EXTREADCTRLREG_SEN  DigColPsInt_I2CHwCustData_Uls_M_u16  1  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  2  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  0  V  | DigColPsInt_ColCustDatFound_Cnt_M_lgc                    | 1            | 1              | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  123  123  DigColPsInt_CurrentStepNo_Cnt_M_enum  INIT_SENSOR1_EXTREADCTRLREG_SEN  INIT_SENSOR1_EXTREADCTRLREG_SEN  DigColPsInt_I2CHwCustData_Uls_M_u16  1  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  2  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  0  V  |  | 2309         | 2309           | <b>V</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  0  0  v  |  |              |                |          |
| DigColPsInt_I2CHwCustData_Uls_M_u16         1         1         ✓           DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16         2         2         ✓           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓   |  |              |                |          |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16         2         2           DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0   |  |              |                |          |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc     0     0       DigColPsInt_NackOccured_Cnt_M_lgc     0     0   | DigColPsInt_I2CHwCustData_UIs_M_u16                      | 1            |                | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0         ✓           DigColPsInt_NackOccured_Cnt_M_lgc         0         0         ✓   | DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16            | 2            | 2              | <b>✓</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc 0 0 ✓  |  |              | 0              | ~        |
| 0  |  |              |                | -        |
| DISCONFAINT_RECOVERED IN THE TRANSPORT OF THE TRANSPORT O |  |              |                |          |
|  |  | U            | U              | · •      |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 0            | 0              | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0            | 0              | •        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt TransactionCnt Cnt M u08             | 87<br>10     | 87<br>10       |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.OAR                                      | 55           | 55             |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR                                      | 66           | 66             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.NRV                                      | 556          | 556            |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                                     | 2309         | 2309           |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                                     | 1204         | 1204           | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                                      | 87           | 87             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                                      | 67           | 67             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                                      | 55           | 55             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                                      | 66           | 66             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                                      | 2309         | 2309           | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                                      | 5            | 5              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                                     | 3            | 3              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                                      | 66           | 66             | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                    | 1204         | 1204           | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                    | 66           | 66             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                                     | 3            | 3              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                                      | 1            | 1              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                                      | 1            | 1              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                                      | 2            | 2              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                     | 3            | 3              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                                      | 3            | 3              | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR                                      | 1            | 1              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                                      | 2            | 2              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                                       | 3            | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                                      | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 5 3          | 5              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66<br>1204   | 66<br>1204     |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11 target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             |          |
| target I2c Send I2cRegPtr Cnt T str.DMAC  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |          |
| target_I2C_Send_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              |          |
|   | 2            | 2              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT    | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |          |
| target I2c Send I2cRegPtr Cnt T str.CLR   | 1            | 1              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             |          |
| target I2c SetRecv I2cRegPtr Cnt T str.STR  | 556          | 556            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              |          |



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT              | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET               | 3            | 3              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR               | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR               | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD                | 3            | 3              | _        |
| target I2c SetRecv I2cRegPtr Cnt T str.PSL               | 3            | 3              | ~        |
|  |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR             | 55           | 55             | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR             | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR             | 556          | 556            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            | 2309         | 2309           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 87           | 87             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 67           | 67             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 55           | 55             | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 66           | 66             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 5            | 5              |          |
|  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1            | 1              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3            | 3              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3            | 3              |          |
|  | 1            |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             |              | 1              | <b>*</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87           | 87             | _        |
|  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ~        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC   | 3            | 3              | _        |
|  |              |                | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN    | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ~        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             |          |
|  |              | 66             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 66           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              |          |
|  |              | 3              | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 3            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
|  |              |                |          |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |

| T .                     |       | <b>✓</b>                |       |          |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteData          | 1     | SetupWriteData          | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | <b>✓</b> |

| Test Step 3.28 (Repeat Count = 1)               |  |
|---|--|
| Name  | Input Value  |
|   | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADADDRREG_SENDCMD                |
| DigColPsInt_I2CHwCustData_UIs_M_u16             | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 10   |
| Flags_Cnt_T_b16                                 | 4  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target I2c Send I2cRegPtr Cnt T str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c SetStatus(I2cRegPtr Cnt T str)              | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T_DataRegisters_Cnt_u08[3]                      | 36   |
|   | 38   |
| T_DataRegisters_Cnt_u08[4]                      | 34   |
| T_DataRegisters_Cnt_u08[5]                      |  |
| T_DataRegisters_Cnt_u08[6]                      | 10   |
| T_DataRegisters_Cnt_u08[7]                      | 12   |
| T_DataRegisters_Cnt_u08[8]                      | 14   |
| i2cREG1_temp                                    | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                   | 9  |
| k_SpurSensorI2CAddress_Cnt_u08                  | 10   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 556  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 67   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66   |
|   |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PiD11                                       | 1204        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                       | 66          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR  | 556         |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204<br>87  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 67          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR target_l2c Send_l2cRegPtr_Cnt_T_str.SAR        | 55          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FMDR   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR  | 55<br>66    |
|  | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 5           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204        |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12   | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5           |
|  |             |

2014-10-14, 23:08:30+0530



|  | (           |
|--|-------------|
| Name   | Innut Value |
|  | Input Value |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 66          |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.DIR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309        |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11  | 1204        |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
|  | 1           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 55          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
|  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_i2cREG1_temp.OAR                                  | 55          |
|  |             |
| target_i2cREG1_temp.IMR                                  | 66          |
| target_i2cREG1_temp.STR                                  | 556         |
| target_i2cREG1_temp.CLKL                                 | 2309        |
| target i2cREG1 temp.CLKH                                 | 1204        |
| · ·  |             |
| target_i2cREG1_temp.CNT                                  | 87          |
| target_i2cREG1_temp.DRR                                  | 67          |
| target i2cREG1 temp.SAR                                  | 55          |
| target_izckEG1_terrip.SAK                                |             |
| target i2cREG1 temp.DXR                                  | 66          |



| Name                      | Input Value  |                |        |
|---------------------------|--------------|----------------|--------|
| target_i2cREG1_temp.MDR   | 2309         |                |        |
| target_i2cREG1_temp.IVR   | 5            |                |        |
| target_i2cREG1_temp.EMDR  | 3            |                |        |
| target_i2cREG1_temp.PSC   | 66           |                |        |
| target_i2cREG1_temp.PID11 | 1204         |                |        |
| target_i2cREG1_temp.PID12 | 66           |                |        |
| target_i2cREG1_temp.DMAC  | 3            |                |        |
| target_i2cREG1_temp.FUN   | 1            |                |        |
| target_i2cREG1_temp.DIR   | 1            |                |        |
| target_i2cREG1_temp.DIN   | 2            |                |        |
| target_i2cREG1_temp.DOUT  | 3            |                |        |
| target_i2cREG1_temp.SET   | 3            |                |        |
| target_i2cREG1_temp.CLR   | 1            |                |        |
| target_i2cREG1_temp.ODR   | 2            |                |        |
| target_i2cREG1_temp.PD    | 3            |                |        |
| target_i2cREG1_temp.PSL   | 3            |                |        |
| Nama                      | Actual Value | Expected Value | Popult |

| target_i2cREG1_temp.PD                           | 3            |                                   |          |
|--|--------------|-----------------------------------|----------|
| target_i2cREG1_temp.PSL                          | 3            | 3                                 |          |
| Name   | Actual Value | Expected Value                    | Result   |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08  | 1            | 1                                 | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                  | 12           | 12                                | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]                  | 128          | 128                               | -        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                  | 0            | 0                                 | -        |
| DigColPsInt BusBusySeqError Cnt M Igc            | 0            | 0                                 | -        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc            | 1            | 1                                 | -        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc            | 1            | 1                                 | -        |
| DigColPsInt_ColSnsrData_Cnt_M_u16                | 2309         | 2309                              | -        |
| DigColPsInt CurrentSlave Cnt M u08               | 123          | 123                               | -        |
| DigColPsInt CurrentStepNo Cnt M enum             |              | N INIT SENSOR2 EXTREADCTRLREG SEN | ·        |
| DigColPsInt_I2CHwCustData_Uls_M_u16              | 1            | 1                                 |          |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16    | 2            | 2                                 | -        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc             | 0            | 0                                 |          |
| DigColPsInt_NackOccured_Cnt_M_lgc                | 0            | 0                                 | -        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc           | 0            | 0                                 |          |
| DigColPsInt RecvdDataType Cnt M u08              | 0            | 0                                 | -        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc           | 0            | 0                                 | ,        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16               | 87           | 87                                | -        |
| DigColPsInt TransactionCnt Cnt M u08             | 10           | 10                                | j        |
| I2c_Send(Length_Cnt_T_u32)                       | 3            | 3                                 | -        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)    | 3            | 3                                 | J        |
| target I2c GenStopCond I2cRegPtr Cnt T str.OAR   | 55           | 55                                | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66                                | J        |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR   | 556          | 556                               |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309                              | J        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204                              | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT   | 87           | 87                                |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR   | 67           | 67                                | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55                                | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66                                | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309                              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5                                 |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3                                 | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66                                | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204                              | ,        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66                                |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3                                 | j        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1                                 | -        |
| target I2c GenStopCond I2cRegPtr Cnt T str.DIR   | 1            | 1                                 |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.DIN   | 2            | 2                                 |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3                                 |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.SET   | 3            | 3                                 |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLR   | 1            | 1                                 |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2                                 |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.PD    | 3            | 3                                 | j        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3                                 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 55           | 55                                | J        |
| target_12c_Send_12cRegPtr_Cnt_T_str.IMR          | 66           | 66                                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR          | 556          | 556                               |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.CLKL         | 2309         | 2309                              |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.CLKH         | 1204         | 1204                              |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.CNT          | 87           | 87                                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 67           | 67                                | - 4      |
| target I2c Send I2cRegPtr Cnt T str.SAR          | 55           | 55                                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR          | 66           | 66                                |          |
|  | 2309         | 2309                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 2309         | 2309                              |          |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       | 5            | 5              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR      | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       | 66           | 66             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11     | 1204         | 1204           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12     | 66           | 66             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC      | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT      | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD        | 3            | 3              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       | 3            | 3              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR    | 55           | 55             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR    | 66           | 66             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR    | 556          | 556            | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT    | 87           | 87             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR    | 55           | 55             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL | 2309         | 2309           | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH | 1204         | 1204           | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | ✓        |
| · ·   |              |                |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 3            | 3              | _        |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteData          | 1     | SetupWriteData          | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | _        |

| Test Step 3.29 (Repeat Count = 1)               |                                     |  |
|---|-------------------------------------|--|
| Name  | Input Value                         |  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1                                   |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10                                  |  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20                                  |  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30                                  |  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0                                   |  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1                                   |  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1                                   |  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309                                |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 123                                 |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_EXTREADCTRLREG_SENDCMD |  |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 1                                   |  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 2                                   |  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0                                   |  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0                                   |  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1                                   |  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0                                   |  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 0                                   |  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0                                   |  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0                                   |  |

#### 2014-10-14, 23:08:30+0530



| Name   | Input Value  |
|--|--|
| DigColPsInt_SpurSnsrData_Cnt_M_u16               | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08             | 10   |
| Flags_Cnt_T_b16                                  | 4  |
| I2c GenStopCond(I2cRegPtr Cnt T str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                    | target I2c Send I2cRegPtr Cnt T str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
|  |  |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                       | 0  |
| T_DataRegisters_Cnt_u08[1]                       | 32   |
| T_DataRegisters_Cnt_u08[2]                       | 30   |
| T_DataRegisters_Cnt_u08[3]                       | 36   |
| T_DataRegisters_Cnt_u08[4]                       | 38   |
| T_DataRegisters_Cnt_u08[5]                       | 34   |
| T_DataRegisters_Cnt_u08[6]                       | 10   |
| T_DataRegisters_Cnt_u08[7]                       | 12   |
|  | 14   |
| T_DataRegisters_Cnt_u08[8]                       |  |
| i2cREG1_temp                                     | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                    | 9  |
| k_SpurSensorl2CAddress_Cnt_u08                   | 10   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55   |
|  | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| target I2c GenStopCond I2cRegPtr Cnt T str.DIR   | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3  |
|  | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR   | 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 55   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 556  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 2309   |
| target I2c Send I2cRegPtr Cnt T str.CLKH         | 1204   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 87   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 67   |
| target I2c Send I2cRegPtr Cnt T str.SAR          | 55   |
|  | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 2309   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 5  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 1204   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 66   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3  |
|  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 1  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 2  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 3  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 55   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 66   |
|  |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR              | 556         |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKL             | 2309        |
|   |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH             | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT              | 87          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              | 67          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 5           |
|   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC              | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 2           |
|   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET              | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 3           |
| target I2c SetStatus I2cRegPtr Cnt T str.OAR            | 55          |
|   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR            | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 66          |
|   | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR            | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 1           |
|   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 3           |
| target I2c SetStatus I2cRegPtr Cnt T str.PSL            | 3           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.OAR   | 55          |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55          |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2           |
|   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |
|   |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value  |                |        |
|--|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 66           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 2            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD    | 3            |                |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 3            |                |        |
| target i2cREG1 temp.OAR                                  | 55           |                |        |
| target i2cREG1 temp.IMR                                  | 66           |                |        |
| target i2cREG1 temp.STR                                  | 556          |                |        |
| target i2cREG1 temp.CLKL                                 | 2309         |                |        |
| target i2cREG1 temp.CLKH                                 | 1204         |                |        |
| target i2cREG1 temp.CNT                                  | 87           |                |        |
| target i2cREG1 temp.DRR                                  | 67           |                |        |
| target i2cREG1 temp.SAR                                  | 55           |                |        |
| target i2cREG1 temp.DXR                                  | 66           |                |        |
| target_i2cREG1_temp.MDR                                  | 2309         |                |        |
| target_i2cREG1_temp.IVR                                  | 5            |                |        |
| target i2cREG1 temp.EMDR                                 | 3            |                |        |
| target i2cREG1 temp.PSC                                  | 66           |                |        |
| target i2cREG1 temp.PID11                                | 1204         |                |        |
| target i2cREG1 temp.PID12                                | 66           |                |        |
| target i2cREG1 temp.DMAC                                 | 3            |                |        |
| target i2cREG1 temp.FUN                                  | 1            |                |        |
| target i2cREG1_temp.FoN                                  | 1            |                |        |
| target i2cREG1_temp.DIN                                  | 2            |                |        |
| target i2cREG1_temp.DOUT                                 | 3            |                |        |
| target i2cREG1_temp.SET                                  | 3            |                |        |
| target i2cREG1_temp.SE1                                  | 1            |                |        |
| 0 ,  |              |                |        |
| target_i2cREG1_temp.ODR                                  | 2            |                |        |
| target_i2cREG1_temp.PD                                   | 3            |                |        |
| target_i2cREG1_temp.PSL                                  | Actual Value | Expected Value | Pocult |

| <b>3</b>                |   |              |
|-------------------------|---|--------------|
| Actual Value            | Expected Value  | Result       |
| 1                       | 1   | ~            |
| 32                      | 32  | •            |
| 20                      | 20  | ~            |
| 30                      | 30  | ~            |
| 0                       | 0   | ~            |
| 1                       | 1   | ~            |
| 1                       | 1   | ~            |
| 2309                    | 2309  | ~            |
| 123                     | 123   | ~            |
| INIT_SENSOR1_DUMMY_SEND | INIT_SENSOR1_DUMMY_SEND   | ~            |
| 1                       | 1   | ~            |
| 2                       | 2   | ~            |
| 0                       | 0   | ~            |
| 0                       | 0   | ~            |
| 0                       | 0   | ~            |
| 0                       | 0   | •            |
| 0                       | 0   | ~            |
| 87                      | 87  | •            |
| 10                      | 10  | ~            |
| 1                       | 1   | ~            |
| 1                       | 1   | ~            |
| 55                      | 55  | ~            |
|                         | Actual Value  1 32 20 30 0 1 1 1 2309 123 INIT_SENSOR1_DUMMY_SEND 1 2 0 0 0 0 0 87 10 1 1 | Actual Value |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result                                |
|--|--------------|----------------|---------------------------------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | <b>✓</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | <b>~</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | <b>V</b>                              |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | · · · · · · · · · · · · · · · · · · · |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR   | 67<br>55     | 67<br>55       |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR<br>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR | 66           | 66             | -                                     |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~                                     |
| target I2c GenStopCond I2cRegPtr Cnt T str.EMDR  | 3            | 3              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>✓</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | <b>✓</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>✓</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ✓                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ✓                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ✓                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>~</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>v</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>~</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>V</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | · ·                                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | · ·                                   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL   | 2309<br>1204 | 2309<br>1204   |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH   | 87           | 87             |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR                  | 67           | 67             |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | <b>→</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | <b>✓</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | <b>✓</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ✓                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>✓</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>✓</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ✓                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ✓                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | <b>~</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | <b>~</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •                                     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>~</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 66<br>556    | 66<br>556      | · ·                                   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL           | 2309         | 2309           |                                       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL  | 1204         | 1204           | -                                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 87           | 87             |                                       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | <b>→</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | <b>✓</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | <b>✓</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | <b>✓</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ✓                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>~</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b>                              |

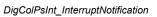
2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Resul |
|---|--------------|----------------|-------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR  | 556          | 556            | •     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | •     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT  | 87<br>67     | 87<br>67       |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR                   | 55           | 55             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             |       |
| target I2c SetStatus I2cRegPtr Cnt T str.MDR  | 2309         | 2309           |       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR  | 5            | 5              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              |       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | •     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •     |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |       |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR   | ·            | 2              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2 3          | 3              |       |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              |       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR | 1            | 1              |       |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_1_str.CER   | 2            | 2              |       |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD  | 3            | 3              |       |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR  | 55           | 55             |       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR  | 66           | 66             |       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR  | 556          | 556            |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             |       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  | 67           | 67             |       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR  | 55           | 55             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •     |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •     |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              |       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              |       |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL | 3            | 3              | <b>✓</b> |

| Τ                       |       |                         | V     |        |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | ~      |
| I2c_Send                | 1     | l2c_Send                | 1     | ~      |

| Test Step 3.30 (Repeat Count = 1)                                     | Innuct Value                                       |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                       | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                                       | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                                       | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                                       | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                                 | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                                 | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                                 | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16                                     | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08                                    | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                                  | INIT_SENSOR1_DUMMY_SEND                            |
| DigColPsInt_I2CHwCustData_Uls_M_u16                                   | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16                         | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                                  | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc                                     | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08                                 | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                                | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08                                   | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc                               | 0  |
| DigColPsInt SpurCustDatFound Cnt M lgc                                | 0  |
| DigColPsInt SpurSnsrData Cnt M u16                                    | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08                                  | 10   |
| Flags_Cnt_T_b16   | 4  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)                                  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c Send(I2cRegPtr Cnt T str)   | target_12c_Send_12cRegPtr_Cnt_T_str                |
| I2c SetRecv(I2cRegPtr Cnt T str)                                      | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_setRecv( 2cRegPtr_Cnt_T_str)<br> 2c_setStatus( 2cRegPtr_Cnt_T_str) |  |
| _   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                           | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                          | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]  | 0  |
| T_DataRegisters_Cnt_u08[1]  | 32   |
| T_DataRegisters_Cnt_u08[2]  | 30   |
| T_DataRegisters_Cnt_u08[3]  | 36   |
| T_DataRegisters_Cnt_u08[4]  | 38   |
| T_DataRegisters_Cnt_u08[5]  | 34   |
| T_DataRegisters_Cnt_u08[6]  | 10   |
| T_DataRegisters_Cnt_u08[7]  | 12   |
| T_DataRegisters_Cnt_u08[8]  | 14   |
| i2cREG1_temp  | target_i2cREG1_temp                                |
| k_ColSensorI2CAddress_Cnt_u08   | 9  |
| k_SpurSensorI2CAddress_Cnt_u08  | 10   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                        | 55   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                        | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                        | 556  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                       | 2309   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                       | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                        | 87   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                        | 67   |
| target I2c GenStopCond I2cRegPtr Cnt T str.SAR                        | 55   |
| target I2c GenStopCond I2cRegPtr Cnt T str.DXR                        | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                        | 2309   |
| target I2c GenStopCond I2cRegPtr Cnt T str.IVR                        | 5  |
| target I2c GenStopCond I2cRegPtr Cnt T str.EMDR                       | 3  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC                        | 66   |
|   | 1204   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                      |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                      | 66   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                       | 3  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                        | 1  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                        | 1  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target I2c GenStopCond I2cRegPtr Cnt T str.DOUT | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1           |
| target I2c GenStopCond I2cRegPtr Cnt T str.ODR  | 2           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         | 55          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         | 556         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL        | 2309        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH        | 1204        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT         | 87          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR         | 67          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR         | 55          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         | 2309        |
|   | 5           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR         | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR        |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       | 1204        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC        | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN         | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         | 1           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN         | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT        | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD          | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR      | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR      | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR      | 556         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL     | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH     | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT      | 87          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR      | 67          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR      | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR      | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR      | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR      | 5           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR     | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC      | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11    | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12    | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC     | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN      | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR      | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN      | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT     | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET      | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR      | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR      | 2           |
| target I2c SetRecv I2cRegPtr Cnt T str.PD       | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL      | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR    | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR    | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR    | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT    | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR    | 67          |
|   | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR    |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR    | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR    | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR    | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC    | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC   | 3           |
|   |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value |  |
|--|-------------|--|
|  | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1           |  |
| target I2c SetStatus I2cRegPtr Cnt T str.ODR             | 2           |  |
| ·  |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556         |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |  |
|  |             |  |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH   | 1204        |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR    | 2309        |  |
|  |             |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204        |  |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID12  | 66          |  |
|  |             |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |  |
|  | 1           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    |             |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |  |
|  | 556         |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   |             |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55          |  |
|  |             |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309        |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204        |  |
|  |             |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 66          |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 3           |  |
|  |             |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 3           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |  |
| target i2cREG1 temp.OAR                                  | 55          |  |
|  |             |  |
| target_i2cREG1_temp.IMR                                  | 66          |  |
| target_i2cREG1_temp.STR                                  | 556         |  |
| target_i2cREG1_temp.CLKL                                 | 2309        |  |
| target_i2cREG1_temp.CLKH                                 | 1204        |  |
| target i2cREG1 temp.CNT                                  | 87          |  |
| · · · · · · · · · · · · · · · · · · ·                    |             |  |
| target_i2cREG1_temp.DRR                                  | 67          |  |
| target_i2cREG1_temp.SAR                                  | 55          |  |
| target_i2cREG1_temp.DXR                                  | 66          |  |
| target_i2cREG1_temp.MDR                                  | 2309        |  |
| target_i2cREG1_temp.IVR                                  | 5           |  |
| target_i2cREG1_temp.EMDR                                 | 3           |  |
|  |             |  |
| target_i2cREG1_temp.PSC                                  | 66          |  |
| target_i2cREG1_temp.PID11                                | 1204        |  |
|  |             |  |



| Name                      | Input Value  |                |        |
|---------------------------|--------------|----------------|--------|
| target_i2cREG1_temp.PID12 | 66           |                |        |
| target_i2cREG1_temp.DMAC  | 3            |                |        |
| target_i2cREG1_temp.FUN   | 1            |                |        |
| target_i2cREG1_temp.DIR   | 1            |                |        |
| target_i2cREG1_temp.DIN   | 2            |                |        |
| target_i2cREG1_temp.DOUT  | 3            |                |        |
| target_i2cREG1_temp.SET   | 3            |                |        |
| target_i2cREG1_temp.CLR   | 1            |                |        |
| target_i2cREG1_temp.ODR   | 2            |                |        |
| target_i2cREG1_temp.PD    | 3            |                |        |
| target_i2cREG1_temp.PSL   | 3            |                |        |
| Name                      | Actual Value | Expected Value | Result |

| target_i2cREG1_temp.ODR  | 2                                     |                         |          |
|--|---------------------------------------|-------------------------|----------|
| target_i2cREG1_temp.PD   | 3                                     |                         |          |
| target_i2cREG1_temp.PSL  | 3                                     |                         |          |
| Name   | Actual Value                          | Expected Value          | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 1                                     | 1                       | •        |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10                                    | 10                      | <b>✓</b> |
| DigColPsInt Buffer Cnt M u08[1]  | 20                                    | 20                      | •        |
| DigColPsInt Buffer Cnt M u08[2]  | 30                                    | 30                      | <b>~</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 0                                     | 0                       | -        |
| DigColPsInt CmdFailOccurred Cnt M Igc  | 1                                     | 1                       | <b>✓</b> |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1                                     | 1                       |          |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 2309                                  | 2309                    | <b>✓</b> |
| DigColPsInt CurrentSlave Cnt M u08   | 123                                   | 123                     |          |
| DigColPsInt CurrentStepNo Cnt M enum   | INIT_SENSOR1_DUMMY_READ               | INIT SENSOR1 DUMMY READ | <b>✓</b> |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 1                                     | 1                       |          |
| DigColPsInt I2CHwIncompleteCustData Uls M u16  | 2                                     | 2                       | <b>*</b> |
| DigColPsInt InitFailedOnce Cnt M Igc   | 0                                     | 0                       |          |
|  | 0                                     | 0                       | -        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 0                                     | 0                       |          |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 0                                     | 0                       |          |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | · · · · · · · · · · · · · · · · · · · | · ·                     |          |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 0                                     | 0                       |          |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 87                                    | 87                      | <b>V</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 10                                    | 10                      | •        |
| I2c_SetRecv(Length_Cnt_T_u32)  | 2                                     | 2                       | ~        |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)   | 2                                     | 2                       | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 55                                    | 55                      | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66                                    | 66                      | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 556                                   | 556                     | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2309                                  | 2309                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204                                  | 1204                    | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87                                    | 87                      | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67                                    | 67                      | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55                                    | 55                      | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                                    | 66                      | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309                                  | 2309                    | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 5                                     | 5                       | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3                                     | 3                       | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66                                    | 66                      | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 1204                                  | 1204                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66                                    | 66                      | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                                     | 3                       |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                                     | 1                       | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                                     | 1                       |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.DIN   | 2                                     | 2                       |          |
|  | 3                                     | 3                       |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET | 3                                     | 3                       |          |
|  |                                       |                         |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1                                     | 1                       |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR   | 2                                     | 2                       |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3                                     | 3                       |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3                                     | 3                       | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 55                                    | 55                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66                                    | 66                      | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 556                                   | 556                     | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 2309                                  | 2309                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 1204                                  | 1204                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 87                                    | 87                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 67                                    | 67                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 55                                    | 55                      | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 66                                    | 66                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2309                                  | 2309                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 5                                     | 5                       | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3                                     | 3                       | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 66                                    | 66                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 1204                                  | 1204                    | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 66                                    | 66                      |          |
| <u> </u>   | 1 **                                  | 1 .                     |          |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



| Name  | Actual Value    | Expected Value  | Result   |
|---|-----------------|-----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3               | 3               | Kesuit   |
| target I2c Send I2cRegPtr Cnt T str.FUN   | 1               | 1               | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1               | 1               | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2               | 2               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3               | 3               | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 3               | 3               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1               | 1               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2               | 2               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3               | 3               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3               | 3               | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR  | 55              | 55              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66              | 66              | - 4      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556<br>2309     | 556<br>2309     |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH                     | 1204            | 1204            | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.CNT  | 87              | 87              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67              | 67              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55              | 55              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66              | 66              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309            | 2309            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5               | 5               | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3               | 3               | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66              | 66              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204            | 1204            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66              | 66              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3               | 3               | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1               | 1               | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  | 1               | 1               | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 3               | 3               | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET                      | 3               | 3               | -        |
| target_I2C_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1               | 1               |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2               | 2               | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3               | 3               | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3               | 3               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55              | 55              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66              | 66              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556             | 556             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309            | 2309            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204            | 1204            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87              | 87              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67              | 67              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR  | 55              | 55              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR                   | 66              | 66              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 2309            | 2309<br>5       | Ž        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.FMDR   | 3               | 3               |          |
| target I2c SetStatus I2cRegPtr Cnt T str.PSC  | 66              | 66              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 1204            | 1204            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66              | 66              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3               | 3               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1               | 1               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1               | 1               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2               | 2               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3               | 3               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3               | 3               | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1               | 1               | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR  | 2               | 2               | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD   | 3               | 3               | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL  | 3<br>55         | 3<br>55         | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR | 66              | 66              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556             | 556             | ~        |
| target_I2c_SetuplinasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309            | 2309            | ,        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204            | 1204            | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87              | 87              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67              | 67              | <b>v</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   |                 | 55              | ~        |
|   | 55              |                 |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR   | 66              | 66              | ~        |
|   |                 |                 | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66<br>2309<br>5 | 66<br>2309<br>5 |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR | 66<br>2309      | 66<br>2309      |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |          |

| T                      |       |                        |       | V      |
|------------------------|-------|------------------------|-------|--------|
| Actual Function        | Count | Expected Function      | Count | Result |
| SetupRead              | 1     | SetupRead              | 1     | ~      |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | •      |
| I2c SetRecv            | 1     | I2c SetRecv            | 1     | _      |

| Test Step 3.31 (Repeat Count = 1)               | <b>✓</b>                                   |
|---|--|
| Name  | Input Value                                |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309                                       |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADCTRLREG_SENDCMD        |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 1  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 10   |
| Flags_Cnt_T_b16                                 | 4  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str        |

DigColPsInt InterruptNotification

#### 2014-10-14, 23:08:30+0530



Input Value I2c\_SetRecv(I2cRegPtr\_Cnt\_T\_str) target I2c SetRecv I2cRegPtr Cnt T str I2c\_SetStatus(I2cRegPtr\_Cnt\_T\_str) target\_I2c\_SetStatus\_I2cRegPtr\_Cnt\_T\_str I2c SetupMasterReceive(I2cRegPtr Cnt T str) target I2c SetupMasterReceive I2cRegPtr Cnt T str I2c\_SetupMasterTransmit(I2cRegPtr\_Cnt\_T\_str) target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str T DataRegisters Cnt u08[0] T\_DataRegisters\_Cnt\_u08[1] 32 T\_DataRegisters\_Cnt\_u08[2] 30 T\_DataRegisters\_Cnt\_u08[3] 36 T\_DataRegisters\_Cnt\_u08[4] 38 T\_DataRegisters\_Cnt\_u08[5] 34 T\_DataRegisters\_Cnt\_u08[6] 10 T\_DataRegisters\_Cnt\_u08[7] 12 T\_DataRegisters\_Cnt\_u08[8] 14 i2cREG1\_temp target\_i2cREG1\_temp k ColSensorl2CAddress Cnt u08 10 k SpurSensorl2CAddress Cnt u08  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.OAR$ 55 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IMR 66  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.STR$ 556 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKL 2309  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 1204 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CNT 87  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DRR$ 67 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.SAR 55 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DXR 66  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.MDR$ 2309 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IVR 5 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.EMDR 3 target I2c GenStopCond I2cRegPtr Cnt T str.PSC 66 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PID11 1204 target I2c GenStopCond I2cRegPtr Cnt T str.PID12 66 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DMAC 3 target I2c GenStopCond I2cRegPtr Cnt T str.FUN 1  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DIR$ 1 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DIN 2 3 target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.DOUT  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.SET$ 3  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLR$ 1  $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.ODR$ 2 3 target I2c GenStopCond I2cRegPtr Cnt T str.PD target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.PSL 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.OAR 55 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IMR 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.STR 556  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 2309 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLKH 1204 target I2c Send I2cRegPtr Cnt T str.CNT 87 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DRR 67 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SAR 55 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DXR 66 target I2c Send I2cRegPtr Cnt T str.MDR 2309 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.IVR 5 target I2c Send I2cRegPtr Cnt T str.EMDR target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PSC 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID11 1204  $target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PID12$ 66 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DMAC 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.FUN 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIR target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DIN 2 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.DOUT 3 3 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.SET target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.CLR 1 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.ODR 2 target\_I2c\_Send\_I2cRegPtr\_Cnt\_T\_str.PD 3 3 target I2c Send I2cRegPtr Cnt T str.PSL target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.OAR 55 target I2c SetRecv I2cRegPtr Cnt T str.IMR 66 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.STR 556 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKL 2309 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CLKH 1204 target\_I2c\_SetRecv\_I2cRegPtr\_Cnt\_T\_str.CNT 87

67

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 55          |
| target I2c SetRecv I2cRegPtr Cnt T str.DXR              | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 5           |
|   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 3           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 556         |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKL           | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 67          |
| target I2c SetStatus I2cRegPtr Cnt T str.SAR            | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 2309        |
|   | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 66          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC            |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CNT   | 87          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DRR   | 67          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR   | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR   | 5           |
|   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 2309        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH | 1204        |
| 0   |             |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

| Name   | Input Value             |                         |          |
|--|-------------------------|-------------------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87                      |                         |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 67                      |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55                      |                         |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 66                      |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309                    |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66                      |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204                    |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66                      |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3                       |                         |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3                       |                         |          |
| target_i2cREG1_temp.OAR                                  | 55                      |                         |          |
| target_i2cREG1_temp.IMR                                  | 66                      |                         |          |
| target_i2cREG1_temp.STR                                  | 556                     |                         |          |
| target_i2cREG1_temp.CLKL                                 | 2309                    |                         |          |
| target_i2cREG1_temp.CLKH                                 | 1204                    |                         |          |
| target_i2cREG1_temp.CNT                                  | 87                      |                         |          |
| target_i2cREG1_temp.DRR                                  | 67                      |                         |          |
| target_i2cREG1_temp.SAR                                  | 55                      |                         |          |
| target_i2cREG1_temp.DXR                                  | 66                      |                         |          |
| target_i2cREG1_temp.MDR                                  | 2309                    |                         |          |
| target_i2cREG1_temp.IVR                                  | 5                       |                         |          |
| target_i2cREG1_temp.EMDR                                 | 3                       |                         |          |
| target_i2cREG1_temp.PSC                                  | 66                      |                         |          |
| target_i2cREG1_temp.PID11                                | 1204                    |                         |          |
| target_i2cREG1_temp.PID12                                | 66                      |                         |          |
| target_i2cREG1_temp.DMAC                                 | 3                       |                         |          |
| target_i2cREG1_temp.FUN                                  | 1                       |                         |          |
| target_i2cREG1_temp.DIR                                  | 1                       |                         |          |
| target_i2cREG1_temp.DIN                                  | 2                       |                         |          |
| target_i2cREG1_temp.DOUT                                 | 3                       |                         |          |
| target_i2cREG1_temp.SET                                  | 3                       |                         |          |
| target_i2cREG1_temp.CLR                                  | 1                       |                         |          |
| target_i2cREG1_temp.ODR                                  | 2                       |                         |          |
| target_i2cREG1_temp.PD                                   | 3                       |                         |          |
| target_i2cREG1_temp.PSL                                  | 3                       |                         |          |
| Name   | Actual Value            | Expected Value          | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08          | 0                       | 0                       | •        |
| DigColPsInt Buffer Cnt M u08[0]                          | 32                      | 32                      | •        |
| DigColPsInt Buffer Cnt M u08[1]                          | 20                      | 20                      | •        |
| DigColPsInt_Buffer_Cnt_M_u08[2]                          | 30                      | 30                      | •        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                    | 0                       | 0                       | •        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                    | 1                       | 1                       | •        |
| DigColPsInt ColCustDatFound Cnt M Igc                    | 1                       | 1                       | •        |
| DigColPsInt_ColSnsrData_Cnt_M_u16                        | 2309                    | 2309                    | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08                       | 123                     | 123                     | •        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                     | INIT_SENSOR2_DUMMY_SEND | INIT_SENSOR2_DUMMY_SEND | •        |
| DigColPsInt_I2CHwCustData_Uls_M_u16                      | 1                       | 1                       | •        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16            | 2                       | 2                       | •        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                     | 0                       | 0                       | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc                        | 0                       | 0                       | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc                   | 0                       | 0                       | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08                      | 0                       | 0                       | •        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                   | 0                       | 0                       | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16                       | 87                      | 87                      | •        |
| DigColPsInt_TransactionCnt_Cnt_M_u08                     | 10                      | 10                      | •        |
| I2c_Send(Length_Cnt_T_u32)                               | 1                       | 1                       | •        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)            | 1                       | 1                       | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR           | 55                      | 55                      | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR           | 66                      | 66                      |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR           | 1.11                    |                         |          |
|  | 556                     | 556                     | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL          | 556<br>2309             | 556<br>2309             | <b>*</b> |

1204

87

1204

87

 $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 

 $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CNT$ 

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              |        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR   | 3<br>66      | 66             |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 1204         | 1204           |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             |        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.Pib12  | 3            | 3              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.SET  | 3            | 3              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              |        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •      |
|   | 55           | 55             | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 33           |                |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR         | 66           | 66             | •      |
|   |              |                | •      |

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 1204         | 1204           | Result   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 87           | 87             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 67           | 67             |          |
| target I2c SetStatus I2cRegPtr Cnt T str.SAR             | 55           | 55             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 66           | 66             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 2309         | 2309           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 5            | 5              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 3            | 3              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 66           | 66             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 1204         | 1204           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 66           | 66             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 1            | 1              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 2            | 2              | ~        |
| target I2c SetStatus I2cRegPtr Cnt T str.DOUT            | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1            | 1              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3            | 3              | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL             | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55           | 55             | <b>✓</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR    | 66           | 66             | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR    | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87           | 87             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67           | 67             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55           | 55             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309         | 2309           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 5            | 5              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |          |



| Τ                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | -        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | <b>✓</b> |

| est Step 3.32 (Repeat Count = 1)               | Innuit Value                                       |
|--|--|
| lame   | Input Value  |
| igColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| igColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| igColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| igColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| igColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| igColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| igColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| igColPsInt_ColSnsrData_Cnt_M_u16               | 2309   |
| igColPsInt_CurrentSlave_Cnt_M_u08              | 123  |
| igColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_DUMMY_SEND                            |
| igColPsInt_I2CHwCustData_Uls_M_u16             | 1  |
| igColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 2  |
| igColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| igColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| igColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| igColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| igColPsInt_RecvdDataType_Cnt_M_u08             | 0  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| igColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| igColPsInt TransactionCnt Cnt M u08            | 10   |
| lags_Cnt_T_b16                                 | 4  |
| 2c GenStopCond(I2cRegPtr Cnt T str)            | target I2c GenStopCond I2cRegPtr Cnt T str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                   | target I2c Send I2cRegPtr Cnt T str                |
| 2c SetRecv(I2cRegPtr Cnt T str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target I2c SetStatus I2cRegPtr Cnt T str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c SetupMasterTransmit(I2cRegPtr Cnt T str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]                      | 0  |
| DataRegisters Cnt u08[1]                       | 32   |
| _DataRegisters_Cnt_u08[2]                      | 30   |
|  | 36   |
| _DataRegisters_Cnt_u08[3]                      | 38   |
| _DataRegisters_Cnt_u08[4]                      |  |
| _DataRegisters_Cnt_u08[5]                      | 34   |
| _DataRegisters_Cnt_u08[6]                      | 10   |
| _DataRegisters_Cnt_u08[7]                      | 12   |
| _DataRegisters_Cnt_u08[8]                      | 14   |
| cREG1_temp                                     | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08                   | 9  |
| _SpurSensorI2CAddress_Cnt_u08                  | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 2309   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 67   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3  |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT | 3  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET  | 3  |
| arget I2c GenStopCond I2cRegPtr_Cnt_1_str.SE1  | 1  |

2014-10-14, 23:08:30+0530



|  |             | 1 - 4 - 10 - 10 |
|--|-------------|-----------------|
| Name   | Input Value |                 |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR | 2           |                 |
|  | 3           |                 |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  |             |                 |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL | 3           |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR        | 55          |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR        | 66          |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR        | 556         |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       | 2309        |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       | 1204        |                 |
|  | 87          |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT        |             |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR        | 67          |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR        | 55          |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR        | 66          |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR        | 2309        |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR        | 5           |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       | 3           |                 |
|  |             |                 |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC        | 66          |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11      | 1204        |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12      | 66          |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       | 3           |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN        | 1           |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR        | 1           |                 |
|  | 2           |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN        |             |                 |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT       | 3           |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET        | 3           |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR        | 1           |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR        | 2           |                 |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         | 3           |                 |
| target I2c Send I2cRegPtr Cnt T str.PSL        | 3           |                 |
|  |             |                 |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR     | 55          |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR     | 66          |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR     | 556         |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL    | 2309        |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH    | 1204        |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT     | 87          |                 |
|  | 67          |                 |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR     |             |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR     | 55          |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR     | 66          |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR     | 2309        |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR     | 5           |                 |
| target I2c SetRecv I2cRegPtr Cnt T str.EMDR    | 3           |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC     | 66          |                 |
|  |             |                 |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 1204        |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 66          |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC    | 3           |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN     | 1           |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR     | 1           |                 |
| target I2c SetRecv I2cRegPtr Cnt T str.DIN     | 2           |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT    | 3           |                 |
|  |             |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET     | 3           |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR     | 1           |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR     | 2           |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD      | 3           |                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL     | 3           |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55          |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66          |                 |
|  | 556         |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   |             |                 |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL  | 2309        |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87          |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67          |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 55          |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66          |                 |
|  |             |                 |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR   | 2309        |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5           |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3           |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66          |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 | 1204        |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 | 66          |                 |
|  | 3           |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  |             |                 |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN   | 1           |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1           |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2           |                 |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3           |                 |
| <u> </u>                                       |             |                 |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target I2c SetStatus I2cRegPtr Cnt T str.SET             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 2           |
|  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 2309        |
|  | 5           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66          |
|  | 2309        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_i2cREG1_temp.OAR                                  | 55          |
| target_i2cREG1_temp.IMR                                  | 66          |
| target_i2cREG1_temp.STR                                  | 556         |
| target_i2cREG1_temp.CLKL                                 | 2309        |
| target_i2cREG1_temp.CLKH                                 | 1204        |
| target_i2cREG1_temp.CNT                                  | 87          |
| target_i2cREG1_temp.DRR                                  | 67          |
| target_i2cREG1_temp.SAR                                  | 55          |
| target_i2cREG1_temp.DXR                                  | 66          |
| target_i2cREG1_temp.MDR                                  | 2309        |
| target i2cREG1_temp.IVR                                  | 5           |
|  |             |
| target_i2cREG1_temp.EMDR                                 | 3           |
| target_i2cREG1_temp.PSC                                  | 66          |
| target_i2cREG1_temp.PID11                                | 1204        |
| target_i2cREG1_temp.PID12                                | 66          |
| target_i2cREG1_temp.DMAC                                 | 3           |
| target_i2cREG1_temp.FUN                                  | 1           |
| target_i2cREG1_temp.DIR                                  | 1           |
|  |             |



| Name  | Input Value             |                         |          |
|---|-------------------------|-------------------------|----------|
| target_i2cREG1_temp.DIN   | 2                       |                         |          |
| target_i2cREG1_temp.DOUT  | 3                       |                         |          |
| target_i2cREG1_temp.SET   | 3                       |                         |          |
| target_i2cREG1_temp.CLR   | 1                       |                         |          |
| target_i2cREG1_temp.ODR   | 2                       |                         |          |
| target_i2cREG1_temp.PD  | 3                       |                         |          |
| target_i2cREG1_temp.PSL   | 3                       |                         |          |
| Name  | Actual Value            | Expected Value          | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 1                       | 1                       | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 10                      | 10                      | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 20                      | 20                      | <b>Y</b> |
| DigColPolat BugBug Conference Cot M. Inc.   | 0                       | 0                       |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc                   | 1                       | 1                       |          |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 1                       | 1                       | -        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 2309                    | 2309                    | <b>✓</b> |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 123                     | 123                     | _        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_DUMMY_READ | INIT_SENSOR2_DUMMY_READ | <b>✓</b> |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 1                       | 1                       | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 2                       | 2                       | <b>✓</b> |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc  | 0                       | 0                       | <b>✓</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                       | 0                       | <b>✓</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                       | 0                       | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 0                       | 0                       | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 0                       | 0                       | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 87                      | 87                      | <b>~</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 10                      | 10                      | <b>Y</b> |
| I2c_SetRecv(Length_Cnt_T_u32)   | 2                       | 2                       | <b>V</b> |
| I2c_SetupMasterReceive(DataLength_Cnt_T_u16)  | 2                       | 2<br>55                 | <b>Y</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR | 55<br>66                | 66                      |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR  | 556                     | 556                     | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2309                    | 2309                    | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 1204                    | 1204                    | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87                      | 87                      | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 67                      | 67                      | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55                      | 55                      | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66                      | 66                      | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309                    | 2309                    | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5                       | 5                       | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 3                       | 3                       | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66                      | 66                      | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 1204                    | 1204                    | <b>Y</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 66                      | 66                      | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC   | 3                       | 3                       |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR | 1                       | 1                       |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2                       | 2                       |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3                       | 3                       | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3                       | 3                       | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1                       | 1                       | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2                       | 2                       | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3                       | 3                       | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3                       | 3                       | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55                      | 55                      | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66                      | 66                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556                     | 556                     | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309                    | 2309                    | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204                    | 1204                    | <b>Y</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87                      | 87                      | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67                      | 67                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55<br>66                | 55<br>66                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR               | 2309                    | 2309                    |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 5                       | 5                       |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3                       | 3                       | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66                      | 66                      |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204                    | 1204                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66                      | 66                      | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3                       | 3                       | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                       | 1                       | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1                       | 1                       | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2                       | 2                       |          |
|   |                         |                         |          |

2014-10-14, 23:08:30+0530





| Page      | N  | A street Webse | Pour and ad Malon | D14      |
|--|--|----------------|-------------------|----------|
|  | Name   | Actual Value   | Expected Value    | Result   |
|  |  |                |                   |          |
| Image   120, Server  |  |                |                   |          |
| Barget   100, Seed   DeSerging Cort   1 as PD  |  |                |                   |          |
| Image   10, Series   10, Seri   |  |                |                   | -        |
| Barget Dec. Services (Castellander Cont. of Services (Castel   |  |                |                   |          |
| Target, Die, Serfreco, Der Regift, Cort. T. plan 1976  Target, Die, Serfreco, Der Regift, Cort. T. plan 1977  Target, Die, Serfreco, Der Regift, Cort. T. plan 1977  Target, Die, Serfreco, Der Regift, Cort. T. plan 1978  Target, Die, Serfreco, Der Regift, Cort. T. plan 1978  Target, Die, Serfreco, Der Regift, Cort. T. plan 1978  Target, Die, Serfreco, Der Regift, Cort. T. plan 1978  Target, Die, Serfreco, Der Regift, Cort. T. plan 1978  Target, Die, Serfreco, Der Regift, Cort. T. plan 1978  Target, Die, Serfreco, Der Regift, Cort. T. plan 1978  Target, Die, Serfreco, Der Regift, Cort. T. plan 1978  Target, Die, Serfreco, Der Regift, Cort. T. plan 1978  Target, Die, Serfreco, Der Regift, Cort. T. plan 1979  Target, Die, Serfreco, Der Regift, Cort. T. plan 1971  Target, Die, Serfreco, Der Regift, Cort. T. plan 1971  Target, Die, Serfreco, Der Regift, Cort. T. plan 1971  Target, Die, Serfreco, Der Regift, Cort. T. plan 1971  Target, Die, Serfreco, Der Regift, Cort. T. plan 1971  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die, Serfreco, Der Regift, Cort. T. plan 1972  Target, Die |  |                |                   | <b>✓</b> |
| Image   120   Seffero   Category   Cat   T   SEC   LC  |  |                |                   | ~        |
| Mapped   100   1   |  | 556            | 556               | •        |
|  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL            | 2309           | 2309              | ~        |
| Image   120, Service   Debegring CPL   1 ser SAR   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH            | 1204           | 1204              | ~        |
| Index    12.5   Self-Rev   Exchange For Dut T are SAR  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT             | 87             | 87                | ~        |
| Image: IDS Series of Zerlegiff Cort. T at EVEX   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 67             | 67                | ~        |
| Langer   125 Serfew   128-beyff   Col   T. M. MOR  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR             | 55             | 55                | -        |
| Image   12.5 Serious   Delinophr Coult   Serious   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             | 66             | 66                |          |
| Linguist    |  |                |                   |          |
| Septiment   2018 pg/min   Col.   Test PSC   66   66   7   7   7   7   7   7   7  |  |                |                   |          |
| Image:   |  |                |                   | -        |
| Image:   120   Selfeen   120   2016   |  |                |                   |          |
| Images   12.5. Selfaces   2.5. Person   2.   |  |                |                   | -        |
| Image   12.5 Selfox   2.5RegPr Cnt   T str FUN   |  |                |                   |          |
| Integral   22   Selfector   ZeRegiff Cost   T. pt Cist   |  |                |                   | -        |
| Image   122   Selfson   22Realphy Cost   1 at DON  |  |                |                   |          |
| Images   12.5. Selfence   22.6. Perign   Cont T   str DOUT   3   3   3   4   4   4   4   4   4   4   |  |                |                   |          |
| Integral   2.0. Selfrecor   2.0. Perspert   Cont   1. str. CNR   |  |                |                   |          |
| Integral   |  |                |                   |          |
| Integral   25   Self-Recy   Zef-RepPP   Coft   T. Str. PDD   |  |                |                   |          |
| Integral   20. Selficery   20chappin; Cent_T str PD    3   3   3   3   3   3   3   3   3   |  |                |                   | -        |
| Integral   22. SetRistatus   12. Petropht   Cent   1 set P. DEL  |  |                |                   |          |
| Integred_Lipe_SetStatus_12cRegPtr_Cnt_T str.OAR  |  |                |                   | ~        |
| largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.NR   66   66   √     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.CLK   2009   2309   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   67   67   67   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   67   67   67   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   66   66   66   66   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   67   67   67   67     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   68   66   66   66   66   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   30   2309   2309   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   3   3   3   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   4   1   1   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   5   1   1   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   1   1   1   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   2   2   2   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   3   3   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   5   5   5   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   6   6   6   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   6   6   6   ✓     largel_L22_SetSlatus_U2RepPr_Cnt_Tstr.DRR   6   6   6   6   ✓     largel_L22_SetUpMaterReceive_U2RepPr_Cnt_Tstr.DRR   6   6   6   6   ✓     la    |  |                |                   |          |
| target I.Ze. SerStatus. IZcRegPPr Cnt T. str. STR  |  |                |                   | •        |
| Ingred_L2e_SelStatus_ ZcRegPPt_Cnt_Tstr.CLK    1204   1    |  |                |                   | ~        |
| larget   12c SelfStatus   12cRegPtr_CntT_str.DRT   |  | 2309           | 2309              | •        |
| target_12e_SetStatus_12cRegPtr_Cnt_T_str.DRR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH          | 1204           | 1204              | ~        |
| target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         55         55           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         66         66           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         66         66           varget [26] SetStatus [2cRepPtr_Cnt_T str.DxR         5         5           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         5         5           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         3         3           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         66         66           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         1204         1204           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         3         3           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         1         1           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         3         3           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         3         3           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         1         1           target [26] SetStatus [2cRepPtr_Cnt_T str.DxR         5         5  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT           | 87             | 87                | ~        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR           | 67             | 67                | ~        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.MDR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR           | 55             | 55                | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.BMR         5         5           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.BMR         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PISC         66         66           4         4         4           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11         1204         1204           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         4         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         3         3           target_l2c_SetLyMasterReceive_l2cRegPtr_Cnt_T_str.DMAC         4         4           target_l2c_  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR           | 66             | 66                | ~        |
| target_ Zc_SetStatus_ ZcRegPtr_Cnt_T_str.EMDR   3   3   4  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR           | 2309           | 2309              | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11         1204         1204         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12         66         66         4           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12         66         66         4           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID18         1         1         1         4           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR         1         1         1         4         4           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN         2         2         2         4         4           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DON         3         3         3         4   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR           |                |                   | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         66         66         66           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DID12         66         66         9           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         3         3         4           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMN         1         1         1         4           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN         1         1         1         4         4           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DUT         3         3         3         4  |  |                |                   | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12         66         66         ✓           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         3         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN         1         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR         1         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN         2         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DUT         3         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DLR         1         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DLR         1         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DLR         1         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DLR         2         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DLR         3         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DLR         3         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DAR         55         55         55           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DAR         56         66         4           target_l2c_SetupMasterReceve_l2cRegPtr_Cnt_T_str.CAR         55  |  |                |                   |          |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DMAC         3         3         4           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.FUN         1         1         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIR         1         1         4           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIN         2         2         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DOUT         3         3         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CIR         1         1         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         2         2         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         2         2         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         2         2         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         3         3         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DBL         3         3         3           target_!2c_SetUpMasterReceive_!2cRegPtr_Cnt_T_str.DAR         55         55         55           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKI         2309         2309         ✓           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR         67         67         ✓           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.  |  |                |                   | <b>V</b> |
| target_12c_SetStatus_12cRegPtr_Cnt_T str.DIN         1         1         1         4 <td></td> <td></td> <td></td> <td>~</td>  |  |                |                   | ~        |
| target_12c_SetStatus_12cRegPtr_Cnt_Tstr.DIR         1         1           target_12c_SetStatus_12cRegPtr_Cnt_Tstr.DIVT         2         2           target_12c_SetStatus_12cRegPtr_Cnt_Tstr.DOUT         3         3           target_12c_SetStatus_12cRegPtr_Cnt_Tstr.SET         3         3           target_12c_SetStatus_12cRegPtr_Cnt_Tstr.CLR         1         1           target_12c_SetStatus_12cRegPtr_Cnt_Tstr.DDR         2         2           target_12c_SetStatus_12cRegPtr_Cnt_Tstr.DD         3         3           target_12c_SetStatus_12cRegPtr_Cnt_Tstr.DD         3         3           target_12c_SetUpMasterReceive_12cRegPtr_Cnt_Tstr.DAR         55         55           target_12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.DMR         66         66           target_12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.STR         556         556           target_12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.CtkL         2309         2309           target_12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.CtkL         2309         2309           target_12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.DRR         67         67           target_12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.DRR         66         66           target_12c_SetupMasterReceive_12cRegPtr_Cnt_Tstr.DRR         66         66           target_12c_SetupMasterReceive_12cRe  |  |                |                   | ¥        |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIN         2         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DOUT         3         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.SET         3         3           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CDR         1         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         2         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.PD         3         3           target_!2c_SetsIsub_s1cRegPtr_Cnt_T_str.PSL         3         3           target_!2c_SetspMasterReceive_!2cRegPtr_Cnt_T_str.DAR         55         55           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.MR         66         66         4           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKL         2309         2309         2309           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKH         1204         1204         4           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DAR         67         67         4           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DAR         66         66         4           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DAR         67         67         4           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DAR         5         55         4           target_   |  |                |                   |          |
| target 12c_SetStatus_12cRegPtr_Cnt_T_str.DOUT         3         3           target 12c_SetStatus_12cRegPtr_Cnt_T_str.SET         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLR         1         1           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         2         2           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DR         3         3           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DR         5         55           target_12c_SetUpMasterReceive_12cRegPtr_Cnt_T_str.DAR         55         55           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DLK         2309         2309           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKH         1204         1204           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         67         67           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         67         67           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR         66         66           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR         66         66           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR         5         5           target_12c_SetupMasterRece  |  |                |                   |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DD         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR         55         55           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR         56         66           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL         2309         2309           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL         2309         2309           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT         87         87           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         67         67           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR         55         55           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR         66         66           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR         5         55           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR         3         3           ta  |  |                |                   |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.ODR         1         1         1         4 <td></td> <td></td> <td></td> <td></td>   |  |                |                   |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR         2         2         v           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD         3         3         3         v           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL         3         3         3         v           target_l2c_SetsupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         55         55         55         v           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR         66         66         0         v           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL         2309         2309         2309         v           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH         1204         1204         1204         v           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         67         67         67         v           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         67         67         or         v           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         55         55         55         v           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         66         66         v         e           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         5         5         5         o         v           target_l2c_SetupMaster  |  |                |                   |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD         3         3         y           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL         3         3         y           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR         55         55         55           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MR         66         66         y           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR         556         556         y           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL         2309         2309         y           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT         87         87         87           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT         87         67         67           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         67         67         y           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR         66         66         9           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR         2309         2309         y           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR         3         3         3           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR         3         3         3           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11         1204         120   |  |                |                   |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PSL       3       3         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR       55       55         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR       66       66         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR       556       556         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL       2309       2309         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKH       1204       1204         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CNT       87       87         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR       67       67         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR       66       66         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR       66       66         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR       2309       2309         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.EMDR       5       5         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.EMDR       3       3         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PDC       66       66         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID11       1204       1204         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID12       66       66         target_12c_SetupMast  |  |                |                   |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR       556       556         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       87       87         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PDC       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3  |  |                |                   |          |
| target   2c SetupMasterReceive   12cRegPtr_Cnt_T str.IMR       66       66         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.STR       556       556         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CLKL       2309       2309         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CLKH       1204       1204         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CNT       87       87         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DRR       67       67         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       66       66         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       66       66         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.MDR       2309       2309         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.IVR       5       5         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.EMDR       3       3         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PSC       66       66         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID11       1204       1204         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PiD12       66       66         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PiD12       66       66         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DMAC <td< td=""><td></td><td></td><td></td><td><b>~</b></td></td<>   |  |                |                   | <b>~</b> |
| target   2c SetupMasterReceive   12cRegPtr_Cnt_T str.STR       556       556         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CLKL       2309       2309         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CLKH       1204       1204         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CNT       87       87         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DRR       67       67         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       66       66         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       66       66         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.MDR       2309       2309         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.IVR       5       5         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.EMDR       3       3         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PSC       66       66         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID11       1204       1204         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID12       66       66         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID12       66       66         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DMAC       3       3   |  |                |                   |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       87       87         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3  |  |                |                   | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       87       87         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3   |  | 2309           | 2309              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       87       87         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3  |  |                |                   | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       67       67         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3  |  | 87             | 87                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DDR       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       2309       2309         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3  |  | 67             | 67                | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR       2309       2309         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR       5       5         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR       3       3         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC       66       66         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11       1204       1204         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12       66       66         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC       3       3  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 55             | 55                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       5       5         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 66             | 66                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       1204       1204         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       66       66         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 2309           | 2309              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC 66 66  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5              | 5                 | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 1204 1204 1204 1204 1204 1204 1204 12  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR | 3              | 3                 |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 66 66 46 46 47 47 47 47 47 47 47 47 47 47 47 47 47   |  |                |                   |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC 3 3   |  |                |                   |          |
|  |  |                |                   |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN 1  |  |                |                   | ~        |
|  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN  | 1              | 1                 | -        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 1            | 1              | ~        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN    | 2            | 2              | ✓        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT   | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET    | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 2            | 2              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204         | 1204           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

| T ✓                    |       |                        |       |          |
|------------------------|-------|------------------------|-------|----------|
| Actual Function        | Count | Expected Function      | Count | Result   |
| SetupRead              | 1     | SetupRead              | 1     | ~        |
| I2c_SetupMasterReceive | 1     | I2c_SetupMasterReceive | 1     | <b>✓</b> |
| I2c_SetRecv            | 1     | I2c_SetRecv            | 1     | <b>✓</b> |

| Test Step 3.33 (Repeat Count = 1)               | ✓ ·  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 20   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 30   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 123  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_EXTREADDATREG_READ                    |
| DigColPsInt_I2CHwCustData_UIs_M_u16             | 1  |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 2  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 0  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 10   |
| Flags_Cnt_T_b16                                 | 4  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |

2014-10-14, 23:08:30+0530



| DigCorPsini_interruptivotilication              |                     |  |
|---|---------------------|--|
| Name  | Input Value         |  |
| Γ_DataRegisters_Cnt_u08[0]                      | 0                   |  |
| Γ_DataRegisters_Cnt_u08[1]                      | 32                  |  |
| Γ_DataRegisters_Cnt_u08[2]                      | 30                  |  |
| 「_DataRegisters_Cnt_u08[3]                      | 36                  |  |
| T_DataRegisters_Cnt_u08[4]                      | 38                  |  |
| T_DataRegisters_Cnt_u08[5]                      | 34                  |  |
| T_DataRegisters_Cnt_u08[6]                      | 10                  |  |
| Γ_DataRegisters_Cnt_u08[7]                      | 12                  |  |
| T DataRegisters Cnt u08[8]                      | 14                  |  |
| 2cREG1_temp                                     | target_i2cREG1_temp |  |
| <_ColSensorl2CAddress_Cnt_u08                   | 9                   |  |
| <pre>&lt;_SpurSensorI2CAddress_Cnt_u08</pre>    | 10                  |  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.OAR   | 55                  |  |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 66                  |  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR   | 556                 |  |
|   | 2309                |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 1204                |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  |                     |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 87                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 67                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 55                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 66                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2309                |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 1204                |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 66                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 1                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 1                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    | 3                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3                   |  |
| target I2c Send I2cRegPtr Cnt T str.OAR         | 55                  |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         | 66                  |  |
|   | 556                 |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 2309                |  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL        |                     |  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH        | 1204                |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 87                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 67                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 55                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 66                  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR          | 2309                |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 5                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 66                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 1204                |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 66                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 1                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 1                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3                   |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 55                  |  |
| arget_I2C_SetRecv_I2cRegPtr_Cnt_T_str.IMR       | 66                  |  |
|   |                     |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 556                 |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 2309                |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 1204                |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 87                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 67                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 55                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 66                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 2309                |  |
|   |                     |  |

2014-10-14, 23:08:30+0530



| DigCorsini_interruptivotinication   |             | GEO (GO |
|---|-------------|---------|
| Name  | Input Value |         |
| arget I2c SetRecv I2cRegPtr Cnt T str.EMDR  | 3           |         |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 66          |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 1204        |         |
| arget I2c SetRecv I2cRegPtr Cnt T str.PID12   | 66          |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 2           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 3           |         |
|   | 3           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   |             |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 2           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 55          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 66          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 556         |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 87          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 67          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 55          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 66          |         |
| irget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 2309        |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204        |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3           |         |
| rget_12c_SetStatus_12cRegPtr_Cnt_T_str.FUN  | 1           |         |
|   | 1           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   |             |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 2           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3           |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55          |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66          |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556         |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309        |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 1204        |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87          |         |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str.DRR  | 67          |         |
| riget I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR  | 55          |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66          |         |
| riget_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR  | 2309        |         |
| riget_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.IVR  | 5           |         |
| arget_12c_SetupMasterReceive_12cRegPtr_Cnt_1_str.tvR  | 3           |         |
|   | 66          |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   |             |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 1204        |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 66          |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3           |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1           |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2           |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3           |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 3           |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1           |         |
| rget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR   | 2           |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3           |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |         |
| rget I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR  | 55          |         |
| rget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.IMR  | 66          |         |
|   |             |         |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 556         |         |
| rrget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309        |         |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204        |         |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 87          |         |
|   | 67          |         |
| rget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 01          |         |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR | 55          |         |

2014-10-14, 23:08:30+0530



|  |                            | (-0)                                   | <i></i>  |
|--|----------------------------|--|----------|
| Name   | Input Value                |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309                       |  |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR   | 5                          |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3                          |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66                         |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204                       |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66                         |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3                          |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1                          |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1                          |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2                          |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3                          |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3                          |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1                          |  |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2                          |  |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD    | 3                          |  |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 3                          |  |          |
| target_i2cREG1_temp.OAR                                  | 55                         |  |          |
| target_i2cREG1_temp.IMR                                  | 66                         |  |          |
| target_i2cREG1_temp.STR                                  | 556                        |  |          |
| target i2cREG1 temp.CLKL                                 | 2309                       |  |          |
| 0 =  | 1204                       |  |          |
| target_i2cREG1_temp.CLKH                                 | ·                          |  |          |
| target_i2cREG1_temp.CNT                                  | 87                         |  |          |
| target_i2cREG1_temp.DRR                                  | 67                         |  |          |
| target_i2cREG1_temp.SAR                                  | 55                         |  |          |
| target_i2cREG1_temp.DXR                                  | 66                         |  |          |
| target_i2cREG1_temp.MDR                                  | 2309                       |  |          |
| target_i2cREG1_temp.IVR                                  | 5                          |  |          |
| target_i2cREG1_temp.EMDR                                 | 3                          |  |          |
| target_i2cREG1_temp.PSC                                  | 66                         |  |          |
| target_i2cREG1_temp.PID11                                | 1204                       |  |          |
| target_i2cREG1_temp.PID12                                | 66                         |  |          |
| target_i2cREG1_temp.DMAC                                 | 3                          |  |          |
| target_i2cREG1_temp.FUN                                  | 1                          |  |          |
| target_i2cREG1_temp.DIR                                  | 1                          |  |          |
| target_i2cREG1_temp.DIN                                  | 2                          |  |          |
| target_i2cREG1_temp.DOUT                                 | 3                          |  |          |
| target i2cREG1 temp.SET                                  | 3                          |  |          |
| target_i2cREG1_temp.CLR                                  | 1                          |  |          |
| target i2cREG1 temp.ODR                                  | 2                          |  |          |
| target_i2cREG1_temp.PD                                   | 3                          |  |          |
| target_i2cREG1_temp.PSL                                  | 3                          |  |          |
| Name   | Actual Value               | Expected Value                         | Result   |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08          | 1                          | 1                                      | Kesuit   |
| 0 = : = = = =  | 10                         | 10                                     | -        |
| DigColPsInt_Buffer_Cnt_M_u08[0]                          |                            |  | · ·      |
| DigColPsInt_Buffer_Cnt_M_u08[1]                          | 20                         | 20                                     |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]                          | 30                         | 30                                     | Y        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                    | 0                          | 0                                      | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                    | 1                          | 1                                      | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                    | 1                          | 1                                      | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16                        | 2309                       | 2309                                   | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08                       | 123                        | 123                                    | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                     | INIT_SENSOR1_EXTREADDATREG | G_READ INIT_SENSOR1_EXTREADDATREG_READ | · •      |
| DigColPsInt_I2CHwCustData_Uls_M_u16                      | 1                          | 1                                      | -        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16            | 2                          | 2                                      | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                     | 0                          | 0                                      | -        |
| DigColPsInt_NackOccured_Cnt_M_lgc                        | 0                          | 0                                      | -        |
| DigColPsInt RecvOverrunError Cnt M Igc                   | 0                          | 0                                      | -        |
| DigColPsInt_RecvdDataType_Cnt_M_u08                      | 0                          | 0                                      | <b>✓</b> |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc                   | 0                          | 0                                      |          |
| DigColPsInt SpurSnsrData Cnt M u16                       | 87                         | 87                                     | -        |
| DigColPsInt_TransactionCnt_Cnt_M_u08                     | 10                         | 10                                     | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR           | 55                         | 55                                     | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR           | 66                         | 66                                     |          |
|  | 556                        | 556                                    | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR           |                            |  |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL          | 2309                       | 2309                                   | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH          | 1204                       | 1204                                   | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT           | 87                         | 87                                     | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR           | 67                         | 67                                     | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR           | 55                         | 55                                     | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR           | 66                         | 66                                     | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR           | 2309                       | 2309                                   | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR           | 5                          | 5                                      | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR          | 3                          | 3                                      | ~        |
|  |                            |  |          |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 1204         | 66             | <b>-</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12 | 66           | 1204<br>66     | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.Pib12  | 3            | 3              |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.FUN  | 1            | 1              | ~        |
| target I2c GenStopCond I2cRegPtr Cnt T str.DIR  | 1            | 1              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309<br>1204 | 2309<br>1204   |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 87           | 87             | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR                   | 67           | 67             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | <b>*</b> |
| target I2c Send I2cRegPtr Cnt T str.IVR   | 5            | 5              | _        |
| target I2c Send I2cRegPtr Cnt T str.EMDR  | 3            | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>*</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | , v      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL<br>target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR             | 55           | 55             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | J        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           |          |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKH   | 1204         | 1204           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | <b>*</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 3            | 2 3            | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | -        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR             | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | J        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66           | 66             | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 556          | 556            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ~        |
| targot_120_00totata0_1201t0g: ti_ont_1_ott.ott.   | 67           | 67             | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR  | 07           | O1             |          |
|   | 55           | 55             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  |              |                | <b>✓</b> |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | <b>V</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD  | 3            | 3              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | -4       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66<br>556    | 66<br>556      | -        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2309<br>1204 | 2309<br>1204   | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT | 87           | 1204<br>87     |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_1_str.Cn1 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | -        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SAR  | 55           | 55             |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | J              |          |

| T               |       |                          |       |      |    |
|-----------------|-------|--------------------------|-------|------|----|
| Actual Function | Count | Expected Function        | Count | Resu | it |
| *none*          | 0     | *** No Call Expected *** | 0     |      | ,  |



| Input Value  |
|--|
| 3  |
| 123  |
| 145  |
| 200  |
| 1  |
| 1  |
| 1  |
| 566  |
| 30   |
|  |
| INIT_SENSOR1_EXTREADDATREG_SETREG                  |
| 67   |
| 68   |
| 1  |
| 1  |
| 4  |
| 1  |
| 4  |
| 1  |
| 1  |
| 129  |
| 100  |
| 2  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| 0  |
| 32   |
| 30   |
| 36   |
| 38   |
| 34   |
|  |
| 10   |
| 12   |
| 14   |
| target_i2cREG1_temp                                |
| 0  |
| 120  |
| 567  |
| 44   |
| 4444   |
| 566  |
| 4466   |
| 129  |
| 6  |
| 567  |
| 44   |
| 566  |
| 554  |
| 1  |
| 44   |
|  |
| 4466   |
| 44   |
| 1  |
| 1  |
| 2  |
| 0  |
| 1  |
| 1  |
| 2  |
| 0  |
|  |
| 3  |
| 3 3  |
| 3  |
| 3<br>567   |
| 3<br>567<br>44                                     |
| 3<br>567<br>44<br>4444                             |
| 3<br>567<br>44<br>4444<br>566                      |
| 3<br>567<br>44<br>4444                             |
|  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target I2c Send I2cRegPtr Cnt T str.DRR                | 6           |
| target I2c Send I2cRegPtr Cnt T str.SAR                | 567         |
|  | 44          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR                |             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR                | 566         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR                | 554         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR               | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                | 44          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11              | 4466        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12              | 44          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC               | 1           |
| target I2c Send I2cRegPtr Cnt T str.FUN                | 1           |
|  |             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR                | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT               | 1           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET                | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR                | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                 | 3           |
|  | 3           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL                |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR             | 567         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR             | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR             | 4444        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL            | 566         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH            | 4466        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT             | 129         |
| target I2c SetRecv I2cRegPtr Cnt T str.DRR             | 6           |
|  |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR             | 567         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR             | 566         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR             | 554         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR            | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC             | 44          |
|  | 4466        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11           |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12           | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC            | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN             | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT            | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET             | 1           |
|  | 2           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR             | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR           | 567         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR           | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR           | 4444        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL          | 566         |
|  | 4466        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH          |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT           | 129         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR           | 6           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR           | 567         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR           | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR           | 566         |
| target I2c SetStatus I2cRegPtr Cnt T str.IVR           | 554         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR          | 1           |
|  | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC           |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11         | 4466        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC          | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT          | 1           |
|  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET           |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL           | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 567         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 4444        |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL | 566         |
|  |             |

2014-10-14, 23:08:30+0530



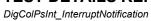
| Name   | Input Value    |                |      |
|--|----------------|----------------|------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466           |                |      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CNT    | 129            |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567            |                |      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DXR    | 44             |                |      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR    | 566            |                |      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR    | 554            |                |      |
|  | 1              |                |      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   |                |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44             |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466           |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44             |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2              |                |      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 0              |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3              |                |      |
|  |                |                |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567            |                |      |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 44             |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444           |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566            |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466           |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129            |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567            |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44             |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566            |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554            |                |      |
|  | 1              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  |                |                |      |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 44             |                |      |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 | 4466           |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44             |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1              |                |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1              |                |      |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 2              |                |      |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 0              |                |      |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD     | 3              |                |      |
| rarget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3              |                |      |
|  | 567            |                |      |
| arget_i2cREG1_temp.OAR                                   |                |                |      |
| arget_i2cREG1_temp.IMR                                   | 44             |                |      |
| arget_i2cREG1_temp.STR                                   | 4444           |                |      |
| arget_i2cREG1_temp.CLKL                                  | 566            |                |      |
| arget_i2cREG1_temp.CLKH                                  | 4466           |                |      |
| arget_i2cREG1_temp.CNT                                   | 129            |                |      |
| arget_i2cREG1_temp.DRR                                   | 6              |                |      |
| arget_i2cREG1_temp.SAR                                   | 567            |                |      |
| arget_i2cREG1_temp.DXR                                   | 44             |                |      |
| arget_i2cREG1_temp.MDR                                   | 566            |                |      |
| arget_i2cREG1_temp.IVR                                   | 554            |                |      |
| arget i2cREG1 temp.EMDR                                  | 1              |                |      |
|  |                |                |      |
| arget_i2cREG1_temp.PSC                                   | 44             |                |      |
| arget_i2cREG1_temp.PID11                                 | 4466           |                |      |
| arget_i2cREG1_temp.PID12                                 | 44             |                |      |
| arget_i2cREG1_temp.DMAC                                  | 1              |                |      |
| arget_i2cREG1_temp.FUN                                   | 1              |                |      |
| arget_i2cREG1_temp.DIR                                   | 2              |                |      |
| arget_i2cREG1_temp.DIN                                   | 0              |                |      |
| target_i2cREG1_temp.DOUT                                 | 1              |                |      |
| target_i2cREG1_temp.SET                                  | 1              |                |      |
| target i2cREG1 temp.CLR                                  | 2              |                |      |
| target_i2cREG1_temp.ODR                                  | 0              |                |      |
| target_i2cREG1_temp.PD                                   | 3              |                |      |
| angot_rearted i_temp.i D                                 |                |                |      |
| Sarraet i2cDEC1 temp DSI                                 |                |                |      |
| target_i2cREG1_temp.PSL<br>Name                          | 3 Actual Value | Expected Value | Resu |

2014-10-14, 23:08:30+0530



| Digitable   Martin C. M. (2011)   120    | Name   | Actual Value  | Expected Value | Result   |
|--|--|---------------|----------------|----------|
| DOGDERING   LONG-SOUTH   Long |  |               |                | Ž        |
| Disposition    |  |               |                | -        |
| 1  |  |               |                |          |
| Depotation  Contention   Cont |  |               |                | ·        |
| BigGoTeller   Desires (Desires (Desires (Desires))   | =          |               |                | -        |
| Digitable   Contractable   Contractable   Let   Let  |  | 566           | 566            | •        |
| Digitable  |  | 30            | 30             | ~        |
| Digital Full Content | DigColPsInt_CurrentStepNo_Cnt_M_enum             | INIT_COMPLETE | INIT_COMPLETE  | <b>~</b> |
| Digitar   Interestations   | DigColPsInt_I2CHwCustData_Uls_M_u16              | 67            | 67             | ~        |
| Digitable   Digi | DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16    | 68            | 68             | ~        |
| Digitable   Tendormalismo Crit Mujes   1   | DigColPsInt_InitFailedOnce_Cnt_M_Igc             | 1             | 1              | ~        |
| DigoDoPales   September   December   Decem |  | 1             |                | <b>✓</b> |
| Depon   Depo |  |               |                | ~        |
| Disposition   Security   Securi |  |               |                | <b>~</b> |
| Digital   Tamasacon Circ   M. J. Digital   Digi |  |               |                | ~        |
|  |  |               |                | ~        |
|  |  |               |                | ~        |
|  |  |               |                |          |
| Langel, Zie, Censistop Comul, 2008-ppt, Colin T, str. CLKI         566         566           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNT         129         129           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNT         129         120           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         567         567           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         44         44           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         566         560           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         586         560           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         584         584           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         1         1           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         44         44           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         1         1           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         1         1           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         2         2           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         2         2           Langel, Zie, Censistop Comul, 2008-ppt, Colin, T, str. CNR         2         2   |  |               |                | -        |
| Langet 12.C GenStopCond 12.Relight Cirt 1, str.CNT   129   |  |               |                |          |
| Langer   12.0   CensistroCond   2.0   2. |  |               |                | -        |
| Images   12   Centiformicons   12   Centiformicons   12   Centiformicons   12   Centiformicons   12   Centiformicons   12   Centiformicons   13   Centiformicons   14   Centiformicons   14   Centiformicons   14   Centiformicons   15   Centif |  |               | - 11           | -        |
| target I2.C GenSlopCond, I2ReaPPL Cnt T, str SAR         567           steppl, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDR         566           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDR         566           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDR         564           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDR         1           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDR         1           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDT         44           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDT         44           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDT         1           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDT         1           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDN         1           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDN         0           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDN         0           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDN         0           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDR         1           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDR         1           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDR         0           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDR         0           target, I2.C GenSlopCond, I2ReaPPL Cnt T, str NDR         3           target, I2.C Send,  |  |               |                | -        |
| Integral   P.C.   GenShopCond,   IzcRept   Crit   Jan NDR  |  |               |                | -        |
| Inspect   Exc. GenStepCond   ZeRegPT CotT_strIMPR   564   565   564   564   564   565   564   565   564   565    |  |               |                | <b>V</b> |
| Integral   |  |               |                |          |
| Image   Lize Censispocond  |  | 554           | 554            | ~        |
| target_L2c_GenStopCond_L2cRepPtr_CntT_strPID112  |  | 1             | 1              | ~        |
| target_L2c_GenStopCond_L2cRepPtr_CntstrDMAC         1         1         1           target_L2c_GenStopCond_L2cRepPtr_CntstrDMAC         1         1         1           target_L2c_GenStopCond_L2cRepPtr_CntstrDMAC         1         1         1           target_L2c_GenStopCond_L2cRepPtr_CntstrDIN         0         0         0           target_L2c_GenStopCond_L2cRepPtr_CntstrDIN         0         0         0           target_L2c_GenStopCond_L2cRepPtr_CntstrDIN         1         1         1           target_L2c_GenStopCond_L2cRepPtr_CntstrDIN         2         2         2           target_L2c_GenStopCond_L2cRepPtr_CntstrDIN         0         0         0         0           target_L2c_GenStopCond_L2cRepPtr_CntstrDIN         3         3         3         1 <td< td=""><td>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC</td><td>44</td><td>44</td><td>~</td></td<>   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44            | 44             | ~        |
| target_L2e_GenStopCond_L2cRegPtr_Cnt_T_str.FUN         1         2         2         2         2<  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 4466          | 4466           | ~        |
| larget   Ze_GenStopCond   ZeRegPtr_Cnt_T_str.PUN   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 44            | 44             | ~        |
| target_I2e_GenStopCond_I2cRegPtr_CntT_str.DIR         2         2           target_I2e_GenStopCond_I2cRegPtr_CntT_str.DIN         0         0           target_I2e_GenStopCond_I2cRegPtr_CntT_str.DOUT         1         1           target_I2e_GenStopCond_I2cRegPtr_CntT_str.Str.DIN         1         1           target_I2e_GenStopCond_I2cRegPtr_CntT_str.CUR         2         2           target_I2e_GenStopCond_I2cRegPtr_CntT_str.DIN         0         0           target_I2e_GenStopCond_I2cRegPtr_CntT_str.DIN         3         3           target_I2e_GenStopCond_I2cRegPtr_CntT_str.DIN         3         3           target_I2e_SenGl_I2cRegPtr_CntT_str.DIN         44         44           target_I2e_Send_I2cRegPtr_CntT_str.DINR         44         44           target_I2e_Send_I2cRegPtr_CntT_str.CINL         566         566           target_I2e_Send_I2cRegPtr_CntT_str.CNT         129         129           target_I2e_Send_I2cRegPtr_CntT_str.DINR         6         6           target_I2e_Send_I2cRe  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1             | 1              | ~        |
| Bargel   12c   GenStopCond   L2cRegPir_Cnt_T_str.DIN   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   |               |                | •        |
| target_12c GenStopCond_12cRegPtr_Cnt_T_str.SDUT  |  |               |                | ~        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T.str.SET   |  |               |                | ~        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLR         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         0         0           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         3         3           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DBL         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         567         567           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.CLKL         566         566           target_12c_Send_12cRegPtr_Cnt_T_str.CLKL         566         566           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         466         4466           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         6         6           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         6         6           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         566         566           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         14         44           target_12c_Send_12cRegPt  |  |               |                | ~        |
| target_12c_GenStopCond_12cRegPtr_Cnt_Tstr.DDR  |  |               |                | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD         3         3           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         567         567           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.STR         4444         4444           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH         566         566           target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT         129         129           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         6         6         6           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         44         44         44  |  |               |                | · ·      |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PSL         3         3           target_12c_Send_12cRegPtr_Cnt_T_str.OAR         567         567           target_12c_Send_12cRegPtr_Cnt_T_str.NRR         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.STR         4444         4444           target_12c_Send_12cRegPtr_Cnt_T_str.CLKL         566         566           target_12c_Send_12cRegPtr_Cnt_T_str.CLKH         4466         4466           target_12c_Send_12cRegPtr_Cnt_T_str.DKR         446         4466           target_12c_Send_12cRegPtr_Cnt_T_str.DRR         6         6           target_12c_Send_12cRegPtr_Cnt_T_str.DRR         6         6           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         567         567           target_12c_Send_12cRegPtr_Cnt_T_str.MDR         566         566           target_12c_Send_12cRegPtr_Cnt_T_str.MDR         554         554           target_12c_Send_12cRegPtr_Cnt_T_str.DBC         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DBC         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DMAC         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DMAC         1         1           target_12c_Send_12cRegPtr_Cnt  |  |               |                | <b>V</b> |
| target_ Zc_Send_ ZcRegPr_Cnt_T_str.NAR         567         567           target_ Zc_Send_ ZcRegPr_Cnt_T_str.MR         44         44           target_ Zc_Send_ ZcRegPr_Cnt_T_str.CLK          566         566           target_ Zc_Send_ ZcRegPr_Cnt_T_str.CLK          4466         4466           target_ Zc_Send_ ZcRegPr_Cnt_T_str.CLK          4466         4466           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DRR         6         6           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DRR         6         6           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DRR         44         44           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DRR         567         567           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DRR         44         44           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DRR         566         566           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DRR         54         54           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DRR         44         44           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DBNR         1         1           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DBNA         1         44           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DBNA         1         44           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DBNA         1         1           target_ Zc_Send_ ZcRegPr_Cnt_T_str.DBNA <td< td=""><td></td><td></td><td></td><td>-</td></td<>  |  |               |                | -        |
| target_12c_Send_12cRegPtr_Cnt_T_str.NMR         44         444           target_12c_Send_12cRegPtr_Cnt_T_str.STR         4444         4444           target_12c_Send_12cRegPtr_Cnt_T_str.CLKL         566         566           target_12c_Send_12cRegPtr_Cnt_T_str.CLKH         4466         4466           target_12c_Send_12cRegPtr_Cnt_T_str.CNT         129         129           target_12c_Send_12cRegPtr_Cnt_T_str.DRR         6         6           target_12c_Send_12cRegPtr_Cnt_T_str.DXR         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DXR         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DXR         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DXR         566         566           target_12c_Send_12cRegPtr_Cnt_T_str.DXR         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.EMDR         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DBT         446         44           target_12c_Send_12cRegPtr_Cnt_T_str.DID12         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DMAC         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DMR         2         2           target_12c_Send_12cRegPtr_Cnt_T_str.DIN         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DOT </td <td></td> <td></td> <td></td> <td></td>   |  |               |                |          |
| target_12c_Send_12cRegPtr_CntT_str.CtKL         566         566           target_12c_Send_12cRegPtr_CntT_str.CtKL         566         566           target_12c_Send_12cRegPtr_CntT_str.CtKH         4466         4466           target_12c_Send_12cRegPtr_CntT_str.CtKT         129         129           target_12c_Send_12cRegPtr_CntT_str.DRR         6         6           target_12c_Send_12cRegPtr_CntT_str.DRR         567         567           target_12c_Send_12cRegPtr_CntT_str.DXR         44         44           target_12c_Send_12cRegPtr_CntT_str.DXR         44         44           target_12c_Send_12cRegPtr_CntT_str.DXR         566         566           target_12c_Send_12cRegPtr_CntT_str.DMR         1         1           target_12c_Send_12cRegPtr_CntT_str.EMDR         1         1           target_12c_Send_12cRegPtr_CntT_str.DD11         4466         446           target_12c_Send_12cRegPtr_CntT_str.DD12         44         44           target_12c_Send_12cRegPtr_CntT_str.DMAC         1         1           target_12c_Send_12cRegPtr_CntT_str.DM         1         1           target_12c_Send_12cRegPtr_CntT_str.DN         0         0           target_12c_Send_12cRegPtr_CntT_str.DN         0         0           target_12c_Send_12cRegPtr_CntT_str.DOVT         1 </td <td></td> <td></td> <td></td> <td>-</td>   |  |               |                | -        |
| target_12c_Send_12cRegPtr_CntT_str.CLKL         566         566           target_12c_Send_12cRegPtr_CntT_str.CKH         4466         4466           target_12c_Send_12cRegPtr_CntT_str.CNT         129         129           target_12c_Send_12cRegPtr_CntT_str.DRR         6         6           target_12c_Send_12cRegPtr_CntT_str.DRR         567         567           target_12c_Send_12cRegPtr_CntT_str.DRR         44         44           target_12c_Send_12cRegPtr_CntT_str.DRR         44         44           target_12c_Send_12cRegPtr_CntT_str.DRR         556         566           target_12c_Send_12cRegPtr_CntT_str.DRR         554         554           target_12c_Send_12cRegPtr_CntT_str.DRR         1         1           target_12c_Send_12cRegPtr_CntT_str.DDT         4466         446           target_12c_Send_12cRegPtr_CntT_str.DDT         4466         446           target_12c_Send_12cRegPtr_CntT_str.DNAC         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DNAC         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DN         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DN         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DN         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DN         0<   | · ·  |               |                | _        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT         4466         4466           target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT         129         129           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         6         6           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         567         567           target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR         566         566           target_l2c_Send_l2cRegPtr_Cnt_T_str.NVR         554         554           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11         4466         4466           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DNT         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DNT         2         2           target_l2c_Send_l2cRegPtr_Cnt_T_str.DNT         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DNT         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DNT         2         2           target_l2c_Send_l2cRegPtr_Cnt_T_str.DR  |  |               |                | •        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DRR         129         129           target_12c_Send_12cRegPtr_Cnt_T_str.DRR         6         6         6           target_12c_Send_12cRegPtr_Cnt_T_str.DRR         567         567           target_12c_Send_12cRegPtr_Cnt_T_str.DRR         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DRR         566         566           target_12c_Send_12cRegPtr_Cnt_T_str.DRR         554         554           target_12c_Send_12cRegPtr_Cnt_T_str.EMDR         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DESC         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.PID11         4466         4466           target_12c_Send_12cRegPtr_Cnt_T_str.DID12         44         44           target_12c_Send_12cRegPtr_Cnt_T_str.DMAC         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DIN         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DIN         0         0           target_12c_Send_12cRegPtr_Cnt_T_str.DUT         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DUT         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DUT         1         1           target_12c_Send_12cRegPtr_Cnt_T_str.DR         0         0           target_12c_Send_12cRegPtr_Cnt_T_   |  |               |                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         567         567           target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         44         44           target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         566         566           target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         554         554           target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         1         1           target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         1         44           target_I2c_Send_I2cRegPtr_Cnt_T_str.PDI11         4466         4466           target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         44         44           target_I2c_Send_I2cRegPtr_Cnt_T_str.DINAC         1         1           target_I2c_Send_I2cRegPtr_Cnt_T_str.DINAC         1         1           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         0         0           target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         1         1           target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         1         1           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         2         2           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         3         3           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  |  | 129           | 129            | •        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DXR       44       44         target_12c_Send_12cRegPtr_Cnt_T_str.MDR       566       566         target_12c_Send_12cRegPtr_Cnt_T_str.DXR       554       554         target_12c_Send_12cRegPtr_Cnt_T_str.EMDR       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.PBDR       1       44         target_12c_Send_12cRegPtr_Cnt_T_str.PBD1       4466       446         target_12c_Send_12cRegPtr_Cnt_T_str.PID12       44       44         target_12c_Send_12cRegPtr_Cnt_T_str.DMAC       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.DMAC       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.DIN       0       0         target_12c_Send_12cRegPtr_Cnt_T_str.DIN       0       0         target_12c_Send_12cRegPtr_Cnt_T_str.DUT       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.DUT       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.SET       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.OR       0       0         target_12c_Send_12cRegPtr_Cnt_T_str.DOR       0       0         target_12c_Send_12cRegPtr_Cnt_T_str.DAR       3       3         target_12c_Send_12cRegPtr_Cnt_T_str.DAR       567       567         target_12c_SetRecv_12cRegPtr_Cnt_T_str.DAR<  | target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 6             | 6              | ~        |
| target_l2c_Send_l2cRegPtr_CntT_str.MDR       566       566         target_l2c_Send_l2cRegPtr_CntT_str.IVR       554       554         target_l2c_Send_l2cRegPtr_CntT_str.EMDR       1       1         target_l2c_Send_l2cRegPtr_CntT_str.PSC       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11       4466       4466         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DW       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN       2       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN       0       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.SET       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR       2       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR       0       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR       0       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR       3       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR       3       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR       567         target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR       567  | target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 567           | 567            | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR       554       554         target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11       4466       4466         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       44       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN       2       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN       0       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.SET       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR       2       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR       0       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR       0       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR       3       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR       3       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR       567       567         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MR       44       44         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  | target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 44            | 44             | ~        |
| target_l2c_Send_l2cRegPt_Cnt_T_str.EMDR         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11         4466         4466           target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12         44         44           target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR         2         2           target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DUT         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR         2         2           target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT         1         1           target_l2c_Send_l2cRegPtr_Cnt_T_str.DOR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR         0         0           target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_Send_l2cRegPtr_Cnt_T_str.DAR         567         567           target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MR         44 <td>target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR</td> <td>566</td> <td>566</td> <td>~</td>  | target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 566           | 566            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_Tstr.PSC       44       44         target_I2c_Send_I2cRegPtr_Cnt_Tstr.PID11       4466       4466         target_I2c_Send_I2cRegPtr_Cnt_Tstr.DID12       44       44         target_I2c_Send_I2cRegPtr_Cnt_Tstr.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_Tstr.DIN       1       1         target_I2c_Send_I2cRegPtr_Cnt_Tstr.DIR       2       2         target_I2c_Send_I2cRegPtr_Cnt_Tstr.DIN       0       0         target_I2c_Send_I2cRegPtr_Cnt_Tstr.DOUT       1       1         target_I2c_Send_I2cRegPtr_Cnt_Tstr.SET       1       1         target_I2c_Send_I2cRegPtr_Cnt_Tstr.CLR       2       2         target_I2c_Send_I2cRegPtr_Cnt_Tstr.ODR       0       0         target_I2c_Send_I2cRegPtr_Cnt_Tstr.DDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_Tstr.DDR       3       3         target_I2c_Send_I2cRegPtr_Cnt_Tstr.PSL       3       3         target_I2c_Send_I2cRegPtr_Cnt_Tstr.OAR       567       567         target_I2c_SetRecv_I2cRegPtr_Cnt_Tstr.IMR       44       44         target_I2c_SetRecv_I2cRegPtr_Cnt_Tstr.STR       4444       444         target_I2c_SetRecv_I2cRegPtr_Cnt_Tstr.CLKL       566       566   | target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 554           | 554            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       4466       4466         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DOR       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MR       44       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444       444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       566       566   | target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 1             | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_str.DIR       2       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       444       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444       444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444       444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       566       566  | target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 44            | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DDR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DSL       3       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       444       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444       444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       566       566  | target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 4466          | 4466           | ~        |
| target   2c Send   2cRegPtr_Cnt_T str.FUN       1         target   2c Send   2cRegPtr_Cnt_T str.DIR       2         target   2c Send   2cRegPtr_Cnt_T str.DIN       0         target   2c Send   2cRegPtr_Cnt_T str.DOUT       1         target   2c Send   2cRegPtr_Cnt_T str.SET       1         target   2c Send   2cRegPtr_Cnt_T str.CLR       2         target   2c Send   2cRegPtr_Cnt_T str.ODR       0         target   2c Send   2cRegPtr_Cnt_T str.ODR       0         target   2c Send   2cRegPtr_Cnt_T str.PD       3         target   2c Send   2cRegPtr_Cnt_T str.PSL       3         target   2c Send   2cRegPtr_Cnt_T str.OAR       567         target   2c SetRecv_   2cRegPtr_Cnt_T str.OAR       567         target   2c SetRecv_   2cRegPtr_Cnt_T str.STR       444         target   2c SetRecv_   2cRegPtr_Cnt_T str.STR       4444         target   2c SetRecv_   2cRegPtr_Cnt_T str.STR       4444         target   2c SetRecv_   2cRegPtr_Cnt_T str.CLK       566  |  |               |                | ~        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DIR       2       2         target_12c_Send_12cRegPtr_Cnt_T_str.DUN       0       0         target_12c_Send_12cRegPtr_Cnt_T_str.DOUT       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.SET       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.CLR       2       2         target_12c_Send_12cRegPtr_Cnt_T_str.ODR       0       0         target_12c_Send_12cRegPtr_Cnt_T_str.PD       3       3         target_12c_Send_12cRegPtr_Cnt_T_str.PSL       3       3         target_12c_SetRecv_12cRegPtr_Cnt_T_str.OAR       567       567         target_12c_SetRecv_12cRegPtr_Cnt_T_str.BMR       44       44         target_12c_SetRecv_12cRegPtr_Cnt_T_str.STR       4444       444         target_12c_SetRecv_12cRegPtr_Cnt_T_str.Str.STR       4444       444         target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKL       566       566  |  |               |                | ~        |
| target   2c Send   2cRegPtr_Cnt_T str.DIN       0       0         target   2c Send   2cRegPtr_Cnt_T str.DOUT       1       1         target   2c Send   2cRegPtr_Cnt_T str.SET       1       1         target   2c Send   2cRegPtr_Cnt_T str.CLR       2       2         target   2c Send   2cRegPtr_Cnt_T str.ODR       0       0         target   2c Send   2cRegPtr_Cnt_T str.PD       3       3         target   2c Send   2cRegPtr_Cnt_T str.PSL       3       3         target   2c SetRecv_   2cRegPtr_Cnt_T str.OAR       567       567         target   2c SetRecv_   2cRegPtr_Cnt_T str.BMR       44       44         target   2c SetRecv_   2cRegPtr_Cnt_T str.STR       4444       444         target   2c SetRecv_   2cRegPtr_Cnt_T str.STR       4444       444         target   2c SetRecv_   2cRegPtr_Cnt_T str.CLKL       566       566   |  |               |                | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.SET       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.DD       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.PD       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL       3         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR       567         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR       44         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR       4444         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL       566  |  |               |                | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       566  |  |               |                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444       444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       566       566   |  |               |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR       0       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.PD       3       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL       3       3         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR       567       567         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR       44       44         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR       4444       444         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL       566       566   |  |               |                | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444       444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.Str.       4444       566  |  |               |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444       444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CtkL       566       566  |  |               |                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444       4444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       566       566   |  |               |                |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444       444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL       566       566   |  |               |                | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR         4444         4444           target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL         566         566   |  |               |                |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL 566 566  |  |               |                |          |
|  |  |               |                |          |
| target izc SetRecv i2cRegPtr Cnt 1 str.CLKH 4466 4466  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 4466          | 4466           | •        |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR   | 2            | 2              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | <b>~</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET   | 1            | 1              | _        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR   | 2            | 2              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | · ·      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | <b>-</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | Ž        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT   | 129          | 129            |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | · ·      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 44           | 44             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR   | 566          | 566            |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR   | 554          | 554            |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | Ž        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | - J      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | Ž        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <u> </u> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR   | 2            | 2              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 0 3          | 0 3            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567            | <b>*</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 44<br>4444   | 44             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | Ž        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT<br>target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T str.DRR | 129<br>6     | 129<br>6       | Ž        |
|  | 567          | 567            |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T str.DXR    | 44           | 44             |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR  | 566          | 566            |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR  | 554          | 554            |          |
|  | 1            | 1              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T str.PSC   | 44           | 44             |          |
|  | 4466         | 4466           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 1            | 1              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_I_str.FUN target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_I_str.DIN target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0            | 0              |          |
|  | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T str.CLR    | 2            | 2              |          |
|  | 0            | 0              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T str.PD     | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_I_str.PD target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL     | 3            | 3              | Ž        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_I_str.PSL target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.IMR   | 44           | 44             | - V      |
|  |              |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           |          |

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.ODR

target\_l2c\_SetupMasterTransmit\_l2cRegPtr\_Cnt\_T\_str.PD

target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSL

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530



**Actual Value Expected Value** target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKL 566 566  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLKH$ 4466 4466 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CNT 129 129  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DRR$ 6  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SAR$ 567 567  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DXR$ 44 44 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.MDR 566 566  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.IVR$ 554 554 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.EMDR 1 1  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PSC$ 44 44 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID11 4466 4466  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.PID12$ 44 44  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DMAC$ 1  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.FUN$ 1 1 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIR 2 2 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DIN 0 0  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.DOUT$ 1 1 target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.SET 1  $target\_I2c\_SetupMasterTransmit\_I2cRegPtr\_Cnt\_T\_str.CLR$ 2 2

| Τ               |       |                   |       | V      |
|-----------------|-------|-------------------|-------|--------|
| Actual Function | Count | Expected Function | Count | Result |
| I2c_GenStopCond | 1     | I2c_GenStopCond   | 1     | •      |

0

3

3

0

3

3

| Test Step 3.35 (Repeat Count = 1)               |  |
|---|--|
| Name  | Input Value  |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08 | 3  |
| DigColPsInt Buffer Cnt M u08[0]                 | 123  |
| DigColPsInt Buffer Cnt M u08[1]                 | 145  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1  |
| DigColPsInt CmdFailOccurred Cnt M Igc           | 1  |
| DigColPsInt ColCustDatFound Cnt M Igc           | 1  |
| DigColPsInt ColSnsrData Cnt M u16               | 566  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 30   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | READ SENSOR1 SETREG                                |
| DigColPsInt I2CHwCustData Uls M u16             | 67   |
| DigColPsInt I2CHwIncompleteCustData Uls M u16   | 68   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1  |
| DigColPsInt NackOccured Cnt M Igc               | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 4  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1.   |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 4  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1.   |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 129  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 100  |
| Flags_Cnt_T_b16                                 | 2  |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T_DataRegisters_Cnt_u08[3]                      | 36   |
| T_DataRegisters_Cnt_u08[4]                      | 38   |
| T_DataRegisters_Cnt_u08[5]                      | 34   |
| T_DataRegisters_Cnt_u08[6]                      | 10   |
| T_DataRegisters_Cnt_u08[7]                      | 12   |
| T_DataRegisters_Cnt_u08[8]                      | 14   |
| i2cREG1_temp                                    | target_i2cREG1_temp                                |
| k_ColSensorl2CAddress_Cnt_u08                   | 0  |
| k_SpurSensorI2CAddress_Cnt_u08                  | 120  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 567  |

2014-10-14, 23:08:30+0530



| DigColPsini_interruptivotinication   |             |
|--|-------------|
| Name   | Input Value |
| target I2c GenStopCond I2cRegPtr Cnt T str.IMR   | 44          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR   | 4444        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 566         |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLKH  | 4466        |
| target I2c GenStopCond I2cRegPtr Cnt T str.CNT   | 129         |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR   | 6           |
|  | 567         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 566         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 4466        |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 2           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 0           |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DOUT   | 1           |
|  |             |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 2           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 0           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 44          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 566         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 129         |
|  | 6           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   |             |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DXR   | 44          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 566         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 44          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 4466        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 44          |
| target I2c Send I2cRegPtr Cnt T str.DMAC   | 1           |
| target I2c Send I2cRegPtr Cnt T str.FUN  | 1           |
| target I2c Send I2cRegPtr Cnt T str.DIR  | 2           |
|  |             |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 1           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 0           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| arget I2c SetRecv I2cRegPtr Cnt T str.OAR  | 567         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 44          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 4444        |
|  | 566         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   |             |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 129         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 6           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 567         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 44          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 566         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 554         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 44          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 4466        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 44          |
|  |             |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 2           |
| arget 12a CatDany 12aDanDtr Cat T atr DIN  | 0           |
| arget_izc_SetRecv_izcRegPti_Cnt_i_str.bin  | 1           |
|  | ·           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   |             |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR | 1           |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL               |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR             | 567         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR             | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR             | 4444        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL            | 566         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH            | 4466        |
| target I2c SetStatus I2cRegPtr Cnt T str.CNT             | 129         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 6           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             | 567         |
|  | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR             | 566         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 554         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 4466        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 0           |
| target I2c SetStatus I2cRegPtr Cnt T str.PD              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 567         |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 4444        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567         |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11  | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC   | 1           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567         |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR   | 6           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR   | 44          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 44          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 2           |
|  |             |



| Name  | Input Value   |                |          |
|---|---------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 0 3           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD<br>target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3             |                |          |
| target_i2cREG1_temp.OAR   | 567           |                |          |
| target_i2cREG1_temp.IMR   | 44            |                |          |
| target_i2cREG1_temp.STR   | 4444          |                |          |
| target_i2cREG1_temp.CLKL  | 566           |                |          |
| target_i2cREG1_temp.CLKH  | 4466          |                |          |
| target_i2cREG1_temp.CNT   | 129           |                |          |
| target_i2cREG1_temp.DRR   | 6             |                |          |
| target_i2cREG1_temp.SAR<br>target_i2cREG1_temp.DXR  | 567<br>44     |                |          |
| target_i2cREG1_temp.MDR   | 566           |                |          |
| target_i2cREG1_temp.IVR   | 554           |                |          |
| target i2cREG1 temp.EMDR  | 1             |                |          |
| target_i2cREG1_temp.PSC   | 44            |                |          |
| target_i2cREG1_temp.PID11   | 4466          |                |          |
| target_i2cREG1_temp.PID12   | 44            |                |          |
| target_i2cREG1_temp.DMAC  | 1             |                |          |
| target_i2cREG1_temp.FUN   | 1             |                |          |
| target_i2cREG1_temp.DIR   | 2             |                |          |
| target_i2cREG1_temp.DIN   | 0             |                |          |
| target_i2cREG1_temp.DOUT<br>target_i2cREG1_temp.SET   | 1             |                |          |
| target_i2cREG1_temp.CLR   | 2             |                |          |
| target_i2cREG1_temp.ODR   | 0             |                |          |
| target_i2cREG1_temp.PD  | 3             |                |          |
| target_i2cREG1_temp.PSL   | 3             |                |          |
| Name  | Actual Value  | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 3             | 3              | •        |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 123           | 123            | •        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 145           | 145            | •        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 200           | 200            | •        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 1             | 1              | •        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1             | 1              | •        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 1 500         | 1              | •        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 566<br>30     | 566<br>30      | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum   | READ COMPLETE | READ COMPLETE  |          |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 67            | 67             |          |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 68            | 68             | •        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1             | 1              | •        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 1             | 1              | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1             | 1              | •        |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 4             | 4              | •        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1             | 1              | •        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 129           | 129            | •        |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 100           | 100            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 567<br>44     | 567<br>44      | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 4444          | 4444           |          |
| target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL   | 566           | 566            |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLKH   | 4466          | 4466           |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT  | 129           | 129            |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 6             | 6              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 567           | 567            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 44            | 44             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 566           | 566            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 554           | 554            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 1             | 1              | •        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC  | 44            | 44             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 4466          | 4466           | <u> </u> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 1             | 1              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1             | 1              |          |
|   | 2             | 2              |          |
| target 12c GenStonCond 12cRegPtr Cnt   etr DIP  | 0             | 0              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   |               |                |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 1             | 1              | •        |
|   |               | 1              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1             |                |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1             | 1              |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET  target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR | 1 1 2         | 1 2            | •        |





| target_ 2c_Send_ 2cRegPtr_Cnt_T_str.OAR  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.IMR  44  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.STR  44444  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CLKL  566  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CLKL  4466  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CLKH  4466  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.CNT  129  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DRR  567  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DRR  44  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DXR  44  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DXR  456  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DXR  46  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DAR  47  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DAR  48  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DAR  49  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PSC  40  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PID11  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.PID12  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIAR  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIAR  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DIR  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DOUT  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DOUT  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DOUT  target_ 2c_Send_ 2cRegPtr_Cnt_T_str.DOR  target_ 2c_Send_ 2cRegPtr_Cnt_T_str. | 567 44 4444 566 4466 129 6 567 44 566 557 44 566 554 1 1 44 4466 44 1 1 1 2 0 0 1 1 1 2 0 3 3 3 567 44 |
|--|--|
| target_!2c_Send_!2cRegPtr_Cnt_T_str.STR       4444         target_!2c_Send_!2cRegPtr_Cnt_T_str.CLKL       566         target_!2c_Send_!2cRegPtr_Cnt_T_str.CLKH       4466         target_!2c_Send_!2cRegPtr_Cnt_T_str.CNT       129         target_!2c_Send_!2cRegPtr_Cnt_T_str.DRR       6         target_!2c_Send_!2cRegPtr_Cnt_T_str.DRR       567         target_!2c_Send_!2cRegPtr_Cnt_T_str.DXR       44         target_!2c_Send_!2cRegPtr_Cnt_T_str.DXR       44         target_!2c_Send_!2cRegPtr_Cnt_T_str.MDR       566         target_!2c_Send_!2cRegPtr_Cnt_T_str.PMDR       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSC       44         target_!2c_Send_!2cRegPtr_Cnt_T_str.PID11       4466         target_!2c_Send_!2cRegPtr_Cnt_T_str.PID12       44         target_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       2         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       2         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DUT       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.DUT       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.DUT       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.DLR       2         target_!2c_Send_!2cRegPtr_Cnt_T_str.DLR       3   | 4444 566 4466 129 6 567 444 566 557 444 566 554 1 1 44 4466 44 1 1 1 2 0 0 1 1 1 2 0 3 3 3 567 444     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       566         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       4466         target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT       129         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       6         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       567         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       566         target_I2c_Send_I2cRegPtr_Cnt_T_str.INR       554         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       4466         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUR       0 <t< td=""><td>566 4466 129 6 567 444 566 557 444 566 554 1 1 44 4466 44 1 1 1 2 0 0 1 1 2 0 3 3 3 567 444</td></t<>  | 566 4466 129 6 567 444 566 557 444 566 554 1 1 44 4466 44 1 1 1 2 0 0 1 1 2 0 3 3 3 567 444            |
| target_l2c_send_l2cRegPtr_Cnt_T_str.CLKH       4466         target_l2c_send_l2cRegPtr_Cnt_T_str.CNT       129         target_l2c_send_l2cRegPtr_Cnt_T_str.DRR       6         target_l2c_send_l2cRegPtr_Cnt_T_str.DRR       567         target_l2c_send_l2cRegPtr_Cnt_T_str.DXR       44         target_l2c_send_l2cRegPtr_Cnt_T_str.DXR       44         target_l2c_send_l2cRegPtr_Cnt_T_str.MDR       566         target_l2c_send_l2cRegPtr_Cnt_T_str.EMDR       1         target_l2c_send_l2cRegPtr_Cnt_T_str.PSC       44         target_l2c_send_l2cRegPtr_Cnt_T_str.PID11       4466         target_l2c_send_l2cRegPtr_Cnt_T_str.PID12       44         target_l2c_send_l2cRegPtr_Cnt_T_str.DMAC       1         target_l2c_send_l2cRegPtr_Cnt_T_str.DMAC       1         target_l2c_send_l2cRegPtr_Cnt_T_str.DIR       2         target_l2c_send_l2cRegPtr_Cnt_T_str.DIR       2         target_l2c_send_l2cRegPtr_Cnt_T_str.DUT       1         target_l2c_send_l2cRegPtr_Cnt_T_str.DUT       1         target_l2c_send_l2cRegPtr_Cnt_T_str.DUT       1         target_l2c_send_l2cRegPtr_Cnt_T_str.DUR       0         target_l2c_send_l2cRegPtr_Cnt_T_str.DUR       0         target_l2c_send_l2cRegPtr_Cnt_T_str.DUR       0         target_l2c_send_l2cRegPtr_Cnt_T_str.DUR       0  | 4466 129 6 567 444 566 554 1 1 444 4466 44 1 1 1 2 0 0 1 1 2 0 3 3 3 567 444                           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT       129         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       6         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       567         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       566         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       554         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       4466         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMR       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT       3  | 129 6 567 444 566 554 1 444 4466 444 1 1 1 2 0 0 1 1 2 0 3 3 3 567 444                                 |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.DRR       6         target_!2c_Send_!2cRegPtr_Cnt_T_str.SAR       567         target_!2c_Send_!2cRegPtr_Cnt_T_str.DXR       44         target_!2c_Send_!2cRegPtr_Cnt_T_str.MDR       566         target_!2c_Send_!2cRegPtr_Cnt_T_str.IVR       554         target_!2c_Send_!2cRegPtr_Cnt_T_str.EMDR       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.PSC       44         target_!2c_Send_!2cRegPtr_Cnt_T_str.PID11       4466         target_!2c_Send_!2cRegPtr_Cnt_T_str.PID12       44         target_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       2         target_!2c_Send_!2cRegPtr_Cnt_T_str.DIR       2         target_!2c_Send_!2cRegPtr_Cnt_T_str.DUT       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.DUT       1         target_!2c_Send_!2cRegPtr_Cnt_T_str.CLR       2         target_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.ODR       0         target_!2c_Send_!2cRegPtr_Cnt_T_str.DD       3         target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR       3         target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR       567         target_!2c_SetRecv_!2cRegPtr_Cnt_T_str.JMR       44  | 6 567 44 566 554 1 44 4466 44 1 1 1 2 0 1 1 2 0 3 3 3 567 44   |
| target_!2c_Send_!2cRegPtr_Cnt_T_str.SAR         567           target_!2c_Send_!2cRegPtr_Cnt_T_str.DXR         44           target_!2c_Send_!2cRegPtr_Cnt_T_str.MDR         566           target_!2c_Send_!2cRegPtr_Cnt_T_str.IVR         554           target_!2c_Send_!2cRegPtr_Cnt_T_str.EMDR         1           target_!2c_Send_!2cRegPtr_Cnt_T_str.PSC         44           target_!2c_Send_!2cRegPtr_Cnt_T_str.PID11         4466           target_!2c_Send_!2cRegPtr_Cnt_T_str.PID12         44           target_!2c_Send_!2cRegPtr_Cnt_T_str.DMAC         1           target_!2c_Send_!2cRegPtr_Cnt_T_str.PUN         1           target_!2c_Send_!2cRegPtr_Cnt_T_str.DIR         2           target_!2c_Send_!2cRegPtr_Cnt_T_str.DIN         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DUT         1           target_!2c_Send_!2cRegPtr_Cnt_T_str.DUT         1           target_!2c_Send_!2cRegPtr_Cnt_T_str.CLR         2           target_!2c_Send_!2cRegPtr_Cnt_T_str.DUT         1           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR         0           target_!2c_Send_!2cRegPtr_Cnt_T_str.DDR         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR         3           target_!2c_Send_!2cRegPtr_Cnt_T_str.DAR         3           target_!2c   | 567 44 566 554 1 44 4466 44 1 1 1 2 0 1 1 2 0 3 3 3 567 44   |
| target_l2c_send_l2cRegPtr_Cnt_T_str.DXR       44         target_l2c_send_l2cRegPtr_Cnt_T_str.MDR       566         target_l2c_send_l2cRegPtr_Cnt_T_str.IVR       554         target_l2c_send_l2cRegPtr_Cnt_T_str.EMDR       1         target_l2c_send_l2cRegPtr_Cnt_T_str.PSC       44         target_l2c_send_l2cRegPtr_Cnt_T_str.PID11       4466         target_l2c_send_l2cRegPtr_Cnt_T_str.PID12       44         target_l2c_send_l2cRegPtr_Cnt_T_str.DMAC       1         target_l2c_send_l2cRegPtr_Cnt_T_str.DM       1         target_l2c_send_l2cRegPtr_Cnt_T_str.DIR       2         target_l2c_send_l2cRegPtr_Cnt_T_str.DIN       0         target_l2c_send_l2cRegPtr_Cnt_T_str.DUT       1         target_l2c_send_l2cRegPtr_Cnt_T_str.SET       1         target_l2c_send_l2cRegPtr_Cnt_T_str.CLR       2         target_l2c_send_l2cRegPtr_Cnt_T_str.ODR       0         target_l2c_send_l2cRegPtr_Cnt_T_str.DD       3         target_l2c_send_l2cRegPtr_Cnt_T_str.PD       3         target_l2c_send_l2cRegPtr_Cnt_T_str.DAR       567         target_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR       44         target_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR       44         target_l2c_setRecv_l2cRegPtr_Cnt_T_str.DAR       44         target_l2c_setRecv_l2cRegPtr_Cnt_T_str.JMR       44   | 566 554 1 44 4466 44 1 1 2 0 1 1 2 0 3 3 3 567 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       554         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       4466         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.DAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444  | 554 1 44 4466 44 1 1 1 2 0 1 1 2 0 3 3 3 567 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       4466         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444  | 1 44 4466 44 1 1 1 2 0 1 1 2 0 3 3 3 567 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       4466         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444   | 44 4466 44 1 1 1 2 0 1 1 2 0 3 3 3 567 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       4466         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       44         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.JIMR       444         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444   | 4466 44 1 1 1 2 0 1 1 2 0 3 3 3 567 44   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       44         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.SET       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.DD       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR       567         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR       44         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.JT       4444   | 44 1 1 2 0 1 1 2 0 1 1 1 2 0 3 3 3 567 44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444  | 1 1 2 0 1 1 1 2 0 3 3 3 567 44   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.SET       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR       2         target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.PD       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL       3         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR       567         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR       44         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR       44444  | 1 2 0 0 1 1 1 2 2 0 0 3 3 3 3 567 44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444   | 2<br>0<br>1<br>1<br>1<br>2<br>0<br>3<br>3<br>3<br>567<br>44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       44444  | 0<br>1<br>1<br>2<br>0<br>3<br>3<br>3<br>567  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444   | 1<br>1<br>2<br>0<br>3<br>3<br>3<br>567<br>44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444  | 1 2 0 3 3 3 567 44   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR       2         target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR       0         target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       44444   | 2<br>0<br>3<br>3<br>567<br>44  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR       0         target_l2c_Send_l2cRegPtr_Cnt_T_str.PD       3         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL       3         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR       567         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR       44         target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR       44444   | 0<br>3<br>3<br>3<br>567<br>44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       3         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444  | 3<br>3<br>567<br>44  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL       3         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       567         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR       44         target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       4444   | 3<br>567<br>44   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR         567           target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR         44           target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR         44444  | 44   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR 4444  |  |
| 0 = = = 0 = ==   |  |
|  | 4444   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL 566  | 566  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH 4466   | 4466   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT 129   | 129  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR 6   | 6  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR 567   | 567<br>44  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR  44 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR   | 44<br>566  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.MDR 566<br>target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR 554   | 554  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR 1  | 1  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC 44  | 44   |
| target I2c SetRecv I2cRegPtr Cnt T str.PID11 4466  | 4466   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12 44  | 44   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC 1  | 1  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN 1   | 1  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR 2   | 2  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN 0   | 0  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 1  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET 1   | 1  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR 2   | 2  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR 0 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD 3   | 0 3  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD 3 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL 3   | 3  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR 567   | 567  |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.IMR 44  | 44   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR 4444  | 4444   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL 566  | 566  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH 4466   | 4466   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT 129   | 129  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR 6   | 6  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR 567   | 567  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR 44  | 44   |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR 566   | 566  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR 554   | 554  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR 1  | 1  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC 44  | 44   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 4466 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 44  | 4466<br>44   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 44 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC 1  | 1  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_1_str.DMAC 1 1 1  | 1  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR 2   | 2  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN 0   | 0  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT 1  | 1  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET 1   | 1  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR 2   | 2  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR 0   | 0  |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3            | 3              | <b>~</b> |
| target I2c SetStatus I2cRegPtr Cnt T str.PSL             | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 567          | 567            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 44           | 44             | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 4444         | 4444           | <b>✓</b> |
| target I2c SetupMasterReceive I2cReqPtr Cnt T str.CLKL   | 566          | 566            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129          | 129            | _        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6            | 6              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567          | 567            |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DXR    | 44           | 44             | <u> </u> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 566          | 566            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554          | 554            | ·        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44           | 44             | ·        |
|  | 4466         | 4466           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 44           | 4400           | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    |              |                |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR    | 2            | 2              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN    | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET    | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2            | 2              | <b>Y</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0            | 0              | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD    | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | _        |

| T               |       |                   |       | V      |
|-----------------|-------|-------------------|-------|--------|
| Actual Function | Count | Expected Function | Count | Result |
| I2c_GenStopCond | 1     | I2c_GenStopCond   | 1     | ~      |

| Test Step 3.36 (Repeat Count = 1)               |                              | ~ |
|---|------------------------------|---|
| Name  | Input Value                  |   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 3                            |   |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123                          |   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145                          |   |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200                          |   |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1                            |   |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1                            |   |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1                            |   |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 566                          |   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 30                           |   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_READEXTERR_READ |   |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 67                           |   |



| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  Flags_Cnt_T_b16  I2c_GenStopCond(I2cRegPtr_Cnt_T_str)  I2c_SetRecv(I2cRegPtr_Cnt_T_str)  I2c_SetStatus(I2cRegPtr_Cnt_T_str)  I2c_SetStatus(I2cRegPtr_Cnt_T_str)  I2c_SetStatusMasterReceive(I2cRegPtr_Cnt_T_str)  I2c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str)  T_DataRegisters_Cnt_u08[0]  T_DataRegisters_Cnt_u08[2]  T_DataRegisters_Cnt_u08[4]  T_DataRegisters_Cnt_u08[5]   | Input Value   |
|--|---|
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_PrevReqDataType_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SkipRegisterWrite_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  DigColPsInt_TransactionCnt_Cnt_M_u08  Flags_Cnt_T_b16  I2c_GenStopCond(I2cRegPtr_Cnt_T_str)  I2c_Send(I2cRegPtr_Cnt_T_str)  I2c_SetRecv(I2cRegPtr_Cnt_T_str)  I2c_SetStatus(I2cRegPtr_Cnt_T_str)  I2c_SetStatus(I2cRegPtr_Cnt_T_str)  I2c_SetUpMasterReceive(I2cRegPtr_Cnt_T_str)  I2c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str)  I2c_SetUpMasterTransmit(I2cRegPtr_Cnt_T_str)  I2c_DataRegisters_Cnt_u08[0]  T_DataRegisters_Cnt_u08[2]  T_DataRegisters_Cnt_u08[3]  T_DataRegisters_Cnt_u08[4]  | 1 1 4 1 4 1 4 1 1 4 1 1 1 1 1 1 1 1 1 29 100 32 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30 |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_PrevReqDataType_Cnt_M_u08 DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvDetaType_Cnt_M_u08 DigColPsInt_SkipRegisterWrite_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 Elags_Cnt_T_b16 DigColPsInt_TransactionCnt_Cnt_T_str) DigColPsInt_Cnt_T_str) DigColPsInt_SpurCustDatFound_Cnt_T_str) DigColPsInt_TransactionCnt_Cnt_M_u08 Elags_Cnt_T_b16 DigColPsInt_TransactionCnt_Cnt_T_str) DigColPsInt_TransactionCnt_Cnt_T_str) DigColPsInt_TransactionCnt_Cnt_T_str) DigColPsInt_T_str DigColPsInt_TransactionCnt_Cnt_T_str) DigColPsInt_T_str DigColPsInt_TransactionCnt_Cnt_T_str) DigColPsInt_T_str | 1 4 1 4 1 1 4 1 1 1 1 1 1 1 1 29 100 32 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetUpMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30   |
| bigColPsInt_PrevReqDataType_Cnt_M_u08 bigColPsInt_RecvOverrunError_Cnt_M_lgc bigColPsInt_RecvDetaType_Cnt_M_u08 bigColPsInt_RecvDataType_Cnt_M_u08 bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SpurCustDatFound_Cnt_M_lgc bigColPsInt_SpurCnstData_Cnt_M_u16 bigColPsInt_TransactionCnt_Cnt_M_u08 bigColPsInt_TransactionCnt_Cnt_M_u08 bigColPsInt_TansactionCnt_Cnt_M_u08 bigColPsInt_TansactionCnt_Cnt_M_u08 bigColPsInt_TansactionCnt_Cnt_T_str) bigColPsInt_Cnt_T_str) bigColPsInt_Cnt | 4 1 4 1 1 129 100 32 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str 0 32 30  |
| bigColPsInt_RecvOverrunError_Cnt_M_lgc bigColPsInt_RecvdDataType_Cnt_M_u08 bigColPsInt_SkipRegisterWrite_Cnt_M_lgc bigColPsInt_SpurCustDatFound_Cnt_M_lgc bigColPsInt_SpurSnsrData_Cnt_M_u16 bigColPsInt_TransactionCnt_Cnt_M_u08 lags_Cnt_T_b16 bigColPsInt_Cnt_D16 bigColPsInt_TestricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_T_stricationCnt_Cnt_Cnt_T_stricationCnt_Cnt_Cnt_T_stricationCnt_Cnt_Cnt_Cnt_T_stricationCnt_Cnt_Cnt_Cnt_Cnt_T_stricationCnt_Cnt_Cnt_Cnt_Cnt_Cnt_Cnt_Cnt_Cnt_Cnt   | 1 4 1 1 129 100 32 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetUpMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30  |
| igColPsInt_RecvdDataType_Cnt_M_u08  igColPsInt_SkipRegisterWrite_Cnt_M_lgc  igColPsInt_SpurCustDatFound_Cnt_M_lgc  igColPsInt_SpurSnsrData_Cnt_M_u16  igColPsInt_TransactionCnt_Cnt_M_u08  ilags_Cnt_T_b16  ilags_Cnt_T_b16  ilags_Cnt_T_bt16  ilags_Cnt_Grt_Cnt_T_str)  ilags_Csend(l2cRegPtr_Cnt_T_str)  ilags_CsetRecv(l2cRegPtr_Cnt_T_str)  ilags_CsetRecv(l2cRegPtr_Cnt_T_str)  ilags_CsetStatus(l2cRegPtr_Cnt_T_str)  ilags_CsetStatus(l2cRegPtr_Cnt_T_str)  ilags_CsetUpMasterTransmit(l2cRegPtr_Cnt_T_str)  ilags_CsetUpMasterTransmit(l2cRegPtr_Cnt_T_str)  ilags_CsetUpMasterTransmit(l2cRegPtr_Cnt_T_str)  ilags_CsetUpMasterTransmit(l2cRegPtr_Cnt_T_str)  ilags_CsetUpMasterTransmit(l2cRegPtr_Cnt_T_str)  ilags_CsetUpMasterTransmit(l2cRegPtr_Cnt_T_str)  ilags_CsetUpMasterTransmit(l2cRegPtr_Cnt_T_str)  ilags_CsetUpMasterTransmit(l2cRegPtr_Cnt_T_str)  ilags_CsetUpMasterTransmit(l2cRegPtr_Cnt_T_str)  ilags_ColPsint_CsetUpMasterTransmit(l2cRegPtr_Cnt_T_str)  ilags_ColPsint_CsetUpMasterTransmit(l2cRegPtr_Cnt_T_ | 4 1 1 129 100 32 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30  |
| DigColPsInt_SkipRegisterWrite_Ont_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 Flags_Cnt_T_b16 DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_T_stn DigColPsInt_T_stn DigColPsInt_T_str DigCo | 1 1 129 100 32 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 Flags_Cnt_T_b16 DigColPsInt_Tcht_Cnt_T_str) DigColPsInt_Tcht_T_str) DigColPsInt_Tcht_T_str) DigColPsInt_Tcht_T_str) DigColPsInt_Cnt_T_str) DigColPsInt_DigColPsInt_Cnt_T_str) DigColPsInt_DigColPsInt_Cnt_T_str) DigColPsInt_DigColPsInt_Cnt_T_str) DigColPsInt_DigColPsInt_Cnt_T_str) DigColPsInt_DigColPsIn | 1 129 100 32 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 Flags_Cnt_T_b16 DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_TransactionCnt_Cnt_M_u08 DigColPsInt_T_b16 DigColPsInt_T_b17 DigColPsInt_T_str DigColPsInt_Cnt_T_str DigColPsInt_T_str DigColPsInt_T_st | 129 100 32 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_Setstatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str 0 32 30  |
| DigColPsInt_TransactionCnt_Cnt_M_u08  DigColPsInt_TransactionCnt_Cnt_M_u08  Digs_Cnt_T_b16  Digs_Cnt_T_b16  Digs_Cnt_T_b16  Digs_Cnt_T_str)  Digs_CsetRecv(l2cRegPtr_Cnt_T_str)  Digs_CsetStatus(l2cRegPtr_Cnt_T_str)  Digs_CsetStatus(l2cRegPtr_Cnt_T_str)  Digs_CsetStatus(l2cRegPtr_Cnt_T_str)  Digs_CsetupMasterReceive(l2cRegPtr_Cnt_T_str)  Digs_DataRegisters_Cnt_u08[0]  Digs_DataRegisters_Cnt_u08[1]  Digs_DataRegisters_Cnt_u08[2]  DataRegisters_Cnt_u08[3]  DataRegisters_Cnt_u08[4]  | 100 32 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_Setstatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30   |
| lags_Cnt_T_b16  2c_GenStopCond(l2cRegPtr_Cnt_T_str)  2c_Send(l2cRegPtr_Cnt_T_str)  2c_SetRecv(l2cRegPtr_Cnt_T_str)  2c_SetStatus(l2cRegPtr_Cnt_T_str)  2c_SetStatus(l2cRegPtr_Cnt_T_str)  2c_SetupMasterReceive(l2cRegPtr_Cnt_T_str)  2c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str)  - DataRegisters_Cnt_u08[0]  - DataRegisters_Cnt_u08[1]  - DataRegisters_Cnt_u08[2]  - DataRegisters_Cnt_u08[3]  - DataRegisters_Cnt_u08[4]  | 32 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_Setstatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str) 2c_Send(I2cRegPtr_Cnt_T_str) 2c_SetRecv(I2cRegPtr_Cnt_T_str) 2c_SetStatus(I2cRegPtr_Cnt_T_str) 2c_SetStatus(I2cRegPtr_Cnt_T_str) 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str) 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) - DataRegisters_Cnt_u08[0] - DataRegisters_Cnt_u08[1] - DataRegisters_Cnt_u08[2] - DataRegisters_Cnt_u08[3] - DataRegisters_Cnt_u08[4]   | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_Setstatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str 0 32 30   |
| 2c_Send(l2cRegPtr_Cnt_T_str) 2c_SetRecv(l2cRegPtr_Cnt_T_str) 2c_SetStatus(l2cRegPtr_Cnt_T_str) 2c_SetStatus(l2cRegPtr_Cnt_T_str) 2c_SetupMasterReceive(l2cRegPtr_Cnt_T_str) 2c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str)DataRegisters_Cnt_u08[0]DataRegisters_Cnt_u08[1]DataRegisters_Cnt_u08[2]DataRegisters_Cnt_u08[3]DataRegisters_Cnt_u08[4]  | target_l2c_Send_l2cRegPtr_Cnt_T_str target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30  |
| 2c_Send(l2cRegPtr_Cnt_T_str) 2c_SetRecv(l2cRegPtr_Cnt_T_str) 2c_SetStatus(l2cRegPtr_Cnt_T_str) 2c_SetStatus(l2cRegPtr_Cnt_T_str) 2c_SetupMasterReceive(l2cRegPtr_Cnt_T_str) 2c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str)DataRegisters_Cnt_u08[0]DataRegisters_Cnt_u08[1]DataRegisters_Cnt_u08[2]DataRegisters_Cnt_u08[3]DataRegisters_Cnt_u08[4]  | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30  |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str) 2c_SetStatus(I2cRegPtr_Cnt_T_str) 2c_Setstatus(I2cRegPtr_Cnt_T_str) 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str) 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) DataRegisters_Cnt_u08[0] DataRegisters_Cnt_u08[1] DataRegisters_Cnt_u08[2] DataRegisters_Cnt_u08[3] DataRegisters_Cnt_u08[4]  | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30  |
| 2c_SetStatus(l2cRegPtr_Cnt_T_str) 2c_SetupMasterReceive(l2cRegPtr_Cnt_T_str) 2c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str)  _DataRegisters_Cnt_u08[0]  _DataRegisters_Cnt_u08[1]  _DataRegisters_Cnt_u08[2]  _DataRegisters_Cnt_u08[3]  _DataRegisters_Cnt_u08[4]  | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30   |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str) 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str) _DataRegisters_Cnt_u08[0] _DataRegisters_Cnt_u08[1] _DataRegisters_Cnt_u08[2] _DataRegisters_Cnt_u08[3] _DataRegisters_Cnt_u08[4]   | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30  |
| 2c_SetupMasterTransmit(l2cRegPtr_Cnt_T_str) _DataRegisters_Cnt_u08[0] _DataRegisters_Cnt_u08[1] _DataRegisters_Cnt_u08[2] _DataRegisters_Cnt_u08[3] _DataRegisters_Cnt_u08[4]  | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str 0 32 30  |
| _DataRegisters_Cnt_u08[0] _DataRegisters_Cnt_u08[1] _DataRegisters_Cnt_u08[2] _DataRegisters_Cnt_u08[3] _DataRegisters_Cnt_u08[4]  | 0<br>32<br>30   |
| _DataRegisters_Cnt_u08[1] _DataRegisters_Cnt_u08[2] _DataRegisters_Cnt_u08[3] _DataRegisters_Cnt_u08[4]  | 32<br>30  |
| _DataRegisters_Cnt_u08[2] _DataRegisters_Cnt_u08[3] _DataRegisters_Cnt_u08[4]  | 30  |
| _DataRegisters_Cnt_u08[3]<br>_DataRegisters_Cnt_u08[4]   |   |
| _DataRegisters_Cnt_u08[4]  |   |
|  | 38  |
| _Dataive@isters_Ont_uoo[b]   | 38  |
| DataBagistora Cat u00f61   |   |
| _DataRegisters_Cnt_u08[6]  | 10  |
| DataRegisters_Cnt_u08[7]   | 12  |
| _DataRegisters_Cnt_u08[8]  | 14  |
| 2cREG1_temp  | target_i2cREG1_temp   |
| ColSensorI2CAddress_Cnt_u08  | 0   |
| _SpurSensorI2CAddress_Cnt_u08  | 120   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 567   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 44  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 4444  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 566   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 4466  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 129   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 6   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 567   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 44  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 566   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 554   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 1   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 44  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 4466  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 44  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 1   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 2   |
|  | 0   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN  | 1   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   |   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 2   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 0   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 44  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 4444  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 566   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 4466  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 129   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 6   |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 567   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 44  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 566   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 554   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 44  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 4466  |
|  | 44  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 1   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC  |   |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.FUN   | 1   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2   |

2014-10-14, 23:08:30+0530



| DigColPSint_interruptNotinication   |             | MAC (MI |
|---|-------------|---------|
| Name  | Input Value |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0           |         |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.PD   | 3           |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 567         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 44          |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 4444        |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 566         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |         |
|   | 129         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   |             |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 6           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 567         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 44          |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 566         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 554         |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 44          |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 4466        |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 44          |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 2           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 0           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 1           |         |
| irget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 1           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 2           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 0           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3           |         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 567         |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 44          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 4444        |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 566         |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 129         |         |
|   | 6           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   |             |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 567         |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 44          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 566         |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 554         |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 44          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 4466        |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 44          |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2           |         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 0           |         |
| irget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 1           |         |
| urget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 1           |         |
| irget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 2           |         |
| urget I2c SetStatus I2cRegPtr Cnt T str.ODR   | 0           |         |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3           |         |
| rget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3           |         |
| arget_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR  | 567         |         |
|   | 44          |         |
| rrget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  |             |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 4444        |         |
| irget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566         |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 129         |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 6           |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 567         |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 44          |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 566         |         |
| rget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 554         |         |
| rrget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 44          |         |
|   | 4466        |         |
| rget_I2c_SetupMasterReceive I2cRegPtr Cnt T str.PID11   |             |         |
|   |             |         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC | 44          |         |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

| DigColPsint_interruptivotincation  |                      |                      |          |
|--|----------------------|----------------------|----------|
| Name   | Input Value          |                      |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR  | 2                    |                      |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN  | 0                    |                      |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1                    |                      |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET  | 1                    |                      |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR  | 2                    |                      |          |
|  | 0                    |                      |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  |                      |                      |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 3                    |                      |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567                  |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44                   |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444                 |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566                  |                      |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 4466                 |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129                  |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567                  |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44                   |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566                  |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554                  |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44                   |                      |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11   | 4466                 |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 44                   |                      |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 1                    |                      |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DiviAC target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.FUN | 1                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_I_str.FUN target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR    | 2                    |                      |          |
|  |                      |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3                    |                      |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3                    |                      |          |
| target_i2cREG1_temp.OAR  | 567                  |                      |          |
| target_i2cREG1_temp.IMR  | 44                   |                      |          |
| target_i2cREG1_temp.STR  | 4444                 |                      |          |
| target_i2cREG1_temp.CLKL   | 566                  |                      |          |
| target_i2cREG1_temp.CLKH   | 4466                 |                      |          |
| target_i2cREG1_temp.CNT  | 129                  |                      |          |
| target i2cREG1 temp.DRR  | 6                    |                      |          |
| target_i2cREG1_temp.SAR  | 567                  |                      |          |
| target i2cREG1 temp.DXR  | 44                   |                      |          |
| target i2cREG1 temp.MDR  | 566                  |                      |          |
| target i2cREG1 temp.IVR  | 554                  |                      |          |
| target_i2cREG1_temp.EMDR   | 1                    |                      |          |
| target i2cREG1 temp.PSC  | 44                   |                      |          |
| target i2cREG1 temp.PID11  |                      |                      |          |
| 0 =  | 4466                 |                      |          |
| target_i2cREG1_temp.PID12  | 44                   |                      |          |
| target_i2cREG1_temp.DMAC   | 1                    |                      |          |
| target_i2cREG1_temp.FUN  | 1                    |                      |          |
| target_i2cREG1_temp.DIR  | 2                    |                      |          |
| target_i2cREG1_temp.DIN  | 0                    |                      |          |
| target_i2cREG1_temp.DOUT   | 1                    |                      |          |
| target_i2cREG1_temp.SET  | 1                    |                      |          |
| target_i2cREG1_temp.CLR  | 2                    |                      |          |
| target_i2cREG1_temp.ODR  | 0                    |                      |          |
| target_i2cREG1_temp.PD   | 3                    |                      |          |
| target_i2cREG1_temp.PSL  | 3                    |                      |          |
| Name   | Actual Value         | Expected Value       | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 3                    | 3                    |          |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 30                   | 30                   | <b>*</b> |
| DigColPsInt Buffer Cnt M u08[1]  | 7                    | 7                    |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 70                   | 70                   |          |
|  | 1                    | 1                    |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  |                      |                      |          |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1                    | 1                    | · ·      |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1                    | 1                    | <b>V</b> |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 566                  | 566                  | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 30                   | 30                   | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR1_SENDCMD | INIT_SENSOR1_SENDCMD | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 67                   | 67                   | ~        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 68                   | 68                   | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 1                    | 1                    | ~        |
| Discolpoint Neel/Occured Cat M Iss   | 4                    | 4                    |          |

DigColPsInt\_NackOccured\_Cnt\_M\_lgc

2014-10-14, 23:08:30+0530





|   | Actual Value | Expected Value  | Result   |
|---|--------------|-----------------|----------|
| 311 1 2 11 1 1 1 2 2 3                          | 1            | 1               | · ·      |
| 311 1 2 11 11 7/121 2 2111                      | 1            | 1               | <b>~</b> |
|   | 129          | 129             | ~        |
| 0 -1  | 100          | 100             | ~        |
| I2c_Send(Length_Cnt_T_u32)                      | 3            | 3               | <b>✓</b> |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 3            | 3               | <b>~</b> |
| 0 = = 1 = 0 = ==                                | 567          | 567             | <b>✓</b> |
|   | 44           | 44              | ~        |
| 0 = = 1 = 0 = ==                                | 4444         | 4444            | · ·      |
| 0 = -   | 566<br>4466  | 566<br>4466     | ~        |
| 0 = = 1 = 0 = ==                                | 129          | 129             | Ž        |
| 0 , - 0   | 6            | 6               | <b>✓</b> |
| 0 = = 1 = 0 = ==                                | 567          | 567             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 566          | 566             | ~        |
| 0 = = 1 = 0 = ==                                | 554          | 554             | ✓        |
| 3-2 -2  | 1            | 1               | ~        |
| 0 = =   | 44           | 44              | <b>V</b> |
| 0 = =   | 4466<br>44   | 4466<br>44      | <b>✓</b> |
| 0 = =   | 1            | 1               | 7        |
|   | 1            | 1               | ~        |
| 0 = = 1 = 0 = ==                                | 2            | 2               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT | 1            | 1               | ~        |
|   | 1            | 1               | ~        |
| 312 1211 1111 12 1 13 121 2 211 1               |              | 2               | ~        |
| 312 1211 111 12 1 1 1 1 1 1 1 1 1 1 1 1         | 0<br>3       | 3               | ~        |
| 0 =   | 3            | 3               | ~        |
| 0 = =   | 567          | 567             | Ž        |
|   | 44           | 44              | ~        |
|   | 4444         | 4444            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL        | 566          | 566             | ~        |
| 0 = = = 0 = ==                                  | 4466         | 4466            | ~        |
| 0 =   | 129          | 129             | <b>✓</b> |
| 0 0   | 6            | 6               | <b>-</b> |
| 0 0   | 567<br>44    | 567<br>44       | <b>₩</b> |
| 0 0   | 566          | 566             | _        |
| 0 = = = 0 = ==                                  | 554          | 554             | -        |
|   | 1            | 1               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         | 44           | 44              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       | 4466         | 4466            | ~        |
| 0 0   | 44           | 44              | ~        |
| 0 = = = 0 = ==                                  | 1            | 1               | <b>✓</b> |
| 3-2 -223 -22                                    | 1            | 1               | •        |
| 0 = = = 0 = ==                                  | 2            | 0               | Ž        |
| 0 0   | 1            | 1               | -        |
| 312 1211 12 1 13 121 2 211                      | 1            | 1               | ~        |
|   | 2            | 2               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         | 0            | 0               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD          | 3            | 3               | ~        |
| 0 =   | 3            | 3               | ~        |
| 0 = = = 0 = ==                                  | 567          | 567             | <b>V</b> |
|   | 44           | 44              | <b>V</b> |
| 0 = = = 0 = ==                                  | 4444<br>566  | <b>4444</b> 566 | ~        |
|   | 4466         | 4466            | ~        |
|   | 129          | 129             | ~        |
| 0 = = = 0 = ==                                  | 6            | 6               | <b>✓</b> |
| ·   | 567          | 567             | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DXR      | 44           | 44              | <b>✓</b> |
|   | 566          | 566             | ~        |
| 0 = = = 0 = ==                                  | 554          | 554             | <b>✓</b> |
| 0 0   | 1            | 1               | <b>✓</b> |
| 0 = = 0 = ==                                    | 44           | 44              | <b>✓</b> |
| 0 0   | 4466<br>44   | 4466<br>44      | ~        |
| 0 = = = 0 = ==                                  | 1            | 1               |          |
| g>  | :            | •               |          |



| Name  | Actual Value | Expected Value | Resu |
|---|--------------|----------------|------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •    |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | •    |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              |      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT<br>target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET                       | 1            | 1              |      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SE1 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR                           | 2            | 2              |      |
| target_i2c_SetRecv_i2cRegPtr_Cnt_T_str.ODR  | 0            | 0              |      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD   | 3            | 3              |      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567            |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | •    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | •    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | •    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | •    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | •    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | •    |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR  | 566          | 566            | •    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            | •    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 44           | 44<br>4466     |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 4466<br>44   | 4466           |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC                    | 1            | 1              |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |      |
| target_i2c_SetStatus_i2cRegPtr_Cnt_T_str.DIR  | 2            | 2              |      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN  | 0            | 0              |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              |      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | •    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | •    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | •    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | •    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | •    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | •    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | •    |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | •    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR target_I2c SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44           | 44             |      |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.P3C  target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.P1D11  | 4466         | 4466           |      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_1_str.PiD11 target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PiD12 | 4400         | 4400           |      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              |      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.FUN   | 1            | 1              |      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR   | 2            | 2              |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              |      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              |      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR   | 0            | 0              |      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | •    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567            | •    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             | •    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | •    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | •    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | •    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | •    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | •    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | •    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             |      |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  | 566          | 566            |      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 554          | 554            |      |
|   |              |                |      |
| target_i2c_SetupMasterTransmit_i2cRegPtr_Cnt_T_str.PSC  | 44           | 44             |      |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteData          | 1     | SetupWriteData          | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | •        |
| I2c_Send                | 1     | I2c_Send                | 1     | <b>✓</b> |

| Name  | Input Value  |
|---|--|
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08                             | 3  |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 123  |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 145  |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 200  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                                       | 1  |
| ligColPsInt_CmdFailOccurred_Cnt_M_lgc                                       | 1  |
| higColPsInt_ColCustDatFound_Cnt_M_lgc                                       | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 566  |
| higColPsInt_CurrentSlave_Cnt_M_u08  | 30   |
| igColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR2_READEXTERR_READ                       |
| ligColPsInt_I2CHwCustData_Uls_M_u16   | 67   |
| igColPsInt_I2CHwIncompleteCustData_Uls_M_u16                                | 68   |
| ligColPsInt_InitFailedOnce_Cnt_M_lgc  | 1  |
| ligColPsInt_NackOccured_Cnt_M_lgc   | 1  |
| igColPsInt_PrevReqDataType_Cnt_M_u08  | 4  |
| ligColPsInt_RecvOverrunError_Cnt_M_lgc                                      | 1  |
| igColPsInt_RecvdDataType_Cnt_M_u08  | 4  |
| ligColPsInt_SkipRegisterWrite_Cnt_M_lgc                                     | 1  |
| ligColPsInt_SpurCustDatFound_Cnt_M_lgc                                      | 1  |
| DigColPsInt SpurSnsrData Cnt M u16  | 129  |
| igColPsInt_TransactionCnt_Cnt_M_u08   | 100  |
| lags_Cnt_T_b16  | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | target I2c Send I2cRegPtr Cnt T str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c SetStatus(I2cRegPtr Cnt T str)   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)                                  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)                                 | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]   | 0  |
| aaanagaaaa_aaa_aagaaaaagaaaaagaaaaga  | 32   |
| _DataRegisters_Cnt_u08[2]   | 30   |
| _DataRegisters_Cnt_u08[3]   | 36   |
| _DataRegisters_Cnt_u08[4]   | 38   |
| _DataRegisters_Cnt_u08[5]   | 34   |
| _DataRegisters_Cnt_u08[6]   | 10   |
| _DataRegisters_Cnt_u08[7]   | 12   |
| _DataRegisters_Crit_u06[7] _DataRegisters_Crit_u08[8]                       | 14   |
| DataRegisters_Crit_u00[6]<br>2cREG1_temp                                    | target i2cREG1 temp                                |
| _ColSensorl2CAddress_Cnt_u08  | 0  |
|   | 120  |
| _SpurSensorI2CAddress_Cnt_u08 arget I2c GenStopCond I2cRegPtr Cnt T str.OAR | 567  |
|   | 44   |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                               |  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR                               | 4444   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                              | 566  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                              | 4466   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                               | 129  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                               | 6  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                               | 567  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                               | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                               | 566  |

2014-10-14, 23:08:30+0530



|  |             | (12.2.10.10 |
|--|-------------|-------------|
| Name   | Input Value |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 554         |             |
| target I2c GenStopCond I2cRegPtr Cnt T str.EMDR  | 1           |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44          |             |
| target I2c GenStopCond I2cRegPtr Cnt T str.PID11 | 4466        |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 44          |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1           |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1           |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2           |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 0           |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1           |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET   | 1           |             |
|  | 2           |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 0           |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR   |             |             |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD    | 3           |             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3           |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 567         |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 44          |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 4444        |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 566         |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH         | 4466        |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 129         |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 6           |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 567         |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 44          |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR          | 566         |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR          | 554         |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 1           |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 44          |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 4466        |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 44          |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 1           |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1           |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 2           |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 0           |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 1           |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 1           |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 2           |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 0           |             |
| target I2c Send I2cRegPtr Cnt T str.PD           | 3           |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 3           |             |
| target I2c SetRecv I2cRegPtr Cnt T str.OAR       | 567         |             |
|  | 44          |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR       |             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 4444        |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 566         |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 4466        |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       | 129         |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 6           |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 567         |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 44          |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 566         |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 554         |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 1           |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       | 44          |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 4466        |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12     | 44          |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC      | 1           |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN       | 1           |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR       | 2           |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN       | 0           |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT      | 1           |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET       | 1           |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR       | 2           |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR       | 0           |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD        | 3           |             |
|  | 3           |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL       |             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR     | 567         |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR     | 44          |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR     | 4444        |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL    | 566         |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH    | 4466        |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT     | 129         |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR     | 6           |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR     | 567         |             |
|  |             |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 44          |
| target I2c SetStatus I2cRegPtr Cnt T str.MDR             | 566         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 554         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 4466        |
|  | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 567         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 4444        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566         |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKH   | 4466        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CNT    | 129         |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DRR    | 6           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567         |
|  | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC    | 44          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11  | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR   | 567         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR   | 44          |
|  | 4444        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR   | 567         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 44          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DUT   | 1           |
|  | 1           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_i2cREG1_temp.OAR                                  | 567         |
| target_i2cREG1_temp.IMR                                  | 44          |
| target_i2cREG1_temp.STR                                  | 4444        |
| target_i2cREG1_temp.CLKL                                 | 566         |
| target_i2cREG1_temp.CLKH                                 | 4466        |
| target_i2cREG1_temp.CNT                                  | 129         |
|  |             |



| Nome   | Input Value          |                      |          |
|--|----------------------|----------------------|----------|
| Name target_i2cREG1_temp.DRR   | Input Value          |                      |          |
| target i2cREG1 temp.SAR  | 567                  |                      |          |
| target_i2cREG1_temp.DXR  | 44                   |                      |          |
| target_i2cREG1_temp.MDR  | 566                  |                      |          |
| target_i2cREG1_temp.IVR  | 554                  |                      |          |
| target_i2cREG1_temp.EMDR   | 1                    |                      |          |
| target_i2cREG1_temp.PSC  | 44                   |                      |          |
| target_i2cREG1_temp.PID11  | 4466                 |                      |          |
| target_i2cREG1_temp.PID12  | 44                   |                      |          |
| target_i2cREG1_temp.DMAC   | 1                    |                      |          |
| target_i2cREG1_temp.FUN  | 1                    |                      |          |
| target_i2cREG1_temp.DIR  | 0                    |                      |          |
| target_i2cREG1_temp.DUN target_i2cREG1_temp.DOUT   | 1                    |                      |          |
| target_i2cREG1_temp.SET  | 1                    |                      |          |
| target i2cREG1 temp.CLR  | 2                    |                      |          |
| target_i2cREG1_temp.ODR  | 0                    |                      |          |
| target_i2cREG1_temp.PD   | 3                    |                      |          |
| target_i2cREG1_temp.PSL  | 3                    |                      |          |
| Name   | Actual Value         | Expected Value       | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 3                    | 3                    | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 30                   | 30                   | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 7                    | 7                    | <b>✓</b> |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 70                   | 70                   | <b>✓</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1                    | 1                    | ~        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1                    | 1                    | <b>✓</b> |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1                    | 1                    | ~        |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 566                  | 566                  | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 30                   | 30                   | <b>~</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_SENSOR2_SENDCMD | INIT_SENSOR2_SENDCMD | · ·      |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 67<br>68             | 67<br>68             |          |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt InitFailedOnce Cnt M lgc             | 1                    | 1                    |          |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1                    | 1                    |          |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1                    | 1                    |          |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 4                    | 4                    | <b>✓</b> |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 1                    | 1                    | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 129                  | 129                  | <b>✓</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 100                  | 100                  | ~        |
| I2c_Send(Length_Cnt_T_u32)   | 3                    | 3                    | <b>✓</b> |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 3                    | 3                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 567                  | 567                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 44                   | 44                   | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 4444                 | 4444                 | · ·      |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 566                  | 566                  | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT | 4466<br>129          | 4466<br>129          |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 6                    | 6                    |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 567                  | 567                  |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 44                   | 44                   | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 566                  | 566                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 554                  | 554                  | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR  | 1                    | 1                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44                   | 44                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 4466                 | 4466                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 44                   | 44                   | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1                    | 1                    | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1                    | 1                    | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2                    | 2                    | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN   | 0                    | 0                    |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET | 1                    | 1                    |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2                    | 2                    |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 0                    | 0                    | ·        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3                    | 3                    |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3                    | 3                    | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 567                  | 567                  | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 44                   | 44                   | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 4444                 | 4444                 | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566                  | 566                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466                 | 4466                 | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT  | 129                  | 129                  | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR  | 6                    | 6                    |          |
|  |                      |                      |          |



| target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR  | 567        |            |          |
|--|------------|------------|----------|
|  | 44         | 567        | Y        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 44         | 44         | <b>V</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR  | 566<br>554 | 566<br>554 |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR | 1          | 1          | -        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC  | 44         | 44         |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11  | 4466       | 4466       | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 44         | 44         |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1          | 1          |          |
| target I2c Send I2cRegPtr Cnt T str.FUN  | 1          | 1          |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 2          | 2          | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0          | 0          | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1          | 1          | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1          | 1          |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2          | 2          |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0          | 0          |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3          | 3          | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3          | 3          | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR                                       | 567        | 567        | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR                                       | 44         | 44         | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR                                       | 4444       | 4444       |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL                                      | 566        | 566        | •        |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKH                                      | 4466       | 4466       | -        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT                                       | 129        | 129        | •        |
| target I2c SetRecv I2cRegPtr Cnt T str.DRR                                       | 6          | 6          | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR                                       | 567        | 567        | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.DXR                                       | 44         | 44         | <b>~</b> |
| target I2c SetRecv I2cRegPtr Cnt T str.MDR                                       | 566        | 566        | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR                                       | 554        | 554        | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR                                      | 1          | 1          | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC                                       | 44         | 44         | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11                                     | 4466       | 4466       | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12                                     | 44         | 44         | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC                                      | 1          | 1          | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN                                       | 1          | 1          | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR                                       | 2          | 2          | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN                                       | 0          | 0          | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT                                      | 1          | 1          | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.SET                                       | 1          | 1          | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR                                       | 2          | 2          | ~        |
| target I2c SetRecv I2cRegPtr Cnt T str.ODR                                       | 0          | 0          | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3          | 3          | ~        |
| target I2c SetRecv I2cRegPtr Cnt T str.PSL                                       | 3          | 3          | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR                                     | 567        | 567        | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR                                     | 44         | 44         | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR                                     | 4444       | 4444       | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL                                    | 566        | 566        | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH                                    | 4466       | 4466       | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT                                     | 129        | 129        | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR                                     | 6          | 6          | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR                                     | 567        | 567        | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR                                     | 44         | 44         | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR                                     | 566        | 566        | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR                                     | 554        | 554        | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR                                    | 1          | 1          | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC                                     | 44         | 44         | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11                                   | 4466       | 4466       | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12                                   | 44         | 44         | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC                                    | 1          | 1          | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN                                     | 1          | 1          | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR                                     | 2          | 2          | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN                                     | 0          | 0          | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT                                    | 1          | 1          | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET                                     | 1          | 1          | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR                                     | 2          | 2          | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR                                     | 0          | 0          | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD                                      | 3          | 3          | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL                                     | 3          | 3          | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                            | 567        | 567        | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                            | 44         | 44         | ~        |
| 3  |            | 4444       | · •      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR                            | 4444       | 4444       |          |
|  | 566<br>566 | 566        | -        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129          | 129            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6            | 6              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567          | 567            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 44           | 44             | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 566          | 566            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554          | 554            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0            | 0              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0            | 0              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | <b>✓</b> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 3            | 3              | <b>✓</b> |

| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteData          | 1     | SetupWriteData          | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | _        |

| Test Step 3.38 (Repeat Count = 1)               |                                 |
|---|---------------------------------|
| Name  | Input Value                     |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 3                               |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123                             |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145                             |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200                             |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1                               |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1                               |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1                               |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 566                             |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 30                              |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_EXTREADDATREG_READ |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 67                              |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 68                              |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1                               |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1                               |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 4                               |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1                               |



| DigColPSint_interruptivotinication              |  | THACILI |
|---|--|---------|
| Name  | Input Value  |         |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 4  |         |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |         |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |         |
| igColPsInt_SpurSnsrData_Cnt_M_u16               | 129  |         |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 100  |         |
| lags_Cnt_T_b16                                  | 32   |         |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |         |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |         |
| 2c SetStatus(I2cRegPtr Cnt T str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |         |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target I2c SetupMasterReceive I2cRegPtr Cnt T str  |         |
| c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)      | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |         |
| _DataRegisters_Cnt_u08[0]                       | 0  |         |
| _DataRegisters_Cnt_u08[1]                       | 32   |         |
| _DataRegisters_Cnt_u08[2]                       | 30   |         |
| _DataRegisters_Cnt_u08[3]                       | 36   |         |
| _DataRegisters_Cnt_u08[4]                       | 38   |         |
|   | 34   |         |
| _DataRegisters_Cnt_u08[5]                       |  |         |
| _DataRegisters_Cnt_u08[6]                       | 10   |         |
| _DataRegisters_Cnt_u08[7]                       | 12   |         |
| _DataRegisters_Cnt_u08[8]                       | 14   |         |
| cREG1_temp                                      | target_i2cREG1_temp                                |         |
| _ColSensorl2CAddress_Cnt_u08                    | 0  |         |
| _SpurSensorl2CAddress_Cnt_u08                   | 120  |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR    | 567  |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR    | 44   |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR    | 4444   |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 566  |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 4466   |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT    | 129  |         |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR    | 6  |         |
| rrget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 567  |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR    | 44   |         |
| rrget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 566  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 554  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44   |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 4466   |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 44   |         |
|   | 1  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   |  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2  |         |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 0  |         |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1  |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET    | 1  |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR    | 2  |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR    | 0  |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD     | 3  |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL    | 3  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR           | 567  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR           | 44   |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.STR           | 4444   |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL          | 566  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH          | 4466   |         |
| rget I2c Send I2cRegPtr Cnt T str.CNT           | 129  |         |
| rget I2c Send I2cRegPtr Cnt T str.DRR           | 6  |         |
| rget_12c_Send_12cRegPtr_Cnt_T_str.SAR           | 567  |         |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.DXR           | 44   |         |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR           | 566  |         |
|   | 554  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR           | 1  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR          |  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC           | 44   |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11         | 4466   |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12         | 44   |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC          | 1  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN           | 1  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR           | 2  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN           | 0  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 1  |         |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 1  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR           | 2  |         |
|   |  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 0  |         |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR              | 567         |
|   | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR              | 4444        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR              |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL             | 566         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH             | 4466        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT              | 129         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              | 6           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 567         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 566         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 554         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 4466        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 44          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 0           |
| target_l2c_SetRecv_l2cRegPti_Cnt_T_str.PD               | 3           |
|   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 3<br>567    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 44          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR            | 4444        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 566         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 4466        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 129         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 6           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR            | 567         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 566         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 554         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 44          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11          | 4466        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.SET            | 1           |
| target I2c SetStatus I2cRegPtr Cnt T str.CLR            | 2           |
| target I2c SetStatus I2cRegPtr Cnt T str.ODR            | 0           |
|   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 567         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 129         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 6           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DUT   | 1           |
|   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 2           |

2014-10-14, 23:08:30+0530



| Name   | Input Value   |   |  |
|--|---|---|--|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 0   |   |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 3   |   |  |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3   |   |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 567   |   |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 4444  |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466  |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44  |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1   |   |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC   | 44  |   |  |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  | 4466  |   |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 1   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2   |   |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 0   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3   |   |  |
| target_i2cREG1_temp.OAR  | 567   |   |  |
| target_i2cREG1_temp.IMR  | 4444  |   |  |
| target_i2cREG1_temp.STR<br>target_i2cREG1_temp.CLKL  | 566   |   |  |
| target i2cREG1 temp.CLKH   | 4466  |   |  |
| target i2cREG1 temp.CNT  | 129   |   |  |
| target_i2cREG1_temp.DRR  | 6   |   |  |
|  | 507   |   |  |
| target_i2cREG1_temp.SAR  | 567   |   |  |
| target_i2cREG1_temp.SAR<br>target_i2cREG1_temp.DXR   | 44  |   |  |
|  |   |   |  |
| target_i2cREG1_temp.DXR  | 44<br>566<br>554  |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR   | 44<br>566<br>554<br>1   |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC   | 44<br>566<br>554<br>1   |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11   | 44<br>566<br>554<br>1<br>44<br>4466   |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12  | 44<br>566<br>554<br>1<br>44<br>4466   |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC   | 44<br>566<br>554<br>1<br>44<br>4466<br>44   |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.FUN   | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1  |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR   | 44<br>566<br>554<br>1<br>44<br>4466<br>44   |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.FUN   | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1   |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR   | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2  |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.FUN target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT  | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0   |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET  | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>2  |   |  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PD11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DMAC  target_i2cREG1_temp.FUN  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR   | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>2<br>0<br>3  |   |  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DMAC  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PDL   | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>2<br>0<br>3<br>3   |   |  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DMAC target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.CLR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>2<br>0<br>3<br>3   | Expected Value  | Result                                 |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DMAC  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigCoIPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>2<br>0<br>3<br>3<br>Actual Value<br>3                                    | 3   | ~                                      |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.CLR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0]  | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>2<br>0<br>3<br>3<br>Actual Value<br>3                                    | 3 14  | ~                                      |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DINAC target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DIN target_i2cREG1_temp.DUT target_i2cREG1_temp.DOUT target_i2cREG1_temp.DCLR target_i2cREG1_temp.CLR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[1]  | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>1<br>2<br>0<br>3<br>3<br>Actual Value<br>3<br>14                         | 3<br>14<br>145  | ************************************** |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DIN target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.SET target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]   | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>1<br>2<br>0<br>3<br>3<br>Actual Value<br>3<br>14<br>145<br>200           | 3<br>14<br>145<br>200   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.IVR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DMAC  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DUT  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.CLR  target_i2cREG1_temp.CDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>1<br>2<br>0<br>3<br>3<br>Actual Value<br>3<br>14<br>145<br>200<br>1      | 3<br>14<br>145<br>200<br>1  | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
| target_i2cREG1_temp.DXR target_i2cREG1_temp.MDR target_i2cREG1_temp.IVR target_i2cREG1_temp.EMDR target_i2cREG1_temp.PSC target_i2cREG1_temp.PID11 target_i2cREG1_temp.PID12 target_i2cREG1_temp.PID12 target_i2cREG1_temp.DIN target_i2cREG1_temp.DIR target_i2cREG1_temp.DIR target_i2cREG1_temp.DOUT target_i2cREG1_temp.SET target_i2cREG1_temp.SET target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.DDR target_i2cREG1_temp.PD target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]   | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>1<br>2<br>0<br>3<br>3<br>Actual Value<br>3<br>14<br>145<br>200           | 3<br>14<br>145<br>200   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.IVR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DIMAC  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.DET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_Cnt_Mailoccurred_Cnt_M_lgc  | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>1<br>2<br>0<br>3<br>3<br>Actual Value<br>3<br>14<br>145<br>200<br>1      | 3<br>14<br>145<br>200<br>1  | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.IVR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DMAC  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.DDT  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CndFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 44<br>566<br>554<br>1<br>44<br>4466<br>44<br>1<br>1<br>2<br>0<br>1<br>1<br>1<br>2<br>0<br>3<br>3<br>Actual Value<br>3<br>14<br>145<br>200<br>1<br>1 | 3<br>14<br>145<br>200<br>1<br>1   | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.IVR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DIMAC  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DUT  target_i2cREG1_temp.DET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CndFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  | 44 566 554 1 44 4466 44 1 1 2 0 1 1 2 0 3 3 3 Actual Value 3 14 145 200 1 1 1 1 566 120   | 3<br>14<br>145<br>200<br>1<br>1<br>1<br>1<br>566                              | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DMAC  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DUT  target_i2cREG1_temp.DUT  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PDL  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  | 44 566 554 1 44 4466 44 1 1 2 0 1 1 2 0 3 3 3  Actual Value 3 14 145 200 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67                           | 3 14 145 200 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67               | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.IVR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DIMAC  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DUT  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 44 566 554 1 44 4466 44 1 1 2 0 1 1 2 0 3 3 3 Actual Value 3 14 145 200 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9                          | 3 14 145 200 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9             | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.IVR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DIMAC  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DUT  target_i2cREG1_temp.DUT  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_litFailedOnce_Cnt_M_lgc  | 44 566 554 1 44 4466 44 1 1 2 0 1 1 2 0 3 3 3  Actual Value 3 14 145 200 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1                     | 3 14 145 200 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1           |  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.IVR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DMAC  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DIN  target_i2cREG1_temp.DUT  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I1cTailedOnce_Cnt_M_lgc  DigColPsInt_litFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  | 44 566 554 1 44 4466 44 1 1 2 0 1 1 2 0 3 3 3  Actual Value 3 14 145 200 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1                     | 3 14 145 200 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1           |  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.IVR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DMAC  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CondFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 44 566 554 1 44 4466 44 1 1 2 0 1 1 2 0 3 3 3  Actual Value 3 14 145 2200 1 1 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1 1 1 1 1 1      | 3 14 145 200 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1 1 1       |  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.IVR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.SET  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08   | 44 566 554 1 44 4466 44 1 1 2 0 1 1 2 0 3 3 3  Actual Value 3 14 145 2200 1 1 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1 1 1 1 1 4      | 3 14 145 200 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1 1 1 1 4   |  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.IVR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DMAC  target_i2cREG1_temp.DINR  target_i2cREG1_temp.DINR  target_i2cREG1_temp.DINR  target_i2cREG1_temp.DUT  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.CLR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_CurrentSlave_Cnt_M_u6  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustDatDat_UIs_M_u16  DigColPsInt_12CHwCustDatDat_UIs_M_u16  DigColPsInt_12CHwCustData_UIs_M_u16  DigColPsInt_12CHwCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc | 44 566 554 1 44 4466 44 1 1 2 0 1 1 2 0 3 3 3  Actual Value 3 14 145 200 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1 1 1 1 1 4 1         | 3 14 145 200 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1 1 1 1 4 1 |  |
| target_i2cREG1_temp.DXR  target_i2cREG1_temp.MDR  target_i2cREG1_temp.IVR  target_i2cREG1_temp.EMDR  target_i2cREG1_temp.PSC  target_i2cREG1_temp.PID11  target_i2cREG1_temp.PID12  target_i2cREG1_temp.PID12  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DIR  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.DOUT  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.DDR  target_i2cREG1_temp.PD  target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 44 566 554 1 44 4466 44 1 1 2 0 1 1 2 0 3 3 3  Actual Value 3 14 145 2200 1 1 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1 1 1 1 1 4      | 3 14 145 200 1 1 1 1 566 120 INIT_SENSOR2_EXTREADDATREG_SETR 67 9 1 1 1 1 4   |  |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| I2c_Send(Length_Cnt_T_u32)  | 1            | 1              |        |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 567          | 567            |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR | 44           | 44             |        |
| target I2c GenStopCond I2cRegPtr Cnt T str.STR  | 4444         | 4444           |        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            |        |
| target I2c GenStopCond I2cRegPtr Cnt T str.CLKH   | 4466         | 4466           | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 566          | 566            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | •      |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | •      |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              |        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 44           | 44             |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12 target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC            | 1            | 1              |        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              |        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR   | 2            | 2              |        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN   | 0            | 0              |        |
| target_12c_Send_12cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |        |
|   | 1            | 1              |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET target_I2c Send_I2cRegPtr_Cnt_T_str.CLR               | 2            | 2              |        |
| target_12c_Send_12cRegPtr_Cnt_T_str.ODR   | 0            | 0              |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567            |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            |        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 566          | 566            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |        |

2014-10-14, 23:08:30+0530



| Digoon dini_menupavolinoalion   |              |                |          |
|---|--------------|----------------|----------|
| Name  | Actual Value | Expected Value | Result   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | <b>V</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL                            | 3            | 3              | -        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.OAR  | 567          | 567            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 566          | 566            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | <b>Y</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC                    | 1            | 1              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR   | 567          | 6<br>567       | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR   | 44           | 44             | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR     | 566          | 566            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR | 567          | 3<br>567       |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_1_str.UAR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.NRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 567          | 567            | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 566          | 566            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | <b>V</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN  | 1            | 1 2            | <b>V</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | -        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIN  | U            | U              |          |

2014-10-14, 23:08:30+0530



| DiaCalPaint  | InterruntNotification |
|--------------|-----------------------|
| DigCoiPsilit | InterruptNotification |

| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>✓</b> |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | -        |

| Test Step 3.39 (Repeat Count = 1) Name          | Input Value  |
|---|--|
|   | 11   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2767   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 45   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADCTRLREG_READ                   |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 76   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 77   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 2  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 2  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 564  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 130  |
| Flags_Cnt_T_b16                                 | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| Γ_DataRegisters_Cnt_u08[0]                      | 0  |
| Γ_DataRegisters_Cnt_u08[1]                      | 32   |
| Γ_DataRegisters_Cnt_u08[2]                      | 30   |
| Γ_DataRegisters_Cnt_u08[3]                      | 36   |
| Γ_DataRegisters_Cnt_u08[4]                      | 38   |
| Γ_DataRegisters_Cnt_u08[5]                      | 34   |
| Γ_DataRegisters_Cnt_u08[6]                      | 10   |
| Γ_DataRegisters_Cnt_u08[7]                      | 12   |
| Γ_DataRegisters_Cnt_u08[8]                      | 14   |
| 2cREG1_temp                                     | target_i2cREG1_temp                                |
| C_ColSensorl2CAddress_Cnt_u08                   | 7  |
| _SpurSensorI2CAddress_Cnt_u08                   | 123  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 7788   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 2767   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 556  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 564  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 88   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 2767   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.IVR   | 9  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 0  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 100  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.PID11 | 556  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.PID12 | 100  |

2014-10-14, 23:08:30+0530



|   | (14 11 10 10 |
|---|--------------|
| Name  | Input Value  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC | 2            |
|   |              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 0            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 3            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT | 2            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 0            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1            |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 3            |
| target I2c GenStopCond I2cRegPtr Cnt T str.PD   | 0            |
| • • - •   |              |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL  | 3            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR         | 3            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR         | 100          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR         | 7788         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL        | 2767         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH        | 556          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT         | 564          |
|   | 88           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         |              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR         | 3            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         | 100          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR         | 2767         |
| target I2c Send I2cRegPtr Cnt T str.IVR         | 9            |
| target I2c Send I2cRegPtr Cnt T str.EMDR        | 0            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC         | 100          |
|   |              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       | 556          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       | 100          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC        | 2            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN         | 0            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN         | 3            |
|   | 2            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT        |              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET         | 0            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR         | 1            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR         | 3            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD          | 0            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL         | 3            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR      | 3            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR      | 100          |
|   |              |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR      | 7788         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL     | 2767         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH     | 556          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT      | 564          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR      | 88           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR      | 3            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR      | 100          |
|   |              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR      | 2767         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR      | 9            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR     | 0            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC      | 100          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11    | 556          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12    | 100          |
| target I2c SetRecv I2cRegPtr Cnt T str.DMAC     | 2            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN      | 0            |
|   |              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR      |              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN      | 3            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT     | 2            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET      | 0            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR      | 1            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR      | 3            |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD       | 0            |
|   |              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL      | 3            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR    | 3            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR    | 100          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR    | 7788         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2767         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 556          |
|   |              |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT    | 564          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR    | 88           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR    | 3            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR    | 100          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR    | 2767         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR    | 9            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 0            |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC    | 100          |
|   | 100          |

2014-10-14, 23:08:30+0530



| DigCor-sint_interruptivotincation   |             |  |
|---|-------------|--|
| Name  | Input Value |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 556         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 100         |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0           |  |
| arget I2c SetStatus I2cRegPtr Cnt T str.DIR   | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 2           |  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET  | 0           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 3           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 0           |  |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3           |  |
|   | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 100         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  |             |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 7788        |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 2767        |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 556         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 564         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 88          |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 100         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2767        |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 9           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 100         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 556         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 100         |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 0           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0           |  |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR  | 1           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 3           |  |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 0           |  |
| rarget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 3           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 100         |  |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR   | 7788        |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2767        |  |
| arget I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH  | 556         |  |
| arget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CERT  | 564         |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 88          |  |
|   | 3           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR |             |  |
|   | 100         |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2767        |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 9           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 100         |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 556         |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 100         |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 0           |  |
| arget_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |  |
| arget_i2cREG1_temp.OAR  | 3           |  |
| arget_i2cREG1_temp.IMR  | 100         |  |
| arget_i2cREG1_temp.STR  | 7788        |  |
| arget_i2cREG1_temp.CLKL   | 2767        |  |
| arget i2cREG1 temp.CLKH   | 556         |  |
| · ·   | 564         |  |
| arget_i2cREG1_temp.CNT  |             |  |
| arget_i2cREG1_temp.DRR  | 88          |  |
| arget_i2cREG1_temp.SAR  | 3           |  |
| arget_i2cREG1_temp.DXR  | 100         |  |
| arget_i2cREG1_temp.MDR  | 2767        |  |
| arget i2cREG1 temp.IVR  | 9           |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value   |                |                                       |
|---|---------------|----------------|---------------------------------------|
| target_i2cREG1_temp.EMDR  | 0             |                |                                       |
| target_i2cREG1_temp.PSC   | 100           |                |                                       |
| target_i2cREG1_temp.PID11   | 556<br>100    |                |                                       |
| target_i2cREG1_temp.PID12<br>target_i2cREG1_temp.DMAC   | 2             |                |                                       |
| target_i2cREG1_temp.FUN   | 0             |                |                                       |
| target i2cREG1 temp.DIR   | 1             |                |                                       |
| target_i2cREG1_temp.DIN   | 3             |                |                                       |
| target_i2cREG1_temp.DOUT  | 2             |                |                                       |
| target_i2cREG1_temp.SET   | 0             |                |                                       |
| target_i2cREG1_temp.CLR   | 1             |                |                                       |
| target_i2cREG1_temp.ODR   | 3             |                |                                       |
| target_i2cREG1_temp.PD  | 0             |                |                                       |
| target_i2cREG1_temp.PSL   | 3             |                |                                       |
| Name  | Actual Value  | Expected Value | Result                                |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 12            | 12             | •                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 123           | 123            | •                                     |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 145           | 145            | •                                     |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 200           | 200            | •                                     |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 0             | 0              | •                                     |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1             | 1              | •                                     |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0             | 0              | •                                     |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 2767          | 2767           | •                                     |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 45            | 45             | · ·                                   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_COMPLETE | INIT_COMPLETE  | •                                     |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 76            | 76             | •                                     |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 77            | 77             |                                       |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0             | 0              |                                       |
| DigColPsInt_NackOccured_Cnt_M_Igc DigColPsInt_RecvOverrunError_Cnt_M_Igc                      | 0             | 0              |                                       |
| DigColPsInt_Recv0VerruitEffor_Cht_M_igc   | 2             | 2              |                                       |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1             | 1              |                                       |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 564           | 564            |                                       |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 130           | 130            |                                       |
| I2c_Send(Length_Cnt_T_u32)  | 1             | 1              |                                       |
| I2c SetupMasterTransmit(DataLength Cnt T u16)   | 1             | 1              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 3             | 3              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 100           | 100            |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 7788          | 7788           | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2767          | 2767           | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 556           | 556            | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 564           | 564            | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 88            | 88             | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 3             | 3              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 100           | 100            | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2767          | 2767           | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 9             | 9              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 0             | 0              | •                                     |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC  | 100           | 100            | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 556           | 556            | · ·                                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 100           | 100            | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 2             | 2              |                                       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN  | 0             | 0              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN | 3             | 3              |                                       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT   | 2             | 2              |                                       |
| target I2c GenStopCond I2cRegPtr Cnt T str.SET  | 0             | 0              |                                       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR  | 1             | 1              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 3             | 3              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 0             | 0              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3             | 3              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 3             | 3              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 100           | 100            | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 7788          | 7788           | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2767          | 2767           | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 556           | 556            | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 564           | 564            | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 88            | 88             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 3             | 3              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 100           | 100            | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2767          | 2767           | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 9             | 9              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0             | 0              | · · · · · · · · · · · · · · · · · · · |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result |
|---|--------------|----------------|--------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 100          | 100            | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              |        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | •      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2767         | 2767           | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 556          | 556            | •      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | •      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 88           | 88             | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 100          | 100            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 9            | 9              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 100          | 100            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | •      |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100            | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           | •      |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKL   | 2767         | 2767           | •      |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH   | 556          | 556            | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 88           | 88             | •      |
| target I2c SetStatus I2cRegPtr Cnt T str.SAR  | 3            | 3              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 100          | 100            |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 9            | 9              |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              |        |
| target I2c SetStatus I2cReqPtr Cnt T str.PSC  | 100          | 100            |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            |        |
| target I2c SetStatus I2cRegPtr Cnt T str.PID12  | 100          | 100            |        |
| target 12c SetStatus 12cRegPtr Cnt T str.DMAC   | 2            | 2              |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              |        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DIR  | 1            | 1              |        |
| target_lzc_setStatus_lzcRegPtr_Cnt_i_str.DIR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN | 3            | 3              |        |
|   | 2            | 2              |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 0            | 0              |        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET  |              |                |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              |        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | -      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | •      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                                     | 3            | 3              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                                     | 100          | 100            | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR                                     | 7788         | 7788           | ·      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                                    | 2767         | 2767           | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH                                    | 556          | 556            | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT                                     | 564          | 564            | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR                                     | 88           | 88             | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR                                     | 3            | 3              | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR                                     | 100          | 100            | •      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR                                     | 2767         | 2767           | _      |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 9            | 9              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 100          | 100            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 564          | 564            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 100          | 100            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |

| T               |       |                          |       | V      |
|-----------------|-------|--------------------------|-------|--------|
| Actual Function | Count | Expected Function        | Count | Result |
| *none*          | 0     | *** No Call Expected *** | 0     | ~      |

| Test Step 3.40 (Repeat Count = 1)               | 🗸  |
|---|--|
| Name  | Input Value                                |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08 | 8  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 100  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2309                                       |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 20   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_EXTREADCTRLREG_READ           |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 22   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 23   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 2  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 2  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 87   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 80   |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str |



| Digeon sint_interruptivetineation  | • " "  |  |
|--|--|--|
| Name   | Input Value  |  |
| 2c_Send(I2cRegPtr_Cnt_T_str)   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |  |
| 2c SetRecv(I2cRegPtr Cnt T str)  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |  |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |  |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)  | target I2c SetupMasterTransmit I2cRegPtr Cnt T str |  |
| Γ_DataRegisters_Cnt_u08[0]   | 0  |  |
| r_DataRegisters_Cnt_u08[1]   | 32   |  |
|  | 30   |  |
| Γ_DataRegisters_Cnt_u08[2]   |  |  |
| Γ_DataRegisters_Cnt_u08[3]   | 36   |  |
| Γ_DataRegisters_Cnt_u08[4]   | 38   |  |
| Γ_DataRegisters_Cnt_u08[5]   | 34   |  |
| Γ_DataRegisters_Cnt_u08[6]   | 10   |  |
| Γ_DataRegisters_Cnt_u08[7]   | 12   |  |
| Γ_DataRegisters_Cnt_u08[8]   | 14   |  |
| 2cREG1_temp  | target_i2cREG1_temp                                |  |
| COlSensorl2CAddress_Cnt_u08  | 44   |  |
| C_SpurSensorI2CAddress_Cnt_u08   | 127  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 55   |  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.IMR  | 66   |  |
|  | 556  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  |  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2309   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 1204   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 67   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2309   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 5  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 3  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 1204   |  |
|  |  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 66   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 3  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 2  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3  |  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.PSL  | 3  |  |
|  |  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 55   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL  | 2309   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67   |  |
| arget I2c Send I2cRegPtr Cnt T str.SAR   | 55   |  |
| arget I2c Send I2cRegPtr Cnt T str.DXR   | 66   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2309   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 5  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3  |  |
|  |  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 1204   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1  |  |
| got=o_cond_izortogr u_ont_r_out.Otilt  | 2  |  |
| arget 12c Sand 12cDagDtr Cnt T atr ODD   | ٤  |  |
|  | 0  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 3  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD<br>arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD<br>arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3<br>55  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.PD arget_l2c_Send_l2cRegPtr_Cnt_T_str.PSL arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR   | 3  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.PD arget_l2c_Send_l2cRegPtr_Cnt_T_str.PSL arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR   | 3<br>55  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.PD arget_l2c_Send_l2cRegPtr_Cnt_T_str.PSL arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 3<br>55<br>66                                      |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.ODR  arget_l2c_Send_l2cRegPtr_Cnt_T_str.PD  arget_l2c_Send_l2cRegPtr_Cnt_T_str.PSL  arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR  arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR  arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL  arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL | 3<br>55<br>66<br>556                               |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 67          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR             | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR             | 2309        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR             | 5           |
| target I2c SetRecv I2cRegPtr Cnt T str.EMDR            | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC             | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11           | 1204        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12           | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC            | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT            | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET             | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR           | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR           | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL          | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH          | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT           | 87          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR           | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR           | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR           | 2309        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR           | 5           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR          | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         | 1204        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC          | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT          | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET           | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL           | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH | 1204        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 87          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 2309        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  |             |

2014-10-14, 23:08:30+0530



DigColPsInt\_InterruptNotification

| Name   | Input Value                     |                                 |        |
|--|---------------------------------|---------------------------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 1204                            |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 87                              |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 67                              |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 55                              |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66                              |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 2309                            |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 5                               |                                 |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  | 3                               |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66                              |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 1204                            |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66                              |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3                               |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1                               |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 1                               |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2                               |                                 |        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 3                               |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3                               |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 1                               |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2                               |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3                               |                                 |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3                               |                                 |        |
| target_i2cREG1_temp.OAR                                  | 55                              |                                 |        |
| target_i2cREG1_temp.IMR                                  | 66                              |                                 |        |
| target_i2cREG1_temp.STR                                  | 556                             |                                 |        |
| target_i2cREG1_temp.CLKL                                 | 2309                            |                                 |        |
| target_i2cREG1_temp.CLKH                                 | 1204                            |                                 |        |
| target_i2cREG1_temp.CNT                                  | 87                              |                                 |        |
| target_i2cREG1_temp.DRR                                  | 67                              |                                 |        |
| target_i2cREG1_temp.SAR                                  | 55                              |                                 |        |
| target_i2cREG1_temp.DXR                                  | 66                              |                                 |        |
| target_i2cREG1_temp.MDR                                  | 2309                            |                                 |        |
| target_i2cREG1_temp.IVR                                  | 5                               |                                 |        |
| target_i2cREG1_temp.EMDR                                 | 3                               |                                 |        |
| target_i2cREG1_temp.PSC                                  | 66                              |                                 |        |
| target_i2cREG1_temp.PID11                                | 1204                            |                                 |        |
| target_i2cREG1_temp.PID12                                | 66                              |                                 |        |
| target_i2cREG1_temp.DMAC                                 | 3                               |                                 |        |
| target_i2cREG1_temp.FUN                                  | 1                               |                                 |        |
| target_i2cREG1_temp.DIR                                  | 1                               |                                 |        |
| target_i2cREG1_temp.DIN                                  | 2                               |                                 |        |
| target_i2cREG1_temp.DOUT                                 | 3                               |                                 |        |
| target_i2cREG1_temp.SET                                  | 3                               |                                 |        |
| target_i2cREG1_temp.CLR                                  | 1                               |                                 |        |
| target_i2cREG1_temp.ODR                                  | 2                               |                                 |        |
| target_i2cREG1_temp.PD                                   | 3                               |                                 |        |
| target_i2cREG1_temp.PSL                                  | 3                               |                                 |        |
| Name   | Actual Value                    | Expected Value                  | Result |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08          | 8                               | 8                               | ~      |
| DigColPsInt_Buffer_Cnt_M_u08[0]                          | 12                              | 12                              | ~      |
| DigColPsInt_Buffer_Cnt_M_u08[1]                          | 1                               | 1                               | ~      |
| DigColPsInt_Buffer_Cnt_M_u08[2]                          | 100                             | 100                             | ~      |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc                    | 1                               | 1                               | ~      |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc                    | 1                               | 1                               | ~      |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc                    | 1                               | 1                               | ~      |
| DigColPsInt_ColSnsrData_Cnt_M_u16                        | 2309                            | 2309                            | ~      |
| DigColPsInt_CurrentSlave_Cnt_M_u08                       | 127                             | 127                             | ~      |
| DigColPsInt_CurrentStepNo_Cnt_M_enum                     | INIT_SENSOR2_EXTREADCTRLREG_SET | INIT_SENSOR2_EXTREADCTRLREG_SET | ~      |
| DigColPsInt_I2CHwCustData_Uls_M_u16                      | 22                              | 22                              | ~      |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16            | 23                              | 23                              | ~      |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc                     | 1                               | 1                               | ~      |
| DigColPelat NackOccured Cat M Igo                        | 1                               | 1                               |        |

1

2

87

80

1

55

66

556

2309

1204

1

2

87

80

1

55

66

556 2309

1204

I2c\_SetupMasterTransmit(DataLength\_Cnt\_T\_u16) target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.OAR

 $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.IMR$ 

target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.STR

 $target\_I2c\_GenStopCond\_I2cRegPtr\_Cnt\_T\_str.CLKL$ 

DigColPsInt\_NackOccured\_Cnt\_M\_lgc DigColPsInt\_RecvOverrunError\_Cnt\_M\_lgc DigColPsInt\_RecvdDataType\_Cnt\_M\_u08

DigColPsInt\_SpurCustDatFound\_Cnt\_M\_lgc

DigColPsInt\_SpurSnsrData\_Cnt\_M\_u16

DigColPsInt\_TransactionCnt\_Cnt\_M\_u08

I2c\_Send(Length\_Cnt\_T\_u32)

DigColPsInt\_InterruptNotification

2014-10-14, 23:08:30+0530





| Name  | Actual Value | Expected Value | Result                                |
|---|--------------|----------------|---------------------------------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ~                                     |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | <b>V</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | -                                     |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR | 66<br>2309   | 66<br>2309     | Š                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVIR   | 5            | 5              | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | -                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | ~                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | <b>✓</b>                              |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | <b>V</b>                              |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1 2          | 1 2            | ~                                     |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD  | 3            | 3              |                                       |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>*</b>                              |
| target I2c Send I2cRegPtr Cnt T str.OAR   | 55           | 55             | -                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~                                     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | ~                                     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | <b>V</b>                              |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3<br>66        | ~                                     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11             | 66<br>1204   | 1204           | -                                     |
| target_12c_Send_12cRegPtr_Cnt_T_str.PID11   | 66           | 66             | J                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | -                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~                                     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>V</b>                              |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL   | 3            | 3              |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 55<br>66     | 55             | ~                                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR         | 556          | 66<br>556      | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | J                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87             | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 67           | 67             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>V</b>                              |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | · ·                                   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN         | 1 2          | 2              | <b>~</b>                              |
| target_l2c_SetRecv_l2cRegPtr_Cnt_1_str.DIN target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT        | 3            | 3              |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | -                                     |
|   | 2            | 2              | <b>V</b>                              |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR  |              |                | _                                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD          | 3            | 3              |                                       |
|   | 3            | 3              | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   |              |                | ~                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD<br>target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL       | 3            | 3              | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ |

2014-10-14, 23:08:30+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2309         | 2309           | <b>-</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 87           | 87<br>67       |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 67<br>55     | 55             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR                     | 66           | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR  | 2309         | 2309           |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.IVR  | 5            | 5              |          |
| target I2c SetStatus I2cRegPtr Cnt T str.EMDR   | 3            | 3              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66           | 66             |          |
| target I2c SetStatus I2cRegPtr Cnt T str.PID11  | 1204         | 1204           |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12  | 66           | 66             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | <b>✓</b> |
| target I2c SetStatus I2cRegPtr Cnt T str.DIN  | 2            | 2              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 556          | 556            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 2309         | 2309           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 1204         | 1204           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 87           | 87             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 67           | 67             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 55           | 55             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2309         | 2309           | <u> </u> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 5            | 5              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 1204         | 1204           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 66           | 66             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <u> </u> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | <b>Y</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | · ·      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   |              |                |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR   | 3            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 55           | 55             |          |
|   | 66           | 66             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR | 556          | 556            |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL   | 2309         | 2309           |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH   | 1204         | 1204           |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CNT  | 87           | 87             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 67           | 67             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 55           | 55             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 66           | 66             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR  | 2309         | 2309           | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 5            | 5              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 3            | 3              | -        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC  | 66           | 66             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 1204         | 1204           | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 66           | 66             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 2            | 2              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 3            | 3              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | <b>✓</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR  | 2            | 2              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | <b>✓</b> |
|   |              | 3              | _        |



| T .                     |       |                         |       |          |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | _        |

| Test Step 3.41 (Repeat Count = 1)               |  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 8  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 28   |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 200  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 250  |
| )igColPsInt_BusBusySeqError_Cnt_M_lgc           | 1  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1  |
| ligColPsInt_ColSnsrData_Cnt_M_u16               | 7846   |
| ligColPsInt_CurrentSlave_Cnt_M_u08              | 10   |
| igColPsInt_CurrentStepNo_Cnt_M_enum             | INIT_SENSOR2_CHECKSTAT_READ                        |
| igColPsInt_I2CHwCustData_Uls_M_u16              | 40   |
| igColPsInt I2CHwIncompleteCustData Uls M u16    | 41   |
| igColPsInt_InitFailedOnce_Cnt_M_lgc             | 1  |
| igColPsInt_NackOccured_Cnt_M_lgc                | 1  |
| igColPsInt_PrevReqDataType_Cnt_M_u08            | 3  |
| igColPsInt_RecvOverrunError_Cnt_M_lgc           | 1  |
|   | 3  |
| igColPsInt_RecvdDataType_Cnt_M_u08              | 0  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc          | 1  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc           |  |
| igColPsInt_SpurSnsrData_Cnt_M_u16               | 98   |
| igColPsInt_TransactionCnt_Cnt_M_u08             | 12   |
| lags_Cnt_T_b16                                  | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| tc_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| c_SetStatus(I2cRegPtr_Cnt_T_str)                | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]                       | 0  |
| _DataRegisters_Cnt_u08[1]                       | 32   |
| _DataRegisters_Cnt_u08[2]                       | 30   |
| _DataRegisters_Cnt_u08[3]                       | 36   |
| _DataRegisters_Cnt_u08[4]                       | 38   |
| _DataRegisters_Cnt_u08[5]                       | 34   |
| _DataRegisters_Cnt_u08[6]                       | 10   |
| _DataRegisters_Cnt_u08[7]                       | 12   |
| _DataRegisters_Cnt_u08[8]                       | 14   |
| CCREG1 temp                                     | target i2cREG1 temp                                |
| ColSensorl2CAddress Cnt u08                     | 74   |
| SpurSensorl2CAddress_Cnt_u08                    | 100  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 1223   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL  | 7846   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH  | 8974   |
|   | 98   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT   | 12   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR   | 12   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR   | 10   |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   |  |
| irget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR   | 7846   |
| irget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR   | 55   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 1  |
| irget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 10   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 8974   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 1           |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR        | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR        | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR        | 1223        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       | 7846        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       | 8974        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT        | 98          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR        | 12          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR        | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR        | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR        | 7846        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR        | 55          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC        | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11      | 8974        |
|  | 10          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12      | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN        |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR        | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN        |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT       | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET        | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR        | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR        | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         | 1           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSL        | 1           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR     | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR     | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR     | 1223        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL    | 7846        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH    | 8974        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT     | 98          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR     | 12          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR     | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR     | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR     | 7846        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR     | 55          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR    | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC     | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 8974        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 10          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC    | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN     | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR     | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN     | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT    | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET     | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR     | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR     | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD      | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL     | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 1223        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 7846        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 8974        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT   | 98          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 12          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR   | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 7846        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 55          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 | 8974        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 | 10          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| 0  | <u> </u>    |

2014-10-14, 23:08:30+0530



| DigColFSint_interruptiNotinication                       |             |
|--|-------------|
| Name   | Input Value |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 1223        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7846        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 8974        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 98          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 12          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 7846        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 8974        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 1223        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7846        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 8974        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 98          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7846        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 8974        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1           |
| target_i2cREG1_temp.OAR                                  | 10          |
| target_i2cREG1_temp.IMR                                  | 10          |
| target_i2cREG1_temp.STR                                  | 1223        |
| target_i2cREG1_temp.CLKL                                 | 7846        |
| target_i2cREG1_temp.CLKH                                 | 8974        |
| target_i2cREG1_temp.CNT                                  | 98          |
| target_i2cREG1_temp.DRR                                  | 12          |
| target_i2cREG1_temp.SAR                                  | 10          |
| target_i2cREG1_temp.DXR                                  | 10          |
| target_i2cREG1_temp.MDR                                  | 7846        |
| target_i2cREG1_temp.IVR                                  | 55          |
| target_i2cREG1_temp.EMDR                                 | 1           |
| target_i2cREG1_temp.PSC                                  | 10          |
| target_i2cREG1_temp.PID11                                | 8974        |
| target_i2cREG1_temp.PID12                                | 10          |
|  | 1           |
| target_i2cREG1_temp.DMAC                                 |             |
| target_izcREG1_temp.FUN                                  | 1           |



| Name   | Input Value  |                                 |          |
|--|--------------|---------------------------------|----------|
| target_i2cREG1_temp.DIN  | 1            |                                 |          |
| target_i2cREG1_temp.DOUT   | 1            |                                 |          |
| target_i2cREG1_temp.SET  | 1            |                                 |          |
| target_i2cREG1_temp.CLR  | 2            |                                 |          |
| target_i2cREG1_temp.ODR  | 1            |                                 |          |
| target_i2cREG1_temp.PD   | 1            |                                 |          |
| target_i2cREG1_temp.PSL  | 1            |                                 |          |
| Name   | Actual Value | Expected Value                  | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 8            | 8                               | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]  | 10           | 10                              | <b>V</b> |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 3<br>7       | 3<br>7                          | <b>*</b> |
| DigColPoint_Buffer_Cnt_M_u08[2]  | 1            | 1                               |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc                    | 1            | 1                               | ~        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1            | 1                               | -        |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 7846         | 7846                            | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 74           | 74                              | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   |              | INIT SENSOR1 EXTREADADDRREG SEN | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 40           | 40                              | ~        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 41           | 41                              | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0            | 0                               | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1            | 1                               | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1            | 1                               | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 3            | 3                               | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 1            | 1                               | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16   | 98           | 98                              | ~        |
| DigColPsInt_TransactionCnt_Cnt_M_u08   | 12           | 12                              | ~        |
| I2c_Send(Length_Cnt_T_u32)   | 3            | 3                               | <b>V</b> |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 3            | 3                               | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10                              | <b>*</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR   | 10<br>1223   | 10 1223                         | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 7846         | 7846                            | ,        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974                            | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT   | 98           | 98                              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12                              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 8974         | 8974                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 10           | 10                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1                               |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1                               |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR   | 1            | 1                               | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT | 1            | 1                               |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.SET   | 1            | 1                               | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR   | 2            | 2                               |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1                               | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 1            | 1                               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1                               | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 10           | 10                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 10           | 10                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 1223         | 1223                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 7846         | 7846                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 8974         | 8974                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 98           | 98                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 12           | 12                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 10           | 10                              | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 10           | 10                              | · ·      |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 7846         | 7846                            | · ·      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR  | 55<br>1      | 55<br>1                         | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR   | 10           | 10                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11              | 8974         | 8974                            | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12  | 10           | 10                              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC   | 1            | 1                               | <b>V</b> |
| target_12c_Send_12cRegPtr_Cnt_T_str.FUN  | 1            | 1                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2                               | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1                               | ~        |
|  |              |                                 |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT     | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET      | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR      | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR      | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD       | 1            | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL      | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974           | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 98           | 98             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11 | 8974         | 8974           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12 | 10           | 10             |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR    | 2            | 2              | ~        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN    | 1            | 1              | •        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT   | 1            | 1              |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET    | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR    | 2            | 2              | ~        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 1            | 1              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 10           | 10             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 10           | 10             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 1223         | 1223           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7846         | 7846           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 8974         | 8974           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 98           | 98             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12           | 12             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 10           | 10             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 10           | 10             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7846         | 7846           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55           | 55             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 10           | 10             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 8974         | 8974           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 10           | 10             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | ~        |

| T                       |       |                         |       |        |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| SetupWriteData          | 1     | SetupWriteData          | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | •      |
| I2c_Send                | 1     | I2c_Send                | 1     | •      |

| Test Step 3.42 (Repeat Count = 1)               | ✓ ·  |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 6  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 123  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 145  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 200  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 2767   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 45   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_CHECKSTAT_READ                        |
| DigColPsInt_I2CHwCustData_UIs_M_u16             | 37   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 38   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 1  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 2  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 2  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 564  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 130  |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |

2014-10-14, 23:08:30+0530



| DigColPSIII_Interruptivotification  |                     |  |
|---|---------------------|--|
| Name  | Input Value         |  |
| T_DataRegisters_Cnt_u08[0]  | 0                   |  |
| Γ_DataRegisters_Cnt_u08[1]  | 32                  |  |
| Γ_DataRegisters_Cnt_u08[2]  | 30                  |  |
| 「_DataRegisters_Cnt_u08[3]  | 36                  |  |
| T_DataRegisters_Cnt_u08[4]  | 38                  |  |
| T_DataRegisters_Cnt_u08[5]  | 34                  |  |
| T_DataRegisters_Cnt_u08[6]  | 10                  |  |
| Γ_DataRegisters_Cnt_u08[7]  | 12                  |  |
| T_DataRegisters_Cnt_u08[8]  | 14                  |  |
| 2cREG1_temp   | target_i2cREG1_temp |  |
| <_ColSensorl2CAddress_Cnt_u08   | 69                  |  |
| <pre>&lt;_SpurSensorI2CAddress_Cnt_u08</pre>                                  | 123                 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                                 | 3                   |  |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                                | 100                 |  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR                                 | 7788                |  |
|   | 2767                |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                                | 556                 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH                                |                     |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                                 | 564                 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                                 | 88                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                                 | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                                 | 100                 |  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR                                 | 2767                |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                                 | 9                   |  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR                                | 0                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                                 | 100                 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                               | 556                 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                               | 100                 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                                | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                                 | 0                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                                 | 1                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                                 | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                                 | 0                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                                 | 1                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                                | 3                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                                 | 0                   |  |
| rarget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                                | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 100                 |  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.STR                                       | 7788                |  |
| rarget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL                                      | 2767                |  |
| rarget_12c_Send_12cRegPtr_Cnt_T_str.CLKH                                      | 556                 |  |
|   | 564                 |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.CNT arget l2c Send l2cRegPtr Cnt T str.DRR | 88                  |  |
| · ·   | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  |                     |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 100                 |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 2767                |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 9                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR                                       | 0                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 100                 |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11                                      | 556                 |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12                                      | 100                 |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC                                       | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 1                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT                                       | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 0                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 1                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 0                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3                   |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR                                     | 3                   |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR                                     | 100                 |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR                                     | 7788                |  |
| arget_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL                                    | 2767                |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL                                    | 556                 |  |
|   | 564                 |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT                                     |                     |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR                                     | 88                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR                                     | 3                   |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR                                     | 100                 |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR                                     | 2767                |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR                                    | 9                   |  |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
|   | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 100         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 556         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 100         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 0           |
| target I2c SetRecv I2cRegPtr Cnt T str.DIR              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 3           |
|   |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 3           |
| target I2c SetRecv I2cRegPtr Cnt T str.PD               | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 3           |
|   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR            | 100         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 7788        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 2767        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 556         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 564         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 88          |
|   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR            | 3           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR            | 100         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 2767        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 9           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 100         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 556         |
|   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 100         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 1           |
|   | 3           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR            |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 100         |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.STR   | 7788        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL  | 2767        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 556         |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 564         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 88          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 100         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 2767        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 9           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.EMDR  | 0           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PSC   | 100         |
| · ·   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 556         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 100         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 1           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN   | 3           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT  | 2           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET   | 0           |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR  | 100         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.STR  | 7788        |
|   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL | 2767        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 556         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 564         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 88          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR  | 100         |
|   |             |

2014-10-14, 23:08:30+0530



| DigColFSint_interruptivotilication  |                               | ( WAC)                        |          |
|---|-------------------------------|-------------------------------|----------|
| Name  | Input Value                   |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 2767                          |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 9                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 0                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 100                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 556                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 100                           |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2                             |                               |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR | 1                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 3                             |                               |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT   | 2                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 0                             |                               |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR  | 1                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 3                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 0                             |                               |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 3                             |                               |          |
| target_i2cREG1_temp.OAR   | 3                             |                               |          |
| target_i2cREG1_temp.IMR   | 100                           |                               |          |
| target_i2cREG1_temp.STR   | 7788                          |                               |          |
| target_i2cREG1_temp.CLKL  | 2767                          |                               |          |
| target_i2cREG1_temp.CLKH  | 556                           |                               |          |
| target_i2cREG1_temp.CNT   | 564                           |                               |          |
| target_i2cREG1_temp.DRR   | 88                            |                               |          |
| target_i2cREG1_temp.SAR   | 3                             |                               |          |
| target_i2cREG1_temp.DXR<br>target_i2cREG1_temp.MDR  | 2767                          |                               |          |
| target i2cREG1 temp.IVR   | 9                             |                               |          |
| target_i2cREG1_temp.EMDR  | 0                             |                               |          |
| target_i2cREG1_temp.PSC   | 100                           |                               |          |
| target_i2cREG1_temp.PID11   | 556                           |                               |          |
| target i2cREG1 temp.PID12   | 100                           |                               |          |
| target_i2cREG1_temp.DMAC  | 2                             |                               |          |
| target_i2cREG1_temp.FUN   | 0                             |                               |          |
| target_i2cREG1_temp.DIR   | 1                             |                               |          |
| target_i2cREG1_temp.DIN   | 3                             |                               |          |
| target_i2cREG1_temp.DOUT  | 2                             |                               |          |
| target_i2cREG1_temp.SET   | 0                             |                               |          |
| target_i2cREG1_temp.CLR   | 1                             |                               |          |
| target_i2cREG1_temp.ODR   | 3                             |                               |          |
| target_i2cREG1_temp.PD  | 0                             |                               |          |
| target_i2cREG1_temp.PSL   | 3                             | Function Value                | Danulé   |
| Name  | Actual Value                  | Expected Value                | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0]                               | 36                            | 36                            |          |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 145                           | 145                           | J        |
| DigColPsInt Buffer Cnt M u08[2]   | 200                           | 200                           | -        |
| DigColPsInt BusBusySeqError Cnt M Igc   | 0                             | 0                             | -        |
| DigColPsInt CmdFailOccurred Cnt M Igc   | 1                             | 1                             | •        |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0                             | 0                             | -        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 2767                          | 2767                          | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 123                           | 123                           | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_READERROR_SETREG | INIT_SENSOR2_READERROR_SETREG | •        |
| DigColPsInt_I2CHwCustData_UIs_M_u16   | 37                            | 37                            | •        |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 38                            | 38                            | •        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                             | 0                             | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                             | 0                             | -        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0                             | 0                             |          |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 2                             | 2                             | <b>V</b> |
| DigColPoint_SpurCustDatFound_Cnt_M_lgc  | 0<br>564                      | 0                             | - V      |
| DigColPoint_SpurSnsrData_Cnt_M_u16  | 130                           | 130                           |          |
| DigColPsInt_TransactionCnt_Cnt_M_u08 I2c Send(Length Cnt T u32)   | 130                           | 130                           | -        |
| Izc_Send(Lengtn_Cnt_1_u32) Izc_SetupMasterTransmit(DataLength_Cnt_T_u16)                                      | 1                             | 1                             |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 3                             | 3                             | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 100                           | 100                           |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 7788                          | 7788                          | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2767                          | 2767                          | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 556                           | 556                           | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 564                           | 564                           | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 88                            | 88                            | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 3                             | 3                             | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 100                           | 100                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 2767                          | 2767                          | -        |
|   |                               |                               |          |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR  | 9            | 9              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 100          | 100            | <b>Y</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | <i>y</i> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | - J      |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC   | 0            | 0              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR | 1            | 1              |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | ·        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 0            | 0              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              | _        |
| target I2c GenStopCond I2cRegPtr Cnt T str.ODR  | 3            | 3              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 3            | 3              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 100          | 100            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 7788         | 7788           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 2767         | 2767           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 556          | 556            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 564          | 564            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 88           | 88             | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 100          | 100            | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 2767         | 2767           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 9            | 9              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 0            | 0              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 100          | 100            | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 556          | 556            |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12   | 100          | 100            |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC  | 0            | 0              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR               | 1            | 1              | _        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN   | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 0            | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL   | 2767         | 2767           | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 556          | 556            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 88           | 88             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 100          | 100            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 2767         | 2767           | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 9            | 9              | <b>~</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 0            | 0              | · ·      |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC  | 100          | 100            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 556          | 556            | <b>Y</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 100          | 100            | Ž        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN        | 0            | 0              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  | 1            | 1              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_1_str.DIN target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN         | 3            | 3              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.SET  | 0            | 0              | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 0            | 0              | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 100          | 100            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 7788         | 7788           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 2767         | 2767           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 556          | 556            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 564          | 564            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 88           | 88             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 3            | 3              | <b>✓</b> |

2014-10-14, 23:08:30+0530



|  |                                       | w.             | n   u    |
|--|---------------------------------------|----------------|----------|
| Name   | Actual Value                          | Expected Value | Result   |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR   | 100                                   | 100            |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR   | 2767                                  | 9              | <b>*</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR   | 9                                     | 0              | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 100                                   | 100            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 556                                   | 556            |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12   | 100                                   | 100            |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PiD12 target_12c_SetStatus_12cRegPtr_Cnt_T_str.DMAC | 2                                     | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0                                     | 0              |          |
| target I2c SetStatus I2cRegPtr Cnt T str.DIR   | 1                                     | 1              | ~        |
| target I2c SetStatus I2cRegPtr Cnt T str.DIN   | 3                                     | 3              | _        |
| target I2c SetStatus I2cRegPtr Cnt T str.DOUT  | 2                                     | 2              | <b>~</b> |
| target I2c SetStatus I2cRegPtr Cnt T str.SET   | 0                                     | 0              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 1                                     | 1              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 3                                     | 3              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 0                                     | 0              | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3                                     | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 3                                     | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 100                                   | 100            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 7788                                  | 7788           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                                       | 2767                                  | 2767           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH                                       | 556                                   | 556            | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 564                                   | 564            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 88                                    | 88             | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR  | 3                                     | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 100                                   | 100            | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR  | 2767                                  | 2767           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 9                                     | 9              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR                                       | 0                                     | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 100                                   | 100            | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11                                      | 556                                   | 556            |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID12                                      | 100                                   | 100            | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC                                       | 2                                     | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 0                                     | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 1                                     | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 3                                     | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT                                       | 2                                     | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 0                                     | 0              | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLR  | 1                                     | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 3                                     | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 0                                     | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3                                     | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR                                       | 3                                     | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR                                       | 100                                   | 100            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR                                       | 7788                                  | 7788           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL                                      | 2767                                  | 2767           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH                                      | 556                                   | 556            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT                                       | 564                                   | 564            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR                                       | 88                                    | 88             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR                                       | 3                                     | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR                                       | 100                                   | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR                                       | 2767                                  | 2767           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR                                       | 9                                     | 9              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR                                      | 0                                     | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC                                       | 100                                   | 100            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11                                     | 556                                   | 556            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12                                     | 100                                   | 100            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC                                      | 2                                     | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN                                       | 0                                     | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR                                       | 1                                     | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN                                       | 3                                     | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT                                      | 2                                     | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET                                       | 0                                     | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR                                       | 1                                     | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR                                       | 3                                     | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 0                                     | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL                                       | 3                                     | 3              | ~        |
|  | · · · · · · · · · · · · · · · · · · · | ·              | -        |



| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | _        |

| est Step 3.43 (Repeat Count = 1)   | Invest Value                                       |
|--|--|
| ame  | Input Value  |
| igColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 8  |
| igColPsInt_Buffer_Cnt_M_u08[0]   | 100  |
| igColPsInt_Buffer_Cnt_M_u08[1]   | 200  |
| igColPsInt_Buffer_Cnt_M_u08[2]   | 250  |
| igColPsInt_BusBusySeqError_Cnt_M_lgc   | 1  |
| igColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1  |
| igColPsInt_ColCustDatFound_Cnt_M_lgc   | 1  |
| igColPsInt_ColSnsrData_Cnt_M_u16   | 7846   |
| igColPsInt_CurrentSlave_Cnt_M_u08  | 10   |
| igColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_CHECKSTAT_READ                        |
| igColPsInt_I2CHwCustData_Uls_M_u16   | 40   |
| igColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 41   |
| igColPsInt_InitFailedOnce_Cnt_M_Igc  | 0  |
| igColPsInt_NackOccured_Cnt_M_lgc   | 1  |
| igColPsInt_PrevReqDataType_Cnt_M_u08   | 3  |
| igColPsInt_RecvOverrunError_Cnt_M_lgc  | 1  |
| igColPsInt_RecvdDataType_Cnt_M_u08   | 3  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 0  |
| igColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1  |
| igColPsInt_SpurSnsrData_Cnt_M_u16  | 98   |
| igColPsInt_TransactionCnt_Cnt_M_u08  | 12   |
| ags_Cnt_T_b16  | 32   |
| c_GenStopCond(I2cRegPtr_Cnt_T_str)   | target I2c GenStopCond I2cRegPtr Cnt T str         |
| c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| c SetStatus(I2cRegPtr Cnt T str)   | target I2c SetStatus I2cRegPtr Cnt T str           |
| c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
|  |  |
| c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]  | 0  |
| _DataRegisters_Cnt_u08[1]  | 32   |
| _DataRegisters_Cnt_u08[2]  | 30   |
| _DataRegisters_Cnt_u08[3]  | 36   |
| _DataRegisters_Cnt_u08[4]  | 38   |
| _DataRegisters_Cnt_u08[5]  | 34   |
| _DataRegisters_Cnt_u08[6]  | 10   |
| _DataRegisters_Cnt_u08[7]  | 12   |
| _DataRegisters_Cnt_u08[8]  | 14   |
| cREG1_temp   | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08   | 74   |
| _SpurSensorI2CAddress_Cnt_u08  | 100  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 10   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 10   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 1223   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 7846   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 8974   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 98   |
| rget I2c GenStopCond I2cRegPtr Cnt T str.DRR   | 12   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 10   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 10   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 7846   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 55   |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR  | 1  |
| rget I2c GenStopCond I2cRegPtr Cnt T str.PSC   | 10   |
|  | 8974   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 10   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | •  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 2  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1  |
|  |  |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET | 1  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |  |
|--|-------------|--|
|  | 1           |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR |             |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 1           |  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR        | 10          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR        | 10          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR        | 1223        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       | 7846        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       | 8974        |  |
| target I2c Send I2cRegPtr Cnt T str.CNT        | 98          |  |
|  |             |  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR        | 12          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR        | 10          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR        | 10          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR        | 7846        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR        | 55          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC        | 10          |  |
|  | 8974        |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11      |             |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12      | 10          |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN        | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR        | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN        | 1           |  |
| target I2c Send I2cRegPtr Cnt T str.DOUT       | 1           |  |
|  |             |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET        | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR        | 2           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR        | 1           |  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD         | 1           |  |
| target I2c Send I2cRegPtr Cnt T str.PSL        | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR     | 10          |  |
|  | 10          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR     |             |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR     | 1223        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL    | 7846        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH    | 8974        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT     | 98          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR     | 12          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR     | 10          |  |
|  | 10          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR     |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR     | 7846        |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR     | 55          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR    | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC     | 10          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 8974        |  |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12   | 10          |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC    | 1           |  |
|  | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN     |             |  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR     | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN     | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT    | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET     | 1           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR     | 2           |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR     | 1           |  |
| target I2c SetRecv I2cRegPtr Cnt T str.PD      | 1           |  |
| · · · ·  |             |  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL     | 1           |  |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR   | 10          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 10          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 1223        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 7846        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 8974        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 98          |  |
|  | 12          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 10          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 10          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 7846        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 55          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 10          |  |
|  |             |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 | 8974        |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 | 10          |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 2           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 1           |  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 1           |  |
|  | <u>'</u>    |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  | ·           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 1           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD              | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 10          |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 1223        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7846        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 8974        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 98          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 12          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 10          |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 7846        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 55          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 10          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11  | 8974        |
|  |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12  | 10          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
|  | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    |             |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 10          |
|  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR   | 1223        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 7846        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 8974        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 98          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 12          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 10          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 10          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 7846        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 55          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 10          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID11 | 8974        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12 | 10          |
|  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DOUT  | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2           |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1           |
| target_i2cREG1_temp.OAR                                  | 10          |
| target_i2cREG1_temp.IMR                                  | 10          |
| target i2cREG1 temp.STR                                  | 1223        |
| target i2cREG1 temp.CLKL                                 | 7846        |
| * '  |             |
| target_i2cREG1_temp.CLKH                                 | 8974        |
| target_i2cREG1_temp.CNT                                  | 98          |
| target_i2cREG1_temp.DRR                                  | 12          |
| target_i2cREG1_temp.SAR                                  | 10          |
| target_i2cREG1_temp.DXR                                  | 10          |
| target i2cREG1 temp.MDR                                  | 7846        |
| · ·  |             |
| target_i2cREG1_temp.IVR                                  | 55          |
| target_i2cREG1_temp.EMDR                                 | 1           |
| target_i2cREG1_temp.PSC                                  | 10          |
| target_i2cREG1_temp.PID11                                | 8974        |
| target_i2cREG1_temp.PID12                                | 10          |
| target i2cREG1 temp.DMAC                                 | 1           |
| target_i2cREG1_temp.FUN                                  | 1           |
| goor.co i_tomp.i ori                                     |             |
| target i2cREG1 temp.DIR                                  | 2           |



| Name   Supplement   Supplemen |   |              |                |          |
|--|---|--------------|----------------|----------|
| Image: Carbotic Imp DOD  | Name  | Input Value  |                |          |
| Sept. 4.000   Sept. 5.000   Sept. 5.000   Sept. 6.000   Sep. 6.000   Sept. 6.0000   Sept. 6.0000   Sept. 6.0000   Sept. 6.0000   Sept. 6.0000   Sept. 6.0000   Sept. 6.0 | target i2cREG1 temp.DIN                         | •            |                |          |
|  |   |              |                |          |
|  |   |              |                |          |
| Image   JackSel   Jerry DOOR   |   |              |                |          |
| Instruction   Property   Proper | °   |              |                |          |
| Name   |   |              |                |          |
| Name   |   |              |                |          |
| Dipole Pail, Milery Carl, Milery   1   | target_i2cREG1_temp.PSL                         | 1            |                |          |
| Digital Plant   Cut   W. 1987    200   2 | Name  | Actual Value | Expected Value | Result   |
| Digitable   Lander   Degit   Lander   Degit   Degit   Degit   Lander   Degit   Degit | DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 8            | 8              | <b>✓</b> |
| DigiciPeril, Burling, Colf. M. 1982    250   260   270   V   | DigColPsInt_Buffer_Cnt_M_u08[0]                 | 36           | 36             | ~        |
| DigicalPane  Busiler_Core   M_ 1982   250   250   26 | DigColPsInt Buffer Cnt M u08[1]                 | 200          | 200            | -        |
| DigoChiefe, EnablaySeqError, CM, Mg   1  | DigColPsInt Buffer Cnt M u08[2]                 | 250          | 250            | <b>~</b> |
| Disposition   Constitutionaring Conf. M. Sign   1  |   |              |                | _        |
| DigCoTient  Confusional Confusion  1   |   |              |                | •        |
| DipoCaParin_Constructions_Cot_M_sections_Cot_M_sections_Cot_And Sections_Cot_And Sections |   |              |                |          |
| DigoDePartin_Commentative_Cort. M_morm   |   |              |                |          |
| DigoDePair   Conventise; No. 70, M. emm   NIT_SENSOR2_READERROR_SETREG   V   DigoDePair   CONVENTISE   M. em   M.   M.   M.   M.   M.   M.   M.   M  |   |              |                |          |
| Digitable   District   District |   |              | 1              |          |
| Deposition   Lock Information   Lock   Loc |   |              |                |          |
| DigoChellert, Interfactionac, Crit M, Igc  | DigColPsInt_I2CHwCustData_Uls_M_u16             | 40           |                |          |
| Digitable   NewSchool   Cheening   Child   September   September | DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 41           | 41             | ~        |
| DigicalPaint, RevolveruralEnry Cnrt, M.Jos   DigicalPaint, RevolveruralEnry Cnrt, M.Jos   DigicalPaint, SpecialEnry Cnrt, M.Jos   DigicalPaint, SpecialPaint, Cnrt, M.Jos   DigicalPaint, M.Jos   DigicalPaint, M.Jos   DigicalPaint, M.Jos   DigicalPaint, M.Jos   DigicalPaint, DigicalPaint, Cnrt, M.Jos   DigicalPaint, M.Jos   DigicalPaint, DigicalPaint, Cnrt, M.Jos   DigicalPaint, DigicalPai | DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 1            | 1              | ~        |
| Dispose  Pint   Recordinations of July   1   | DigColPsInt_NackOccured_Cnt_M_lgc               | 1            | 1              | <b>✓</b> |
| DigCoPanis SunCustoria Found Crit M, 196   DigCoPanis SunCustoria Found Crit M, 196   DigCoPanis SunCustoria Found M, 196   12   | DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1            | 1              | <b>✓</b> |
| DigCoPanis SunCustoria Found Crit M, 196   DigCoPanis SunCustoria Found Crit M, 196   DigCoPanis SunCustoria Found M, 196   12   | DigColPsInt RecvdDataType Cnt M u08             | 3            | 3              | <b>✓</b> |
| DigCoPPInt, Transcriptor, Crit, Mu18   |   |              |                | -        |
| Dispose   Disp |   |              |                |          |
| 1  |   |              | ' '            |          |
|  |   |              |                |          |
| Images  12c, GenStopCond  JecRepPtr Cnt   T.str IMR  |   |              |                |          |
| Integral   Zor, GenStopCond   ZerRegPF CMT_SET STR   1223   1224   1245   124 |   |              |                | -        |
| target   Zec GenStopCond   ZeRegPr_Cnt_strSTR   1223   1223   1224   1 |   |              |                |          |
| target_Ze_GenStopCond_IzeRegPtr_Cnt_Tstr.CLKL   7846   7846   7846   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  |              | 1              |          |
| target_R2c_GenStopCond_l2cRegPr_Cnt_T_strCNT         8974         8974           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strDNR         12         12           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strDNR         12         12           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strSAR         10         10           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strSAR         10         10           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strDNR         10         10           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strDNR         55         55           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strEMDR         1         1           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strEMDR         1         1           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strPDD1         8974         8974           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strPDD1         8974         8974           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strPDD1         10         10           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strPDN         1         1           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strPDN         1         1           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strDNR         2         2           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strDN         1         1           target_R2c_GenStopCond_l2cRegPr_Cnt_T_strDN         1         1 </td <td>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR</td> <td>1223</td> <td>1223</td> <td>~</td>  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 1223         | 1223           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_CntstrDRT         12         12         12           target_I2c_GenStopCond_I2cRegPtr_CntstrDRR         12  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL | 7846         | 7846           | ~        |
| target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DRR         12         12           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DRR         10         10           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DRR         10         10           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DRR         10         10           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_MDR         7846         7846           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DBR         1         1           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DBR         1         1           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DD11         8974         8974           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DD12         10         10           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DD12         10         10           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DD12         1         1           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DD12         1         1           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DD1         1         1           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DD1         1         1           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_DD1         1         1           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_Str_CLR         2         2           target_L2c_GenStopCond_L2cRepPtr_Cnt_T_str_Str_DD1 <td>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH</td> <td>8974</td> <td>8974</td> <td><b>✓</b></td>   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH | 8974         | 8974           | <b>✓</b> |
| target_IZe_GenStopCond_IZeRegPtr_Cnt_T_str_DNR   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 98           | 98             | <b>✓</b> |
| larget   2c, GenStopCond   2cRegPtr_Cnt   T_str.DNR  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 12           | 12             | ~        |
| largel_12c_GenStopCond_12cRegPtr_Cntstr.NDR  | target I2c GenStopCond I2cRegPtr Cnt T str.SAR  | 10           | 10             | ~        |
| target_12c_GenStopCond_!2cRegPtr_Cnt_T_str.NDR         7846         7846         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.NDR         55         55         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.NDDR         1         1         1         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.PDDR         1         1         1         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.PDD11         8974         8974         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.PDD12         10         10         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.PDD12         10         10         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.DDAC         1         1         1         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.DDAC         1         1         1         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.DDR         2         2         2         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.DDR         2         2         2         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.DDUT         1         1         1         1         varget_12c_GenStopCond_!2cRegPtr_Cnt_T_str.DDUT         1<  | target I2c GenStopCond I2cReqPtr Cnt T str.DXR  | 10           | 10             | <b>✓</b> |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.NR  |   | 7846         | 7846           | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC         10         10           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11         8974         8974           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12         10         10           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMA         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMA         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR <t< td=""><td></td><td></td><td></td><td><b>V</b></td></t<>  |   |              |                | <b>V</b> |
| target   2c, GenStopCond   2cRegPtr_Cnt_T_str.PSC         10         8074         8974         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.PID11         8974         8974         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.PID12         10         10         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.DMAC         1         1         1         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.DMAC         1         1         1         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.DIN         1         1         1         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.DIN         1         1         1         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.DIN         1         1         1         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.DUT         1         1         1         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.DUT         1         1         1         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.CR         2         2         2         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.CR         2         2         2         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.DIN         1         1         1         1         1         1         1         1         1         1         1         1         1         2         2         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.CR         2         2         2         Varget   2c, GenStopCond   2cRegPtr_Cnt_T_str.DAR         1  |   |              |                |          |
| Larget_ 2c_GenStopCond_ 2cRegPtr_Cnt_T_str.PID11   8974   8974   9974   1arget_ 2c_GenStopCond_ 2cRegPtr_Cnt_T_str.DIN2   10   10   10   11   13   13   13   13  |   |              |                |          |
| larget_I2c_GenStopCond_I2cRegPtr_Cnt_T.str.DM2c         1  |   |              |                |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_Tstr.FUN         1         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_Tstr.FUN         1         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_Tstr.DIR         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_Tstr.DIN         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_Tstr.DIT         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_Tstr.SET         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_Tstr.CDR         2         2           target_l2c_GenStopCond_l2cRegPtr_Cnt_Tstr.ODR         1         1           target_l2c_GenStopCond_l2cRegPtr_Cnt_Tstr.DIT_str.DIT         1         1           target_l2c_GenDl2cRegPtr_Cnt_Tstr.DIT_str.DIT         1         1           target_l2  |   |              |                | -        |
| target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DIN         1         1         1         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DIR         2         2         2         2         1         4  | · · · · · · · · · · · · · · · · · · ·           |              |                | <b>V</b> |
| target_J2c_GenStopCond_J2cRegPtr_Cnt_T_str.DIR         2         2           target_J2c_GenStopCond_J2cRegPtr_Cnt_T_str.DIN         1         1           target_J2c_GenStopCond_J2cRegPtr_Cnt_T_str.DUT         1         1           target_J2c_GenStopCond_J2cRegPtr_Cnt_T_str.SET         1         1           target_J2c_GenStopCond_J2cRegPtr_Cnt_T_str.CLR         2         2           target_J2c_GenStopCond_J2cRegPtr_Cnt_T_str.DDR         1         1           target_J2c_GenStopCond_J2cRegPtr_Cnt_T_str.DDR         1         1           target_J2c_GenStopCond_J2cRegPtr_Cnt_T_str.DDR         1         1           target_J2c_GenStopCond_J2cRegPtr_Cnt_T_str.DRD         1         1           target_J2c_GenStopCond_J2cRegPtr_Cnt_T_str.DRR         10         10           target_J2c_Send_J2cRegPtr_Cnt_T_str.DAR         10         10           target_J2c_Send_J2cRegPtr_Cnt_T_str.DAR         10         10           target_J2c_Send_J2cRegPtr_Cnt_T_str.CLKI         7846         7846           target_J2c_Send_J2cRegPtr_Cnt_T_str.DAR         12         12           target_J2c_Send_J2cRegPtr_Cnt_T_str.DAR         10         10           target_J2c_Send_J2cRegPtr_Cnt_T_str.DAR         10         10           target_J2c_Send_J2cRegPtr_Cnt_T_str.DAR         10         10   |   |              |                | ~        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUN         1         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DUT         1         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DET         1         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DER         2         2         2           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DDR         1         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DD         1         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DD         1         1         1           target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DEL         1         1         1           target_12c_Gend_12cRegPtr_Cnt_T_str.DAR         10         10         0           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         10         10         0           target_12c_Send_12cRegPtr_Cnt_T_str.DLKL         7846         7846         7846           target_12c_Send_12cRegPtr_Cnt_T_str.DLK         8974         8974         1           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         12         12         12           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         10         10         1           target_12c_Send_12cRegPtr_Cnt_T_str.DAR         10         10 <td>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN</td> <td></td> <td></td> <td>~</td>  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  |              |                | ~        |
| target_12c_GenStopCond_12cRegPt_Cnt_T_str.DUT         1         1         1         4 </td <td>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR</td> <td>2</td> <td>2</td> <td>~</td>  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR         1         1         vtarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CDR         2         2         vtarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CDR         1         1         vtarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PDR         1         1         vtarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PDD         1         1         vtarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PDB         1         1         vtarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL         1         1         vtarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL         1         1         vtarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL         1         1         vtarget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DAR         10         10         vtarget_l2c_Gend_l2cRegPtr_Cnt_T_str.DAR         10         10         vtarget_l2c_Gend_l2cRegPtr_Cnt_T_str.Str.CKI         1223         1223         1223         1223         1223         1223         1224         1224         1224         124<   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | <b>✓</b> |
| target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DDR         1         1         1         4         1         4<  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT | 1            | 1              | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DDR         1         1         4           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD         1         1         1         4           target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL         1         1         1         4           target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR         10         10         4         4           target_l2c_Send_l2cRegPtr_Cnt_T_str.MR         10         10         4 <td>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET</td> <td>1</td> <td>1</td> <td><b>✓</b></td>   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD       1       1       varget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.STR       1223       1223       varget_I2c_Send_I2cRegPtr_Cnt_T_str.STR       1223       1223       varget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       7846       7846       varget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       8974       8974       8974       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DXT       98       8974       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DAR       12       12       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DAR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       7846       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DINR       55       55       varget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       10       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       8974       varget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10       10       10       10       10       10       10       10       10       10       10       10       1  | target I2c GenStopCond I2cRegPtr Cnt T str.CLR  | 2            | 2              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD       1       1       varget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.STR       1223       1223       varget_I2c_Send_I2cRegPtr_Cnt_T_str.STR       1223       1223       varget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       7846       7846       varget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       8974       8974       8974       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DXT       98       8974       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DAR       12       12       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DAR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       7846       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       varget_I2c_Send_I2cRegPtr_Cnt_T_str.DINR       55       55       varget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       10       10       10       varget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       8974       varget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10       10       10       10       10       10       10       10       10       10       10       10       1  |   | 1            | 1              | <b>~</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL       1       1       varget_l2c_Send_l2cRegPtr_Cnt_T_str.OAR         target_l2c_Send_l2cRegPtr_Cnt_T_str.MR       10       10       varget_l2c_Send_l2cRegPtr_Cnt_T_str.MR         target_l2c_Send_l2cRegPtr_Cnt_T_str.STR       1223       1223       varget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL       7846       7846       varget_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH       8974       8974       8974       8974       varget_l2c_Send_l2cRegPtr_Cnt_T_str.CNT       98       98       varget_l2c_Send_l2cRegPtr_Cnt_T_str.DRR       12       12       12       12       varget_l2c_Send_l2cRegPtr_Cnt_T_str.DRR       10       10       varget_l2c_Send_l2cRegPtr_Cnt_T_str.DXR       10       10       varget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       7846       7846       varget_l2c_Send_l2cRegPtr_Cnt_T_str.NDR       10       10       varget_l2c_Send_l2cRegPtr_Cnt_T_str.NDR       10       10       varget_l2c_Send_l2cRegPtr_Cnt_T_str.NDR       55       55       varget_l2c_Send_l2cRegPtr_Cnt_T_str.ENDR       1       1       1       varget_l2c_Send_l2cRegPtr_Cnt_T_str.PID11       8974       8974       8974       varget_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       10       10       10       varget_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1       1       1       1       1       1       1       1       1       1       1       1   |   |              |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR       10       10         target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR       10       10         target_l2c_Send_l2cRegPtr_Cnt_T_str.STR       1223       1223         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL       7846       7846         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH       8974       8974         target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT       98       98         target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR       12       12         target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR       10       10         target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR       10       10         target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR       10       10         target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       7846       7846         target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       7846       7846         target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.BNDR       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.BNDR       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC       10       10         target_l2c_Send_l2cRegPtr_Cnt_T_str.DID11       8974       8974         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1       1         target_l2c_S  |   |              |                |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR       10       10         target_l2c_Send_l2cRegPtr_Cnt_T_str.STR       1223       1223         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL       7846       7846         target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKH       8974       8974         target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT       98       98         target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR       12       12         target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR       10       10         target_l2c_Send_l2cRegPtr_Cnt_T_str.DXR       10       10         target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR       7846       7846         target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR       55       55         target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR       55       55         target_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID1       8974       8974         target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12       10       10         target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN       1       1         target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR       2       2   |   |              |                |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.STR       1223       1223         target_12c_Send_12cRegPtr_Cnt_T_str.CLKL       7846       7846         vtarget_12c_Send_12cRegPtr_Cnt_T_str.CLKH       8974       8974         target_12c_Send_12cRegPtr_Cnt_T_str.CNT       98       98         target_12c_Send_12cRegPtr_Cnt_T_str.DRR       12       12         target_12c_Send_12cRegPtr_Cnt_T_str.SAR       10       10         target_12c_Send_12cRegPtr_Cnt_T_str.DXR       10       10         target_12c_Send_12cRegPtr_Cnt_T_str.MDR       7846       7846         target_12c_Send_12cRegPtr_Cnt_T_str.NVR       55       55         target_12c_Send_12cRegPtr_Cnt_T_str.BMDR       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.PDT       10       10         target_12c_Send_12cRegPtr_Cnt_T_str.PDT       8974       8974         target_12c_Send_12cRegPtr_Cnt_T_str.PID12       10       10         target_12c_Send_12cRegPtr_Cnt_T_str.DMAC       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.DMAC       1       1         target_12c_Send_12cRegPtr_Cnt_T_str.DIR       2       2  |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL       7846       7846         target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       8974       8974         target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT       98       98         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       12       12         target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       7846       7846         target_I2c_Send_I2cRegPtr_Cnt_T_str.NVR       55       55         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2  |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH       8974       8974         target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT       98       98         target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       12       12         target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       7846       7846         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       55       55         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2  |   |              |                |          |
| target   2c Send   2cRegPtr_Cnt_T str.CNT       98       98         target   2c Send   2cRegPtr_Cnt_T str.DRR       12       12         target   2c Send   2cRegPtr_Cnt_T str.SAR       10       10         target   2c_Send   2cRegPtr_Cnt_T str.DXR       10       10         target   2c_Send   2cRegPtr_Cnt_T str.MDR       7846       7846         target   2c_Send   2cRegPtr_Cnt_T str.IVR       55       55         target   2c_Send   2cRegPtr_Cnt_T str.EMDR       1       1         target   2c_Send   2cRegPtr_Cnt_T str.PSC       10       10         target   2c_Send   2cRegPtr_Cnt_T str.PDD1       8974       8974         target   2c_Send   2cRegPtr_Cnt_T str.PID12       10       10         target   2c_Send   2cRegPtr_Cnt_T str.DMAC       1       1         target   2c_Send   2cRegPtr_Cnt_T str.DMAC       1       1         target   2c_Send   2cRegPtr_Cnt_T str.FUN       1       1         target   2c_Send   2cRegPtr_Cnt_T str.DIR       2       2  |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR       12       12       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR       10       10       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR       10       10       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       7846       7846       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       55       55       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1       1       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       10       10       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       8974       8974       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1       1       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1       1       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2       v  |   |              |                | ~        |
| target   2c Send   2cRegPtr_Cnt_T str.SAR       10       10       ✓         target   2c Send   2cRegPtr_Cnt_T str.DXR       10       10       ✓         target   2c Send   2cRegPtr_Cnt_T str.MDR       7846       7846       ✓         target   2c_Send   2cRegPtr_Cnt_T str.IVR       55       55       ✓         target   2c_Send   2cRegPtr_Cnt_T str.EMDR       1       1       1       ✓         target   2c_Send   2cRegPtr_Cnt_T str.PSC       10       10       ✓       ✓         target   2c_Send   2cRegPtr_Cnt_T str.PID11       8974       8974       ✓       ✓         target   2c_Send   2cRegPtr_Cnt_T str.PID12       10       10       ✓       ✓         target   2c_Send   2cRegPtr_Cnt_T str.DMAC       1       1       ✓       ✓         target   2c_Send   2cRegPtr_Cnt_T str.FUN       1       1       ✓       ✓       ✓         target   2c_Send   2cRegPtr_Cnt_T str.DIR       2       2       ✓       ✓  |   |              |                | ~        |
| target   2c Send   2cRegPtr_Cnt_T str.DXR       10       10       ✓         target   2c Send   2cRegPtr_Cnt_T str.MDR       7846       7846       ✓         target   2c Send   2cRegPtr_Cnt_T str.IVR       55       55       ✓         target   2c Send   2cRegPtr_Cnt_T str.EMDR       1       1       1       ✓         target   2c_Send   2cRegPtr_Cnt_T str.PSC       10       10       ✓       ✓         target   2c_Send   2cRegPtr_Cnt_T str.PID11       8974       8974       ✓       ✓         target   2c_Send   2cRegPtr_Cnt_T str.PID12       10       10       ✓       ✓         target   2c_Send   2cRegPtr_Cnt_T str.DMAC       1       1       ✓       ✓         target   2c_Send   2cRegPtr_Cnt_T str.FUN       1       1       ✓ <t< td=""><td>target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR</td><td>12</td><td>12</td><td></td></t<>   | target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR         | 12           | 12             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR       7846       7846         target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       55       55         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2  | target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR         | 10           | 10             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       55       55         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2   | target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR         | 10           | 10             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR       55       55         target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2  | target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR         | 7846         | 7846           | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR       1       1       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       10       10       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       8974       8974       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1       v         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2       v  |   | 55           | 55             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC       10       10       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       8974       8974       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2       ✓   |   |              |                | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2   |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12       10       10       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1       ✓         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2       ✓   |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR       2       2   |   |              |                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN         1         1         ✓           target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR         2         2         ✓  |   |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR 2  |   |              |                |          |
|  |   |              |                | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN 1  |   |              |                | -        |
|  | target_izc_Send_i2cRegPtr_Cnt_T_str.DIN         | 1            | 1              |          |

2014-10-14, 23:08:30+0530



| Page    | N  | A street Webse | Pour and ad Malona | D 14     |
|--|--|----------------|--------------------|----------|
|  | Name   | Actual Value   | Expected Value     | Result   |
|  |  |                |                    |          |
| Separation   1   |  |                |                    |          |
| Image   10, Sept   Designer   D |  |                |                    |          |
| impat 10. Seried (24. Seried) (1 of 1 o  |  |                |                    | _        |
| Barget Dec.   Serkeron   J. Serkeron   T. Ser DANA   10   10   10   10   10   10   10   1  |  |                |                    |          |
| Internal Color Surface   Definition   Defi |  |                |                    | •        |
| Image   122   Service Contempor   Cell   1   Service College   Cell   1  |  |                | 10                 | ~        |
| Image   Inc.   Service   Deckey   Co.   T.   Service   Deckey   Co.   T.   Service   Deckey   Co.   T.   Service   Deckey   Co.   T.   Service   Deckey    |  | 1223           | 1223               | •        |
| Target, Dec., Serfiere, Deckerger, COT_ and DRS  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL            | 7846           | 7846               | ~        |
| Image   125, Services   Debeloging   CPL   1 services   12   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH            | 8974           | 8974               | ~        |
| Image   12, SerRevo   120 mg   17 mg   17 mg   18 mg   18 mg   12, SerRevo   10 mg   17 mg   18 mg   12, SerRevo   10 mg   17 mg   18 mg   1 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT             | 98             | 98                 | ~        |
| Image: IDS SerRevo (2014reg)Pr CNT_1 at DXR   1  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 12             | 12                 | ~        |
| Langer   125   Series of Electric Point   124 MOR  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR             | 10             | 10                 | ~        |
| Internal   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             | 10             | 10                 | ~        |
| Linguig   Ling |  |                |                    |          |
| Images   125, Selfaces   2008-8976   Cell   Talk PSC   |  |                |                    |          |
| Image:   12.5. Series   12.0. Perpix   1.0. Perpix   1.0 |  |                |                    | -        |
|  |  |                |                    |          |
| Image:   |  |                |                    |          |
| Image:   12.5 Selfoxor   2.5 Respire Cont.   1 str. PUN   1   1   1   2   2   2   2   3   3   4   4   4   4   4   5   4   4   5   4   4  |  |                |                    |          |
| Integral   22   Selfector   ZeRegiff Cost   T. pt Cit N  |  |                |                    | _        |
| Insert   12.5. Selfsen   2.8Reging   Col.   1.5th   DNT   1   1   1   1   1   1   1   1   1  |  |                |                    |          |
| Image:   |  |                |                    | -        |
| Images   126, Selfrecor   Jacksep   Pr. Cont T., str. Cont   |  |                |                    |          |
| Integral   |  |                |                    |          |
| Isingel  |  |                |                    |          |
| Image_Lize_Selfieor_Lize_Replic_Celt_T_str_PD    1   |  |                |                    |          |
| larget_Lize_SetRecy_LizeRegPtr_Cnt_T_str_DAR   |  |                |                    |          |
| Integred_Lipe_SetStatusIzcRegiptr_Cnt_T_str.DAR  |  |                |                    | ~        |
| large_LEz_SelSitata_   ZcRegPPt_Cnt_Tstr.NR   10   10   10   10   10   10   10   1   |  |                |                    |          |
| target L2c. SetStatus. J2cRepPtr_Cnt_Tstr.STR  arget L2c_SetStatus. J2cRepPtr_Cnt_Tstr.Clk(L  7846  7846  7846  7846  7846  7847  8974  8974  8974  8974  98  98  98  98  98  98  98  98  98  98   |  |                |                    | •        |
| target_I2e_SelStatus_I2cRegPtr_Cnt_Tstr.CLKL 8974 8974 8974 8974 8974 8974 8974 8974   |  | 1223           | 1223               | ~        |
| larget   2e_SetStatus   2eRegPtr_Cnt_str.DNT   |  | 7846           | 7846               | •        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str_DRR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH          | 8974           | 8974               | ~        |
| target   2c SetStatus   2cRegPtr_Cnt_T_str.DAR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT           | 98             | 98                 | ~        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DXR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR           | 12             | 12                 | ~        |
| target_ 2c_SelStatus_ 2cRegPtr_Cntstr.NDR  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR           | 10             | 10                 | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.WR         55         55           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PISC         10         10           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11         8974         8974           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12         10         10           varget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMAC         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DMA         1         1   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR           | 10             | 10                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR           | 7846           | 7846               | •        |
| target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.PSC   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR           |                |                    | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         8974         8974         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         10         10         10         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         1         1         1         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN         1         1         1         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN         1         1         1         V           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DUT         1         1         1         V         target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DUT         1         1         1         V         target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DUT         1         1         1         1         I         4         I  |  |                |                    | ~        |
| target_l2c_SetStatus_l2cRegPt_Cnt_T_str.PID12         10         10         varget_l2c_SetStatus_l2cRegPt_Cnt_T_str.DMAC         1         1         1         varget_l2c_SetStatus_l2cRegPt_Cnt_T_str.DMAC         1         1         1         varget_l2c_SetStatus_l2cRegPt_Cnt_T_str.DIN         1         1         1         varget_l2c_SetStatus_l2cRegPt_Cnt_T_str.DIN         1         1         1         1         varget_l2c_SetStatus_l2cRegPt_Cnt_T_str.DUT         1         1         1         1         varget_l2c_SetStatus_l2cRegPt_Cnt_T_str.DUT         1         1         1         1         varget_l2c_SetStatus_l2cRegPt_Cnt_T_str.DUT         1         1         1         1         varget_l2c_SetStatus_l2cRegPt_Cnt_T_str.DR         2         2         2         varget_l2c_SetStatus_l2cRegPt_Cnt_T_str.DR         1         1         1         1         1         1         1         1         1         1         1         1         1         1         2 </td <td></td> <td></td> <td></td> <td></td>   |  |                |                    |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC         1         1         4 </td <td></td> <td></td> <td></td> <td><b>V</b></td>   |  |                |                    | <b>V</b> |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.FUN         1         1         1         4 <td></td> <td></td> <td></td> <td>· ·</td>  |  |                |                    | · ·      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR         2         2           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DNN         1         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DUT         1         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DUT         1         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR         2         2           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DDR         1         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DD         1         1           target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DAR         1         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DAR         10         10           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR         1223         1223           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CtkL         7846         7846           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CtkL         7846         7846           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CtkR         8974         8974           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR         12         12           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR         10         10           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR         10         10           target_I2c_Se  |  |                |                    | ¥        |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIN         1         1         4           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DOUT         1         1         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.SET         1         1         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CDR         2         2         2           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         1         1         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.PD         1         1         1           target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.PD         1         1         1           target_!2c_SetspMasterReceive_!2cRegPtr_Cnt_T_str.DAR         10         10         4           target_!2c_SetspMasterReceive_!2cRegPtr_Cnt_T_str.MR         10         10         4           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.CLKL         7846         7846         7846           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DNT         98         98         98           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DNR         12         12         12           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DNR         10         10         4           target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.MDR         7846         7846         7846 <td< td=""><td></td><td></td><td></td><td>-4</td></td<>  |  |                |                    | -4       |
| target_I2c_SetStatus_I2cRegPtr_Cntstr.DOUT         1         1         1         4 <td></td> <td></td> <td></td> <td></td>   |  |                |                    |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET         1         1         V           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR         2         2         2           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR         1         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR         1         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL         1         1         1           target_l2c_SetUpMasterReceive_l2cRegPtr_Cnt_T_str.OAR         10         10         1           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR         1223         1223         1223           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL         7846         7846         7846           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT         98         8974         98           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         12         12         12           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         10         10         98           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         10         10         98           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         10         10         98           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         10         10         10  |  |                |                    |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.ODR         1         1         1         1         1         4 <td></td> <td></td> <td></td> <td></td>   |  |                |                    |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DDR         1         1         1         4           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD         1         1         1         4           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL         1         1         1         4           target_l2c_SetsupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         10         10         4         4           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         10         10         10         4           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL         7846         7846         7846         4           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL         7846         7846         98         4           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAT         98         98         98         4           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         12         12         12         12           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         10         10         4         10         4           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         10         10         4         4         10         4         4         4         4         4         4         4         4         4 <t< td=""><td></td><td></td><td></td><td></td></t<>   |  |                |                    |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD         1         1         1           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL         1         1         1           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR         10         10         10           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MR         10         10         10           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR         1223         1223         1223           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL         7846         7846         7846           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT         98         8974         8974           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT         98         98         98           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR         12         12         12           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR         10         10         10           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR         7846         7846         364           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR         1         1         1           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR         1         1         1           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11         8974 <td></td> <td></td> <td></td> <td></td>  |  |                |                    |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL       1       1       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DAR       10       10       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR       10       10       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR       1223       1223       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       7846       7846       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       98       8974       8974       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       12       12       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       12       12       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       10       10       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DAR       10       10       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DAR       10       10       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       7846       7846       V         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMDR       1       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       10       10       V         target_I2c_SetupMa   |  |                |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR       1223       1223         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       7846       7846         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       8974       8974         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       98       98         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       12       12         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       7846       7846         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1  |  |                |                    |          |
| target   2c SetupMasterReceive   12cRegPtr_Cnt_T str.IMR       10       10         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.STR       1223       1223         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CLKL       7846       7846         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CLKH       8974       8974         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CNT       98       98         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DRR       12       12         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       10       10         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       10       10         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.MDR       7846       7846         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.IVR       55       55         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.EMDR       1       1         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PSC       10       10         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID11       8974       8974         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID12       10       10         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID12       10       10         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DMAC   |  |                |                    | <b>~</b> |
| target   2c SetupMasterReceive   12cRegPtr_Cnt_T str.STR       1223       1223         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CLKL       7846       7846         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CLKH       8974       8974         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.CNT       98       98         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DRR       12       12         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       10       10         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DXR       10       10         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.MDR       7846       7846         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.IVR       55       55         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.EMDR       1       1         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PSC       10       10         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID11       8974       8974         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID12       10       10         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.PID12       10       10         target   12c SetupMasterReceive   12cRegPtr_Cnt_T str.DMAC       1       1   |  |                |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       7846       7846         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       8974       8974         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       98       98         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       12       12         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       7846       7846         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1  |  |                |                    | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       8974       8974         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       98       98         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       12       12         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       7846       7846         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1   |  | 7846           | 7846               | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       98       98         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       12       12         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       7846       7846         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1  |  |                |                    | •        |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SAR       10       10         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR       10       10         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR       7846       7846         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.IVR       55       55         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.EMDR       1       1         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PSC       10       10         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID11       8974       8974         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID12       10       10         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID12       10       10         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC       1       1  |  | 98             | 98                 |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DDR       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       7846       7846         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1  |  | 12             | 12                 | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR       7846       7846         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR       55       55         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR       1       1         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC       10       10         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11       8974       8974         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12       10       10         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC       1       1  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 10             | 10                 | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       55       55         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 10             | 10                 | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 7846           | 7846               | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       8974       8974         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       10       10         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       1       1   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 55             | 55                 | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 8974 8974  target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 10 10   target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC 1 1 1  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR | 1              | 1                  |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 10 10 10 10 10 10 10 10 10 10 10 10 10   |  |                |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC 1 1   |  |                |                    | ~        |
|  |  |                |                    | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN 1  |  |                |                    | ~        |
|  | target_i2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1              | 1                  | -        |

2014-10-14, 23:08:30+0530



| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 10           | 10             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 10           | 10             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 1223         | 1223           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 7846         | 7846           | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 8974         | 8974           |          |

2014-10-14, 23:08:30+0530



| DigColPsint_interruptiNotification   | (WACI)              |
|--|---------------------|
| Name   | Input Value         |
| T_DataRegisters_Cnt_u08[0]   | 0                   |
| T_DataRegisters_Cnt_u08[1]   | 32                  |
| T_DataRegisters_Cnt_u08[2]   | 30                  |
| T_DataRegisters_Cnt_u08[3]   | 36                  |
| T_DataRegisters_Cnt_u08[4]   | 38                  |
| T_DataRegisters_Cnt_u08[5]   | 34                  |
| T_DataRegisters_Cnt_u08[6]   | 10                  |
| T_DataRegisters_Cnt_u08[7]   | 12                  |
| T DataRegisters Cnt u08[8]   | 14                  |
| izcREG1_temp   | target_i2cREG1_temp |
| k_ColSensorl2CAddress_Cnt_u08  | 59                  |
|  | 5                   |
| k_SpurSensorI2CAddress_Cnt_u08<br>target I2c GenStopCond I2cRegPtr Cnt T str.OAR |                     |
|  | 65                  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR                                   | 89                  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR                                   | 67                  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL                                  | 7                   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH                                   | 577                 |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT                                    | 88                  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR                                    | 23                  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR                                    | 65                  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR                                    | 89                  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                                    | 7                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR                                   | 44                  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                                   | 2                   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                                    | 89                  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                  | 577                 |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                  | 89                  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DMAC                                   | 2                   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                                    | 0                   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                                    | 0                   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                                    | 1                   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                   | 2                   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                                    | 2                   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                                    | 0                   |
|  | 1                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                                   | 2                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                                    |                     |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL                                   | 0                   |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR  | 65                  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR  | 89                  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 67                  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 7                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 577                 |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 88                  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 23                  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 65                  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 89                  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 7                   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 44                  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2                   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 89                  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 577                 |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 89                  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2                   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0                   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0                   |
| arget I2c Send I2cRegPtr Cnt T str.DIN   | 1                   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2                   |
|  | 2 2                 |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 0                   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   |                     |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 1                   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2                   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0                   |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 65                  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  | 89                  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 67                  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL                                       | 7                   |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH                                       | 577                 |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 88                  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 23                  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 65                  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 89                  |
|  | T T                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR                                       | 7                   |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 89          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 577         |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12            | 89          |
|   | 2           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 0           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN              | 1           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT             | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 2           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL              | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 65          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 67          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 7           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 577         |
| target I2c SetStatus I2cRegPtr Cnt T str.CNT            | 88          |
|   |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 23          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR            | 65          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 7           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR            | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 577         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 89          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 1           |
|   | 2           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 65          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 67          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 7           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 577         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 88          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 23          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 65          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 89          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 7           |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR   | 44          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.EMDR  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 577         |
|   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.FUN   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 65          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IMR  | 89          |
|   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  | 67          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 7           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH | 577         |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  | 88          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  | 23          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 89          |
|   |             |

2014-10-14, 23:08:30+0530



|   | Input Value   |  |        |
|---|---|--|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 44  |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 2   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 89  |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 577<br>89   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0   |  |        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN  | 1   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2   |  |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0   |  |        |
| target_i2cREG1_temp.OAR   | 65  |  |        |
| target_i2cREG1_temp.IMR   | 89  |  |        |
| target_i2cREG1_temp.STR target_i2cREG1_temp.CLKL  | 67<br>7   |  |        |
| target_i2cREG1_temp.CLKH  | 577   |  |        |
| target i2cREG1 temp.CNT   | 88  |  |        |
| target_i2cREG1_temp.DRR   | 23  |  |        |
| target i2cREG1 temp.SAR   | 65  |  |        |
| target_i2cREG1_temp.DXR   | 89  |  |        |
| target_i2cREG1_temp.MDR   | 7   |  |        |
| target_i2cREG1_temp.IVR   | 44  |  |        |
| target_i2cREG1_temp.EMDR  | 2   |  |        |
| target_i2cREG1_temp.PSC   | 89  |  |        |
| target_i2cREG1_temp.PID11   | 577   |  |        |
| target_i2cREG1_temp.PID12   | 89  |  |        |
| target_i2cREG1_temp.DMAC  | 2   |  |        |
| target_i2cREG1_temp.FUN   | 0   |  |        |
| target_i2cREG1_temp.DIR   | 0   |  |        |
| target_i2cREG1_temp.DUIT  | 1 2   |  |        |
| target_i2cREG1_temp.DOUT<br>target_i2cREG1_temp.SET   | 2   |  |        |
| target_i2cREG1_temp.CLR   | 0   |  |        |
|   | 1   |  |        |
| target i2cREG1 temp.ODR   |   |  |        |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD  | 2   |  |        |
| target_i2cREG1_temp.ODR target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  |   |  |        |
| target_i2cREG1_temp.PD  | 2   | Expected Value   | Result |
| target_i2cREG1_temp.PD<br>target_i2cREG1_temp.PSL   | 2   | Expected Value   | Result |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL Name   | 0 Actual Value  | -  | Result |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 2<br>0<br>Actual Value<br>2   | 2  | 7      |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]   | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255   | 2<br>38<br>255<br>255  | ~      |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0  | 2<br>38<br>255<br>255<br>0   | ~      |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0   | 2<br>38<br>255<br>255<br>0<br>0  | 0      |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0   | 2<br>38<br>255<br>255<br>0<br>0  |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16   | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0<br>0  | 2<br>38<br>255<br>255<br>0<br>0<br>0   |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35   | 2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35  |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG                                 | 2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG                        | 0      |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_UIs_M_u16   | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG<br>31                           | 2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG<br>31                  | 0      |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_UIs_M_u16  DigColPsInt_12CHwIncompleteCustData_UIs_M_u16  | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG                                 | 2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG<br>31<br>32            | 0      |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_Uls_M_u16  DigColPsInt_12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG<br>31<br>32                     | 2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG<br>31                  |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_UIs_M_u16  DigColPsInt_12CHwIncompleteCustData_UIs_M_u16  | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG<br>31<br>32                     | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0   |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_Uls_M_u16  DigColPsInt_12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc   | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG<br>31<br>32<br>0                | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0   |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_Uls_M_u16  DigColPsInt_12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG<br>31<br>32<br>0<br>0           | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0                                       |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 2<br>0<br>Actual Value<br>2<br>38<br>255<br>255<br>0<br>0<br>0<br>7<br>35<br>INIT_SENSOR1_READEXTERR_SETREG<br>31<br>32<br>0<br>0<br>0<br>5 | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 5                                     |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CondFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_UcurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 2 0   Actual Value   2   38   255   255   0   0   0   7   35   INIT_SENSOR1_READEXTERR_SETREG   31   32   0   0   0   5   0                 | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 5                                     |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_Gratiloccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_litFailedOnce_Cnt_M_lgc  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)   | 2 0   Actual Value   2 38   255   255   0   | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 5 0 88 110                            |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I1ErailedOnce_Cnt_M_lgc  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | 2 0 Actual Value 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 5 0 0 1 1 1   | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 5 0 88 110 1                          |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I3CHwCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 2 0 Actual Value 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 88 110 1 1 1 65                                       | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 88 110 1 1 1 65                     |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColFustData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I3cHwCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u18 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 2 0  Actual Value 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 88 110 1 1 1 65                                      | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 88 110 1 1 65                       |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_I2CHwCustData_UIs_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.JMR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 2 0 Actual Value 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 1 1 1 1 65 89 67                                      | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 1 1 1 1 65 89 67                    |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_CndFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOvertunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u18 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 2 0 Actual Value 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 5 0 1 1 1 1 65 89 67 7                                | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 5 0 88 110 1 1 65 89 67 7           |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurSnsrData_Cnt_M_u16 DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.DAR target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL  | 2 0 Actual Value 2 38 255 255 0 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 1 1 1 1 65 89 67 7 577                              | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 5 0 88 110 1 1 65 89 67 7 577       |        |
| target_j2cREG1_temp.PD  target_j2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I3CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                         | 2 0 Actual Value 2 38 255 255 0 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 1 1 1 1 65 89 67 7 7 577 88                         | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 5 0 88 110 1 1 65 89 67 7 577 88    |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOvertunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 2   | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 5 0 88 110 1 1 65 89 67 7 577 88 23 |        |
| target_i2cREG1_temp.PD target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 DigColPsInt_Buffer_Cnt_M_u08[0] DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2] DigColPsInt_BusBusySeqError_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc DigColPsInt_ColGustDatFound_Cnt_M_u08 DigColPsInt_CurrentSlave_Cnt_M_u08 DigColPsInt_CurrentStepNo_Cnt_M_enum DigColPsInt_I2CHwCustData_Uls_M_u16 DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16 DigColPsInt_InitFailedOnce_Cnt_M_lgc DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_SpurCustDatFound_Cnt_M_lgc DigColPsInt_TransactionCnt_Cnt_M_u08 I2c_Send(Length_Cnt_T_u32) I2c_SetupMasterTransmit(DataLength_Cnt_T_u16) target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.OAR target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL | 2 0 Actual Value 2 38 255 255 0 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 1 1 1 1 65 89 67 7 7 577 88                         | 2 38 255 255 0 0 0 7 35 INIT_SENSOR1_READEXTERR_SETREG 31 32 0 0 0 0 5 0 88 110 1 1 65 89 67 7 577 88    |        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Resul                                 |
|--|--------------|----------------|---------------------------------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | ·                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC<br>target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 89<br>577    | 89<br>577      |                                       |
| target I2c GenStopCond I2cRegPtr Cnt T str.PID12   | 89           | 89             |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | •                                     |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | •                                     |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLR   | 0            | 0              |                                       |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD       | 1 2          | 2              |                                       |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 65           | 65             |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 67           | 67             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 88           | 88             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 23           | 23             |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 65<br>89     | 65<br>89       |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR                    | 7            | 7              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 89           | 89             |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | •                                     |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 1 2          | 1 2            |                                       |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.SET                | 2            | 2              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              |                                       |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | •                                     |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 67<br>7      | 67<br>7        |                                       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL<br>target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH         | 577          | 577            |                                       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT   | 88           | 88             |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 577          | 577            | •                                     |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12   | 89           | 89             |                                       |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN             | 0            | 0              |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              |                                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | •                                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | •                                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | •                                     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR   | 89           | 89<br>67       |                                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL         | 67<br>7      | 7              |                                       |
| target_lzc_SetStatus_lzcRegPtr_Cnt_T_str.CLKL target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH        | 577          | 577            |                                       |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT   | 88           | 88             |                                       |
|  |              |                |                                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | · · · · · · · · · · · · · · · · · · · |

2014-10-14, 23:08:30+0530

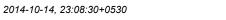


| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
|   | 89           | 89             | Result   |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR                     | 7            | 7              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 577          | 577            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | •        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET   | 0            | 0              | -        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 1            | 1              | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD    | 2            | 2              |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PSL   | 0            | 0              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.OAR  | 65           | 65             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.NNR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR | 67           | 67             | J        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 88           | 88             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DRR  | 23           | 23             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SAR  | 65           | 65             | · ·      |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR  | 89           | 89             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR  | 7            | 7              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC  | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ~        |



| T                       |       |                         |       | V        |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | _        |

| est Step 3.45 (Repeat Count = 1)   | Innut Value  |
|--|--|
| ame  | Input Value  |
| gColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 11   |
| gColPsInt_Buffer_Cnt_M_u08[0]  | 255  |
| gColPsInt_Buffer_Cnt_M_u08[1]  | 255  |
| gColPsInt_Buffer_Cnt_M_u08[2]  | 255  |
| gColPsInt_BusBusySeqError_Cnt_M_lgc  | 1  |
| gColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1  |
| gColPsInt_ColCustDatFound_Cnt_M_lgc  | 1  |
| gColPsInt_ColSnsrData_Cnt_M_u16  | 65535  |
| gColPsInt_CurrentSlave_Cnt_M_u08   | 127  |
| gColPsInt_CurrentStepNo_Cnt_M_enum   | READ_COMPLETE                                      |
| gColPsInt_I2CHwCustData_Uls_M_u16  | 511  |
| gColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | 255  |
| gColPsInt_InitFailedOnce_Cnt_M_lgc   | 1  |
| gColPsInt_NackOccured_Cnt_M_lgc  | 1  |
| gColPsInt_PrevReqDataType_Cnt_M_u08  | 5  |
| gColPsInt_RecvOverrunError_Cnt_M_lgc   | 1  |
| gColPsInt_RecvdDataType_Cnt_M_u08  | 5  |
| gColPsInt SkipRegisterWrite Cnt M Igc  | 1  |
| gColPsInt_SpurCustDatFound_Cnt_M_lgc   | 1  |
| gColPsInt_SpurSnsrData_Cnt_M_u16   | 65535  |
| gColPsInt TransactionCnt Cnt M u08   | 255  |
| ags_Cnt_T_b16  | 64   |
| c GenStopCond(I2cRegPtr Cnt T str)   | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
|  |  |
| c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| c_SetStatus(I2cRegPtr_Cnt_T_str)   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]  | 0  |
| _DataRegisters_Cnt_u08[1]  | 32   |
| _DataRegisters_Cnt_u08[2]  | 30   |
| _DataRegisters_Cnt_u08[3]  | 36   |
| _DataRegisters_Cnt_u08[4]  | 38   |
| _DataRegisters_Cnt_u08[5]  | 34   |
| _DataRegisters_Cnt_u08[6]  | 10   |
| _DataRegisters_Cnt_u08[7]  | 12   |
| _DataRegisters_Cnt_u08[8]  | 14   |
| cREG1_temp   | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08   | 127  |
| SpurSensorI2CAddress_Cnt_u08   | 127  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 1023   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 255  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 32767  |
| rget I2c GenStopCond I2cRegPtr Cnt T str.CLKL  | 65535  |
| rget I2c GenStopCond I2cRegPtr Cnt T str.CLKH  | 65535  |
| rget I2c GenStopCond I2cRegPtr Cnt T str.CNT   | 65535  |
| rget I2c GenStopCond I2cRegPtr Cnt T str.DRR   | 255  |
| rget_12c_GenStopCond_12cRegPtr_Cnt_T_str.SAR   | 1023   |
| rget I2c GenStopCond I2cRegPtr Cnt T str.DXR   | 255  |
| rget I2c GenStopCond I2cRegPtr_Cnt_T_str.MDR   | 65535  |
| rget I2c GenStopCond_I2cRegPtr_Cnt_I_str.MDR rget I2c GenStopCond I2cRegPtr Cnt T str.IVR  | 4095   |
|  | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  |  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 255  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 65535  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 255  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 3  |
|  | 3  |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   |  |
| rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN rget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT | 3 3  |





| Name   | Input Value   |
|--|---------------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 3             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3             |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 1023<br>255   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 32767         |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL   | 65535         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 65535         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 65535         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 255           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 1023          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 255           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  | 65535         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 4095          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 255           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 65535         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 255           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DMAC   | 1             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 3             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN  | 3             |
| target I2c Send I2cRegPtr Cnt T str.DOUT   | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 3             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 1023          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 255           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR   | 32767         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 65535         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 65535         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT   | 65535         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 255<br>1023   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 255           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 65535         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 4095          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 3             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 255           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11   | 65535         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12   | 255           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 3             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN   | 1             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR   | 3             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 3             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT  | 3 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 3             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR   | 3             |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.PD  | 3             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 1023          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 255           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 32767         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 65535         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 65535         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 65535         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 255           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 1023          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 255           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 65535         |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR   | 4095          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 3<br>255      |
| tornet 12c SetStatus 12cDeaDtr Cat T atr DSC   | 200           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 65535         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 65535<br>255  |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 255           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 255<br>3      |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN | 255           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12 target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 255<br>3<br>1 |

2014-10-14, 23:08:30+0530



| - <u>-</u>   |             |
|--|-------------|
| Name   | Input Value |
| target I2c SetStatus I2cRegPtr Cnt T str.SET             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 3           |
|  |             |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR             | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 1023        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 255         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 32767       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 65535       |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKH   | 65535       |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 65535       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 255         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 1023        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 255         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 65535       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 4095        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 255         |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11  | 65535       |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 255         |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3           |
| target I2c SetupMasterReceive I2cRegPtr_Cnt_T_str.CDR    | 3           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 1023        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 255         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 32767       |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKL  | 65535       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 65535       |
|  | 65535       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 255         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 1023        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 255         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 65535       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 4095        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 255         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 65535       |
|  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 | 255         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3           |
|  | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target_i2cREG1_temp.OAR                                  | 1023        |
| target_i2cREG1_temp.IMR                                  | 255         |
| target_i2cREG1_temp.STR                                  | 32767       |
| target i2cREG1 temp.CLKL                                 | 65535       |
| target i2cREG1 temp.CLKH                                 | 65535       |
| target_i2cREG1_temp.CNT                                  | 65535       |
|  |             |
| target_i2cREG1_temp.DRR                                  | 255         |
| target_i2cREG1_temp.SAR                                  | 1023        |
| target_i2cREG1_temp.DXR                                  | 255         |
| target_i2cREG1_temp.MDR                                  | 65535       |
| target_i2cREG1_temp.IVR                                  | 4095        |
| target i2cREG1 temp.EMDR                                 | 3           |
| target i2cREG1 temp.PSC                                  | 255         |
|  |             |
| target_i2cREG1_temp.PID11                                | 65535       |
| target_i2cREG1_temp.PID12                                | 255         |
| target_i2cREG1_temp.DMAC                                 | 3           |
| target_i2cREG1_temp.FUN                                  | 1           |
| target_i2cREG1_temp.DIR                                  | 3           |
|  |             |

#### 2014-10-14, 23:08:30+0530



| Name  | Input Value   |                |          |
|---|---------------|----------------|----------|
| target_i2cREG1_temp.DIN   | 3             |                |          |
| target_i2cREG1_temp.DOUT<br>target_i2cREG1_temp.SET   | 3 3           |                |          |
| target i2cREG1_temp.CLR   | 3             |                |          |
| target i2cREG1 temp.ODR   | 3             |                |          |
| target_i2cREG1_temp.PD  | 3             |                |          |
| target_i2cREG1_temp.PSL   | 3             |                |          |
| Name  | Actual Value  | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 11            | 11             | -        |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 255           | 255            | •        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 255           | 255            | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 255           | 255            | ~        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 1             | 1              | _        |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1             | 1              | Ž        |
| DigColPoInt_ColCustDatFound_Cnt_M_lgc   | 65535         | 65535          |          |
| DigColPsInt_ColSnsrData_Cnt_M_u16 DigColPsInt_CurrentSlave_Cnt_M_u08                              | 127           | 127            | j        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ COMPLETE | READ COMPLETE  |          |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 511           | 511            |          |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 255           | 255            | •        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1             | 1              | -        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 1             | 1              | •        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1             | 1              | •        |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 5             | 5              | •        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1             | 1              | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 65535         | 65535          | •        |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 255           | 255            |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 1023<br>255   | 1023<br>255    | Ĭ        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR     | 32767         | 32767          |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL   | 65535         | 65535          |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 65535         | 65535          |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 65535         | 65535          | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 255           | 255            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 1023          | 1023           | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 255           | 255            | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 65535         | 65535          | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 4095          | 4095           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 3             | 3              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 255           | 255            |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11 target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12 | 65535<br>255  | 65535<br>255   |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.Pib12  | 3             | 3              | j        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1             | 1              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 3             | 3              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 3             | 3              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3             | 3              | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3             | 3              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 3             | 3              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR  | 3             | 3              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3             | 3              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3 1023        | 3<br>1023      | •        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR                   | 255           | 255            |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 32767         | 32767          |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 65535         | 65535          | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 65535         | 65535          | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 65535         | 65535          | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 255           | 255            | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 1023          | 1023           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 255           | 255            | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 65535         | 65535          | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 4095          | 4095           | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 255           | 3<br>255       | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.PID11              | 65535         | 65535          |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 255           | 255            |          |
| target_12c_Send_12cRegPtr_Cnt_T_str.DMAC  | 3             | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1             | 1              |          |
|   | 1             | 1.             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3             | 3              | <b>✓</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIN   |               |                | •        |
|   | 3             | 3              | ~        |

2014-10-14, 23:08:30+0530





| The part of the    | Nama  | A stud Value | Even acts of Volum | Daguit   |
|--|---|--------------|--------------------|----------|
|  | Name  | Actual Value | Expected Value     | Result   |
| Sept   Description   Control   Con   |   |              |                    |          |
| Target Die, Senter Content of the Co |   |              |                    | -        |
| Togst Dipt. Spellings. Dipt. Spellings. Dipt. Dip |   |              |                    |          |
| Target Etz Serfiero (2014/98/ph CH 1 than MS   |   |              |                    | _        |
| September   Description   De   |   |              |                    |          |
| angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C. T., and C.M.  angel 20, Serfece 2, Jeschegh C.T., and C.M.  angel 2 |   |              |                    | •        |
| Barger   12. Serifice   12. Serifi   |   |              |                    | ~        |
| Image   126, Sentence   December   11   1   1   1   1   1   1   1   1  |   | 65535        | 65535              | •        |
|  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT              | 65535        | 65535              | ~        |
|  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              | 255          | 255                | ~        |
|  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 1023         | 1023               | ~        |
| Burger   12.5. SerRevo   12.5. Regiver   10.1. Test PAR  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 255          | 255                | ~        |
|  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 65535        | 65535              | ~        |
|  | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 4095         | 4095               | •        |
| Image   125   Series   126   Regir   Put   1   1   1   1   1   1   1   1   1   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             |              |                    |          |
| Image   12.5 Serbies   12.5 Serbie   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              |              |                    |          |
| Image: 120 Selface; 120 Regift: CHT_SELFEN   1   |   |              |                    |          |
| Seption   Discipling Cont_   Discipli   |   |              |                    |          |
| Image:   Description   Celt   Table   Description   Desc   |   |              |                    |          |
| Langer   12.5. Selfisco   2.6Regin   Cont   T. att DND   |   |              | •                  |          |
| Langer   12.5 Selfston   12.6 Selfston   12.   |   |              |                    | _        |
| Integral   22. Self-Serio   26RegPP   Cont.   1 str CER  |   |              |                    |          |
| Image:   22. SetRiescy   226Reg/Pt   Cnt.   T. str. CDR  |   |              |                    |          |
| Image   125, Self-Recy   Diche pipts   Cont   T. str. PDD  |   |              |                    |          |
| target_LZC_SePfleor_LZCRegPfr_Cnl_T_str.PD  3 3 3 3 4 ✓  target_LZC_SePfleor_LZCRegPfr_Cnl_T_str.PSL 3 3 3 3 4 ✓  target_LZC_SePfleor_LZCRegPfr_Cnl_T_str.DAR 1023 1023 ✓  target_LZC_SePfleor_LZC_SePfleor_LT_str.DAR 1023 1023 ✓  target_LZC_SePfleor_LZC_SePfleor_LT_str.DAR 1023 1023 ✓  target_LZC_SePfleor_LZC_SePfleor_LT_str.DAR 1023 1023 ✓  target_LZC_SePfleor_LZC_SePfleor_LZC_SePfleor_LZC_SEPFLEOR_LZC_SE  |   |              |                    |          |
| Image: 1.25. Self-Rocy   Lock Purple; Cott   T. Str. PAR   1023   |   |              |                    |          |
| target LZe, SelStatus, J2cRegPtr, Cnt, T, str. OAR         1023         1023         V           target LZe, SelStatus, J2cRegPtr, Cnt, T, str. MR         255         256         V           target LZe, SelStatus, J2cRegPtr, Cnt, T, str. CNR         65935         65535         V           target LZe, SelStatus, J2cRegPtr, Cnt, T, str. CNR         65935         65535         V           target LZe, SelStatus, J2cRegPtr, Cnt, T, str. CNT         65535         65535         G5535         V           target LZe, SelStatus, J2cRegPtr, Cnt, T, str. CNT         65535         65535         G5535         V           target LZe, SelStatus, J2cRegPtr, Cnt, T, str. CNR         255         255         255         V           target LZe, SelStatus, J2cRegPtr, Cnt, T, str. DNR         255         255         V         target LZe, SelStatus, J2cRegPtr, Cnt, T, str. PDR         255         255         V         target LZe, SelStatus, J2cRegPtr, Cnt, T, str. PDR         255         255         V         target LZe, SelStatus, J2cRegPtr, Cnt, T, str. PDR         255         255         V         target LZe, SelStatus, J2cRegPtr, Cnt, T, str. PDR         255         255         255         V         target LZe, SelStatus, J2cRegPtr, Cnt, T, str. PDR         255         255         255         V         target LZe, SelStatus, J2cRegPtr, Cnt, T, str. PDR         255 <t< td=""><td></td><td></td><td></td><td></td></t<>   |   |              |                    |          |
| singel_De_SelSatus_2  22-RegPtr_Cnt_T str.NRR   255    |   |              |                    |          |
| target   Ze_SetStatus   ZeRegPr   Cnit_T str.STR   32767   3   |   |              |                    | _        |
| Integel   Zo   SelStatus   ZoRegPtr Cnt   T str CLK    65535   65535   V   target   Zo   SelStatus   ZoRegPtr Cnt   T str CLKH   65535   65535   V   target   Zo   SelStatus   ZoRegPtr Cnt   T str CLKH   65535   65535   V   target   Zo   SelStatus   ZoRegPtr Cnt   T str CNT   65535   65535   V   target   Zo   SelStatus   ZoRegPtr Cnt   T str CNT   65535   C   Zo   T   Zo   Zo   Zo   Zo   Zo   Zo  |   |              |                    |          |
| target 120_SetStatus_12cRegPt_Cnt_Tstr.CNT         65535         65535         ✓           target 126_SetStatus_12cRegPt_Cnt_Tstr.CNT         65535         65535         ✓           target 126_SetStatus_12cRegPt_Cnt_Tstr.DRR         255         255         ✓           target 126_SetStatus_12cRegPt_Cnt_Tstr.DMR         3         3         ✓           target 126_SetStatus_12cRegPt_Cnt_Tstr.DBR         3         3         ✓           target 126_SetStatus_12cRegPt_Cnt_Tstr.DD11         65535         65535         65535            target 126_SetStatus_12cRegPt_Cnt_Tstr.DD12         255         225         225          ✓           target 126_SetStatus_12cRegPt_Cnt_Tstr.DNC         3         3         3         ✓   |   |              |                    |          |
| larget L2c, SelStatus   J2cRepPr Cnt T_str CNT   5555   2    |   |              |                    |          |
| target_12e_SetStatus_12cRepPtr_Cnt_T_str.DRR         255         255         ✓           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DRR         1023         1023         ✓           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DRR         255         255         ✓           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DMDR         65535         65535         ✓           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DNDR         3         3         3           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DNDR         3         3         3           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DDT1         65535         255         255           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DDT1         65535         65535         ✓           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DDT2         25         255         255            target_12e_SetStatus_12cRepPtr_Cnt_T_str.DDT2         25         255         255         ✓           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DDT2         3         3         3         ✓           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DDT2         3         3         3         3           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DDT2         3         3         3         3           target_12e_SetStatus_12cRepPtr_Cnt_T_str.DDT3         3  |   |              |                    | ~        |
| large   122. SelfStatus   22RepPtr_Cnt_T sir. DXR   255      |   |              | 255                | ~        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.NDR   |   | 1023         | 1023               | •        |
| target_12c_SelStatus_12cRegPtr_Cnt_Tstr.IVR  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 255          | 255                | ~        |
| target   Zo, SelSiatus   2cRegPtr_Cnt_T str.EMDR         3         3         V           target   Zo, SelSiatus   2cRegPtr_Cnt_T str.PSC         255         255         V           target   Zo, SelSiatus   2cRegPtr_Cnt_T str.PID11         65535         S         V           target   Zo, SelSiatus   2cRegPtr_Cnt_T str.DID12         255         255         V           target   Zo, SelSiatus   2cRegPtr_Cnt_T str.DIN         3         3         V           target   Zo, SelSiatus   2cRegPtr_Cnt_T str.DIN         1         1         1         V           target   Zo, SelSiatus   2cRegPtr_Cnt_T str.DIN         3         3         3         V           target   Zo, SelSiatus   2cRegPtr_Cnt_T str.DIN         3         3         3         V           target   Zo, SelSiatus   2cRegPtr_Cnt_T str.DOT         3         3         3         V           target   Zo, SelSiatus   2cRegPtr_Cnt_T str.CLR         3         3         3         V           target   Zo, SelSiatus   2cRegPtr_Cnt_T str.DOR         3         3         3         V           target   Zo, SelSiatus   2cRegPtr_Cnt_T str.PSL         3         3         3         V         target   Zo, Selsiatus   2cRegPtr_Cnt_T str.PSL         3         3         3         V         target   Zo, Selsiatus   2cRegPtr_Cnt_T str.PSL   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 65535        | 65535              | ~        |
| target_[2c_SetStatus_!2cRegPtr_Cnt_T_str.PBC         255         255           target_[2c_SetStatus_!2cRegPt_Cnt_T_str.PD11         65535         65355           target_[2c_SetStatus_!2cRegPt_Cnt_T_str.DD12         255         255           target_[2c_SetStatus_!2cRegPt_Cnt_T_str.DMAC         3         3           target_[2c_SetStatus_!2cRegPt_Cnt_T_str.DNAC         3         3      <  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 4095         | 4095               | ~        |
| target   2c. SetStatus   ZcRegPtr_Cnt_T.str.PID11         65535         65535         ✓           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.DNAC         3         3         ✓           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.DNAC         3         3         ✓           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.DNAC         3         3         ✓           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.DN         1         1         1           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.DN         3         3         3           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.DN         3         3         3           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.Str.CLR         3         3         3           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.DCLR         3         3         3           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.DCLR         3         3         3           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.DCLR         3         3         3           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.DACR         3         3         3           target   2c. SetStatus   ZcRegPtr_Cnt_T.str.DACR         1023         1023         1023           target   2c. SetupMasterReceive   ZcRegPtr_Cnt_T.str.DACR         255         255         255           targe  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 3            | 3                  | ~        |
| target_l2c_SetSlatus_l2cRegPtr_Cnt_T_str.PID12         255         255         ✓           target_l2c_SetSlatus_l2cRegPtr_Cnt_T_str.DMAC         3         3         3         ✓           target_l2c_SetSlatus_l2cRegPtr_Cnt_T_str.PUN         1         1         ✓         ✓          ✓          ✓          ✓          ✓          ✓          ✓          ✓          ✓          ✓          ✓           ✓           ✓           ✓           ✓           ✓           ✓            ✓   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 255          | 255                | ~        |
| target_ 2c_SetStatus_ 2cRegPtr_Cnt_T_str.PUN         1         2         4 <td>target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11</td> <td>65535</td> <td></td> <td>~</td>   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 65535        |                    | ~        |
| target_l2c_SetStatus_l2cRegPr_Cnt_T_str.FUN         1         1         1         4           target_l2c_SetStatus_l2cRegPr_Cnt_T_str.DIR         3         3         3         3         3         4  |   |              | 255                | ~        |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DIR         3         3   |   |              | 3                  | ~        |
| target_2c_SetStatus_2cRegPtr_CnLT_str.DIN         3         3           target_12c_SetStatus_12cRegPtr_CnLT_str.DOUT         3         3           target_12c_SetStatus_12cRegPtr_CnLT_str.SET         3         3           target_12c_SetStatus_12cRegPtr_CnLT_str.CIR         3         3           target_12c_SetStatus_12cRegPtr_CnLT_str.DDR         3         3           target_12c_SetStatus_12cRegPtr_CnLT_str.DDR         3         3           target_12c_SetStatus_12cRegPtr_CnLT_str.DDL         3         3           target_12c_SetUpMasterReceive_12cRegPtr_CnLT_str.DAR         1023         3           target_12c_SetupMasterReceive_12cRegPtr_CnLT_str.DAR         1023         1023           target_12c_SetupMasterReceive_12cRegPtr_CnLT_str.DAR         255         255           target_12c_SetupMasterReceive_12cRegPtr_CnLT_str.CLKL         65535         65535           target_12c_SetupMasterReceive_12cRegPtr_CnLT_str.CLKL         65535         65535           target_12c_SetupMasterReceive_12cRegPtr_CnLT_str.DAR         255         255           target_12c_SetupMasterReceive_12cRegPtr_CnLT_str.DAR         255         255           target_12c_SetupMasterReceive_12cRegPtr_CnLT_str.DAR         255         255           target_12c_SetupMasterReceive_12cRegPtr_CnLT_str.DAR         3         3           target_12c_S  |   |              |                    |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD         3         3           target_l2c_SetspMasterReceive_l2cRegPtr_Cnt_T_str.OAR         1023         1023           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         255         255           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CKL         65535         65535           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL         65535         65535           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CKH         65535         65535           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT         65535         65535           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         255         255           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         255         255           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         255         255           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_Tstr.DAR         3         3   |   |              |                    | ~        |
| target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CLR         3         3            target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.CDR         3         3             target_!2c_SetStatus_!2cRegPtr_Cnt_T_str.DDR         3         3 </td <td></td> <td></td> <td></td> <td></td>   |   |              |                    |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OLR         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.ODR         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DD         3         3           target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DD         3         3           target_l2c_SetUpMasterReceive_l2cRegPtr_Cnt_T_str.OAR         1023         1023           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         255         255           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CKL         65535         65535           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CKLH         65535         65535           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CKT         65535         65535           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         255         255           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         3         3           target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR         3   |   |              |                    | ¥        |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.DDR         3         3         4           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DD         3         3         3         4           target_12c_SetStatus_12cRegPtr_Cnt_T_str.DAR         3         3         4  |   |              |                    |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PD       3       3          target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL       3       3          target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.OAR       1023       1023          target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR       255            target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR       32767   |   |              |                    |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL       3       3       V         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DAR       1023       1023       V         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR       255       255       255         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR       32767       32767       32767         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKL       65535       65535       65535       V         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CNT       65535       65535       65535       V         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR       255       255       255       V         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR       255       255       V         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR       255       255       V         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR       65535       65535       V         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.NDR       4095       4095       V         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID11       65535       65535       V         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12       255       255       V         target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIAC       3 </td <td></td> <td></td> <td></td> <td></td>  |   |              |                    |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.OAR       1023       1023         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.IMR       255       255         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR       32767       32767         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKL       65535       65535         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLKH       65535       65535         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CKNT       65535       65535         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CNT       65535       65535         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR       255       255         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR       255       255         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR       255       255         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MDR       65535       65535         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.BMDR       3       3         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PNC       255       255         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID11       65535       65535         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID12       255       255         target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC       3       3 <td></td> <td></td> <td></td> <td></td>   |   |              |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR       32767       32767         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.AAR       1023       1023         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PDC       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3   |   |              |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR       32767         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       4095         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR       3  |   |              |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       4095       4095         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR       3       3   |   |              |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       1023       1023         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       4095       4095         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR       3       3   |   |              |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       1023       1023         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       4095       4095         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIAC       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIAC       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR       3       3          target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR       3       3  |   |              |                    |          |
| target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DRR       255       255         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.SAR       1023       1023         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DXR       255       255         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.MDR       65535       65535         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.IVR       4095       4095         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.EMDR       3       3         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.PSC       255       255         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.PID11       65535       65535         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.PID12       255       255         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DMAC       3       3         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DMAC       3       3         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.FUN       1       1         target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DIR       3       3   |   |              |                    |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR       1023       1023         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       4095       4095         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR       3       3  |   |              |                    | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       4095       4095         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR       3       3  |   | 1023         | 1023               |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR       65535       4095         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       4095       4095         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR       3       3   |   |              | 255                | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR       4095       4095         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR       3       3  |   |              |                    | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR       3       3   |   | 4095         | 4095               | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11       65535       65535         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12       255       255         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC       3       3         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN       1       1         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN       3       3         v       4       4       4         target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR       3       3   |   | 3            | 3                  | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 255 255   target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC 3 3 3   target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN 1 1 1 2   target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR 3 3 3   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 255          | 255                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC 3 3 4   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 65535        | 65535              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PID12 | 255          |                    | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIR 3  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  |              |                    | ~        |
|  |   |              |                    | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN 3 3  |   |              |                    | ~        |
|  | target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN   | 3            | 3                  | ~        |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 3            | 3              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 1023         | 1023           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 255          | 255            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 32767        | 32767          | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 65535        | 65535          | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 65535        | 65535          | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 65535        | 65535          | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 255          | 255            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 1023         | 1023           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 255          | 255            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 65535        | 65535          | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 4095         | 4095           | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 255          | 255            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 65535        | 65535          | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 255          | 255            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | ✓        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |

| T               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | ~        |

| Test Step 3.46 (Repeat Count = 1)               | <b>✓</b>   |
|---|--|
| Name  | Input Value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 7  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 1  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 5  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 9  |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 847  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 15   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR1_DUMMY_READ                            |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 19   |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 20   |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 1  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 1  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 487  |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 70   |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T_DataRegisters_Cnt_u08[3]                      | 36   |

2014-10-14, 23:08:30+0530



| Name  | Input Value         |  |
|---|---------------------|--|
| Γ_DataRegisters_Cnt_u08[4]                      | 38                  |  |
| Γ_DataRegisters_Cnt_u08[5]                      | 34                  |  |
| 「_DataRegisters_Cnt_u08[6]                      | 10                  |  |
| _DataRegisters_Cnt_u08[7]                       | 12                  |  |
| DataRegisters Cnt u08[8]                        | 14                  |  |
| 2cREG1_temp                                     | target_i2cREG1_temp |  |
| ColSensorl2CAddress Cnt u08                     | 39                  |  |
| C_SpurSensorI2CAddress_Cnt_u08                  | 0                   |  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR   | 34                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 24                  |  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.STR   | 455                 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 847                 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 987                 |  |
|   | 487                 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   |                     |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 34                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 34                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 24                  |  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR   | 847                 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 56                  |  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR  | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 24                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 987                 |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 24                  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 3                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 3                   |  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2                   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 34                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 24                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 455                 |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 847                 |  |
| rarget_12c_Send_12cRegPtr_Cnt_T_str.CLKH        | 987                 |  |
|   | 487                 |  |
| rarget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT         |                     |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 34                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 34                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR          | 24                  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR          | 847                 |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.IVR          | 56                  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.EMDR         | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 24                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 987                 |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 24                  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 0                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET          | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 3                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PD           | 2                   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL          | 2                   |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR       | 34                  |  |
| arget I2c SetRecv I2cRegPtr Cnt T str.IMR       | 24                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR       | 455                 |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL      | 847                 |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH      | 987                 |  |
|   | 487                 |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT       |                     |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR       | 34                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR       | 34                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR       | 24                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR       | 847                 |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR       | 56                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR      | 2                   |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC       | 24                  |  |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11     | 987                 |  |
|   | 24                  |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value           |
|--|-----------------------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC  | 2                     |
| target I2c SetRecv I2cRegPtr Cnt T str.FUN   | 0                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 3                     |
| target I2c SetRecv I2cRegPtr Cnt T str.DIN   | 3                     |
|  |                       |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 2                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 2                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 3                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 3                     |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 2                     |
| target I2c SetRecv I2cRegPtr Cnt T str.PSL   | 2                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   | 34                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR   | 24                    |
|  |                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 455                   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 847                   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 987                   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 487                   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 34                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 34                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 24                    |
|  | 847                   |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   |                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 56                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 2                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 24                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 987                   |
| target I2c SetStatus I2cRegPtr Cnt T str.PID12   | 24                    |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2                     |
| target I2c SetStatus I2cRegPtr Cnt T str.FUN   | 0                     |
|  | 3                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   |                       |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 3                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 2                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 2                     |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR   | 3                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 3                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 2                     |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 2                     |
|  | 34                    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  |                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 24                    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 455                   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 847                   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 987                   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 487                   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 34                    |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.SAR  | 34                    |
|  | 24                    |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  |                       |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.MDR  | 847                   |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 56                    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 24                    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 987                   |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID12  | 24                    |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2                     |
| target I2c SetupMasterReceive I2cRegPtr_Cnt_T_str.FUN  | 0                     |
|  |                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 3                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 3                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 2                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 3                     |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 3                     |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD   | 2                     |
|  |                       |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 2                     |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 34                    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 24                    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 455                   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 847                   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 987                   |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 487                   |
|  | 34                    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 1.34                  |
|  |                       |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 34                    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  |                       |
|  | 34                    |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 34<br>24              |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR | 34<br>24<br>847       |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR   | 34<br>24<br>847<br>56 |

2014-10-14, 23:08:30+0530



| Name   | Input Value   |   |  |
|--|---|---|--|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 987   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 24  |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2   |   |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.FUN   | 0   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3   |   |  |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIN   | 3   |   |  |
|  | 2   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   |   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 2   |   |  |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2   |   |  |
| target_i2cREG1_temp.OAR  | 34  |   |  |
| target_i2cREG1_temp.IMR  | 24  |   |  |
| target_i2cREG1_temp.STR  | 455   |   |  |
| target_i2cREG1_temp.CLKL   | 847   |   |  |
| target_i2cREG1_temp.CLKH   | 987   |   |  |
| target_i2cREG1_temp.CNT  | 487   |   |  |
| target_i2cREG1_temp.DRR  | 34  |   |  |
| target i2cREG1 temp.SAR  | 34  |   |  |
| target i2cREG1 temp.DXR  | 24  |   |  |
| target_i2cREG1_temp.MDR  | 847   |   |  |
| target i2cREG1 temp.IVR  | 56  |   |  |
| target i2cREG1 temp.EMDR   | 2   |   |  |
| target i2cREG1_temp.PSC  | 24  |   |  |
|  | 987   |   |  |
| target_i2cREG1_temp.PID11  | 11  |   |  |
| target_i2cREG1_temp.PID12  | 24  |   |  |
| target_i2cREG1_temp.DMAC   | 2   |   |  |
| target_i2cREG1_temp.FUN  | 0   |   |  |
| target_i2cREG1_temp.DIR  | 3   |   |  |
| target_i2cREG1_temp.DIN  | 3   |   |  |
| target_i2cREG1_temp.DOUT   | 2   |   |  |
| target_i2cREG1_temp.SET  | 2   |   |  |
| target_i2cREG1_temp.CLR  | 3   |   |  |
| target_i2cREG1_temp.ODR  | 3   |   |  |
| target i2cREG1 temp.PD   | 2   |   |  |
| <b>0</b> =   |   |   |  |
| target_i2cREG1_temp.PSL  | 2   |   |  |
| · ·  | 2 Actual Value  | Expected Value  | Result   |
| target_i2cREG1_temp.PSL  |   | Expected Value  | Result   |
| target_i2cREG1_temp.PSL  Name  | Actual Value  | •   |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | Actual Value  | 7   | ~  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]   | Actual Value<br>7<br>10   | 7 10  | ~  |
| target_i2cREG1_temp.PSL.  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]   | Actual Value 7 10 3   | 7<br>10<br>3  | <i>y</i>   |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc   | Actual Value 7 10 3 7 0   | 7<br>10<br>3<br>7<br>0  | \rightarrow \right |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | Actual Value 7 10 3 7 0   | 7<br>10<br>3<br>7<br>0<br>0   | \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc   | Actual Value 7 10 3 7 0 0   | 7<br>10<br>3<br>7<br>0<br>0   | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  | Actual Value 7 10 3 7 0 0 847   | 7<br>10<br>3<br>7<br>0<br>0<br>0<br>0<br>847  | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  | Actual Value 7 10 3 7 0 0 0 847   | 7<br>10<br>3<br>7<br>0<br>0<br>0<br>847   | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  | Actual Value 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN   | 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN  | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_12CHwCustData_UIs_M_u16   | Actual Value 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19  | 7<br>10<br>3<br>7<br>0<br>0<br>0<br>847<br>0<br>INIT_SENSOR2_EXTREADADDRREG_SEN<br>19                                   | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_igc  DigColPsInt_CmdFailOccurred_Cnt_M_igc  DigColPsInt_ColCustDatFound_Cnt_M_igc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  | Actual Value 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20   | 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20  | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  | Actual Value 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0   | 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0  |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  | Actual Value 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0   | 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0  | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_12CHwIncompleteCustData_UIs_M_u16  DigColPsInt_lnitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc   | Actual Value 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0   | 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0  |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_12CHwIncompleteCustData_UIs_M_u16  DigColPsInt_initFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  | Actual Value 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1   | 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1  |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_l2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_l12CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | Actual Value 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1   | 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 0  |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_L2CHwCustData_Uls_M_u16  DigColPsInt_12CHwCustData_Uls_M_u16  DigColPsInt_I12CHwCustData_Uls_M_u16  DigColPsInt_I14CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustData_Cnt_M_u16  | Actual Value 7 10 3 7 0 0 0 10 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487  | 7 10 3 7 0 0 0 0 NINIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487   |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I1itFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_RecvObataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDataCnt_M_u16  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 0 487 70  | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 0 487 70   | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_L2CHwCustData_Uls_M_u16  DigColPsInt_12CHwCustData_Uls_M_u16  DigColPsInt_I12CHwCustData_Uls_M_u16  DigColPsInt_I14CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustData_Cnt_M_u16  | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 0 487 70 3  | 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 0 487 70 3   |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I1itFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_RecvObataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDataCnt_M_u16  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 0 487 70  | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 0 487 70   |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_enum  DigColPsInt_CurrentSupNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_litFailedOnce_Cnt_M_lgc  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 0 487 70 3  | 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 0 487 70 3   |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I12CHwIncompleteCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_RecvdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 0 487 70 3 3  | 7 10 3 7 0 0 0 10 10 10 10 10 10 10 10 10 10 10   |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I12CHwIncompleteCustData_UIs_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOvertunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u18  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487 70 3 3 3 34   | 7 10 3 7 0 0 0 10 10 10 10 10 10 10 10 10 10 10   |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I12CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487 70 3 3 3 34 24                                      | 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487 70 3 3 3 34 24                                   |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHWCustData_UIs_M_u16  DigColPsInt_I2CHWCustData_UIs_M_u16  DigColPsInt_I1FailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_RecvOvertunError_Cnt_M_u08  DigColPsInt_SpurCustDataFound_Cnt_M_lgc  DigColPsInt_SpurCustDataFound_Cnt_M_lgc  DigColPsInt_SpurCustDataFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_SpurSnsrData_Cnt_M_u16  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.JMR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487 70 3 3 3 34 24                                      | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487 70 3 3 3 34 24 455                             |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurSnsrData_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | Actual Value 7 10 3 7 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 1 0 487 70 3 3 3 34 24 455 847                            | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487 70 3 3 3 34 24 455 847                         |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 1 0 487 70 3 3 3 34 24 455 847 987                      | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 1 0 487 70 3 3 3 34 24 455 847 987                   |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_IntFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 0 1 0 3 3 3 3 3 4 24 455 847 987 487 34                 | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 1 0 487 70 3 3 3 34 24 455 847 987 487 34          |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 1 0 487 70 3 3 3 34 24 455 847 987 487 34                 | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 1 0 487 70 3 3 3 34 24 455 847 987 487 34            | · · · · · · · · · · · · · · · · · · ·  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_CmdFailOccurred_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_IntFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  DigColPsInt_TransactionCnt_Cnt_M_u08  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.OAR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CNT  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR  target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR  | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 1 0 487 70 3 3 3 34 24 455 847 987 487 34 34 24           | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 1 0 487 70 3 3 3 34 24 455 847 987 487 34 34 24    |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwCustData_Uls_M_u16  DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16  DigColPsInt_I1ETailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOdDataType_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.JMR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 0 1 0 3 3 3 3 4 24 455 847 987 487 34 34 24 847         | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487 70 3 3 3 34 24 455 847 987 487 34 34 24 847    |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I1ETailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 1 0 487 70 3 3 3 34 24 455 847 987 487 34 34 34 24 847 56 | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487 70 3 3 3 34 24 455 847 987 487 34 34 24 847 56 |  |
| target_izcREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqErro_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u18  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_IcCHwCustData_Uls_M_u16  DigColPsInt_IcCHwCustData_Uls_M_u16  DigColPsInt_InitFailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_u18  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.OAR  target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL  target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL  target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL  target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CLKL  target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.CNT  target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.DAR  target_i2c_GenStopCond_i2cRegPtr_Cnt_T_str.DAR | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 0 1 0 487 70 3 3 3 34 24 455 847 987 487 34 34 24 847 56    | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487 70 3 3 3 34 24 455 847 987 487 34 34 24 847 56 |  |
| target_i2cREG1_temp.PSL  Name  DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  DigColPsInt_Buffer_Cnt_M_u08[0]  DigColPsInt_Buffer_Cnt_M_u08[1]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_Buffer_Cnt_M_u08[2]  DigColPsInt_BusBusySeqError_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColCustDatFound_Cnt_M_lgc  DigColPsInt_ColSnsrData_Cnt_M_u16  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentSlave_Cnt_M_u08  DigColPsInt_CurrentStepNo_Cnt_M_enum  DigColPsInt_I2CHwCustData_UIs_M_u16  DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  DigColPsInt_I1ETailedOnce_Cnt_M_lgc  DigColPsInt_NackOccured_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_lgc  DigColPsInt_RecvOverrunError_Cnt_M_u08  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_SpurCustDatFound_Cnt_M_lgc  DigColPsInt_TransactionCnt_Cnt_M_u08  I2c_Send(Length_Cnt_T_u32)  I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | Actual Value 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 1 0 487 70 3 3 3 34 24 455 847 987 487 34 34 34 24 847 56 | 7 10 3 7 0 0 0 0 847 0 INIT_SENSOR2_EXTREADADDRREG_SEN 19 20 0 0 1 0 487 70 3 3 3 34 24 455 847 987 487 34 34 24 847 56 |  |





| Name  | Actual Value | Expected Value | Result    |
|---|--------------|----------------|-----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 24           | 24             | rtesuit ✓ |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR  | 3            | 3              | ~         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | ~         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | •         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ~         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | ~         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | ~         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~         |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 2            | 2              | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 34           | 34             | ~         |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR   | 24<br>455    | 24<br>455      | ,         |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.STR target_l2c_Send_l2cRegPtr_Cnt_T_str.CLKL          | 847          | 847            | -         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 987          | 987            |           |
| target_12c_Send_12cRegPtr_Cnt_T_str.CNT   | 487          | 487            | -         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 34           | 34             | -         |
| target I2c Send I2cRegPtr Cnt T str.SAR   | 34           | 34             | <b>~</b>  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 24           | 24             | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 847          | 847            | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 56           | 56             | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 24           | 24             | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 987          | 987            | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 24           | 24             | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | ~         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~         |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ~         |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | <b>V</b>  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 3            | 3              | <b>V</b>  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD  | 2 2          | 2              | J         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 34           | 34             | -         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR     | 24           | 24             |           |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.NTR  | 455          | 455            | -         |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKL   | 847          | 847            | -         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH   | 987          | 987            |           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 487          | 487            | -         |
| target I2c SetRecv I2cRegPtr Cnt T str.DRR  | 34           | 34             | ~         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 34           | 34             | ~         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 24           | 24             | •         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 847          | 847            | ~         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 56           | 56             | ~         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | ~         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 24           | 24             | ~         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 987          | 987            | ~         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 24           | 24             | ~         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  | 3            | 3              | ~         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN  | 3            | 3              | ~         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | ~         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ¥         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 3            | 3              | V         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 3            | 3              | <b>V</b>  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 2 2          | 2 2            | ~         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 34           | 34             |           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR | 24           | 24             | ~         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 455          | 455            |           |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL   | 847          | 847            |           |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKH   | 987          | 987            |           |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CNT  | 487          | 487            | ~         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 34           | 34             | ~         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 34           | 34             | -         |
|   | 24           | 24             | -         |
| target_I2c_SetStatus_I2cRegPtr Cnt T str.DXR  |              |                |           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR | 847          | 847            | ~         |
|   |              |                | <b>*</b>  |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC             | 24           | 24             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 987          | 987            | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 24           | 24             | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 0            | 0              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 3            | 3              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 2            | 2              | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL             | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 34           | 34             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR    | 24           | 24             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 455          | 455            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 847          | 847            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 987          | 987            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 487          | 487            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 34           | 34             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 34           | 34             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 24           | 24             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 847          | 847            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 56           | 56             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 24           | 24             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 987          | 987            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 24           | 24             | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 0            | 0              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 3            | 3              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 2            | 2              | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 34           | 34             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 24           | 24             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 455          | 455            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 847          | 847            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 987          | 987            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 487          | 487            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 34           | 34             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 34           | 34             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 24           | 24             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 847          | 847            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 56           | 56             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 24           | 24             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 987          | 987            | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 24           | 24             | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | •        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.SET   | 2            | 2              | -        |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 3            | 3              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 3            | 3              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              |          |

| T                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteData          | 1     | SetupWriteData          | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c Send                | 1     | I2c Send                | 1     | _        |



| est Step 3.47 (Repeat Count = 1)  | Input Value  |
|---|--|
| higColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 4  |
| igColPsInt_Buffer_Cnt_M_u08[0]  | 10   |
| igColPsInt_Buffer_Cnt_M_u08[1]  | 20   |
| ligColPsInt_Buffer_Cnt_M_u08[2]   | 30   |
| ligColPsInt_BusBusySeqError_Cnt_M_lgc   | 1  |
| bigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1  |
| ligColPsInt_ColCustDatFound_Cnt_M_lgc<br>ligColPsInt_ColSnsrData_Cnt_M_u16                        | 1<br>554   |
| ligColPsInt_CurrentSlave_Cnt_M_u08  | 40   |
| ligColPsInt_CurrentStepNo_Cnt_M_enum  | INIT SENSOR2 READERROR READ                        |
| igColPsInt_I2CHwCustData_Uls_M_u16  | 34   |
| higColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 35   |
| igColPsInt_InitFailedOnce_Cnt_M_lgc   | 1  |
| igColPsInt_NackOccured_Cnt_M_lgc  | 1  |
| ligColPsInt_PrevReqDataType_Cnt_M_u08   | 0  |
| ligColPsInt_RecvOverrunError_Cnt_M_lgc  | 1  |
| ligColPsInt_RecvdDataType_Cnt_M_u08   | 1  |
| ligColPsInt_SkipRegisterWrite_Cnt_M_lgc ligColPsInt_SpurCustDatFound_Cnt_M_lgc                    | 1  |
| bigColPsInt SpurSnsrData Cnt M u16  | 123  |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 120  |
| lags_Cnt_T_b16  | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | target_l2c_Send_l2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str |
| _DataRegisters_Cnt_u08[0]   | 0  |
| _DataRegisters_Cnt_u08[1]   | 32<br>30   |
| _DataRegisters_Cnt_u08[2]<br>_DataRegisters_Cnt_u08[3]  | 36   |
| _DataRegisters_Cnt_u08[4]   | 38   |
| DataRegisters_Cnt_u08[5]  | 34   |
| atanagatana_ata_ata_ata_ata_ata_ata_ata_ata_at  | 10   |
|   | 12   |
|   | 14   |
| 2cREG1_temp   | target_i2cREG1_temp                                |
| _ColSensorl2CAddress_Cnt_u08  | 64   |
| _SpurSensorl2CAddress_Cnt_u08   | 10   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 54   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL      | 8  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.CLKL  | 554<br>344   |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT   | 123  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DRR   | 45   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 54   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DXR   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 554  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 788  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 344  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 66   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN       | 3 2  |
| irget_12c_GenStopCond_12cRegPti_Crit_1_str.Din<br>irget_12c_GenStopCond_12cRegPtr_Crit_T_str.DOUT | 3  |
| liget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 3  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 2  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 1  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 2  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 54   |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR  | 66   |
| arget_126_5end_1261\egr ti_Cnt_1_str.livil\   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 8  |
|   | 8<br>554<br>344                                    |

2014-10-14, 23:08:30+0530



| Name  | Input Value |
|---|-------------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 45          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 54          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 554         |
| target I2c Send I2cRegPtr Cnt T str.IVR   | 788         |
|   |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3           |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PSC   | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 344         |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PID12   | 66          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 3           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR   | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 1           |
| target I2c Send I2cRegPtr Cnt T str.PSL   | 2           |
|   | 54          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR  |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR  | 8           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL   | 554         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH   | 344         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 123         |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR  | 45          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 54          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 554         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 788         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 344         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
|   | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  |             |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIR  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 3           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 2           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 54          |
| target I2c SetStatus I2cRegPtr Cnt T str.IMR  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 8           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 554         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 344         |
|   | 123         |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR |             |
| ·   | 45          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 54          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 66          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR  | 554         |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR  | 788         |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 344         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1.          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 3           |
|   | 3           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 1           |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSL  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR                                     | 54          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR                                     | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR                                     | 8           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL                                    | 554         |
|   |             |

2014-10-14, 23:08:30+0530



|  |              | ( 10                 |
|--|--------------|----------------------|
| Name   | Input Value  |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 344          |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 123          |                      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DRR    | 45           |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 54           |                      |
|  | 66           |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    |              |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 554          |                      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR    | 788          |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 3            |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 66           |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 344          |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 66           |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 3            |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 3            |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 2            |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 3            |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 3            |                      |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 3            |                      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR    | 2            |                      |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PD     | 1            |                      |
|  |              |                      |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL    | 2            |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 54           |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8            |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344          |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123          |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45           |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54           |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554          |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           |                      |
|  | 344          |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 |              |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            |                      |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DOUT  | 3            |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 3            |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            |                      |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            |                      |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 2            |                      |
| target_i2cREG1_temp.OAR                                  | 54           |                      |
| target_i2cREG1_temp.IMR                                  | 66           |                      |
| target i2cREG1 temp.STR                                  | 8            |                      |
| target i2cREG1_temp.CLKL                                 | 554          |                      |
| · · - · · ·  |              |                      |
| target_i2cREG1_temp.CLKH                                 | 344          |                      |
| target_i2cREG1_temp.CNT                                  | 123          |                      |
| target_i2cREG1_temp.DRR                                  | 45           |                      |
| target_i2cREG1_temp.SAR                                  | 54           |                      |
| target_i2cREG1_temp.DXR                                  | 66           |                      |
| target_i2cREG1_temp.MDR                                  | 554          |                      |
| target_i2cREG1_temp.IVR                                  | 788          |                      |
| target_i2cREG1_temp.EMDR                                 | 3            |                      |
| target_i2cREG1_temp.PSC                                  | 66           |                      |
| target i2cREG1 temp.PID11                                | 344          |                      |
| target_i2cREG1_temp.PID12                                | 66           |                      |
| target_i2cREG1_temp.DMAC                                 | 3            |                      |
| target_i2cREG1_temp.FUN                                  | 1            |                      |
| target_i2cREG1_temp.DIR                                  | 3            |                      |
|  |              |                      |
| target_i2cREG1_temp.DIN                                  | 2            |                      |
| target_i2cREG1_temp.DOUT                                 | 3            |                      |
| target_i2cREG1_temp.SET                                  | 3            |                      |
| target_i2cREG1_temp.CLR                                  | 3            |                      |
| target_i2cREG1_temp.ODR                                  | 2            |                      |
| target_i2cREG1_temp.PD                                   | 1            |                      |
| target_i2cREG1_temp.PSL                                  | 2            |                      |
| Name   | Actual Value | Expected Value Resul |
| DigColPsInt AttempOccurForCustDatRead Cnt M u08          | 4            | 4                    |
|  |              |                      |

2014-10-14, 23:08:30+0530



| Name  | Actual Value                   | Expected Value                 | Result   |
|---|--------------------------------|--------------------------------|----------|
| DigColPoint_Buffer_Cnt_M_u08[0]   | 38<br>20                       | 38<br>20                       |          |
| DigColPsInt_Buffer_Cnt_M_u08[1] DigColPsInt_Buffer_Cnt_M_u08[2]                                   | 30                             | 30                             | -        |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 1                              | 1                              | J        |
| DigColPsInt CmdFailOccurred Cnt M Igc   | 1                              | 1                              | ~        |
| DigColPsInt ColCustDatFound Cnt M lgc   | 1                              | 1                              | -        |
| DigColPsInt ColSnsrData Cnt M u16   | 554                            | 554                            | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 40                             | 40                             | ~        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR2_READEXTERR_SETREG | INIT_SENSOR2_READEXTERR_SETREG | ~        |
| DigColPsInt_I2CHwCustData_UIs_M_u16   | 34                             | 34                             | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 35                             | 35                             | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1                              | 1                              | ~        |
| DigColPsInt_NackOccured_Cnt_M_Igc   | 1                              | 1                              | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1                              | 1                              | ~        |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 1                              | 1                              | ~        |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1                              | 1                              | ~        |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 123                            | 123                            | <b>V</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 120                            | 120                            | ~        |
| I2c_Send(Length_Cnt_T_u32)  | 1                              | 1                              |          |
| I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | 54                             | 54                             | -        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IMR     | 66                             | 66                             | J        |
| target_lzc_GenStopCond_lzcRegPtr_Cnt_l_str.liwlR target_lzc_GenStopCond_lzcRegPtr_Cnt_l_str.liwlR | 8                              | 8                              |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL   | 554                            | 554                            |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH   | 344                            | 344                            |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.CNT  | 123                            | 123                            | _        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 45                             | 45                             | <b>✓</b> |
| target I2c GenStopCond I2cRegPtr Cnt T str.SAR  | 54                             | 54                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 66                             | 66                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 554                            | 554                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 788                            | 788                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 3                              | 3                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 66                             | 66                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 344                            | 344                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 66                             | 66                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 3                              | 3                              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN  | 1                              | 1                              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR  | 3                              | 3                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN  | 2                              | 2                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 3                              | 3                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 3                              | 3                              | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 3 2                            | 3 2                            |          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR<br>target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PD   | 1                              | 1                              |          |
| target I2c GenStopCond I2cRegPtr Cnt T str.PSL  | 2                              | 2                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 54                             | 54                             | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 66                             | 66                             | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 8                              | 8                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 554                            | 554                            | •        |
| target I2c Send I2cRegPtr Cnt T str.CLKH  | 344                            | 344                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 123                            | 123                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 45                             | 45                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 54                             | 54                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 66                             | 66                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 554                            | 554                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 788                            | 788                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 3                              | 3                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 66                             | 66                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 344                            | 344                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 66                             | 66                             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 3                              | 3                              | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1                              | 1                              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 3                              | 3                              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 2                              | 2                              | <b>-</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 3                              | 3                              | - 4      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 3                              | 3                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 3 2                            | 3 2                            |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 1                              | 1                              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD<br>target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 2                              | 2                              |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR  | 54                             | 54                             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR  | 66                             | 66                             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR  | 8                              | 8                              | ~        |
|   |                                |                                |          |

2014-10-14, 23:08:30+0530



|   |                  |                    | - ·      |
|---|------------------|--------------------|----------|
| Name  | Actual Value 554 | Expected Value 554 | Result   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH                         | 344              | 344                | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 123              | 123                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 45               | 45                 | <b>✓</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 54               | 54                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 66               | 66                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 554              | 554                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 788              | 788                | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.EMDR   | 3                | 3<br>66            | <b>*</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11                         | 344              | 344                | -        |
| target I2c SetRecv I2cRegPtr Cnt T str.PID12  | 66               | 66                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 3                | 3                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1                | 1                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 3                | 3                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 2                | 2                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 3                | 3                  | <b>V</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SET  | 3                | 3                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 3 2              | 3 2                | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.ODR target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PD                            | 1                | 1                  |          |
| target_I2C_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 2                | 2                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 54               | 54                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR  | 66               | 66                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 8                | 8                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL   | 554              | 554                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH   | 344              | 344                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 123              | 123                | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 45               | 45                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 54               | 54                 | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DXR  | 66               | 66                 | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR                       | 788              | 788                |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.FMDR   | 3                | 3                  | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC  | 66               | 66                 | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11  | 344              | 344                | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12  | 66               | 66                 | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 3                | 3                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1                | 1                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 3                | 3                  | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN  | 2                | 2                  | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT   | 3                | 3                  | <b>V</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR                       | 3                | 3                  | ~        |
| target I2c SetStatus I2cRegPtr Cnt T str.ODR  | 2                | 2                  | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 1                | 1                  | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  | 2                | 2                  | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 54               | 54                 | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 66               | 66                 | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 8                | 8                  | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL  | 554              | 554                | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLKH  | 344              | 344                | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 123              | 123                | <b>V</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR     | 54               | 45<br>54           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 66               | 66                 | ~        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 554              | 554                | -        |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.IVR   | 788              | 788                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 3                | 3                  | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 66               | 66                 | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11   | 344              | 344                | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12   | 66               | 66                 | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DMAC  | 3                | 3                  | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1                | 1                  | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 2                | 3 2                | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN<br>target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DOUT | 3                | 3                  |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET   | 3                | 3                  | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR   | 3                | 3                  | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR   | 2                | 2                  | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD  | 1                | 1                  | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 2                | 2                  | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 54               | 54                 | ~        |
|   |                  |                    |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 8            | 8              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 344          | 344            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 123          | 123            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 45           | 45             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 54           | 54             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 788          | 788            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 66           | 66             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 344          | 344            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 66           | 66             | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 3            | 3              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 3            | 3              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 2            | 2              | ~        |

| T                       |       |                         |       | V      |
|-------------------------|-------|-------------------------|-------|--------|
| Actual Function         | Count | Expected Function       | Count | Result |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~      |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | •      |
| I2c_Send                | 1     | I2c_Send                | 1     | ~      |

| Took Ston 2.40 (Donost Count = 4)               |  |
|---|--|
| Test Step 3.48 (Repeat Count = 1)               | Input Value  |
| Name  | input value  |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 |  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 100  |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 200  |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 250  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 0  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 0  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 0  |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 7  |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 35   |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_DUMMY_READ                            |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 70   |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 71   |
| DigColPsInt_InitFailedOnce_Cnt_M_Igc            | 0  |
| DigColPsInt_NackOccured_Cnt_M_Igc               | 0  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 5  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 0  |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 5  |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 0  |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 0  |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 88   |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 110  |
| Flags_Cnt_T_b16                                 | 32   |
| I2c_GenStopCond(I2cRegPtr_Cnt_T_str)            | target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str         |
| I2c_Send(I2cRegPtr_Cnt_T_str)                   | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| I2c_SetRecv(I2cRegPtr_Cnt_T_str)                | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |
| I2c_SetStatus(I2cRegPtr_Cnt_T_str)              | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |
| I2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| I2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)    | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| T_DataRegisters_Cnt_u08[0]                      | 0  |
| T_DataRegisters_Cnt_u08[1]                      | 32   |
| T_DataRegisters_Cnt_u08[2]                      | 30   |
| T_DataRegisters_Cnt_u08[3]                      | 36   |
| T_DataRegisters_Cnt_u08[4]                      | 38   |
| T_DataRegisters_Cnt_u08[5]                      | 34   |
| T_DataRegisters_Cnt_u08[6]                      | 10   |
| T_DataRegisters_Cnt_u08[7]                      | 12   |
| T_DataRegisters_Cnt_u08[8]                      | 14   |

2014-10-14, 23:08:30+0530



| Name  | Input Value         |
|---|---------------------|
| i2cREG1_temp  | target_i2cREG1_temp |
| k_ColSensorl2CAddress_Cnt_u08   | 127                 |
| k_SpurSensorl2CAddress_Cnt_u08  | 5                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR                                  | 65                  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR                                  | 89                  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR                                  | 67                  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL                                 | 7                   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH                                 | 577                 |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT                                  | 88                  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR                                  | 23                  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR                                  | 65                  |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR                                  | 89                  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR                                  | 7                   |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR                                  | 44                  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR                                 | 2                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC                                  | 89                  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11                                | 577                 |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12                                | 89                  |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC                                 | 2                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN                                  | 0                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR                                  | 0                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN                                  | 1                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT                                 | 2                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET                                  | 2                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR                                  | 0                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR                                  | 1                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD                                   | 2                   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL                                  | 0                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 65                  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 89<br>67            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR   | 7                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 7<br>577            |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 88                  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CNT target_l2c_Send_l2cRegPtr_Cnt_T_str.DRR | 23                  |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR   | 65                  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 89                  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 7                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 44                  |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 2                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 89                  |
| target I2c Send I2cRegPtr Cnt T str.PID11                                       | 577                 |
| target I2c Send I2cRegPtr Cnt T str.PID12                                       | 89                  |
| target I2c Send I2cRegPtr Cnt T str.DMAC  | 2                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 0                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 2                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET   | 2                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR   | 0                   |
| target I2c Send I2cRegPtr Cnt T str.ODR   | 1                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 2                   |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL   | 0                   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR                                      | 65                  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR                                      | 89                  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR                                      | 67                  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL                                     | 7                   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH                                     | 577                 |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT                                      | 88                  |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR                                      | 23                  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR                                      | 65                  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR                                      | 89                  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR                                      | 7                   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IVR                                      | 44                  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR                                     | 2                   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC                                      | 89                  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11                                    | 577                 |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12                                    | 89                  |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC                                     | 2                   |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN                                      | 0                   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR                                      | 0                   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN                                      | 1                   |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT                                     | 2                   |
|   |                     |

2014-10-14, 23:08:30+0530



| Name   |   |             |
|--|---|-------------|
| Bayer, I.P. Seffers, J. Seffers, J. C. Face, C. C.   | Name  | Input Value |
| Bayer, I.P. Seffers, J. Seffers, J. C. Face, C. C.   | target 12c SetRecy 12cRegPtr Cnt T str SET              | 2           |
| Tought (P.S., Serfice), DERGYP, COLT, SET ONE  TOUGHT (S. SERION), CORREST COLT, SET ONE  TOUGHT (S. SERION), C |   |             |
| Barget 102   Self-Brien, IncRept  10.1   Self-Brien, Inc   |   |             |
| Barger L.P.   SerSiver Declayer Co.T.   190 PBL  | target_I2c_SetRecv_I2cRegPtr_Cnt_I_str.ODR              |             |
| Barger   Disp. Selfelbers   Disperse   Cott   mar (MA)   | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 2           |
| Barger   Disp. Selfelbers   Disperse   Cott   mar (MA)   | target I2c SetRecv I2cRegPtr Cnt T str.PSL              | 0           |
| sings_ID_E_Self-Steins_D2-Self-pill_Fill_Fill*Fill         67           stoyst_E_Self-Steins_D2-Self-pill_Fill_Fill*Fill*Fill         67           stoyst_E_Self-Steins_D2-Self-pill_Fill_Fill_Fill*Fill         67           stoyst_E_Self-Steins_D2-Self-pill_Fill_Fill_Fill_Fill         67           stoyst_E_Self-Self-Steins_D2-Self-pill_Fill_Fill_Fill_Fill         68           stoyst_E_Self-Self-Steins_D2-Self-pill_Fill_Fill_Fill_Fill         63           stoyst_E_Self-Steins_D2-Self-pill_Fill_Fill_Fill_Fill         63           stoyst_E_Self-Self-pill_Fill_Fill_Fill_Fill_Fill         63           stoyst_E_Self-Self-pill_Fill_Fill_Fill_Fill         63           stoyst_E_Self-Self-pill_Fill_Fill_Fill         63           stoyst_E_Self-Self-pill_Fill_Fill_Fill         63           stoyst_E_Self-Self-pill_Fill_Fill_Fill         64           stoyst_E_Self-Self-pill_Fill_Fill_Fill         64           stoyst_E_Self-Self-pill_Fill_Fill_Fill         64           stoyst_E_Self-Self-pill_Fill_Fill_Fill         67           stoyst_E_Self-Self-pill_Fill_Fill_Fill_Fill         67           stoyst_E_Self-Self-pill_Fill_Fill_Fill_Fill         67           stoyst_E_Self-Self-pill_Fill_Fill_Fill_Fill         67           stoyst_E_Self-Self-pill_Fill_Fill_Fill_Fill         67           stoyst_E_Self-Self-pill_Fill_Fill_Fill_Fill         67  |   | 65          |
| Separation   Conference   Con   |   |             |
| Image   12.5 SerSama   Distrigation Cont   Image   12.5 SerValue   Image     |   |             |
| togst_DR_SSSSSSMED_REPROPT_CR_T_SCALE           togst_DR_SSSSSSMED_REPROPT_CR_T_SCARE           togst_DR_SSSSSMED_REPROPT_CR_T_SCARE           togst_DR_SSSSSMED_REPROPROPT_CR_T_SCARE     <   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 67          |
| Langer, L.P., SerSham, J.P. Reppir, C.P. L. J. S. J. S. P. L. S. L | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 7           |
| Langer, L.P., SerSham, J.P. Reppir, C.P. L. J. S. J. S. P. L. S. L | target I2c SetStatus I2cRegPtr Cnt T str.CLKH           | 577         |
| Langer   12.5 SerSimina   DeSigniff Or IT, SER DEN   |   |             |
| Langer   12.5 ASSISSION   12.6 Pept   Dot   1.4 MOR  |   |             |
| Image   12, SerSham   26 Registry   CMT_STANDR   7   |   |             |
| target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMNR  44 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMNR  45 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  46 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  47 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  48 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  49 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  49 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  40 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  40 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  40 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  40 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  40 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  40 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  41 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  41 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  42 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  43 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  44 target_IZ_S-SeSSibus_IZ-REGREPP_CNT_SEMSCS  45 target_IZ_S-SeSSibus_IX-REGREPP_CNT_SEMSCS  46 target_IZ_S-SesSibus_IX-REGREPP_CNT_SEMSCS  46 target_IZ_S-SesSibus_IX-REGREPP_CNT_SEMSCS  47 target_IZ_S-SesDistAnsibus_IX-REGREPP_CNT_SEMSCS  47 target_IZ_S-SesDistAnsibus_IX-REGREPP_CNT_SEMSCS  48 target_IZ_S-SesDistAnsibus_IX-REGREPP_CNT_SEMSCS  48 target_IZ_S-SesDistAnsibus_IX-REGREPP_CNT_SEMSCS  48 target_IZ_S-SesDistAnsibus_IX-REGREPP_CNT_SEMSCS  48 target_IZ_S-SesDistAnsibus_IX-REGREPP_CNT_SEMSCS  48 target_IZ_S-SesDistAnsibus_IX-REGREPP_CNT_SEMSCS  48 target_IZ_S-SesDistAnsibus_IX-RE | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR            | 65          |
| staget_12_E_SesSistan_2CRoppin_Col_T_st_MOR         7           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         2           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         2           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         39           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         39           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         39           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         2           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         0           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         0           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         0           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         0           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         1           staget_12_E_SesSistan_CROppin_Col_T_st_MOR         0           staget_12_E_Sessistan_CROppin_Col_T_st_MOR <td< td=""><td>target I2c SetStatus I2cRegPtr Cnt T str.DXR</td><td>89</td></td<>   | target I2c SetStatus I2cRegPtr Cnt T str.DXR            | 89          |
|  |   | 7           |
| Langer   12. Serishian   Zerogin Or.   T. IN ENDR   2  |   |             |
| Image:   DR. Selfstate;   DR Celly Proc.   T. Jelf Proc.   |   |             |
| thorqui [22, SelShath, 26RegPr (20, 1] ##PD11   977  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 2           |
| Image: 125. Selfstatus   20th opt: P. Cert   1 str PINI 2  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC            | 89          |
| Image: Lipe SetSetables (2016-09P) Coft T. Jet PIDIO   | target I2c SetStatus I2cRegPtr Cnt T str.PID11          | 577         |
| Lamper (D. S. Selfstans (2004)PP, Crit T. Str DNA         0           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         0           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         1           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         1           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         2           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         1           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         1           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         1           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         2           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         2           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         6           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         6           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         6           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         6           Larger (D. S. Selfstans (2004)PP, Crit T. Str DN         7           Larger (D. S. Selfstans (2004)PP, Crit T. Str DNR         6           Larger (D. S. Selfstans (2004)PP, Crit T. Str DNR         6           Larger (D. S. Selfstans (2004)PP, Crit T. Str DNR         9           Larger (D. S. Selfstans (2004)PP, Crit T. Str DNR         9           Larger (D. S. Selfstans (2004)PP, Crit T.  |   |             |
| Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Lorget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         1           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         1           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         2           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. SET         2           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         1           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         1           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0           Larget (Dz. Selfstatus (2016-ppt) Colt. T. str. DIN         0  |   |             |
| torquet [22. SetStatus   20faceppi* Crit   1 str DIN   1   1   1   1   1   1   1   1   1   |   |             |
| Image   Les SetShalas   Zenegin Cont_T shr DN   1   1   1   1   1   1   1   1   1  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            | 0           |
| Image   Les SetShalas   Zenegin Cont_T shr DN   1   1   1   1   1   1   1   1   1  | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 0           |
| target_Re_SetStatus_EcReptin_Cot_T_str.DUT         2           target_Re_SetStatus_EcReptin_Cot_T_str.DR         0           target_Re_SetStatus_EcReptin_Cot_T_str.DD         1           target_Re_SetStatus_EcReptin_Cot_T_str.DD         2           target_Re_SetStatus_EcReptin_Cot_T_str.DD         2           target_Re_SetStatus_EcReptin_Cot_T_str.DD         2           target_Re_SetStatus_EcReptin_Cot_T_str.DD         6           target_Re_SetStatus_EcReptin_Cot_T_str.DA         6           target_Re_SetStatus_EcReptin_Cot_T_str.DA         6           target_Re_SetStatus_EcReptin_Cot_T_str.Dat         6           target_Re_SetStatus_EcReptin_Cot_T_str.Dat         67           target_Re_SetStatus_EcReptin_Cot_T_str.Dat         67           target_Re_SetStatus_EcReptin_Cot_T_str.Dat         7           target_Re_SetStatus_Ecreptin_Cot_T_str.Dat         81           target_Re_SetUpMasterFacerin_EcReptin_Cot_T_str.Dat         82           target_Re_SetUpMasterFacerin_EcReptin_Cot_T_str.Dat         83           target_Re_SetUpMasterFacerin_Ecreptin_Cot_T_str.Dat         84           target_Re_SetUpMasterFacerin_Ecreptin_Cot_T_str.Dat         84           target_Re_SetUpMasterFacerin_Ecreptin_Cot_T_str.Dat         84           target_Re_SetUpMasterFacerin_Ecreptin_Cot_T_str.Dat         84           target_R  |   |             |
| larget_LES_SetSubus_LECReptPC_OT_SET_SET_         2           larget_LES_SetSubus_LECReptPC_OT_SET_SET_         0           larget_LES_SetSubus_LECReptPC_OT_SET_SET_SET_         0           larget_LES_SetSubus_LECReptPC_OT_SET_SET_SET_         0           larget_LES_SetSubus_LECReptPC_OT_SET_SET_SET_         0           larget_LES_SetUpMasterFacerev_LECReptPC_OT_SET_SET_SET_         0           larget_LES_SetUpMasterFacerev_LECReptPC_OT_SET_SET_SET_         65           larget_LES_SetUpMasterFacerev_LECReptPC_OT_SET_SET_SET_         67           larget_LES_SetUpMasterFacerev_LECReptPC_OT_SET_SET_SET_         67           larget_LES_SetUpMasterFacerev_LECReptPC_OT_SET_SET_SET_         77           larget_LES_SetUpMasterFacerev_LECReptPC_OT_SET_SET_SET_SET_         83           larget_LES_SetUpMasterFacerev_LECReptPC_OT_SET_SET_SET_SET_SET_SET_SET_SET_SET_SE   |   |             |
| broger, Liz. SetSelbas, 12cRepPt: Cert, 1. str. CPD         1           broger, Liz. SetSelbas, 12cRepPt: Cert, 1. str. PD         2           broger, Liz. SetSelbas, 12cRepPt: Cert, 1. str. PD         2           broger, Liz. SetSelbas, 12cRepPt: Cert, 1. str. PD         0           broger, Liz. SetSelbas, 12cRepPt: Cert, 1. str. PD         0           broger, Liz. SetSelbas, 12cRepPt: Cert, 1. str. NR         89           broger, Liz. SetSelbasserFecerov, 12cRepPt: Cert, 1. str. STR         67           broger, Liz. SetSelbasserFecerov, 12cRepPt: Cert, 1. str. STR         67           broger, Liz. SetSelbasserFecerov, 12cRepPt: Cert, 1. str. CLKH         577           broger, Liz. SetSelbasserFecerov, 12cRepPt: Cert, 1. str. STR         68           broger, Liz. SetSelbasserFecerov, 12cRepPt: Cert, 1. str. STR         65           broger, Liz. SetSelbasserFecerov, 12cRepPt: Cert, 1. str. STR         65           broger, Liz. SetSelbasserFecerov, 12cRepPt: Cert, 1. str. STR         65           broger, Liz. SetSelbasserFecerov, 12cRepPt: Cert, 1. str. STR         7           broger, Liz. SetSelbasserFecerov, 12cRepPt: Cert, 1. str. STR         44           broger, Liz. SetsphalsserFecerov, 12cRepPt: Cert, 1. str. STR         44           broger, Liz. SetsphalsserFecerov, 12cRepPt: Cert, 1. str. STR         90           broger, Liz. SetsphalsserFecerov, 12cRepPt: Cert, 1. str. STR         91   |   |             |
| larget_12e_SetSlabus_12eRepPr_Cnt_T_str.D0R         1           target_12e_SetSlabus_12eRepPr_Cnt_T_str.P0         2           target_12e_SetSlabus_12eRepPr_Cnt_T_str.P0A         5           target_12e_SetSlabus_12eRepPr_Cnt_T_str.P0A         65           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.NRR         89           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.CNL         7           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.CNL         7           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.CNL         7           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.DRR         23           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.DRR         23           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.DRR         23           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.DRR         89           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.DRR         7           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.DRR         7           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.DRR         2           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.DRR         2           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.DRR         2           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.DRR         0           target_12e_SetUpMasteReceve_12eRepPr_Cnt_T_str.DRR         0           target_12e_SetUpMasteReceve_12eR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET            | 2           |
| larget_L2s_SetSlabus_12sRepPr_CNT_str.PSL         0           larget_L2s_SetSlabus_12sRepPr_CNT_str.PSL         0           larget_L2s_SetSlabus_12sRepPr_CNT_str.PSL         0           larget_L2s_SetSlabus_12sRepPr_CNT_str.PSL         0           larget_L2s_SetSlabus_12sRepPr_CNT_str.PSL         65           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.NIRR         89           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.CNL         7           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.CNL         577           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.DNR         18           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.DNR         23           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.DNR         19           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.NIR         44           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.NIR         44           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.NIR         44           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.NIR         44           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.NIR         44           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.DNR         2           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.DNR         2           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.DNR         2           larget_L2s_SetUpMateInReview_L2sRepPr_CNT_str.DNR   | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 0           |
| target_Loz_SelStatus_Je2RepPtr_Cnt_T strPD         2           target_Loz_SelStatus_Je2RepPtr_Cnt_T str.PSL         0           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.NRR         89           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.STR         67           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.CLKL         7           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.CLKL         77           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.CLKL         57           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         88           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         83           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         83           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         89           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         89           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         44           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         2           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         2           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         2           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         2           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         0           target_Loz_SelupMasterReceive_Je2RepPtr_Cnt_T str.DRR         <   | target I2c SetStatus I2cRegPtr Cnt T str.ODR            | 1           |
| larget L2c. SetSubuls. L2cRepPtr. Cnt. T. str. PSI.         0           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.NRR         85           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.NRR         89           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.SULK         7           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.CUK         577           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.CNT         88           larget L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRR         23           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRR         23           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRR         89           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRR         89           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRR         7           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRR         2           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRR         2           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRR         2           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRM         89           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRM         89           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRM         1           target L2c. SetuphstetReceive L2cRepPtr. Cnt. T. str.DRM         2   |   |             |
| target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.NR         89           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.NR         87           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.CtxL         7           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.CtxL         577           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.CtxL         577           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         88           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         23           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         89           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         89           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         89           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         81           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         2           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         2           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         89           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         10           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         2           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         0           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR         0           target_12e_SetupMasterReceive_12eRegPir_Cnt_T str.DR   |   |             |
| target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.STR         67           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.ClkH         7           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.ClkH         57           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.ClkH         577           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         23           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         23           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         89           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         7           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         44           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         2           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRR         2           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRDR         2           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRDR         2           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRDR         2           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRDR         2           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRDR         2           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRDR         1           target_12b_SetupMasterReceive_12cRegPtr_Cnt_T_str.DRDR         1           target_12b_SetupMasterReceive_12cRegPtr_Cnt  |   | 0           |
| target_12e_SetupMasterReceive_12cRegPtr_Cnt_T str.CIKL 7 target_12e_SetupMasterReceive_12cRegPtr_Cnt_T str.CIKL 7 target_12e_SetupMasterReceive_12cRegPtr_Cnt_T str.CIKH 577 target_12e_SetupMasterReceive_12cRegPtr_Cnt_T str.DIX 88 target_12e_SetupMasterReceive_12cRegPtr_Cnt_T str.DIX 88 target_12e_SetupMasterReceive_12cRegPtr_Cnt_T str.DIX 89 target_12e_SetupMasterReceive_12cRegPtr_Cnt_T str.DIX 80 target_12e_SetupMasterTransmit_12cRegPtr_Cnt_T str.DIX 80 target_12e_SetupMasterTransmit_12cRegPtr_Cnt_T str.DIX 80 target_12e_SetupMasterTransmit_12cRegPtr_Cnt_T  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 65          |
| target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_CLK1         7           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_CLK1         7           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_CNT         88           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DRN         23           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNR         89           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNR         89           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNR         89           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNR         7           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNR         44           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNR         2           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNR         2           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNR         89           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNR         2           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNR         2           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNR         0           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNNA         2           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNNA         0           target_12e_SetupMasterReceive_12cRegPtr_Cnt_T_str_DNNA         0           target_12e_SetupMasterTarget_12e_RegPtr_Cnt_T_str  | target I2c SetupMasterReceive I2cRegPtr Cnt T str.IMR   | 89          |
| larget_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.CLKI         7           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.CLKI         577           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.CNT         88           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DRR         23           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.ScR         65           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DRR         89           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DRR         7           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DRR         7           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DRR         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DRR         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DRD         89           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DRD         9           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DRD         9           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T str.DRD         0           target_12c_SetupMasterTarasmit_12cRegPtr_Cnt_T str.D  |   | 67          |
| larget LZ, SetupMasterReceive   ZeRegPtr_Cnt_T str.CNT         88           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DRR         23           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DRR         23           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DRR         89           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DRR         89           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.MDR         7           target   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.EMDR         2           target   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.EMDR         2           target   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.EMDR         2           target   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DNAC         39           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DNAC         20           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DNAC         2           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DNA         2           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DNA         1           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DNA         1           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DNA         2           target   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DNA         1           larget   ZE, SetupMasterReceive   ZeRegPtr_Cnt_T str.DNA         1   |   |             |
| target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. DRR         23           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. SRR         65           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. SRR         89           starget   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. MRR         7           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. MRR         7           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. MRR         44           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. MRR         2           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. PRD         89           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. PDD12         89           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. PDD12         89           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. DMAC         2           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. DMAC         1           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. DMAC         2           target   Ze, SetupMasterReceive   ZeRegPtr. Cnt.   str. Str. DMAC         2           target   Ze, SetupMasterReceive   ZeRegPtr.  |   |             |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DRR         23           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_SRR         65           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DRR         89           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DRR         7           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DRR         7           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DRR         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DRR         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DRD         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DD12         89           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DD12         89           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DD12         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DD1R         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DD1R         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DD1         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DD1         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DD1         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DD1         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str_DD1         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str_  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 577         |
| Integral   22_ SetupMasterReceive   12cRegPT_Cnt_T_str.DAR   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 88          |
| Integral   22_ SetupMasterReceive   12cRegPT_Cnt_T_str.DAR   | target I2c SetupMasterReceive I2cRegPtr Cnt T str.DRR   | 23          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DXR         89           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.MRR         7           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.IVR         44           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PDR         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PDC         89           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PDI12         89           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DINAC         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DINAC         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIR         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIR         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOV         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOV         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOR         1           target_12c_SetupMasterTransmit_2cRegPtr_Cnt_T_str.DAR         65           target_12c_SetupMasterTransmit_2cRegPtr_Cnt_T_str.DAR         65           target_12c_SetupMasterTransmit_2cRegPtr_Cnt_T_str  |   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR         7           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR         44           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PDC         89           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD11         577           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD12         89           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD12         89           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DNAC         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DNR         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DUT         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.Str.DT         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DDR         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DR         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DAR         6           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         65           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         7           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         7           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_  |   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC         89           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PDI1         577           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PDI12         89           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DNAC         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DUT         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DUT         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DUT         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DUT         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DUT         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DUT         0           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DUT         1           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DUT         6           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DUT         8           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DUT         8           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_  |   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC         89           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11         577           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12         89           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DLR         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DLR         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DLR         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DLR         0           target_I2c_SetupMasterTransmi_I2cRegPtr_Cnt_T_str.DL         2           target_I2c_SetupMasterTransmi_I2cRegPtr_Cnt_T_str.MR         89           target_I2c_SetupMasterTransmi_I2cRegPtr_Cnt_T_str.CNT         88           target_I2c_SetupMasterTransmi_I2cRegPtr_Cnt_T_str.DRR         7           target_I2c_SetupMasterTransmi_I2cRegPtr_Cnt_T_str.DNR         7           target_I2c_SetupMasterTransmi_I2cRegPtr_Cnt_T_str.D  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 7           |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PSC         89           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID11         577           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIMC         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIMC         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIM         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIM         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         88           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         88           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         89           target_12c_SetupMasterTransmit_12cRegPtr_Cn  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 44          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PSC         89           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID11         577           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUN         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         2           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         87           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         87           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DUT         89           target_12c_SetupMasterTransmit_12cRegPtr_Cn  | target I2c SetupMasterReceive I2cRegPtr Cnt T str.EMDR  | 2           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11         577           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12         89           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PUN         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PUN         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         2           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         65           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         89           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT         88           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         23           target_I2c_SetupMasterTransmit_I2cReg  |   |             |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PID12         89           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOUT         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOUT         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOR         1           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         65           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         65           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLK         7           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLK         7           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         88           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         23           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         65           target_12c_SetupMasterTransmit_12cRegPtr_  |   |             |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DMAC         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIR         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIR         0           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIN         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DOUT         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SET         2           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.ODR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR         1           target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DAR         6           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         6           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL         7           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DIR         8           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         8           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR         89           target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_s  |   |             |
| target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.FUN  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 89          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT         2           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOR         0           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOR         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOR         1           target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DAR         6           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         6           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         89           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL         7           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT         88           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT         88           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR         65           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR         65           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DAR         7           target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ENDR         7           target_I2c_SetupMasterTransmit_I2cRegPtr_Cn  | target I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC  | 2           |
| target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DIR  target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DIN  target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DUT  target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DUT  target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.SET  2  target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DCR  target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DCR  target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDR  target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDL  target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DSL  target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR  target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR  target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR  target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL  target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL  target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR  2  targe |   | 0           |
| target_[2c_SetupMasterReceive_[2cRegPtr_Cnt_T_str.DIN  |   |             |
| target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DOUT 2 target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.SET 2 target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DER 0 target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDR 1 target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDR 1 target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DDR 2 target_!2c_SetupMasterReceive_!2cRegPtr_Cnt_T_str.DD 2 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 65 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 65 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR 67 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.STR 67 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL 7 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.CLKL 88 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 89 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 80 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 80 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 81 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 82 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 83 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 84 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 85 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 86 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 87 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 88 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 89 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 80 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 80 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 81 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 82 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 84 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 85 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 86 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 87 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 88 target_!2c_SetupMasterTransmit_!2cRegPtr_Cnt_T_str.DAR 89 target_!2c_SetupMasterTransmi |   |             |
| target_12c_SetupMasterReceive_12cRegPtr_CntT_str.CLR  1 target_12c_SetupMasterReceive_12cRegPtr_CntT_str.CLR  1 target_12c_SetupMasterReceive_12cRegPtr_CntT_str.DDR  1 target_12c_SetupMasterReceive_12cRegPtr_CntT_str.DD  1 target_12c_SetupMasterReceive_12cRegPtr_CntT_str.DD  1 target_12c_SetupMasterReceive_12cRegPtr_CntT_str.DD  1 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DAR  1 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DAR  1 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DAR  1 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.STR  1 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.CLKL  1 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.CLKL  1 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.CNT  1 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DRR  1 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DRR  2 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DAR  2 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DARC  2 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DARC  2 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DARC  2 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DARC  2 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DARC  2 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DARC  3 target_12c_SetupMasterTransmit_12cRegPtr_CntT_str.DARC  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str. |   | 1           |
| target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.CLR  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 2           |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.CLR  1 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR  1 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DDR  1 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PD  2 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PSL  1 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR  2 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR  3 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL  5 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKH  5 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DAR  5 target_12c_SetupMas | target I2c SetupMasterReceive I2cRegPtr Cnt T str.SET   | 2           |
| target_ 2c_SetupMasterReceive_ 2cRegPtr_Cnt_T_str.DDR  |   |             |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PD  2 target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PSL  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.OAR  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.MR  4 set_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.STR  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CLKL  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  5 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  5 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  6 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.DRR  7 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR  4 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.EMDR  5 target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PDR  5 target_12c_SetupMa |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL 0 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR 65 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR 67 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL 7 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL 577 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH 577 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT 88 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 23 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR 65 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 7 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 44 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PDD11 577 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2   |   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  89  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  67  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  7  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  577  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  88  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  23  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  23  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  89  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  89  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.NDR  7  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  44  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  2  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  2  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  577  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  89  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  2  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  2  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  0  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD    | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR  89  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  67  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  7  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  577  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  88  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  23  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR  23  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  89  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  89  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.NDR  7  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  44  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  2  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  2  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11  577  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12  89  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  2  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  2  target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  0  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL   | 0           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR 67  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL 7  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH 577  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT 88  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 23  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR 65  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 7  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 44  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDT 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DDT 377  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 577  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DID12 89  |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.NDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PUN  0  |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH 577 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT 88 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 23 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 65 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 7 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR 44 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 577 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PUN 0   |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH 577  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT 88  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 23  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 65  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 7  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR 44  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 577  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PUN 0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR  |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PUN  0   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL | 7           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PUN  0   | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLKH | 577         |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR 23 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR 65 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 7 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR 44 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 577 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN 0   |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PUN  0  |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR 7 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR 44 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PlD11 577 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PlD12 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PIDN 0  |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  44  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  577  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID10  0   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR  | 65          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.MDR  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IVR  44  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR  2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11  577  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12  89  target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID10  0   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR  | 89          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR 44 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR 2 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC 89 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 577 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 89 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC 2 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN 0  |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.EMDR 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 577 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN 0  |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSC  89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PlD11 577 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PlD12 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN 0   |   |             |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 577 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN 0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR | 2           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID11 577 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PID12 89 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC 2 target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN 0  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC  | 89          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 89 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC 2 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN 0   |   | 577         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC 2 target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN 0   |   |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN 0   |   |             |
|  |   |             |
|  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN  | 0           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR 0   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR  | 0           |

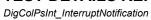
2014-10-14, 23:08:30+0530



| Name  | Input Value  |                |        |
|---|--------------|----------------|--------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN  | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET  | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR  | 0            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR  | 1            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD   | 2            |                |        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL  | 0            |                |        |
| target_i2cREG1_temp.OAR                                 | 65           |                |        |
| target_i2cREG1_temp.IMR                                 | 89           |                |        |
| target_i2cREG1_temp.STR                                 | 67           |                |        |
| target_i2cREG1_temp.CLKL                                | 7            |                |        |
| target_i2cREG1_temp.CLKH                                | 577          |                |        |
| target_i2cREG1_temp.CNT                                 | 88           |                |        |
| target_i2cREG1_temp.DRR                                 | 23           |                |        |
| target_i2cREG1_temp.SAR                                 | 65           |                |        |
| target_i2cREG1_temp.DXR                                 | 89           |                |        |
| target_i2cREG1_temp.MDR                                 | 7            |                |        |
| target_i2cREG1_temp.IVR                                 | 44           |                |        |
| target_i2cREG1_temp.EMDR                                | 2            |                |        |
| target_i2cREG1_temp.PSC                                 | 89           |                |        |
| target_i2cREG1_temp.PID11                               | 577          |                |        |
| target_i2cREG1_temp.PID12                               | 89           |                |        |
| target_i2cREG1_temp.DMAC                                | 2            |                |        |
| target_i2cREG1_temp.FUN                                 | 0            |                |        |
| target_i2cREG1_temp.DIR                                 | 0            |                |        |
| target_i2cREG1_temp.DIN                                 | 1            |                |        |
| target_i2cREG1_temp.DOUT                                | 2            |                |        |
| target_i2cREG1_temp.SET                                 | 2            |                |        |
| target_i2cREG1_temp.CLR                                 | 0            |                |        |
| target_i2cREG1_temp.ODR                                 | 1            |                |        |
| target_i2cREG1_temp.PD                                  | 2            |                |        |
| target_i2cREG1_temp.PSL                                 | 0            |                |        |
| Name  | Actual Value | Expected Value | Result |

| DigColPsInt_AltempCocurForCustDalRead_Cnt_M_u088  | target_izckEGT_temp.PD                           | 4                     |                                     |            |
|---|--|-----------------------|-------------------------------------|------------|
| DigColPsInt_AltempOccurForCustDaRead_Cnt_M_u08  | target_i2cREG1_temp.PSL                          | 0                     |                                     |            |
| DigColPsint_Buffer_Cnt_M_u08(1)   12   12   12   12   12   12   13   13   | Name   | Actual Value          | Expected Value                      | Result     |
| DigColPsint_Buffer_Cnt_M_u08[1]   200 | DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 4                     | 4                                   | ~          |
| DigColPsint_BusBusySeqError_Cnt_M_ugc   | DigColPsInt_Buffer_Cnt_M_u08[0]                  | 12                    | 12                                  | ✓          |
| DigColPsInt_DusBusySeqError_Cnt_M_lgc   | DigColPsInt_Buffer_Cnt_M_u08[1]                  | 200                   | 200                                 | <b>✓</b>   |
| DigColPsInt_CmdFailOccurred_Cmt_Migc  | DigColPsInt_Buffer_Cnt_M_u08[2]                  | 250                   | 250                                 | ✓          |
| DigColPsInt_ColCustDatFound_Cnt_M_igc   | DigColPsInt_BusBusySeqError_Cnt_M_lgc            | 0                     | 0                                   | ~          |
| DigColPsint_ColSnsrData_Cnt_M_u08   | DigColPsInt_CmdFailOccurred_Cnt_M_lgc            | 0                     | Ō                                   | ✓          |
| DigColPsin_CurrentSlave_Cnt_M_u08   | DigColPsInt_ColCustDatFound_Cnt_M_lgc            | 0                     | 0                                   | <b>✓</b>   |
| DigColPsint_IZCHMcustData_Uls_M_u16   | DigColPsInt_ColSnsrData_Cnt_M_u16                | 7                     | 7                                   | ✓          |
| DigColPsint_I2CHwicustData_Uls_M_u16  | DigColPsInt_CurrentSlave_Cnt_M_u08               | 127                   | 127                                 | <b>✓</b>   |
| DigColPsint_I2CHwincompleteCustData_Uis_M_u16   | DigColPsInt_CurrentStepNo_Cnt_M_enum             | INIT_SENSOR1_EXTREADC | TRLREG_SET INIT_SENSOR1_EXTREADCTRI | LREG_SET 🗸 |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc         0         0           DigColPsInt_NackOccured_Cnt_M_lgc         0         0           DigColPsInt_RecvOverrunError_Cnt_M_lgc         0         0           DigColPsInt_SpurGustDatFound_Cnt_M_lgc         0         0           DigColPsInt_SpurGustDatFound_Cnt_M_u16         88         88           DigColPsInt_TransactionCnt_Cnt_M_u08         110         110           DigColPsInt_TransactionCnt_Cnt_M_u08         110         110           12c_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           12c_SetupMasterTransmit(DataLength_Cnt_T_u16)         1         1           1arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.OAR         65         65           1arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.BTR         67         67           1arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.ClkL         7         7           1arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.ClkH         577         577           1arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR         23         23           1arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR         23         23           1arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR         89         89           1arget_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR         44         44           1arget_   | DigColPsInt_I2CHwCustData_Uls_M_u16              | 70                    | 70                                  | <b>✓</b>   |
| DigColPsInt NackOccured_Cnt_M_lgc   | DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16    | 71                    | 71                                  | ✓          |
| DigColPsint_RecvOverrunError_Cnt_M_u08  | DigColPsInt_InitFailedOnce_Cnt_M_lgc             | 0                     | 0                                   | <b>✓</b>   |
| DigColPsInt_SpurCustDatFound_Cnt_M_igc   0  | DigColPsInt_NackOccured_Cnt_M_lgc                | 0                     | 0                                   | ✓          |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc  | DigColPsInt_RecvOverrunError_Cnt_M_lgc           | 0                     | 0                                   | <b>✓</b>   |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | DigColPsInt_RecvdDataType_Cnt_M_u08              | 5                     | 5                                   | <b>✓</b>   |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | DigColPsInt_SpurCustDatFound_Cnt_M_lgc           | 0                     | 0                                   | <b>✓</b>   |
| 12c_Send(Length_Cnt_T_u32)  | DigColPsInt_SpurSnsrData_Cnt_M_u16               | 88                    | 88                                  | <b>✓</b>   |
| 12c_SetupMasterTransmit(DataLength_Cnt_T_u16)   | DigColPsInt_TransactionCnt_Cnt_M_u08             | 110                   | 110                                 | <b>✓</b>   |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR       65       65         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR       89       89         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR       67       67         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL       7       7         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH       577       577         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT       88       88         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR       23       23         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR       89       89         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR       89       89         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR       7       7         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.BMDR       7       7         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR       2       2         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC       89       89         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11       577       577         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DID12       89       89         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC       2       2         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC       2       2         target_I2c_GenStopCond_I   | I2c_Send(Length_Cnt_T_u32)                       | 1                     | 1                                   | ✓          |
| target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.IMR       89       89         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.STR       67       67         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.CLKL       7       7         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.CLKH       577       577         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.CNT       88       88         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DRR       23       23         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DXR       89       89         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DXR       89       89         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.NDR       7       7         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.NDR       7       7         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.EMDR       44       44         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.EMDR       2       2         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.PID11       577       577         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.PID12       89       89         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.PID12       89       89         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DMAC       2       2         target_!2c_GenStopCond_!2cRegPtr_Cnt_T_str.DMAC       2       2         target_!2c_GenStopCond   | I2c_SetupMasterTransmit(DataLength_Cnt_T_u16)    | 1                     | 1                                   | ~          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.STR       67       67         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL       7       7         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH       577       577         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT       88       88         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR       23       23         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR       89       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR       7       7         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.NVR       44       44         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR       2       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PBC       89       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PBC       89       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PBDR       2       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PBD11       577       577         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIAC       2       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC       2       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR       0       0   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 65                    | 65                                  | ✓          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKL       7         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH       577         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT       88         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR       23         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR       65         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR       7         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR       44         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11       577         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIMAC       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN       0         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIMAC       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIMAC       0         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR       0  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 89                    | 89                                  | ~          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CLKH       577         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT       88         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR       23         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR       65         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR       7         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR       44         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11       577         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIMAC       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN       0         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR       0  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 67                    | 67                                  | ✓          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.CNT       88       88         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR       23       23         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR       65       65         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DXR       89       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR       7       7         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR       44       44         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR       2       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC       89       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11       577       577         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12       89       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC       2       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN       0       0         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR       0       0  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 7                     | 7                                   | ✓          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DRR       23       23         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.SAR       65       65         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.MDR       7       7         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.IVR       44       44         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.EMDR       2       2         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PSC       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID11       577       577         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID12       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC       2       2         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC       2       2         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.FUN       0       0         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIR       0       0   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 577                   | 577                                 | ✓          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.SAR       65       65         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.MDR       7       7         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.IVR       44       44         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.EMDR       2       2         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PSC       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID11       577       577         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID12       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC       2       2         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC       2       2         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.FUN       0       0         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIR       0       0  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 88                    | 88                                  | ✓          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.MDR       7       7         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.IVR       44       44         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.EMDR       2       2         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PSC       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID11       577       577         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID12       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC       2       2         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.FUN       0       0         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIR       0       0   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 23                    | 23                                  | ✓          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.MDR       7         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR       44         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11       577         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN       0         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR       0   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 65                    | 65                                  | ~          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.IVR       44       44         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.EMDR       2       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSC       89       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID11       577       577         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PID12       89       89         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DMAC       2       2         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN       0       0         target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR       0       0   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 89                    | 89                                  | ✓          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.EMDR       2       2         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PSC       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID11       577       577         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID12       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC       2       2         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.FUN       0       0         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIR       0       0  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 7                     | 7                                   | ~          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PSC       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID11       577       577         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.PID12       89       89         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DMAC       2       2         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.FUN       0       0         target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIR       0       0  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 44                    | 44                                  | ✓          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11       577       577         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12       89       89         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC       2       2         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN       0       0         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR       0       0   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 2                     | 2                                   | ~          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12       89       89         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC       2       2         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN       0       0         target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR       0       0  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 89                    | 89                                  | ✓          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC         2         2           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN         0         0           target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR         0         0   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 577                   | 577                                 | ✓          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12 | 89                    | 89                                  | ✓          |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR 0  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 2                     | 2                                   | ✓          |
|   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 0                     | 0                                   | ✓          |
| target I2c ConStanCond I2cRonDtr Cnt T etr DIN 1  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   |                       | 0                                   | ~          |
| talget_12c_Genotopconid_12cit.egr ti_cnit_1_str.bliv  | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1                     | 1                                   | <b>✓</b>   |

2014-10-14, 23:08:30+0530





| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>~</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | ~        |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.PSL<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | - J      |
| target_12c_Send_12cRegPtr_Cnt_T_str.IMR  | 89           | 89             | <u> </u> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 67           | 67             |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 88           | 88             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 23           | 23             | <b>~</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SAR  | 65           | 65             | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR  | 89<br>7      | 89<br>7        | ×        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.MDR<br>target_l2c_Send_l2cRegPtr_Cnt_T_str.IVR         | 44           | 44             | Ž        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              | <u> </u> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | <b>v</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 2            | 1 2            | ~        |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.DOUT target_l2c_Send_l2cRegPtr_Cnt_T_str.SET           | 2            | 2              | - J      |
| target I2c Send I2cRegPtr Cnt T str.CLR  | 0            | 0              | <u> </u> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 0            | 0              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR   | 65           | 65             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 89           | 89             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 7<br>577     | 7<br>577       | <u> </u> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT     | 88           | 88             | Ž        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | <u> </u> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR   | 44           | 44             | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSC   | 89           | 89             | <b>~</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11   | 577          | 577            | ~        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID12 target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DMAC   | 89<br>2      | 89<br>2        | Ž        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ·        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ✓        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 0<br>65      | 0<br>65        | <b>*</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | Ž        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR   | 67           | 67             | Ž        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL  | 7            | 7              | ·        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH  | 577          | 577            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 88           | 88             | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR   | 23           | 23             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 65           | 65             | <b>~</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 89           | 89             | <b>~</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR   | 7            | 7              | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR | 44<br>2      | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_I_str.EMDR target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC | 89           | 2<br>89        |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 577          | 577            | <u> </u> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 89           | 89             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              | ~        |
|  |              |                |          |



| DigColPsInt_Interr | ruptNotification |
|--------------------|------------------|
|--------------------|------------------|

| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET   | 2            | 2              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | ✓        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 65           | 65             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 67           | 67             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 577          | 577            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 88           | 88             | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 23           | 23             | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 65           | 65             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 89           | 89             | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 7            | 7              | <b>Y</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 44           | 44             | <b>Y</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 2            | 2              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC  | 89           | 89             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 577          | 577            | •        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 89           | 89             | <b>~</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | <b>Y</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 2            | 2              | <b>V</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | <b>Y</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PD   | 2            | 2              | ~        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL  | 0            | 0              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 65<br>89     | 65<br>89       |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.IMR   | 67           | 67             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL   | 7            | 7              |          |
|  | 577          | 577            |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH  | 88           | 88             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 23           | 23             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR   | 65           | 65             | •        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SAR<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DXR | 89           | 89             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 7            | 7              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.IVR   | 44           | 44             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 2            | 2              | -        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 89           | 89             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 577          | 577            |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PID12   | 89           | 89             |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DMAC  | 2            | 2              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 0            | 0              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DIR   | 0            | 0              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 2            | 2              | 9        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 2            | 2              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | <u> </u> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.ODR   | 1            | 1              |          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PD  | 2            | 2              | <u> </u> |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSL   | 0            | 0              |          |
| targot_120_0ctupiniaotor franomit_1201.cgr tt_Offt_1_off.rot   | U            | Į v            |          |

| Τ                       |       |                         |       | <b>✓</b> |
|-------------------------|-------|-------------------------|-------|----------|
| Actual Function         | Count | Expected Function       | Count | Result   |
| SetupWriteRegister      | 1     | SetupWriteRegister      | 1     | ~        |
| I2c_SetupMasterTransmit | 1     | I2c_SetupMasterTransmit | 1     | <b>✓</b> |
| I2c_Send                | 1     | I2c_Send                | 1     | •        |

| Test Step 3.49 (Repeat Count = 1)               | ✓           |
|---|-------------|
| Name  | Input Value |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 2           |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 1           |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 5           |



| DigCoirSin_Interruptivotinication (VIIIC)   |  |  |
|---|--|--|
| Name  | Input Value  |  |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 9  |  |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc   | 1  |  |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc   | 1  |  |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0  |  |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 56   |  |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 90   |  |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ_SENSOR2_GETDATA                               |  |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 64   |  |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 65   |  |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0  |  |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 1.   |  |
| DigColPsInt_PrevReqDataType_Cnt_M_u08   | 3  |  |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 1  |  |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 1  |  |
| ligColPsInt_SkipRegisterWrite_Cnt_M_lgc   | 1  |  |
| bigColPsInt_SpurCustDatFound_Cnt_M_lgc  | 1  |  |
| bigColPsInt_SpurSnsrData_Cnt_M_u16  | 7878   |  |
| bigColPsInt_TransactionCnt_Cnt_M_u08  | 100  |  |
| lags_Cnt_T_b16  | 32   |  |
|   |  |  |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)   | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |  |
| 2c_Send(I2cRegPtr_Cnt_T_str)  | target_I2c_Send_I2cRegPtr_Cnt_T_str                |  |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)   | target_l2c_SetRecv_l2cRegPtr_Cnt_T_str             |  |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)   | target_l2c_SetStatus_l2cRegPtr_Cnt_T_str           |  |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |  |
| _DataRegisters_Cnt_u08[0]   | 0  |  |
| _DataRegisters_Cnt_u08[1]   | 32   |  |
| _DataRegisters_Cnt_u08[2]   | 30   |  |
| _DataRegisters_Cnt_u08[3]   | 36   |  |
| _DataRegisters_Cnt_u08[4]   | 38   |  |
| _DataRegisters_Cnt_u08[5]   | 34   |  |
| _DataRegisters_Cnt_u08[6]   | 10   |  |
| _DataRegisters_Cnt_u08[7]   | 12   |  |
|   | 14   |  |
| 2cREG1_temp   | target_i2cREG1_temp                                |  |
| ColSensorl2CAddress_Cnt_u08   | 114  |  |
| SpurSensorI2CAddress Cnt u08  | 30   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 678  |  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.IMR   | 45   |  |
| arget I2c GenStopCond I2cRegPtr Cnt T str.STR   | 66   |  |
|   |  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 56   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 6788   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 7878   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 12   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 678  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 45   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 56   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 778  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 45   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 6788   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 45   |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   | 0  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 1  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1  |  |
|   | 1  |  |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET   |  |  |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 0  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 1  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 2  |  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 1  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR  | 678  |  |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 45   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR  | 66   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 56   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 6788   |  |
|   | 7878   |  |
|   |  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT  | 12   |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT<br>arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR  | 12<br>678  |  |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT<br>arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR<br>arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR  | 678  |  |
| arget_l2c_Send_l2cRegPtr_Cnt_T_str.CNT arget_l2c_Send_l2cRegPtr_Cnt_T_str.DRR arget_l2c_Send_l2cRegPtr_Cnt_T_str.SAR arget_l2c_Send_l2cRegPtr_Cnt_T_str.DXR arget_l2c_Send_l2cRegPtr_Cnt_T_str.DXR arget_l2c_Send_l2cRegPtr_Cnt_T_str.MDR |  |  |

2014-10-14, 23:08:30+0530



| Name   | Input Value |
|--|-------------|
|  | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR               |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC                | 45          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11              | 6788        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12              | 45          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC               | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN                | 1           |
|  |             |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR                | 0           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN                | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT               | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SET                | 1           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR                | 0           |
| target I2c Send I2cRegPtr Cnt T str.ODR                | 1           |
| · ·  |             |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.PD                 | 2           |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR             | 678         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR             | 45          |
|  | 66          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL            | 56          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH            | 6788        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT             | 7878        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR             | 12          |
|  | 678         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR             | 45          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR             | 56          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR             | 778         |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR            | 1           |
| target I2c SetRecv I2cRegPtr Cnt T str.PSC             | 45          |
|  |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11           | 6788        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12           | 45          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC            | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR             | 0           |
|  | 1           |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.DIN             |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT            | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR             | 0           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR             | 1           |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD              | 2           |
|  |             |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR           | 678         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR           | 45          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR           | 66          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL          | 56          |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH          | 6788        |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT           | 7878        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR           | 12          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR           | 678         |
| target I2c SetStatus I2cRegPtr Cnt T str.DXR           | 45          |
| target I2c SetStatus I2cRegPtr Cnt T str.MDR           | 56          |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR           | 778         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR          | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC           | 45          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11         | 6788        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12         | 45          |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC          | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT          | 1           |
|  |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR           | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR           | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD            | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL           | 1           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 678         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 45          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 66          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL | 56          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH | 6788        |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 7878        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 12          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR  | 678         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR  | 45          |
|  |             |

2014-10-14, 23:08:30+0530



| Name   |  |             |                |          |
|--|--|-------------|----------------|----------|
| Supple   Rec.   Design Apple   Process   Pro   | Name   | Input Value |                |          |
| Sept   1.5   Sept   S   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 56          |                |          |
| Langel J.D., Schophotomic Processor, J. Park Proc. T. et Proc. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et Proc. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Processor, J. Park Proc. T. et D. Park C. 1  Langel J.D., Schophotomic Proc. T. et D. Park C. 1  Langel J.D., Sch | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    |             |                |          |
| Supple   12.5 Subphyshaferene   Rainpall   Cort   1 or   DOTS  | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |                |          |
| Bargel LDS   Separation Feetense   Darkelph Con T   dar 2010 2   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 45          |                |          |
| Image: Lipe   Subshiphater Recovers   Lander Port   1, 1   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 6788        |                |          |
| Target J.D. SchadolanderRoom, 2014-2017, CT. 2017. 1  Target J.D. SchadolanderRoom, 2014-2017, CT. 2017. 2  Target J.D. SchadolanderTransmit, 2014-2017, CT. 2017. 2  Target J.D. Schado | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 45          |                |          |
| Segret   12.5 Sephysheter Receive   2.6 Se   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1           |                |          |
| Target J.P. Sephalpharent Receive J. 2-Reging F. Cent J. am DOUT 1   1   1   1   1   1   1   1   1   1   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |                |          |
| Image: Lipic Separate Processor Cont.   Lipic DOUT   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 0           |                |          |
| Image:   | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 1           |                |          |
| Integral,  | target I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT   | 1           |                |          |
| Image:   12.5 Subphderfections   20.5 Subphderfectio   |  | 1           |                |          |
| Integral   Description   Proceedings   Proceded   Pro   |  | 0           |                |          |
| Langer   D.S. SeubphanerRecove   Direging   Cont.   pt PRID  |  |             |                |          |
| Image   12, Sebukhderi Framerii, 12-Regin   Cell   Taylor   Cell   Taylor   |  |             |                |          |
| Image   12.5. Subplement Frameric   12-Registry Coll   7.5 to 18.5 t   |  |             |                |          |
| Image   20. SetupMent Transmit   20-RepPr Out   1 st   15 ft   |  |             |                |          |
| Sept   1.5   |  |             |                |          |
| Image: 1200   Septiminate From the Deckler From T. art CLKLL   Septiminate From T. Deckler From T. Deckler From T. Deckler From T. art CLKLL   Septiminate From T. Deckler From T. Art CLKLL   Septiminate From T. Deckler From T. Deckler From T. Better From T. Dec   |  |             |                |          |
| tanget, Dr.S. SetupAssierTransmit_Distright*, Col.T., Jan CNCH  tanget, Dr.S. SetupAssierTransmit_Distright*, Col.T., Jan CNCH  tanget, Dr.S. SetupAssierTransmit_Distright*, Col.T., Jan CNCR  tanget, Dr.S. SetupAssierTransmit_Distright*, Col.T., Jan DICR  tanget, Dr.S. SetupAssierTransmit_Distright*, Col.T., Jan DIC  |  |             |                |          |
| tanget, 122. Subptivater Transmit (228-ppt Cn.T.) at CNT   |  |             |                |          |
| langet, IZC. SetupMaserTransmit_Circlespff* Con.T. at a SDRR 1000   STR 1000  |  |             |                |          |
| taged 12.5 sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 45 toged 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 45 toged 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 45 toged 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 16 toged 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 178 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater Transmul, 12-RegPtr, Cort, T., str. DARS 18 torged, 12.5. sebug-Mater  |  |             |                |          |
| Image   12.5. SetupMasterTransmil_20RegPt*_Cort_T_str.DNR  |  |             |                |          |
| taged, IZs. SebupMasterTransmil, IZPRegPPL Cert_I_str. IVIN R 100ggl IZPREGP IXIN R 100ggl IXIN R 100ggl IZPREGP IXIN R 100ggl IXI |  |             |                |          |
| Image:   Lip. SetupMaster Transmil, EcRelpit** Cont. 1, str. EMDR   1   1   1   1   1   1   1   1   1  |  |             |                |          |
| target, [2.e. SetupMasterTransmit_EcRepPt_Coll_1 str PID10   6788    target_1 [2.e. SetupMasterTransmit_EcRepPt_Coll_1 str PID11   6788    target_1 [2.e. SetupMasterTransmit_EcRepPt_Coll_1 str PID11   6788    target_1 [2.e. SetupMasterTransmit_EcRepPt_Coll_1 str PID12   45    target_1 [2.e. SetupMasterTransmit_EcRepPt_Coll_1 str PID12   45    target_1 [2.e. SetupMasterTransmit_EcRepPt_Coll_1 str PID10   1    target_1 [2.e. SetupMasterTransmit_EcRepPt_Coll_1 str PID1   1    target_1 [2.e. SetupMasterTransmit_EcRepPt_Coll_1 str DID  |  |             |                |          |
| Larget_L2c_SetuphlasterTransmit_L2cRegPtr_Cnt_T_str_PDC1   5768  |  |             |                |          |
| target_Lize_SebupMasterTransmil_LizeRegPP_CnLT_str-PID11   |  |             |                |          |
| Images   25. SebupMasterTransmit   25RepPtr_CntT_str.PID12   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 45          |                |          |
| target_Ros_SetupMasterTransmit_RoRepPir_Cnit_str.DMAC 1 target_Ros_SetupMasterTransmit_RoRepPir_Cnit_str.DMR   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 6788        |                |          |
| Isaget   ZcSetupMasterTransmit   ZcRegPir_Cnt_T_str.DN   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 45          |                |          |
| Image  L2Re, SelupMasterTransmit  L2RegePt_Cnt_tst.DIN   1   1   1   1   1   1   1   1   1   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1           |                |          |
| larget_L2c_SetupMasterTransmit_L2cRegPtr_Cnt_T_str.DUT   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1           |                |          |
| target_I2e_SetupMasterTransmit_I2cRegPit_Cnt_T.str.DOUT   1   1   1   1   1   1   1   1   1  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0           |                |          |
| larget_L2e_SetupMasterTransmit_L2eRegPtr_Cnt_T_str.SET   1   1   1   1   1   1   1   1   1   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1           |                |          |
| target_I2e_SetupMasterTransmit_I2eRegPtr_Cnt_T_str.CNR   | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1           |                |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD  | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1           |                |          |
| larget_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD  | target I2c SetupMasterTransmit I2cRegPtr Cnt T str.CLR   | 0           |                |          |
| larget_12c_ SetupMasterTransmit_12cRegPtr_Cnt_T_str.PD         2           target_12cE_ SetupMasterTransmit_12cRegPtr_Cnt_T_str.PSL         678           target_12cREG1_temp_LNR         45           target_12cREG1_temp_CLKL         56           target_12cREG1_temp_CLKH         678           target_12cREG1_temp_DRR         12           target_12cREG1_temp_DRR         678           target_12cREG1_temp_DRR         678           target_12cREG1_temp_DRR         678           target_12cREG1_temp_DRR         678           target_12cREG1_temp_DRR         56           target_12cREG1_temp_DRR         45           target_12cREG1_temp_DRR         778           target_12cREG1_temp_DNR         1           target_12cREG1_temp_DNR         1           target_12cREG1_temp_DNB         45           target_12cREG1_temp_DNAC         45           target_12cREG1_temp_DNAC         1           target_12cREG1_temp_DNB         0           target_12cREG1_temp_DNB         1           target_12cREG1_temp_DNB         0           target_12cREG1_temp_DNB         0           target_12cREG1_temp_DNB         0           target_12cREG1_temp_DNB         0           target_12cREG1_temp_DNB         <   |  | 1           |                |          |
| larget_ 2c_SetupMaster Transmit_I2cRegPtr_Cnt_T_str.PSL   1  |  | 2           |                |          |
| target_J2cREG1_temp_DAR  |  |             |                |          |
| larget_J2cREG1_temp.BIMR   |  |             |                |          |
| target_J2cREG1_emp.CLKL         56           target_J2cREG1_emp.CLKH         6788           target_J2cREG1_emp.CNT         7878           target_J2cREG1_emp.DRR         12           target_J2cREG1_emp.DXR         45           target_J2cREG1_emp.DXR         45           target_J2cREG1_emp.MDR         778           target_J2cREG1_emp.MDR         1           target_J2cREG1_emp.MDR         1           target_J2cREG1_emp.PDPS         45           target_J2cREG1_emp.PDR         45           target_J2cREG1_emp.PDNA         45           target_J2cREG1_emp.PDNA         45           target_J2cREG1_emp.PDNA         45           target_J2cREG1_emp.PDNA         45           target_J2cREG1_emp.PDNAC         1           target_J2cREG1_emp.DNAC         1           target_J2cREG1_emp.DNA         2           target_J2cREG1_emp.DNA         2           target_J2cREG1_emp.DNA         2 <td></td> <td></td> <td></td> <td></td>  |  |             |                |          |
| target_ 2cREG1_temp_CLKH   | · ·  |             |                |          |
| target_ ZcREG1_temp_CLKH target_ ZcREG1_temp_DRT   | · · · · · · · · · · · · · · · · · · ·                    |             |                |          |
| target_ 2cREG1_temp_CNT  |  |             |                |          |
| target_j2cREG1_temp.DRR         12           target_j2cREG1_temp.SAR         678           target_j2cREG1_temp.DXR         45           target_j2cREG1_temp.MDR         56           target_j2cREG1_temp.EMDR         1           target_j2cREG1_temp.EMDR         1           target_j2cREG1_temp.PSC         45           target_j2cREG1_temp.PID11         6788           target_j2cREG1_temp.DMAC         1           target_j2cREG1_temp.DMNC         1           target_j2cREG1_temp.DIN         0           target_j2cREG1_temp.DIN         1           target_j2cREG1_temp.DIN         1           target_j2cREG1_temp.DOUT         1           target_j2cREG1_temp.DOUT         1           target_j2cREG1_temp.DOR         0           target_j2cREG1_temp.DOR         1           target_j2cREG1_temp.DOR         2           target_j2cREG1_temp.PD         <   |  |             |                |          |
| target_!2cREG1_temp.SAR         678           target_!2cREG1_temp.DXR         45           target_!2cREG1_temp.MDR         56           target_!2cREG1_temp.EMDR         1           target_!2cREG1_temp.EMDR         1           target_!2cREG1_temp.PDR1         6788           target_!2cREG1_temp.PID11         45           target_!2cREG1_temp.DMAC         1           target_!2cREG1_temp.FUN         1           target_!2cREG1_temp.DIR         0           target_!2cREG1_temp.DIN         1           target_!2cREG1_temp.DOUT         1           target_!2cREG1_temp.DOUT         1           target_!2cREG1_temp.SET         1           target_!2cREG1_temp.DCR         0           target_!2cREG1_temp.DDR         1           target_!2cREG1_temp.DDR         1           target_!2cREG1_temp.DOCR         2           target_!2cREG1_temp.DOCR         2           target_!2cREG1_temp.DOCR         1           target_!2cREG1_temp.DOC         2           target_!2cREG1_temp.DOC         2           target_!2cREG1_temp.DOC         2           target_!2cREG1_temp.DOC         2           target_!2cREG1_temp.DOC         2           target_!2cREG1_temp.DOC   |  |             |                |          |
| target_!2cREG1_temp.DXR  |  |             |                |          |
| target_i2cREG1_temp.MDR         56           target_i2cREG1_temp.IVR         778           target_i2cREG1_temp.EMDR         1           target_i2cREG1_temp.PSC         45           target_i2cREG1_temp.PID11         6788           target_i2cREG1_temp.PID2         45           target_i2cREG1_temp.DMAC         1           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOT         1           target_i2cREG1_temp.DOT         1           target_i2cREG1_temp.DOR         0           target_i2cREG1_temp.DOR         1           target_i2cREG1_temp.DDR         2           target_i2cREG1_temp.PSL         1           Mame         Actual Value         Expected Value         Result           DigColPsint_Buffer_Cnt_M_u08[0]         1         1           DigColPsint_Buffer_Cnt_M_u08[1]         5         5         9           DigColPsint_Buffer_Cnt_M_u08[2]         9         9           DigColPsint_Buffer_Cnt_M_u08[2]         1         4   |  |             |                |          |
| target_i2cREG1_temp.IVR         778           target_i2cREG1_temp.EMDR         1           target_i2cREG1_temp.PSC         45           target_i2cREG1_temp.PID11         6788           target_i2cREG1_temp.DIN2         45           target_i2cREG1_temp.DMAC         1           target_i2cREG1_temp.FUN         1           target_i2cREG1_temp.DIN         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         1           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.DLR         0           target_i2cREG1_temp.DR         1           target_i2cREG1_temp.DR         1           target_i2cREG1_temp.DR         2           target_i2cREG1_temp.PD         2           target_i2cREG1_temp.PSL         1           Name         Actual Value         Expected Value         Result           DigColPsInt_Attemp.OccurForCustDatRead_Cnt_M_u08         2         2         2           DigColPsInt_Buffer_Cnt_M_u08(0)         1         1         4           DigColPsInt_Buffer_Cnt_M_u08(1)         5         9         4           DigColPsInt_Buffer_Cnt_M_u08(2)         9         4           DigColPsInt_Buffer_Cnt_M_u08(2)         <  |  |             |                |          |
| target_izcREG1_temp.EMDR         1           target_izcREG1_temp.PSC         45           target_izcREG1_temp.PID11         6788           target_izcREG1_temp.PID12         45           target_izcREG1_temp.DMAC         1           target_izcREG1_temp.DIN         0           target_izcREG1_temp.DIR         0           target_izcREG1_temp.DOUT         1           target_izcREG1_temp.SET         1           target_izcREG1_temp.CLR         0           target_izcREG1_temp.DOR         1           target_izcREG1_temp.PD         2           target_izcREG1_temp.PSL         1           Name         Actual Value         Expected Value         Result           DigColPsInt_AltempOccurForCustDatRead_Cnt_M_u08         2         2         2           DigColPsInt_Buffer_Cnt_M_u08(0)         1         1         1           DigColPsInt_Buffer_Cnt_M_u08(1)         5         5         4           DigColPsInt_Buffer_Cnt_M_u08(2)         9         9         9           DigColPsInt_Buffer_Cnt_M_u08(2)         1         1         4   |  |             |                |          |
| target_izcREG1_temp.PSC       45         target_izcREG1_temp.PID11       6788         target_izcREG1_temp.DID12       45         target_izcREG1_temp.DMC       1         target_izcREG1_temp.DIN       0         target_izcREG1_temp.DIR       0         target_izcREG1_temp.DOUT       1         target_izcREG1_temp.ECR       0         target_izcREG1_temp.CLR       0         target_izcREG1_temp.DOR       1         target_izcREG1_temp.PD       2         target_izcREG1_temp.PSL       1         Name       Actual Value       Expected Value       Result         DigColPsInt_AltempCocurForCustDatRead_Cnt_M_u08       2       2       2         DigColPsInt_Buffer_Cnt_M_u08(0)       1       1       4         DigColPsInt_Buffer_Cnt_M_u08(1)       5       5       4         DigColPsInt_Buffer_Cnt_M_u08(2)       9       9       9         DigColPsInt_BusbusySeqError_Cnt_M_logc       1       1       4  |  |             |                |          |
| target_i2cREG1_temp.PID11       6788         target_i2cREG1_temp.PID12       45         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.DIN       0         target_i2cREG1_temp.DIN       1         target_i2cREG1_temp.DOUT       1         target_i2cREG1_temp.SET       1         target_i2cREG1_temp.CLR       0         target_i2cREG1_temp.DODR       1         target_i2cREG1_temp.PD       2         target_i2cREG1_temp.PSL       1         Name       Actual Value       Expected Value       Result         DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       2       2       2         DigColPsInt_Buffer_Cnt_M_u08[0]       1       1       1         DigColPsInt_Buffer_Cnt_M_u08[1]       5       5       4         DigColPsInt_Buffer_Cnt_M_u08[2]       9       9       9         DigColPsInt_BusbusySeqError_Cnt_M_lgc       1       1       4  |  |             |                |          |
| target_i2cREG1_temp.PID12       45         target_i2cREG1_temp.DMAC       1         target_i2cREG1_temp.FUN       1         target_i2cREG1_temp.DIR       0         target_i2cREG1_temp.DIN       1         target_i2cREG1_temp.DOUT       1         target_i2cREG1_temp.SET       1         target_i2cREG1_temp.ODR       1         target_i2cREG1_temp.PD       2         target_i2cREG1_temp.PSL       1         Name       Actual Value       Expected Value       Result         DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       2       2       2         DigColPsInt_Buffer_Cnt_M_u08[0]       1       1       4         DigColPsInt_Buffer_Cnt_M_u08[1]       5       5       4         DigColPsInt_Buffer_Cnt_M_u08[2]       9       9       4         DigColPsInt_BusBusySeqError_Cnt_M_lgc       1       1       4  |  |             |                |          |
| target_i2cREG1_temp.DMAC         1           target_i2cREG1_temp.FUN         1           target_i2cREG1_temp.DIR         0           target_i2cREG1_temp.DIN         1           target_i2cREG1_temp.DOUT         1           target_i2cREG1_temp.SET         1           target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.DOR         1           target_i2cREG1_temp.PD         2           target_i2cREG1_temp.PSL         1           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         2         2         2           DigColPsInt_Buffer_Cnt_M_u08[0]         1         1         4           DigColPsInt_Buffer_Cnt_M_u08[1]         5         5         4           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9         4           DigColPsInt_BusBusySeqError_Cnt_M_lgc         1         1         4   |  |             |                |          |
| target_j2cREG1_temp.FUN       1         target_j2cREG1_temp.DIR       0         target_j2cREG1_temp.DIN       1         target_j2cREG1_temp.DOUT       1         target_j2cREG1_temp.SET       1         target_j2cREG1_temp.CLR       0         target_j2cREG1_temp.ODR       1         target_j2cREG1_temp.PD       2         target_j2cREG1_temp.PSL       1         Name       Actual Value       Expected Value       Result         DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       2       2       ✓         DigColPsInt_Buffer_Cnt_M_u08[0]       1       1       ✓         DigColPsInt_Buffer_Cnt_M_u08[1]       5       5       ✓         DigColPsInt_Buffer_Cnt_M_u08[2]       9       9       ✓         DigColPsInt_BusBusySeqError_Cnt_M_lgc       1       1       ✓  |  |             |                |          |
| target_i2cREG1_temp.DIR       0         target_i2cREG1_temp.DUT       1         target_i2cREG1_temp.SET       1         target_i2cREG1_temp.CLR       0         target_i2cREG1_temp.ODR       1         target_i2cREG1_temp.PD       2         target_i2cREG1_temp.PSL       1         Name       Actual Value       Expected Value       Result         DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       2       2       ✓         DigColPsInt_Buffer_Cnt_M_u08[0]       1       1       ✓         DigColPsInt_Buffer_Cnt_M_u08[1]       5       5       ✓         DigColPsInt_Buffer_Cnt_M_u08[2]       9       9       ✓         DigColPsInt_BusBusySeqError_Cnt_M_lgc       1       1       ✓   | target_i2cREG1_temp.DMAC                                 | 1           |                |          |
| target_j2cREG1_temp.DIN       1         target_j2cREG1_temp.DOUT       1         target_j2cREG1_temp.SET       1         target_j2cREG1_temp.CLR       0         target_j2cREG1_temp.ODR       1         target_j2cREG1_temp.PD       2         target_j2cREG1_temp.PSL       1         Name       Actual Value       Expected Value       Result         DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       2       2       ✓         DigColPsInt_Buffer_Cnt_M_u08[0]       1       1       ✓         DigColPsInt_Buffer_Cnt_M_u08[1]       5       5       ✓         DigColPsInt_Buffer_Cnt_M_u08[2]       9       9       ✓         DigColPsInt_BusBusySeqError_Cnt_M_lgc       1       1       ✓  | target_i2cREG1_temp.FUN                                  |             |                |          |
| target_i2cREG1_temp.DOUT       1         target_i2cREG1_temp.SET       1         target_i2cREG1_temp.CLR       0         target_i2cREG1_temp.ODR       1         target_i2cREG1_temp.PD       2         target_i2cREG1_temp.PSL       1         Name       Actual Value       Expected Value       Result         DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       2       2       ✓         DigColPsInt_Buffer_Cnt_M_u08[0]       1       1       ✓         DigColPsInt_Buffer_Cnt_M_u08[1]       5       5       ✓         DigColPsInt_Buffer_Cnt_M_u08[2]       9       9       ✓         DigColPsInt_BusBusySeqError_Cnt_M_lgc       1       1       ✓  | target_i2cREG1_temp.DIR                                  | 0           |                |          |
| target_j2cREG1_temp.SET       1         target_j2cREG1_temp.CLR       0         target_j2cREG1_temp.ODR       1         target_j2cREG1_temp.PD       2         target_j2cREG1_temp.PSL       1         Name       Actual Value       Expected Value       Result         DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08       2       2       ✓         DigColPsInt_Buffer_Cnt_M_u08[0]       1       1       ✓         DigColPsInt_Buffer_Cnt_M_u08[1]       5       5       ✓         DigColPsInt_Buffer_Cnt_M_u08[2]       9       9       ✓         DigColPsInt_BusBusySeqError_Cnt_M_lgc       1       1       ✓   | target_i2cREG1_temp.DIN                                  |             |                |          |
| target_j2cREG1_temp.CLR         0           target_j2cREG1_temp.ODR         1           target_j2cREG1_temp.PD         2           target_j2cREG1_temp.PSL         1           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         2         2         ✓           DigColPsInt_Buffer_Cnt_M_u08[0]         1         1         ✓           DigColPsInt_Buffer_Cnt_M_u08[1]         5         5         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9         ✓           DigColPsInt_BusBusySeqError_Cnt_M_lgc         1         1         ✓   | target_i2cREG1_temp.DOUT                                 | 1           |                |          |
| target_i2cREG1_temp.CLR         0           target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.PD         2           target_i2cREG1_temp.PSL         1           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         2         2         ✓           DigColPsInt_Buffer_Cnt_M_u08[0]         1         1         ✓           DigColPsInt_Buffer_Cnt_M_u08[1]         5         5         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9         ✓           DigColPsInt_BusBusySeqError_Cnt_M_lgc         1         1         ✓   | target_i2cREG1_temp.SET                                  | 1           |                |          |
| target_i2cREG1_temp.ODR         1           target_i2cREG1_temp.PD         2           target_i2cREG1_temp.PSL         1           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         2         2         ✓           DigColPsInt_Buffer_Cnt_M_u08[0]         1         1         ✓           DigColPsInt_Buffer_Cnt_M_u08[1]         5         5         ✓           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9         ✓           DigColPsInt_BusBusySeqError_Cnt_M_lgc         1         1         ✓   |  | 0           |                |          |
| target_j2cREG1_temp.PD         2           target_j2cREG1_temp.PSL         1           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         2         2         2           DigColPsInt_Buffer_Cnt_M_u08[0]         1         1         4           DigColPsInt_Buffer_Cnt_M_u08[1]         5         5         5           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9           DigColPsInt_BusBusySeqError_Cnt_M_lgc         1         1         4   | · ·  | 1           |                |          |
| target_j2cREG1_temp.PSL         1           Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         2         2         2           DigColPsInt_Buffer_Cnt_M_u08[0]         1         1         4           DigColPsInt_Buffer_Cnt_M_u08[1]         5         5         5           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9         9           DigColPsInt_BusBusySeqError_Cnt_M_lgc         1         1         4  |  |             |                |          |
| Name         Actual Value         Expected Value         Result           DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         2         2         2           DigColPsInt_Buffer_Cnt_M_u08[0]         1         1         1           DigColPsInt_Buffer_Cnt_M_u08[1]         5         5         5           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9         9           DigColPsInt_BusBusySeqError_Cnt_M_loc         1         1         4  |  |             |                |          |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08         2         2           DigColPsInt_Buffer_Cnt_M_u08[0]         1         1           DigColPsInt_Buffer_Cnt_M_u08[1]         5         5           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9           DigColPsInt_BusBusySeqError_Cnt_M_lgc         1         1  |  |             | Expected Value | Result   |
| DigColPsInt_Buffer_Cnt_M_u08[0]         1         1           DigColPsInt_Buffer_Cnt_M_u08[1]         5         5           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9           DigColPsInt_BusBusySeqError_Cnt_M_lgc         1         1  |  |             |                |          |
| DigColPsInt_Buffer_Cnt_M_u08[1]         5         5           DigColPsInt_Buffer_Cnt_M_u08[2]         9         9           DigColPsInt_BusBusySeqError_Cnt_M_lgc         1         1  |  |             |                |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]         9         9           DigColPsInt_BusBusySeqError_Cnt_M_lgc         1         1  |  |             |                |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc 1 1  |  |             |                |          |
| 0 _ / 1  |  |             |                |          |
| DigColPsint_CmdFailOccurred_Cnt_M_lgc 1 1  |  |             |                |          |
|  | DIgColPsint_CmdFailOccurred_Cnt_M_lgc                    | 1           | 1              | <b>—</b> |

2014-10-14, 23:08:30+0530



| Name  | Actual Value  | Expected Value | Result   |
|---|---------------|----------------|----------|
| DigColPsInt_ColCustDatFound_Cnt_M_lgc   | 0             | 0              | •        |
| DigColPsInt_ColSnsrData_Cnt_M_u16   | 56            | 56             | ~        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 90            | 90             | <b>~</b> |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | READ_COMPLETE | READ_COMPLETE  | <b>v</b> |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 64            | 64             |          |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 65<br>0       | 65<br>0        |          |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 1             | 1              |          |
| DigColPsInt_NackOccured_Cnt_M_lgc DigColPsInt_RecvOverrunError_Cnt_M_lgc                      | 1             | 1              |          |
| DigColPsInt_RecvdDataType_Cnt_M_u08   | 3             | 3              | <u> </u> |
| DigColPsInt SpurCustDatFound Cnt M Igc  | 1             | 1              |          |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 261           | 261            | <b>✓</b> |
| DigColPsInt_TransactionCnt_Cnt_M_u08  | 101           | 101            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 678           | 678            | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 45            | 45             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 66            | 66             | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 56            | 56             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 6788          | 6788           | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 7878          | 7878           | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR  | 12            | 12             | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR  | 678           | 678            | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR  | 45            | 45             | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR  | 56            | 56             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 778           | 778            | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 1             | 1              | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 45            | 45             | ✓        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 6788          | 6788           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 45            | 45             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 1             | 1              | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN  | 1             | 1              | <b>v</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR  | 0             | 0              | <b>•</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIN  | 1             | 1              | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DOUT   | 1             | 1              | <b>V</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SET  | 0             | 0              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR | 1             | 1              | ·        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 2             | 2              |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 1             | 1              | <b>~</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 678           | 678            |          |
| target I2c Send I2cRegPtr Cnt T str.IMR   | 45            | 45             | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.STR   | 66            | 66             | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL  | 56            | 56             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 6788          | 6788           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT   | 7878          | 7878           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 12            | 12             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 678           | 678            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR   | 45            | 45             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR   | 56            | 56             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR   | 778           | 778            | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR  | 1             | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC   | 45            | 45             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11   | 6788          | 6788           | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12   | 45            | 45             | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC  | 1             | 1              | ✓        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN   | 1             | 1              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR   | 0             | 0              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN   | 1             | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT  | 1             | 1              | <b>~</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.SET   | 1             | 1              | <b>✓</b> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.CLR   | 0             | 0              | <u> </u> |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR   | 2             | 2              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD  | 1             | 1              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL<br>target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR         | 678           | 678            | ~        |
|   | 45            | 45             |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.IMR<br>target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.STR      | 66            | 66             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_I_str.STR target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL        | 56            | 56             |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.CLKH   | 6788          | 6788           | _        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.CNT  | 7878          | 7878           |          |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DRR  | 12            | 12             | •        |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.SAR  | 678           | 678            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 45            | 45             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 56            | 56             | <b>→</b> |
| <u> </u>  |               |                |          |

2014-10-14, 23:08:30+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 778          | 778            | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC  | 45           | 45             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 6788         | 6788           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 45           | 45             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD   | 2            | 2              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL  | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR  | 678          | 678            | <u> </u> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR  | 45           | 45             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR  | 66           | 66             | <b>Y</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKL   | 56           | 56             | <b>Y</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLKH   | 6788         | 6788           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT  | 7878         | 7878           | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR  | 12           | 12             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR  | 678          | 678            | •        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR  | 45           | 45             | <u> </u> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR  | 56           | 56             |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IVR  | 778          | 778            |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PSC  | 45           | 45             | <b>Y</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID11  | 6788         | 6788           | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.PID12  | 45           | 45             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR  | 0            | 0              | - J      |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT   | 1            |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET  | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR  | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR  | 1 2          | 1 2            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD   | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL  |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 678          | 678            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 45<br>66     | 45<br>66       |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.STR target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T str.CLKL  | 56           | 56             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 6788         | 6788           |          |
|   | 7878         | 7878           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 12           | 12             |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DRR target_l2c SetupMasterReceive_l2cRegPtr_Cnt_T str.SAR   | 678          | 678            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 45           | 45             |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.MDR   | 56           | 56             |          |
|   | 778          | 778            |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IVR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PSC   | 45           | 45             |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID11   | 6788         | 6788           |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.PID12   | 45           | 45             |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC  | 1            | 1              |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.FUN   | 1            | 1              |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIR   | 0            | 0              |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DIN   | 1            | 1              |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DOUT  | 1            | 1              |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.SET   | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SE1   | 0            | 0              |          |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.ODR   | 1            | 1              |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD  | 2            | 2              |          |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.PSL   | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR  | 678          | 678            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.UAR  | 45           | 45             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.NMR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 66           | 66             |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 56           | 56             |          |
| target_ize_octupiviastor rransmit_izentegr ti_Offt_ I_Stl.OLINL   |              | 6788           |          |
| target 12c SetupMasterTransmit 12cRegPtr Cnt T str CLKH   |              |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT  | 6788<br>7878 |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKH target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR | 7878<br>12   | 7878<br>12     |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 45           | 45             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 56           | 56             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 778          | 778            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 45           | 45             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 6788         | 6788           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 45           | 45             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 1            | 1              | ~        |

| T               |       |                          |       | <b>✓</b> |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | ~        |

| Name  | Input Value  |
|---|--|
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 3  |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10   |
| igColPsInt_Buffer_Cnt_M_u08[1]                  | 15   |
| igColPsInt Buffer Cnt M u08[2]                  | 16   |
| igColPsInt BusBusySegError Cnt M Igc            | 0  |
| igColPsInt CmdFailOccurred Cnt M Igc            | 1  |
| igColPsInt_ColCustDatFound_Cnt_M_lgc            | 1  |
| igColPsInt_ColSnsrData_Cnt_M_u16                | 566  |
| igColPsInt_CurrentSlave_Cnt_M_u08               | 110  |
| igColPsInt_CurrentStepNo_Cnt_M_enum             | INIT_SENSOR1_READEXTERR_SETREG                     |
| igColPsInt I2CHwCustData Uls M u16              | 7  |
| igColPsInt I2CHwIncompleteCustData Uls M u16    | 8  |
| igColPsInt InitFailedOnce Cnt M Igc             | 0  |
| igColPsInt NackOccured Cnt M Igc                | 0  |
| igColPsInt_PrevReqDataType_Cnt_M_u08            | 3  |
| pigColPsInt RecvOverrunError Cnt M lgc          | 0  |
| igColPsInt_RecvdDataType_Cnt_M_u08              | 2  |
| igColPsInt_SkipRegisterWrite_Cnt_M_lgc          | 0  |
| igColPsInt SpurCustDatFound Cnt M lgc           | 0  |
| igColPsInt SpurSnsrData Cnt M u16               | 129  |
| igColPsInt_TransactionCnt_Cnt_M_u08             | 30   |
| lags Cnt T b16                                  | 32   |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |
| DataRegisters Cnt u08[0]                        | 0  |
| DataRegisters Cnt u08[1]                        | 32   |
| DataRegisters Cnt u08[2]                        | 30   |
| DataRegisters_Cnt_u08[3]                        | 36   |
| DataRegisters Cnt u08[4]                        | 38   |
|   | 34   |
| _DataRegisters_Cnt_u08[6]                       | 10   |
|   | 12   |
| aataRegisters_Cnt_u08[8]                        | 14   |
| 2cREG1 temp                                     | target i2cREG1 temp                                |
| ColSensorI2CAddress Cnt u08                     | 19   |
| _SpurSensorI2CAddress_Cnt_u08                   | 30   |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR    | 567  |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 44   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 4444   |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 566  |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 4466   |
| arget I2c GenStopCond I2cRegPtr Cnt T str.CNT   | 129  |

2014-10-14, 23:08:30+0530



| DigColFSInt_interruptivotilication  | - COLOTO    |
|---|-------------|
| Name  | Input Value |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR   | 6           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 566         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44          |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11   | 4466        |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12   | 44          |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DMAC  | 1           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1           |
|   | 2           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR   |             |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR   | 0           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD  | 3           |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR   | 44          |
| rget_l2c_Send_l2cRegPtr_Cnt_T_str.STR   | 4444        |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL   | 566         |
| urget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |
| arget I2c Send I2cRegPtr Cnt T str.CNT  | 129         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR   | 6           |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| irget_l2c_Send_l2cRegPtr_Cnt_T_str.DXR  | 44          |
|   | 566         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR  |             |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR  | 554         |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC  | 44          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11  | 4466        |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN  | 1           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR  | 2           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN  | 0_          |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET  | 1           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR  | 2           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR  | 0           |
| arget I2c Send I2cRegPtr Cnt T str.PD   | 3           |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL  | 3           |
| arget I2c SetRecv I2cRegPtr Cnt T str.OAR   | 567         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR   | 44          |
|   |             |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| irget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL  | 566         |
| irget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT  | 129         |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR  | 6           |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR  | 567         |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR  | 44          |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR  | 566         |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR  | 554         |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| urget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC   | 44          |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11  | 4466        |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| rget I2c SetRecv I2cRegPtr Cnt T str.DMAC   | 1           |
| ·   | 1           |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN  | 2           |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR  |             |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN  | 0           |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT   | 1           |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET  | 1           |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR  | 2           |
| rget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR  | 0           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL   | 3           |
|   | 567         |
|   | 301         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR   |             |
| arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.IMR arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.STR | 44 4444     |

2014-10-14, 23:08:30+0530

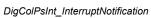


| Name   | Input Value |
|--|-------------|
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH            | 4466        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT             | 129         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR             | 6           |
|  | 567         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR             |             |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR             | 44          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.MDR             | 566         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR             | 554         |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC             | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11           | 4466        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12           | 44          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT            | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SET             | 1           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR             | 2           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR             | 0           |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD              | 3           |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.PSL             | 3           |
|  |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR    | 567         |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.IMR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR    | 4444        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 566         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554         |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1           |
| target_12c_SetupMasterReceive_12cRegPtr_Cnt_T_str.DIR    | 2           |
|  | 0           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DIN    | 1           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   |             |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.CLR    | 2           |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.ODR    | 0           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3           |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.DXR   | 44          |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.MDR   | 566         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| target I2c SetupMasterTransmit I2cRegPtr Cnt T str.PSC   | 44          |
|  |             |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DMAC  | 1           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1           |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLR   | 2           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3           |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3           |
| target i2cREG1 temp.OAR                                  | 567         |
| target i2cREG1 temp.IMR                                  | 44          |
|  |             |



| DigCoiPSint_interruptivotinication  |                                |                                | MU       |
|---|--------------------------------|--------------------------------|----------|
| Name  | Input Value                    |                                |          |
| target_i2cREG1_temp.STR   | 4444                           |                                |          |
| target_i2cREG1_temp.CLKL  | 566                            |                                |          |
| target_i2cREG1_temp.CLKH  | 4466                           |                                |          |
| target_i2cREG1_temp.CNT   | 129                            |                                |          |
| target_i2cREG1_temp.DRR   | 6                              |                                |          |
| target_i2cREG1_temp.SAR   | 567                            |                                |          |
| target_i2cREG1_temp.DXR<br>target_i2cREG1_temp.MDR  | 566                            |                                |          |
| target_i2cREG1_temp.IVR   | 554                            |                                |          |
| target_i2cREG1_temp.EMDR  | 1                              |                                |          |
| target_i2cREG1_temp.PSC   | 44                             |                                |          |
| target_i2cREG1_temp.PID11   | 4466                           |                                |          |
| target_i2cREG1_temp.PID12   | 44                             |                                |          |
| target_i2cREG1_temp.DMAC  | 1                              |                                |          |
| target_i2cREG1_temp.FUN   | 1                              |                                |          |
| target_i2cREG1_temp.DIR   | 2                              |                                |          |
| target_i2cREG1_temp.DIN   | 0                              |                                |          |
| target_i2cREG1_temp.DOUT<br>target_i2cREG1_temp.SET   | 1                              |                                |          |
| target_i2cREG1_temp.CLR   | 2                              |                                |          |
| target i2cREG1 temp.ODR   | 0                              |                                |          |
| target_i2cREG1_temp.PD  | 3                              |                                |          |
| target_i2cREG1_temp.PSL   | 3                              |                                |          |
| Name  | Actual Value                   | Expected Value                 | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08   | 3                              | 3                              | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[0]   | 10                             | 10                             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[1]   | 15                             | 15                             | ~        |
| DigColPsInt_Buffer_Cnt_M_u08[2]   | 16                             | 16                             | <b>V</b> |
| DigColPsInt_BusBusySeqError_Cnt_M_Igc   | 0                              | 0                              | <b>Y</b> |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc DigColPsInt_ColCustDatFound_Cnt_M_lgc                   | 1                              | 1                              | ,        |
| DigColPsInt ColSnsrData Cnt M u16   | 566                            | 566                            | -        |
| DigColPsInt_CurrentSlave_Cnt_M_u08  | 110                            | 110                            | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum  | INIT_SENSOR1_READEXTERR_SETREG | INIT_SENSOR1_READEXTERR_SETREG | ~        |
| DigColPsInt_I2CHwCustData_Uls_M_u16   | 7                              | 7                              | ~        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16   | 8                              | 8                              | ~        |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc  | 0                              | 0                              | ~        |
| DigColPsInt_NackOccured_Cnt_M_lgc   | 0                              | 0                              | ~        |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc  | 0 2                            | 0                              | <b>Y</b> |
| DigColPsInt_RecvdDataType_Cnt_M_u08 DigColPsInt_SpurCustDatFound_Cnt_M_lgc                    | 0                              | 0                              |          |
| DigColPsInt_SpurSnsrData_Cnt_M_u16  | 129                            | 129                            | -        |
| DigColPsInt TransactionCnt Cnt M u08  | 30                             | 30                             | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR  | 567                            | 567                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR  | 44                             | 44                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR  | 4444                           | 4444                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL   | 566                            | 566                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH   | 4466                           | 4466                           | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT  | 129<br>6                       | 129<br>6                       | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DRR target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.SAR | 567                            | 567                            |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DXR  | 44                             | 44                             | ~        |
| target I2c GenStopCond I2cRegPtr Cnt T str.MDR  | 566                            | 566                            | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR  | 554                            | 554                            | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR   | 1                              | 1                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC  | 44                             | 44                             | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11  | 4466                           | 4466                           | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12  | 44                             | 44                             | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC   | 1                              | 1                              | <b>✓</b> |
| target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.FUN target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.DIR | 2                              | 2                              |          |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.DIN  | 0                              | 0                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT   | 1                              | 1                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET  | 1                              | 1                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR  | 2                              | 2                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.ODR  | 0                              | 0                              | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD   | 3                              | 3                              | <b>V</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL  | 3                              | 3                              | <b>V</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR   | 567                            | 567                            | · ·      |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.IMR target_l2c_Send_l2cRegPtr_Cnt_T_str.STR               | 4444                           | 4444                           | ~        |
| target_I2C_Send_I2cRegPtr_Cnt_T_str.CLKL  | 566                            | 566                            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH  | 4466                           | 4466                           | _        |
|   | 1                              | 1                              | -        |

2014-10-14, 23:08:30+0530





| Name  | Actual Value | Expected Value | Result   |
|---|--------------|----------------|----------|
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT               | 129          | 129            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR               | 6            | 6              | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.SAR               | 567          | 567            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR               | 44           | 44             | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR               | 566          | 566            | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR               | 554          | 554            | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR              | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC               | 44           | 44             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11             | 4466         | 4466           | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID12             | 44           | 44             | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC              | 1            | 1              | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN               | 1            | 1              | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIR               | 2            | 2              | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN               | 0            | 0              | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT              | 1            | 1              | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.SET               | 1            | 1              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLR               | 2            | 2              |          |
|   | 0            | 0              |          |
| target_l2c_Send_l2cRegPtr_Cnt_T_str.ODR               |              |                |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD                | 3            | 3              |          |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL               | 3            | 3              | <u> </u> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.OAR            | 567          | 567            | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR            | 44           | 44             | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR            | 4444         | 4444           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL           | 566          | 566            | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH           | 4466         | 4466           | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT            | 129          | 129            | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR            | 6            | 6              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR            | 567          | 567            | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR            | 44           | 44             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR            | 566          | 566            |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR            | 554          | 554            |          |
|   | 1            | 1              |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR           | 44           | 44             |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC            |              |                |          |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PID11          | 4466         | 4466           | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12          | 44           | 44             | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC           | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN            | 1            | 1              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR            | 2            | 2              | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN            | 0            | 0              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT           | 1            | 1              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET            | 1            | 1              | <b>✓</b> |
| target I2c SetRecv I2cRegPtr Cnt T str.CLR            | 2            | 2              | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR            | 0            | 0              | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD             | 3            | 3              | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL            | 3            | 3              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR          | 567          | 567            |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR          | 44           | 44             |          |
|   | 4444         | 4444           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR          | 566          | 4444<br>566    | Ž        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL         |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH         | 4466         | 4466           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT          | 129          | 129            | <b>✓</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DRR          | 6            | 6              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SAR          | 567          | 567            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR          | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR          | 566          | 566            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR          | 554          | 554            | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR         | 1            | 1              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC          | 44           | 44             | -        |
| target I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11        | 4466         | 4466           | -        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12        | 44           | 44             |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.Pib12        | 1            | 1              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN          | 1            | 1              |          |
|   | 2            | 2              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR          |              |                |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN          | 0            | 0              | •        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT         | 1            | 1              | <u> </u> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET          | 1            | 1              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.CLR          | 2            | 2              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR          | 0            | 0              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD           | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL          | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR | 567          | 567            | <b>✓</b> |
|   |              |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR | 44           | 44             | <b>✓</b> |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT    | 129          | 129            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR    | 6            | 6              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR    | 567          | 567            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR    | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR    | 566          | 566            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR    | 554          | 554            | <b>✓</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC    | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN    | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN    | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SET    | 1            | 1              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR    | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR    | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD     | 3            | 3              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL    | 3            | 3              | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444         | 4444           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566          | 566            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11 | 4466         | 4466           | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12 | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2            | 2              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD    | 3            | 3              | <b>~</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | ~        |
|  |              |                |          |

| T               |       |                          |       | V        |
|-----------------|-------|--------------------------|-------|----------|
| Actual Function | Count | Expected Function        | Count | Result   |
| *none*          | 0     | *** No Call Expected *** | 0     | <b>✓</b> |

| Test Step 3.51 (Repeat Count = 1)               | v v v v v v v v v v v v v v v v v v v |
|---|---------------------------------------|
| Name  | Input Value                           |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08 | 8                                     |
| DigColPsInt_Buffer_Cnt_M_u08[0]                 | 10                                    |
| DigColPsInt_Buffer_Cnt_M_u08[1]                 | 15                                    |
| DigColPsInt_Buffer_Cnt_M_u08[2]                 | 16                                    |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc           | 1                                     |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc           | 1                                     |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc           | 1                                     |
| DigColPsInt_ColSnsrData_Cnt_M_u16               | 566                                   |
| DigColPsInt_CurrentSlave_Cnt_M_u08              | 50                                    |
| DigColPsInt_CurrentStepNo_Cnt_M_enum            | INIT_SENSOR2_EXTREADDATREG_READ       |
| DigColPsInt_I2CHwCustData_Uls_M_u16             | 91                                    |
| DigColPsInt_I2CHwIncompleteCustData_Uls_M_u16   | 0                                     |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc            | 0                                     |
| DigColPsInt_NackOccured_Cnt_M_lgc               | 1                                     |
| DigColPsInt_PrevReqDataType_Cnt_M_u08           | 5                                     |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc          | 1                                     |



| DigColPsint_interruptiNotification              |  | Takeria |
|---|--|---------|
| Name  | Input Value  |         |
| DigColPsInt_RecvdDataType_Cnt_M_u08             | 2  |         |
| DigColPsInt_SkipRegisterWrite_Cnt_M_lgc         | 1  |         |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc          | 1  |         |
| DigColPsInt_SpurSnsrData_Cnt_M_u16              | 129  |         |
| DigColPsInt_TransactionCnt_Cnt_M_u08            | 7  |         |
| Flags_Cnt_T_b16                                 | 32   |         |
| 2c_GenStopCond(I2cRegPtr_Cnt_T_str)             | target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str         |         |
| 2c_Send(I2cRegPtr_Cnt_T_str)                    | target_I2c_Send_I2cRegPtr_Cnt_T_str                |         |
| 2c_SetRecv(I2cRegPtr_Cnt_T_str)                 | target_I2c_SetRecv_I2cRegPtr_Cnt_T_str             |         |
| 2c_SetStatus(I2cRegPtr_Cnt_T_str)               | target_I2c_SetStatus_I2cRegPtr_Cnt_T_str           |         |
| 2c_SetupMasterReceive(I2cRegPtr_Cnt_T_str)      | target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str  |         |
| 2c_SetupMasterTransmit(I2cRegPtr_Cnt_T_str)     | target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str |         |
|   | 0  |         |
|   | 32   |         |
| DataRegisters_Cnt_u08[2]                        | 30   |         |
|   | 36   |         |
| _DataRegisters_Cnt_u08[4]                       | 38   |         |
| atanagatataataataataataata_                     | 34   |         |
| DataRegisters Cnt u08[6]                        | 10   |         |
| DataRegisters Cnt u08[7]                        | 12   |         |
|   | 14   |         |
| _DataRegisters_Cnt_u08[8]<br>ccREG1_temp        |  |         |
| _ ·   | target_i2cREG1_temp 27                             |         |
| _ColSensorI2CAddress_Cnt_u08                    |  |         |
| _SpurSensorI2CAddress_Cnt_u08                   | 10   |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.OAR   | 567  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IMR   | 44   |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR   | 4444   |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKL  | 566  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH  | 4466   |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT   | 129  |         |
| rget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR    | 6  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR   | 567  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DXR   | 44   |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR   | 566  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.IVR   | 554  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR  | 1  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC   | 44   |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11 | 4466   |         |
| arget I2c GenStopCond I2cRegPtr Cnt T str.PID12 | 44   |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DMAC  | 1  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN   | 1  |         |
| arget I2c GenStopCond I2cRegPtr Cnt T str.DIR   | 2  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN   | 0  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DOUT  | 1  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET   | 1  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR   | 2  |         |
|   | 0  |         |
| arget_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.ODR   | 3  |         |
| urget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD    |  |         |
| arget_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL   | 3  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.OAR          | 567  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.IMR          | 44   |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.STR          | 4444   |         |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL         | 566  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH          | 4466   |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CNT          | 129  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DRR          | 6  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SAR          | 567  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.DXR           | 44   |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.MDR           | 566  |         |
| rget_I2c_Send_I2cRegPtr_Cnt_T_str.IVR           | 554  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR         | 1  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSC          | 44   |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PID11        | 4466   |         |
| irget_I2c_Send_I2cRegPtr_Cnt_T_str.PID12        | 44   |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC         | 1  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.FUN          | 1  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIR          | 2  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DIN          | 0  |         |
|   | 1  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.DOUT         | 1  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.SET          |  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.CLR          | 2  |         |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.ODR          | 0  |         |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD          | 3  |         |

2014-10-14, 23:08:30+0530



| DigColFSint_interruptivotincation                      | MACIA       |
|--|-------------|
| Name   | Input Value |
| arget_I2c_Send_I2cRegPtr_Cnt_T_str.PSL                 | 3           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR              | 567         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR              | 44          |
| arget I2c SetRecv I2cRegPtr Cnt T str.STR              | 4444        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL             | 566         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKH             | 4466        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT              | 129         |
|  | 6           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR              |             |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SAR              | 567         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR              | 44          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR              | 566         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR              | 554         |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR             | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC              | 44          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11            | 4466        |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12            | 44          |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC             | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN              | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR              | 2           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN              | 0           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DOUT             | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET              | 1           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR              | 2           |
|  | 0           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR              |             |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD               | 3           |
| arget_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSL              | 3           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.OAR            | 567         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR            | 44          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.STR            | 4444        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKL           | 566         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLKH           | 4466        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT            | 129         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DRR            | 6           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR            | 567         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR            | 44          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR            | 566         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR            | 554         |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR           | 1           |
| arget I2c SetStatus I2cRegPtr Cnt T str.PSC            | 44          |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11          | 4466        |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12          | 44          |
|  | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC           | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.FUN            |             |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIR            | 2           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DIN            | 0           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DOUT           | 1           |
| arget_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET            | 1           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CLR            | 2           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR            | 0           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD             | 3           |
| arget_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL            | 3           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR   | 567         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR   | 44          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR   | 4444        |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str.CLKL  | 566         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH  | 4466        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT   | 129         |
|  | 6           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR   |             |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.SAR   | 567         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DXR   | 44          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR   | 566         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR   | 554         |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.EMDR  | 1           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSC   | 44          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11 | 4466        |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12 | 44          |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DMAC  | 1           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN   | 1           |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR   | 2           |
|  | 0           |
| arget I2c SetupMasterReceive I2cRegPtr Cnt T str DIN   |             |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN   |             |
| arget_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT  | 1           |
|  |             |

2014-10-14, 23:08:30+0530



| Name   | Input Value   |                |          |
|--|---------------|----------------|----------|
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 0             |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 3             |                |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PSL  | 3             |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.OAR   | 567           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.STR   | 4444          |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKL  | 566           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466<br>129   |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CNT<br>target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DRR | 6             |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554           |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1             |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 4466          |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 44            |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1             |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.FUN   | 1             |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIR   | 2             |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0             |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1             |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.SET   | 1             |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR   | 2             |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR   | 0             |                |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3             |                |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.PSL   | 567           |                |          |
| target_i2cREG1_temp.OAR<br>target_i2cREG1_temp.IMR   | 44            |                |          |
| target_i2cREG1_temp.STR  | 4444          |                |          |
| target i2cREG1 temp.CLKL   | 566           |                |          |
| target i2cREG1 temp.CLKH   | 4466          |                |          |
| target i2cREG1 temp.CNT  | 129           |                |          |
| target_i2cREG1_temp.DRR  | 6             |                |          |
| target_i2cREG1_temp.SAR  | 567           |                |          |
| target_i2cREG1_temp.DXR  | 44            |                |          |
| target_i2cREG1_temp.MDR  | 566           |                |          |
| target_i2cREG1_temp.IVR  | 554           |                |          |
| target_i2cREG1_temp.EMDR   | 1             |                |          |
| target_i2cREG1_temp.PSC  | 44            |                |          |
| target_i2cREG1_temp.PID11  | 4466          |                |          |
| target_i2cREG1_temp.PID12  | 44            |                |          |
| target_i2cREG1_temp.DMAC   | 1             |                |          |
| target_i2cREG1_temp.FUN  | 1             |                |          |
| target_i2cREG1_temp.DIR  | 2             |                |          |
| target_i2cREG1_temp.DIN  | 0             |                |          |
| target_i2cREG1_temp.DOUT   | 1             |                |          |
| target_i2cREG1_temp.SET<br>target_i2cREG1_temp.CLR   | 2             |                |          |
| target i2cREG1_temp.ODR  | 0             |                |          |
| target_i2cREG1_temp.PD   | 3             |                |          |
| target_i2cREG1_temp.PSL  | 3             |                |          |
| Name   | Actual Value  | Expected Value | Result   |
| DigColPsInt_AttempOccurForCustDatRead_Cnt_M_u08  | 8             | 8              | Result   |
| DigColPsInt Buffer Cnt M u08[0]  | 10            | 10             |          |
| DigColPsInt_Buffer_Cnt_M_u08[1]  | 15            | 15             |          |
| DigColPsInt_Buffer_Cnt_M_u08[2]  | 16            | 16             |          |
| DigColPsInt_BusBusySeqError_Cnt_M_lgc  | 1             | 1              |          |
| DigColPsInt_CmdFailOccurred_Cnt_M_lgc  | 1             | 1              |          |
| DigColPsInt_ColCustDatFound_Cnt_M_lgc  | 1             | 1              |          |
| DigColPsInt_ColSnsrData_Cnt_M_u16  | 566           | 566            | •        |
| DigColPsInt_CurrentSlave_Cnt_M_u08   | 50            | 50             | -        |
| DigColPsInt_CurrentStepNo_Cnt_M_enum   | INIT_COMPLETE | INIT_COMPLETE  | •        |
| DigColPsInt_I2CHwCustData_Uls_M_u16  | 0             | 0              | -        |
| DigColPsInt_I2CHwIncompleteCustData_UIs_M_u16  | 0             | 0              | <b>✓</b> |
| DigColPsInt_InitFailedOnce_Cnt_M_lgc   | 0             | 0              | <b>✓</b> |
| DigColPsInt_NackOccured_Cnt_M_lgc  | 1             | 1              | <b>✓</b> |
| DigColPsInt_RecvOverrunError_Cnt_M_lgc   | 1             | 1              | <b>✓</b> |
|  |               | 2              | <b>✓</b> |
| DigColPsInt_RecvdDataType_Cnt_M_u08  | 2             |                |          |
| DigColPsInt_SpurCustDatFound_Cnt_M_lgc   | 1             | 1              | -        |
|  |               | 1<br>129<br>7  |          |

2014-10-14, 23:08:30+0530



| Nama  | Actual Value | Expected Value     | Populé   |
|---|--------------|--------------------|----------|
| Name target_l2c_GenStopCond_l2cRegPtr_Cnt_T_str.OAR | 567          | Expected Value 567 | Result   |
| target I2c GenStopCond I2cRegPtr Cnt T str.IMR      | 44           | 44                 | J        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.STR      | 4444         | 4444               | ~        |
| target_12c_GenStopCond_12cRegPtr_Cnt_T_str.CLKL     | 566          | 566                |          |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLKH     | 4466         | 4466               | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CNT      | 129          | 129                | -        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DRR      | 6            | 6                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SAR      | 567          | 567                | -        |
| target I2c GenStopCond I2cRegPtr Cnt T str.DXR      | 44           | 44                 | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.MDR      | 566          | 566                | -        |
| target I2c GenStopCond I2cRegPtr Cnt T str.IVR      | 554          | 554                | <b>✓</b> |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.EMDR     | 1            | 1                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSC      | 44           | 44                 | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID11    | 4466         | 4466               | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PID12    | 44           | 44                 | <b>✓</b> |
| target I2c GenStopCond I2cRegPtr Cnt T str.DMAC     | 1            | 1                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.FUN      | 1            | 1                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIR      | 2            | 2                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.DIN      | 0            | 0                  | •        |
| target I2c GenStopCond I2cRegPtr Cnt T str.DOUT     | 1            | 1                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.SET      | 1            | 1                  | •        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.CLR      | 2            | 2                  | ~        |
| target I2c GenStopCond I2cRegPtr Cnt T str.ODR      | 0            | 0                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PD       | 3            | 3                  | ~        |
| target_I2c_GenStopCond_I2cRegPtr_Cnt_T_str.PSL      | 3            | 3                  | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.OAR             | 567          | 567                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IMR             | 44           | 44                 | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.STR             | 4444         | 4444               | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKL            | 566          | 566                | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CLKH            | 4466         | 4466               | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.CNT             | 129          | 129                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DRR             | 6            | 6                  | -        |
| target I2c Send I2cRegPtr Cnt T str.SAR             | 567          | 567                | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DXR             | 44           | 44                 | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.MDR             | 566          | 566                | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.IVR             | 554          | 554                | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.EMDR            | 1            | 1                  | •        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSC             | 44           | 44                 | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PID11           | 4466         | 4466               | ~        |
| target I2c Send I2cRegPtr Cnt T str.PID12           | 44           | 44                 | -        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DMAC            | 1            | 1                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.FUN             | 1            | 1                  | _        |
| target I2c Send I2cRegPtr Cnt T str.DIR             | 2            | 2                  | <b>✓</b> |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.DIN             | 0            | 0                  | -        |
| target I2c Send I2cRegPtr Cnt T str.DOUT            | 1            | 1                  | <b>✓</b> |
| target I2c Send I2cRegPtr Cnt T str.SET             | 1            | 1                  | _        |
| target I2c Send I2cRegPtr Cnt T str.CLR             | 2            | 2                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.ODR             | 0            | 0                  | _        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PD              | 3            | 3                  | ~        |
| target_I2c_Send_I2cRegPtr_Cnt_T_str.PSL             | 3            | 3                  | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.OAR          | 567          | 567                | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IMR          | 44           | 44                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.STR          | 4444         | 4444               | <b>~</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLKL         | 566          | 566                | ~        |
| target I2c SetRecv I2cRegPtr Cnt T str.CLKH         | 4466         | 4466               | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CNT          | 129          | 129                | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DRR          | 6            | 6                  | ~        |
| target I2c SetRecv I2cRegPtr Cnt T str.SAR          | 567          | 567                | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DXR          | 44           | 44                 | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.MDR          | 566          | 566                | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.IVR          | 554          | 554                | •        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.EMDR         | 1            | 1                  | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PSC          | 44           | 44                 | <b>✓</b> |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID11        | 4466         | 4466               |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PID12        | 44           | 44                 | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DMAC         | 1            | 1                  | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.FUN          | 1            | 1                  | ~        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIR          | 2            | 2                  | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.DIN          | 0            | 0                  | <b>V</b> |
| target_12c_SetRecv_12cRegPtr_Cnt_T_str.DOUT         | 1            | 1                  |          |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.SET          | 1            | -<br> 1            | -        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.CLR          | 2            | 2                  | _        |
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.ODR          | 0            | 0                  | -        |
| 0   |              |                    |          |

2014-10-14, 23:08:30+0530



| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetRecv_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>Y</b> |
| target_l2c_SetRecv_l2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>~</b> |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IMR target_I2c SetStatus_I2cRegPtr_Cnt_T_str.STR                      | 44           | 44             |          |
| target_12c_SetStatus_12cRegPtr_Cnt_T_str.CLKL  | 566          | 566            |          |
| target I2c SetStatus I2cRegPtr Cnt T str.CLKH  | 4466         | 4466           |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.CNT   | 129          | 129            | <u> </u> |
| target I2c SetStatus I2cRegPtr Cnt T str.DRR   | 6            | 6              | _        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | ~        |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | ~        |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIR   | 0            | 0              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DIN target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.DOUT                     | 1            | 1              |          |
| target_l2c_SetStatus_l2cRegPtr_Cnt_T_str.SET   | 1            | 1              |          |
| target I2c SetStatus I2cRegPtr Cnt T str.CLR   | 2            | 2              | <u> </u> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.ODR   | 0            | 0              |          |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target_I2c_SetStatus_I2cRegPtr_Cnt_T_str.PSL   | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.OAR  | 567          | 567            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IMR  | 44           | 44             | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.STR  | 4444         | 4444           | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKL   | 566          | 566            | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLKH   | 4466         | 4466           | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CNT  | 129          | 129            | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DRR  | 6            | 6              | <b>~</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SAR  | 567          | 567            |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.DXR  | 44           | 44             | <b>Y</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.MDR  | 566          | 566            |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.IVR  | 554          | 554            |          |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.EMDR target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSC   | 44           | 44             |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID11  | 4466         | 4466           |          |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PID12  | 44           | 44             | <b>✓</b> |
| target I2c SetupMasterReceive I2cRegPtr Cnt T str.DMAC   | 1            | 1              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.FUN  | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIR  | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DIN  | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.DOUT   | 1            | 1              | ✓        |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.SET  | 1            | 1              | ✓        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.CLR  | 2            | 2              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.ODR  | 0            | 0              | ~        |
| target_I2c_SetupMasterReceive_I2cRegPtr_Cnt_T_str.PD   | 3            | 3              | <b>~</b> |
| target_l2c_SetupMasterReceive_l2cRegPtr_Cnt_T_str.PSL  | 3            | 3              | <b>~</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.OAR   | 567          | 567            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IMR   | 44           | 44             |          |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.STR target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.CLKL | 566          | 566            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLKH  | 4466         | 4466           |          |
| target_12c_SetupMasterTransmit_12cRegPtr_Cnt_T_str.CNT   | 129          | 129            |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DRR   | 6            | 6              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SAR   | 567          | 567            | ·        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DXR   | 44           | 44             | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.MDR   | 566          | 566            | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.IVR   | 554          | 554            | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.EMDR  | 1            | 1              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSC   | 44           | 44             | ✓        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID11   | 4466         | 4466           | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PID12   | 44           | 44             | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DMAC  | 1            | 1              | ~        |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.FUN   | 1            | 1              | <b>~</b> |
| target_l2c_SetupMasterTransmit_l2cRegPtr_Cnt_T_str.DIR   | 2            | 2              | •        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DIN   | 0            | 0              | ~        |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.DOUT  | 1            | 1              |          |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.SET   |              | I              |          |

2014-10-14, 23:08:30+0530



| DigColPsInt_InterruptNotification |  |
|-----------------------------------|--|
|                                   |  |

| Name   | Actual Value | Expected Value | Result   |
|--|--------------|----------------|----------|
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.CLR | 2            | 2              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.ODR | 0            | 0              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PD  | 3            | 3              | <b>✓</b> |
| target_I2c_SetupMasterTransmit_I2cRegPtr_Cnt_T_str.PSL | 3            | 3              | <b>✓</b> |

| Т               |       |                          |       |        |
|-----------------|-------|--------------------------|-------|--------|
| Actual Function | Count | Expected Function        | Count | Result |
| *none*          | 0     | *** No Call Expected *** | 0     | ~      |