



**Systèmes Embarqués 1 & 2**  
**Objectifs du travail écrit n° 4**

**Les étudiant-e-s devront être capable :**

**Entrées/Sorties**

- de décrire le concept et la structure générale des entrées/sorties
- de décrire les différents modes et techniques pour piloter des périphériques d'entrées/sorties
- de différencier une programmation interruptive d'une programmation par scrutation d'entrées (interrupt vs. polling)
- de concevoir et réaliser une application gérant des entrées/sorties en mode interruptif
- de concevoir et réaliser une application gérant des entrées/sorties par scrutation
- de dimensionner (calculer) la taille des tampons d'émission et de réception sous des conditions données

**Architecture générale**

- de décrire l'architecture générale des systèmes à microprocesseurs
- de décrire l'architecture générale de l'unité centrale
- de citer les différentes architectures selon la classification de Flynn
- de décrire la structure et l'architecture de Von Neuman et Harvard
- de décrire succinctement l'architecture RISC et CISC
- de décrire les différentes mémoires volatiles et permanentes
- de décrire la structure (layout) d'un programme
- de décrire l'organisation de la mémoire des systèmes embarqués et systèmes on chip
- de représenter des données dans un espace mémoire suivant une numérotation des adresses par byte (8 bits), halfword/short (16 bits) et word/long (32 bits).
- de comparer une organisation de la mémoire de type « Big Endian » et celle d'une organisation « Little Endian »
- d'expliquer l'alignement des données en mémoire

**Architecture interne**

- de décrire l'architecture interne des processeurs ARM
- de décrire les éléments composant la structure interne des processeurs ARM
- de décrire le principe de fonctionnement des processeurs ARM



**Systèmes Embarqués 1 & 2**  
**Objectifs du travail écrit n° 4**

- d'expliquer les différents modes de fonctionnement du  $\mu$ P ARM (usr, svc, irq, ...)
- de comprendre la fonction des registres internes des processeurs ARM
- d'expliquer le déroulement d'une instruction assembleur à l'intérieur de la structure du microprocesseur ARM et de la décomposer en cycles de fonctionnement
- d'expliquer le rôle du pipeline et de décrire son principe de fonctionnement

**Memory Management Unit (MMU)**

- de décrire la fonctionnalité (les rôles) de la MMU
- de décrire l'architecture de la MMU
- de décrire les mécanismes de translation d'adresses
- de décrire le rôle de la TLB
- de décrire l'implémentation de la MMU sur le  $\mu$ P TI AM335x
- d'expliquer le concept de pages, tables de pages et tables sur plusieurs niveaux

**Mémoire cache**

- de décrire la hiérarchie de la mémoire sur des systèmes à  $\mu$ P
- de décrire la fonctionnalité (les rôles) d'une mémoire cache
- de décrire les 2 principes de localité spatiale et temporelle
- de décrire les mécanismes de la mémoire cache (identification d'une ligne, placement d'une ligne, recherche d'une ligne, etc.)
- de décrire la différence entre une mémoire cache virtuelle et physique
- de décrire l'implémentation de la mémoire cache sur le  $\mu$ P TI AM335x
- d'expliquer pourquoi certains algorithmes ont de meilleures ou moins bonnes performances au niveau du  $\mu$ P et de sa mémoire cache

**DMA**

- d'expliquer la fonctionnalité d'un DMA
- de décrire le principe et l'architecture DMA
- de décrire la fonctionnalité des DMA sur le processeur TI AM335x