

**User & System** 

r0

r1 r2

r3 r4

r5

r6

r7

r8 r9

r10

r11

r12

r13(sp)

r14(lr)

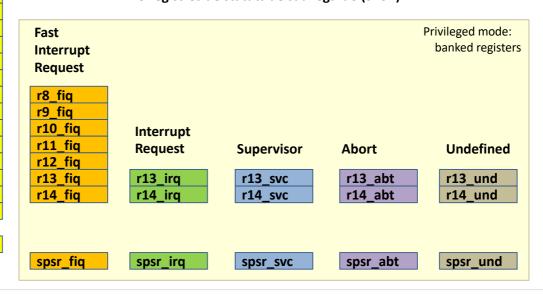
r15(pc)

cpsr



## 37 registres internes à 32 bits dont :

- ❖ 15 registres généraux (R0 R14)
- ❖ 1 compteur ordinal (PC program counter)
- ❖ 1 registre de statut courant (CPSR)
- 15 registres spécifiques aux différents modes (banked registers)
- ❖ 5 registres de statuts de sauvegarde (SPSR)



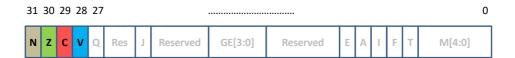
[Gac/a.11.1] T-2/I-2 // 12.2018

Systèmes Embarqués 1 & 2 – Architecture interne

Page 1







- ▶ N : Negative: si N==1, nombre négatif.
  - C'est le bit de signe des nombres en complément à 2.
- > Z : Zero: si Z==1, nombre == 0.

Utilisé généralement avec des compteurs pour effectuer

des boucles.

**▶ C : Carry**: si C==1, report.

Utilisé généralement avec des compteurs pour effectuer

des boucles (nombres non signés).

V : oVerflow: si V==1, dépassement de capacité.

Utilisé principalement lors d'opérations arithmétiques

en complément à 2 (nombres signés).



## Encodage du jeu d'instructions\*)



Data processing immediate shift cond [1] 0 0 0 opcode shift amount shift 0 Miscellaneous instructions: See Figure A3-4 cond [1] 0 0 0 1 0 x x 0 x x x x x x x x x x x x x x x 0 0 0 0 Data processing register shift [2] cond [1] opcode Rd Rs shift Miscellaneous instructions: See Figure A3-4 \*) voir le chapitre A3.1 du 01\_ARM\_Architecture\_Reference\_Manual.pdf cond [1] 0 0 0 1 0 x x 0 x x x x x x x x x x x x Multiplies: See Figure A3-3 Extra load/stores: See Figure A3-5 cond [1] cond [1] Data processing immediate [2] 0 0 1 opcode immediate 1 0 x 0 0 Undefined instruction cond [1] 0 0 1 cond [1] 0 0 1 1 0 R 1 0 Move immediate to status register Mask SBO rotate immediate 0 1 0 PUBWL Load/store immediate offset cond [1] Rd Load/store register offset 0 1 1 P U B W L Media instructions [4]: See Figure A3-2 cond [1] 0 1 1 | x x x x x x x x x x x x x x x x Architecturally undefined 1 0 0 P U S W L cond [1] register list Branch and branch with link cond [1] 1 0 1 L 24-bit offset Coprocessor load/store and double register transfers cond [3] 1 1 0 P U N W L CRd 1 1 1 0 opcode1 CRd opcode2 0 Coprocessor data processing cond [3] 1 1 1 0 opcode1 L cp\_num Unconditional instructions: See Figure A3-6 

Figure A3-1 ARM instruction set summary

24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

[Gac/a.11.1] T-2/I-2 // 12.2018

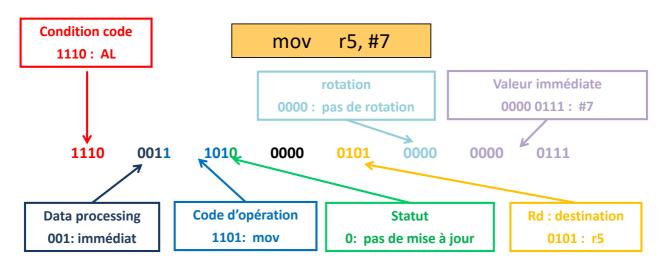
Systèmes Embarqués 1 & 2 – Architecture interne

Page 3



## **Exemple d'instruction simple**





code machine 0xE3A05007

sauvegarde la valeur 7 dans le registre R5 <u>action</u>