



Haute école d'ingénierie et d'architecture Fribourg  
Hochschule für Technik und Architektur Freiburg

---

# Systeme numérique

Résumé

---

*Auteurs :*  
Marc ROTEN

*Professeur :*  
Nicolas SCHROETER



20 novembre 2018

# Table des matières

<b>1</b>	<b>Chapter 1 : Introduction au VHDL</b>	<b>3</b>
1.1	Procédure . . . . .	3
1.2	Signaux types et opérateurs . . . . .	3
1.3	Std logic vector . . . . .	4
1.3.1	Les non-contraint . . . . .	4
1.4	Ordre des opérateurs . . . . .	4
1.5	Rappel structure du code . . . . .	5
1.6	Description d'un composant, Entity . . . . .	6
1.7	Rappel le la syntaxe pour l'architecture . . . . .	6
1.7.1	Zone de Déclaration . . . . .	7
1.7.2	Zone de code . . . . .	7
1.8	Conception avec le VHDL . . . . .	8
1.9	Portabilité . . . . .	8
1.10	Outils d'instructions concurrentes. . . . .	9
1.10.1	Affectation . . . . .	9
1.10.2	Affectation avec condition . . . . .	10
1.10.3	Affectation de sélection . . . . .	10
1.11	Instanciation d'un composant . . . . .	11
1.11.1	Methode Schroeter . . . . .	11
1.11.2	Méthode Etudiand . . . . .	12
1.12	Process . . . . .	12
1.12.1	Déclaration à l'intérieur . . . . .	12
1.13	Instructions Séquentielles . . . . .	13
1.14	Types supplémentaires et conversion . . . . .	13
1.15	Bascule D . . . . .	14
1.16	Final State Machine VHDL Model . . . . .	15
1.16.1	Architecture . . . . .	15

1.16.2	Registre . . . . .	15
1.16.3	Circuit de sortie . . . . .	16
1.16.4	Mémoire . . . . .	16
1.17	IMPORTANT . . . . .	17
1.17.1	Signal . . . . .	17
1.17.2	Un combinatoire . . . . .	17
1.17.3	Mémoire . . . . .	17
1.17.4	Longue mémoire . . . . .	17
1.17.5	RTL . . . . .	17
1.18	Exercices . . . . .	18
<b>2</b>	<b>Chapter 2 Conception hiérarchique</b>	<b>20</b>
2.1	Concept de découpage hiérarchique . . . . .	20
2.2	Communication . . . . .	21
2.3	A COMPLETER . . . . .	21
<b>3</b>	<b>Types, Opérateurs et Conversions</b>	<b>22</b>
3.1	types scalaires entiers . . . . .	22



# 1 Chapitre 2