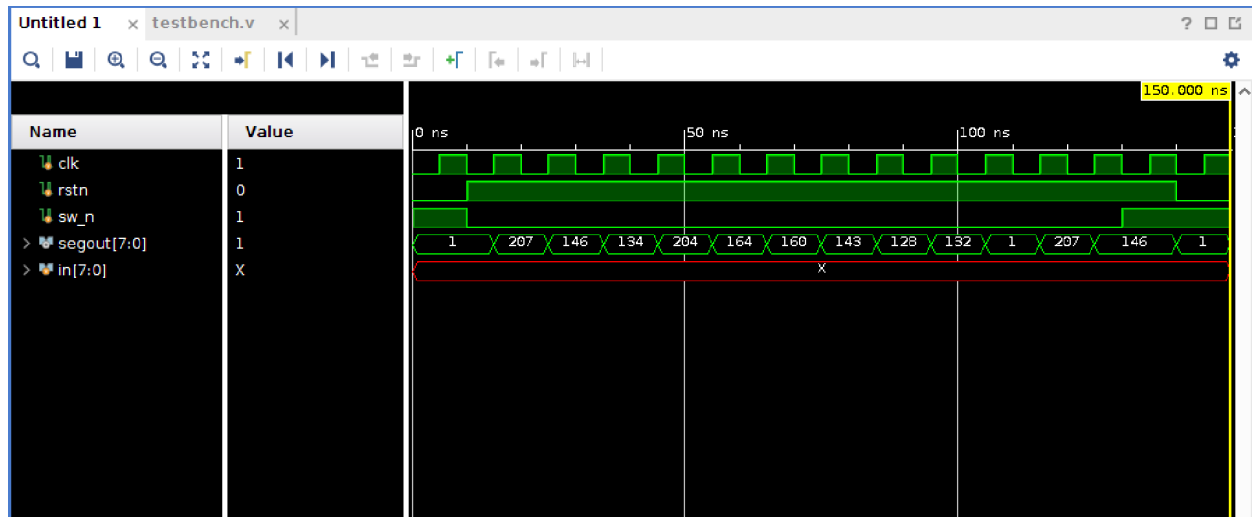


Lab 7. Implementation of Sequential Logic and 7-Segment Combinational Logic

Results

2017-11405 방승원

Testbench Simulation Waveform



Testbench Simulation Result

```
digital-logic-design-lab -- zsh -- 90x53
(r1) swpang@swpang-macbook LAB7_code % iverilog -o lab7 top.v bcd_counter.v bin2seg.v testbench.v
(r1) swpang@swpang-macbook LAB7_code % vvp lab7

(r1) swpang@swpang-macbook LAB7_code % cd ../../
(r1) swpang@swpang-macbook digital-logic-design-lab % ls
```

Testbench 코드를 살펴보면, 시간 순서대로 먼저 BCD counter를 reset 한 뒤 10ns 후 BCD counter의 toggle을 켜 카운트가 시작되도록 하고 있다. 이때, #5 clk = ~clk 문으로 구현된 clock은 5ns에 한번 clk high 와 low를 반복하므로 10ns 주기로 주어졌다. 따라서, 이후 120ns 동안 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 0, 1, 2의 13가지 값이 출력된다. 이후 toggle이 꺼지고 reset이 되면서 마지막으로 0이 한번 더 출력된 후 simulation이 종료된다.

Simulation에서는 top 모듈과 display 모듈을 instantiate 하여 사용한다. Top 모듈은 bcd counter와 bin2seg 두 가지 모듈을 사용하여 bcd counter에서 센 수를 bin2seg로 전달하는 역할을 한다. Display 모듈은 7 segment display의 기능을 구현한 모듈로 clk의 positive edge에서 input에 해당되는 segment 출력을 하도록 한다.

BCD counter는 reset state인 0에서부터 clock의 positive edge에서, 그리고 toggle이 켜졌을 때 수를 하나씩 세는 역할을 한다. Reset이 불렸을 때는 다시 0으로 초기화되도록, toggle이 꺼졌을 때는 현재 수를 유지하도록 구현되었다. BCD counter의 출력 wire에 전달되는 값은 binary encoding된 숫자이며, 이를 bin2seg에 전달하여 7 segment display에 맞게 encoding 한다.