

실험 5

Latch/Flip-Flop 구현

SNU VLSI LAB

2022-10-11

실험 목표

- RS latch 제작
 - D flip-flop 제작
-

Latch / Flip-Flop

■ Latch/Flip-Flop

- 1 bit의 정보를 보관할 수 있도록 고안된 회로

■ RS Latch

- Input : S, R
- Output : Q, Q'
- S(Set) = 1 \Rightarrow Q를 1로 설정
- R(Reset) = 1 \Rightarrow Q를 0으로 설정
- S, R = 0 \Rightarrow Q는 이전 값 유지

| S | R | Q |
|---|---|----------|
| 0 | 0 | Hold |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | Unstable |

Latch / Flip-Flop

■ D Flip-Flop

- Input : D, CLK
- Output : Q, Q'
- CLK의 Edge에 입력 D의 값을 Capture하여 Q에 반영
- Edge가 발생하지 않으면 Q가 값 유지

| CLK | D | Q _{next} |
|-------------|---|-------------------|
| Rising Edge | 0 | 0 |
| Rising Edge | 1 | 1 |
| No Edge | X | Q |

실험 5 예비보고서 작성 내용

■ 4. 가

- Gated latch와 Flip-flop의 차이점을 간단한 Timing diagram을 그려 간단히 설명하시오. (3줄이내)

실험 항목

- 5.1 가 : NOR gate를 이용한 gated RS latch 구현
 - 입력 S' , R' , clock' 은 스위치로 구현
 - 입력 S' , R' , clock' 은 active low (inverted input)
 - 출력 Q , Q' 에 LED를 연결하여서 값을 확인 (LED에 저항 연결!)

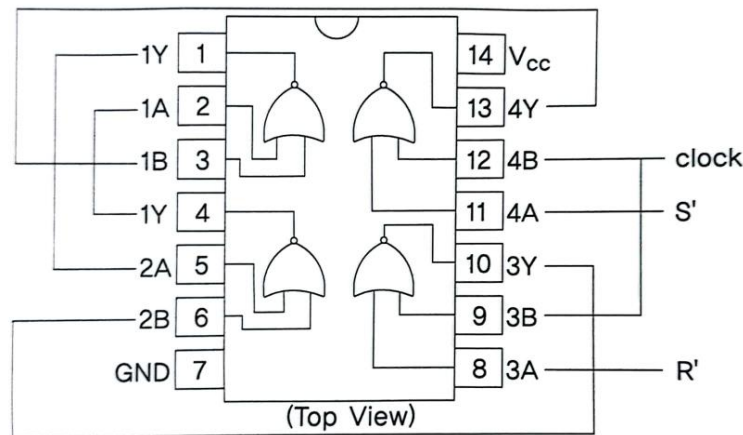


그림 5.15 • 74LS02 pin 배치도와 gated RS latch 연결도

실험 항목

■ 5.2 : D flip-flop 구현

- 입력 D는 스위치로 구현
- Clock 신호는 function generator 사용 (0.5Hz)
- 출력, clock 신호에 LED를 연결하여서 값을 확인 (LED에 저항 연결!)

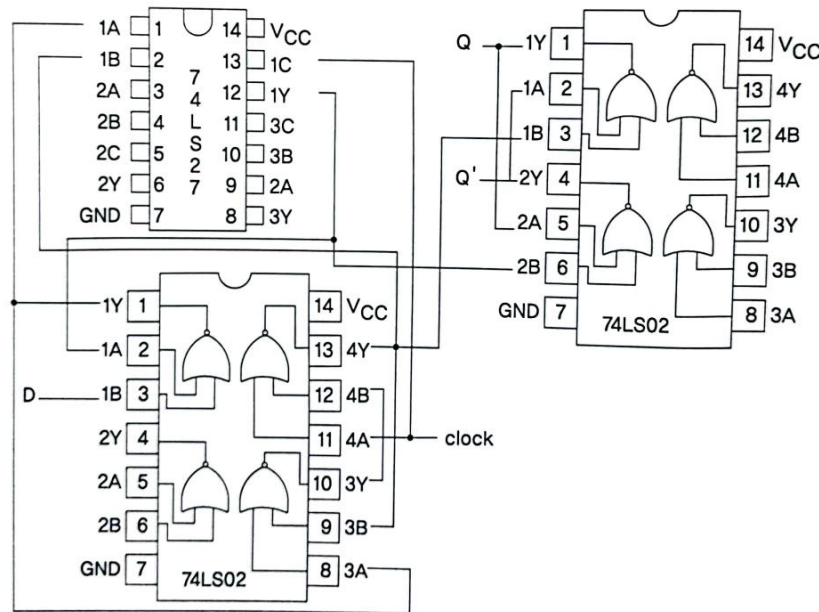


그림 5.20 • D flip-flop 연결도

주의사항

- NAND, OR, AND gate와는 다르게
NOR gate는 출력핀이 입력핀보다 위에 있음
 - data sheet를 확인
-


실험 검사 항목

■ 5.1 가


- Gated RS Latch의 truth table대로 회로가 작동하는지 확인
- Race condition은 확인이 잘 안되므로 검사하지 않음

■ 5.2

- Negative edge triggered로 동작을 하는지 확인



| S | R | Q |
|---|---|----------|
| 0 | 0 | Hold |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | Unstable |



| CLK | D | Q _{next} |
|--------------|---|-------------------|
| Falling Edge | 0 | 0 |
| Falling Edge | 1 | 1 |
| No Edge | X | Q |

결과보고서 작성 항목

- 없음
-