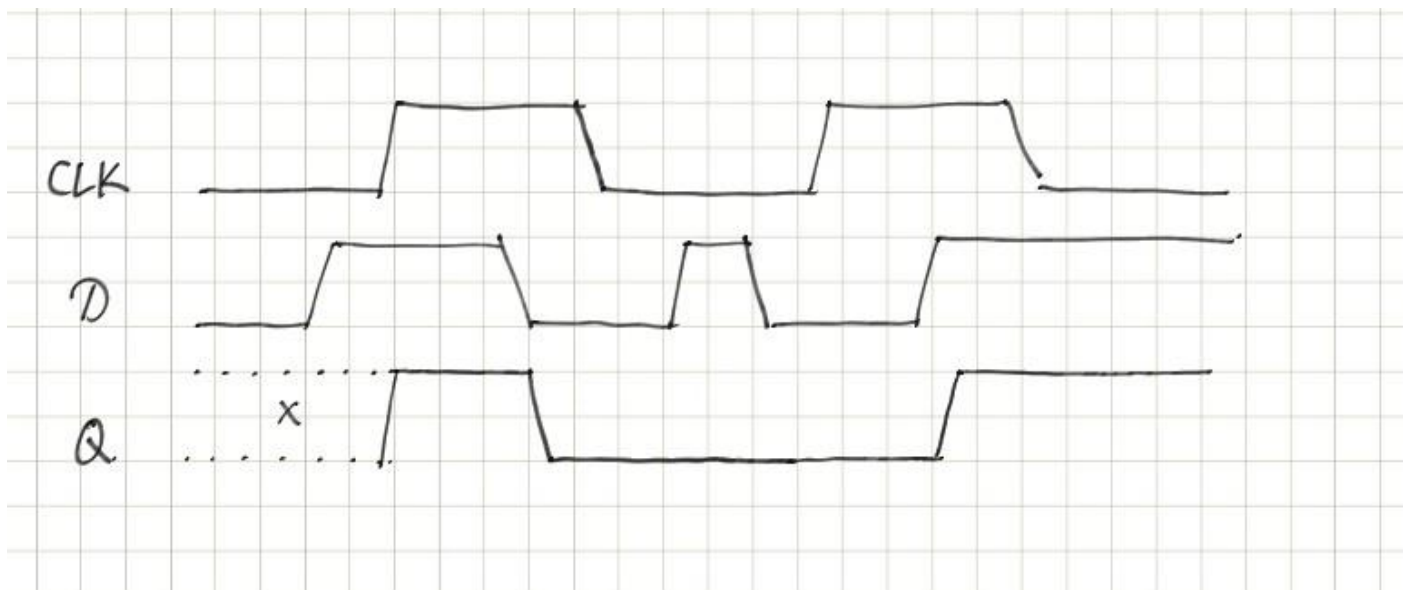
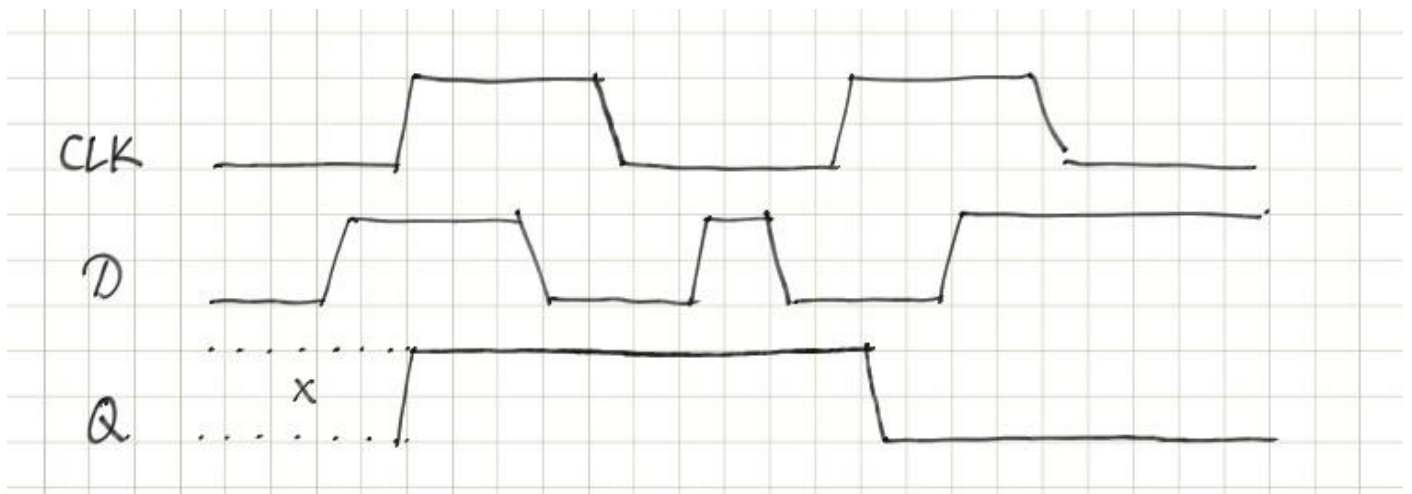


## 4. 가

Gated Latch는 clock에 대해 level sensitive하게 반응하는 반면, flip-flop은 clock에 대해 edge sensitive하게 반응한다. 이는 clock이 만약 1인 상태에서 input인 D 값이 변하게 되면 gated latch는 output Q로 그대로 전달한다는 것을 의미한다. 하지만, 같은 상황에서 flip-flop은 clock signal의 positive edge에서만 D 값을 Q로 전달하므로 이전의 Q 값을 유지한다.



Gated Latch의 Timing Diagram



Flip-Flop의 Timing Diagram