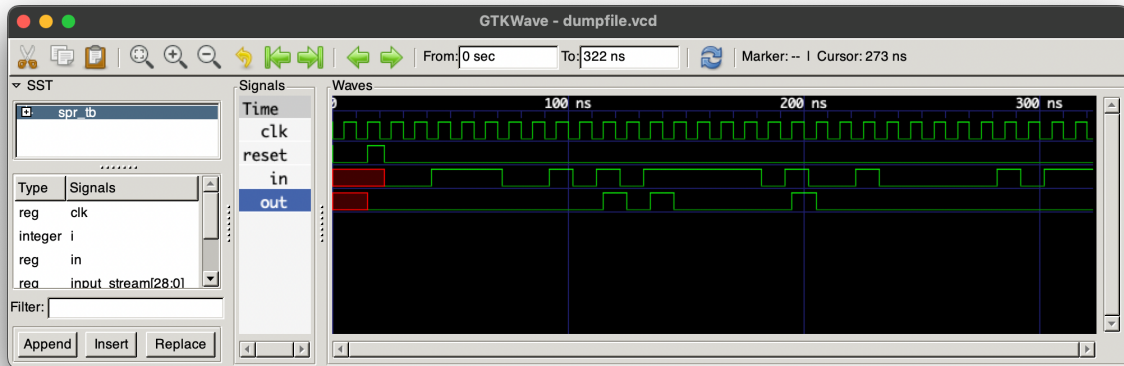


## Testbench Simulation Waveform



Reset = 1을 1로 쳐주면 clk의 positive edge에 S0 state으로 진입한다. Reset 을 꺼준 후 10ns 에 한번씩 input 값을 바꿔주면 DUT 로직에 따라 output이 출력되는 것을 볼 수 있다. 그림과 같이 101 시퀀스 감지 시 마지막 1과 같은 clk에 1을 출력하며, 000 시퀀스가 감지 된 이후에는 입력과 관계 없이 0을 출력하는 것을 확인할 수 있다.

### 6. 가

하드웨어 설계 전 논리회로의 기본 알고리즘이 올바르게 구현되었는지 확인하기 위해 시뮬레이션을 먼저 한다. 시뮬레이션을 통해 알고리즘을 검증하는 것이 비교적 쉽고 간편하기 때문에 하드웨어 설계 전에 이 과정을 거친다.

### 6. 나

시뮬레이션과 실제 하드웨어 간의 가장 큰 차이는 실제 MOSFET이나 와이어 등의 딜레이를 정확히 고려해주지 못한다는 점이다. 클럭이 빠르거나 로직이 복잡하여 딜레이가 큰 회로의 경우 시뮬레이션은 잘 작동하지만 실제 회로에서는 원하지 않는 결과가 나오는 경우가 있을 수도 있다. 이와 같은 이유로 하드웨어 설계의 각 단계에서 시뮬레이션을 진행한다. 회로 합성 후 post-synthesis 딜레이 시뮬레이션, 회로 레이아웃 후 post-layout 시뮬레이션 등 하여 초기 시뮬레이션의 부족한 점을 보완한다.