

Resenha sobre Processador

Intel Core i7-6700K

Sungwon Yoon,¹ Matheus P. C. Santos,² Ryan B. Ramos,³ Wendel F. Lana⁴

Escola de Artes, Ciências e Humanidades - Universidade de São Paulo
{sungwon.yoon,¹ matheuspecoraro,² ryanramos,³ wendel.lana⁴}@usp.br

Resumo

Este artigo traz um breve resumo do processador Intel Core i7-6700K, apresentando seu contexto histórico de lançamento, especificações básicas, arquitetura e organização.

Contexto Histórico do Processador

Em 5 de agosto de 2015, foi divulgado pelo Intel dois processadores Core da 6ª geração K que estavam sendo desenvolvidos com o codinome *Skylake* — Intel® Core™ i7-6700K e Intel® Core™ i7-6600K.

Até então, quem liderava o mercado de processadores era a 4ª geração da Intel, a série *Haswell*, lançada há oito anos. Em 2014 foi lançada uma versão aprimorada, a *Haswell Refresh*, no entanto, não houve grandes mudanças. Embora tenha sido lançada a *Broadwell*, de 5ª geração, no início de 2015, teve como mercado alvo laptops de baixo consumo de energia, e os processadores de alto desempenho para desktops tiveram poucos modelos e em pouca quantidade. Assim, foi criticado por muitos especialistas que o *Broadwell* teria sido somente uma ponte de ligação entre as duas principais séries, *Haswell* e *Skylake*.

Durante o evento de lançamento, a Intel utilizou a expressão *best processors ever* (melhor processador de todos) para seus novos processadores de 6ª geração de *Skylake*. Um deles é o Intel® Core™ i7-6700K, que será tratado neste artigo.

Especificações Básicas do Processador

O processador Intel Core i7-6700K possui quatro *cores* físicos e oito *threads* com *clock* de 4.0GHz e 4.2GHz, no modo turbo. Além disso foi fabricado com litografia de 14nm.

Arquitetura

Em 1978, a Intel divulgou a sua primeira CPU de 16 bit, 8086, e denominou o conjunto de instruções usado por ela de x86-IA16. Em 1985, a empresa lançou o CPU de 32 bits, 80386, e sua ISA foi reestruturada com base em 8086 e nomeou de x86-IA32. Mais tarde, a Intel descartou x86 e desenvolveu um novo conjunto de 64 bits chamada IA-64, que não era compatível com o x86-IA32. Por volta de 2003, a empresa AMD desenvolve um novo conjunto de 64 bits compatível com x86-IA32 e denomina de x86-64, tendo um grande êxito.

O processador Intel Core i7-6700K utiliza a x86-64 como ISA. Utilizada por grande parte dos CPUs de computadores de uso pessoal, é a versão 64 bits do conjunto de instruções x86 e também é popularmente chamada de AMD64, x64, EM64T, Intel64 etc.

Registadores

A ISA x64 possui quatro tipos de registradores — registradores de uso geral, registradores de segmento, registradores de *flag* e apontadores.

Existem no total 16 registradores de uso geral, sendo oito registradores que provêm da arquitetura x86 e mais oito registradores adicionados. Cada um pode guardar 8 bytes e representar número de até $(2^{64})-1$, sem levar em consideração o sinal.

Existem seis registradores de segmento, com cada um tamanho de 16 bit. Eles são utilizados tanto para uso geral quanto para indicar segmentos de pilha, de dado e de código.

Os registradores de *flag*, diferentemente dos outros registradores, cada um bit dos 64 bits representa diferentes estados com 0 e 1.

Por último, os registradores apontadores têm tamanho de 8 byte e indicam qual trecho do código o CPU deverá executar.

Operandos das Instruções

Existem três tipos de operandos: imediatos, registradores e endereço de memória.

Os imediatos são expressos por sinal de \$ junto com um inteiro e em maioria dos casos são limitados a 32 bits, sendo convertidos para 64 bits posteriormente.

Para instruções endereços de memória são identificados como *deslocamento*(*base, índice, escala*), em que base e índice são registradores e escala é um constante que pode assumir valor de 1, 2, 4 ou 8.

Modos de Endereçamento

A x64, sendo uma arquitetura CISC, possui múltiplos modos de endereçamento.

O modo poder ser imediato, em que o endereço fonte é um valor constante; direto em que o endereço é lido da memória; via registrador em que o endereço se encontra em um registrador; indireto em que o endereço é lido da memória; indireto com deslocamento em que o endereço é lido da memória com um offset; e indireto base-indexado em que se calcula (*conteúdo do registrador base + deslocamento + escala*).

Formato de Instruções

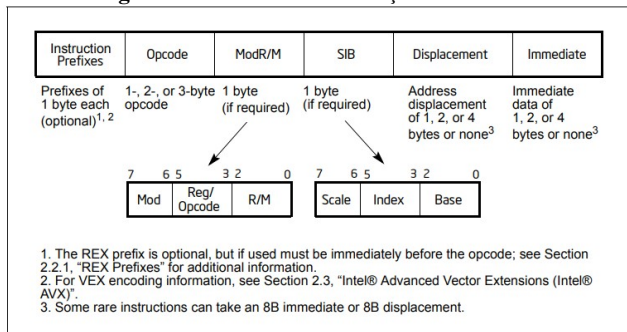
As intruções são formadas por um opcode e de um a até três operandos. Muitas vezes, o opcode é acompanhado de sufixo b, w, l ou q para indicar o tamanho de dado (1, 2, 4 e 8, respectivamente).

Por exemplo:

```
pop rcx
movb %al, 0x409892
lea (%rdi,%rdi,1), %rax
```

As instruções codificadas são de tamanho não fixo, como mostrada na figura 1.

Figura 1 – Formato das instruções codificadas



Fonte: Intel, 2021

A instrução codificada é composta por prefixo, que é colocada para adaptar instruções para 64 bits; *opcode*, que define a operação; ModR/M, que especifica registradores

de alguns operandos; *addressing-form specifier* que contém três campos, SIB (scale-index-base); deslocamento; e valor imediato, caso os três últimos sejam necessários.

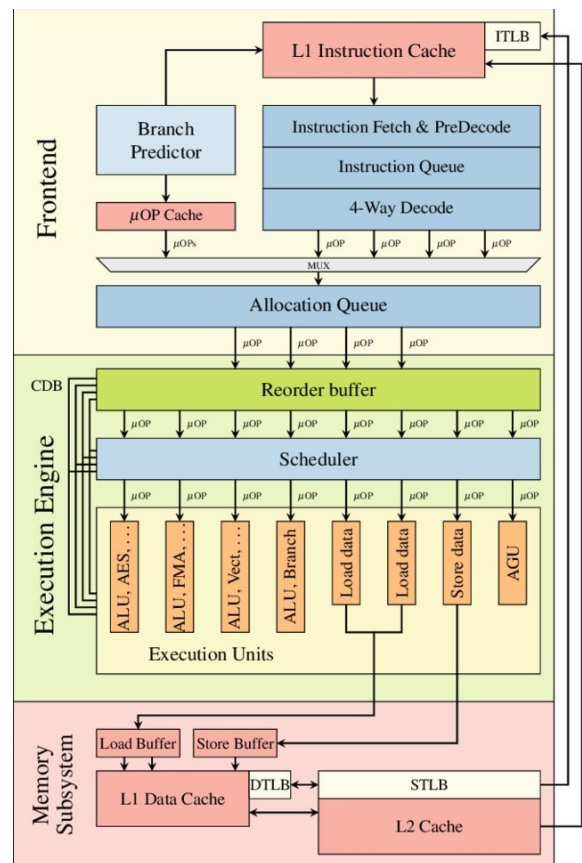
Organização

Os processadores da linha Intel Core compartilham organizações semelhantes, e o processador Skylake i7-6700K, tratado neste artigo, sucede a organização dos processadores Haswell e Broadwell.

Pipeline de Execução de Instruções

O pipeline pode ser dividido em três grandes partes: front-end, execução e subsistema de memória, como descrita na figura 2.

Figura 2 – Pipeline de execução



Fon

te: Michael Schwarz, 2018¹

Durante o estágio de IF, ocorre o *fetch* de instruções de até 16 bytes por ciclo, são realizadas em um único

1 Disponível em <https://www.researchgate.net/profile/-5/publication/322253156/figure/fig1/AS:837367942365184@1576655483455/Simplified-illustration-of-a-single-core-of-the-Intels-Skylake-microarchitecture_W640.jpg> Acesso em 04 jan. 2022

clock, com exceção às instruções com prefixos de largura variável que sofrem penalidade de 2 a 3 ciclos.

Há dois modos de *instruction fetch*. No primeiro modo, as instruções são buscadas em cache L1 e são colocadas na fila para serem decodificadas para instruções de tamanho fixo, μ OPs. O segundo modo é buscar instruções diretamente da cache μ OPs. Após disso, as instruções originárias de ambos os modos são decodificadas e direcionadas para a fila de alocação.

As instruções passam por loop stream detector, em que identifica se, dentre as instruções decodificadas, existe um loop, analisando a finitude do loop e armazenando em cache caso satisfaça condições preestabelecidas.

As instruções são executadas fora de ordem, assim o processador faz predição de desvio e execução especulativa. Para isso existem dois componentes responsáveis: o escalonador e o buffer de reordenação.

O buffer de reordenação é responsável por renomear os registradores de valores inteiros, pontos flutuantes, vetores flags e registradores de segmento, caso necessário, utilizando algoritmo de Tomasulo.

O escalonador é unificado e possui dois *register files*, um para inteiros e outro para vetores. Nele, as instruções são seguradas até unidade de execução estiver disponível ou receber operandos que não foram calculados e finalmente, despacha para unidades de execução.

Ao término da execução, os resultados são guardados em cache L1.

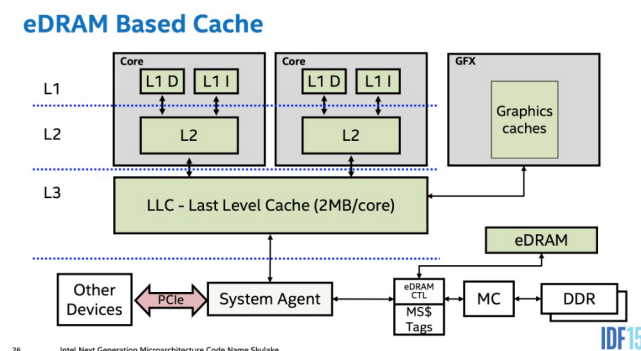
Unidades de Execução

O processador possui 12 tipos de unidades de execução, sendo ALU, DIV, Shift, Shuffle, Slow Int, Bit Manipulation, FP Mov, SIMD Misc, Vec ALU, Vec Shift, Vec Add, Vec Mul. As unidades conseguem realizar operações mais complexas de vetores.

É possível executar em multithread, sendo dois threads em cada core.

Hierarquia de Cache

Figura 3 – Hierarquia de cache



Fonte: Mandelblat, 2015

A hierarquia de cache é idêntica à do *Broadwell* e *Haswell*. As caches funcionam por mapeamento associativo em conjunto, em que um conjunto compartilha uma mesma *tag* e utiliza apenas um decodificador.

A cache L1I e L1D são de *8-way set-associative* e de 32KiB/core e é compartilhada por dois threads por core. No próximo nível há a cache L2, que é *4-way set associative* e de 256KiB/core, também encontrada no core do processador e compartilhada por dois threads por core.

A cache L3 é *16-way set associative* e 2MiB/core e é compartilhado por todos os cores do processador. Além disso, em vez de um cache de nível 4, o processador possui uma side cache de 128MiB denominado de eDRAM que funciona como buffer de DRAM, diminuindo o acesso à cache L3.

Referências

CUTRESS, I. The Intel Skylake Mobile and Desktop Launch, with Architecture Analysis. **Anandtech**, 01 set. 2015. Disponível em: <https://www.anandtech.com/show/9582/intel-skylake-mobile-desktop-launch-architecture-analysis/5>. Acesso em: 05 jan. 2022.

FOG, A. **The microarchitecture of Intel, AMD, and VIA CPUs**. Denmark, 2021. Disponível em: <https://www.agner.org/optimize/microarchitecture.pdf>. Acesso em: 24 dez. 2021.

FOG, A. **Instruction Tables**. Denmark, 2021. Disponível em: https://www.agner.org/optimize/instruction_tables.pdf. Acesso em: 24 dez. 2021.

Intel. **Intel® 64 and IA-32 Architectures Software Developer's Manual**, 2016. Disponível em: <https://www.intel.com/content/dam/www/public/us/en/documents/manuals/64-ia-32-architectures-software-developer-instruction-set-reference-manual-325383.pdf>. Acesso em: 24 dez. 2021

Intel. **Inte® 64 and IA-32 Architectures Optimization Reference Manual**, 2016. Disponível em: <https://www.intel.com/content/dam/www/public/us/en/documents/manuals/64-ia-32-architectures-optimization-manual.pdf>. Acesso em: 24 dez. 2021

The many tricks Intel Skylake uses to go faster and use less power. **Ars Technica**, 2015. Disponível em: <https://arstechnica.com/information-technology/2015/08/the-many-tricks-intel-skylake-uses-to-go-faster-and-use-less-power/>. Acesso em: 04 jan. 2022.

MANDELBLAT, J. **Technology Insight: Intel's Next Generation Microarchitecture Code Name Skylake**, 2015. Disponível em: https://en.wikichip.org/w/images/8/8f/Technology_Insight_Intel%E2%80%99s_Next_Generation_Mi-

[croarchitecture_Code_Name_Skylake.pdf](#). Acesso em: 05 jan. 2022.

Skylake (client) - Microarchitectures – Intel. **Wikichip**, 2015. Disponível em: [https://en.wikichip.org/wiki/intel/microarchitectures/skylake_\(client\)](https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(client)). Acesso em: 21 dez. 2021.

