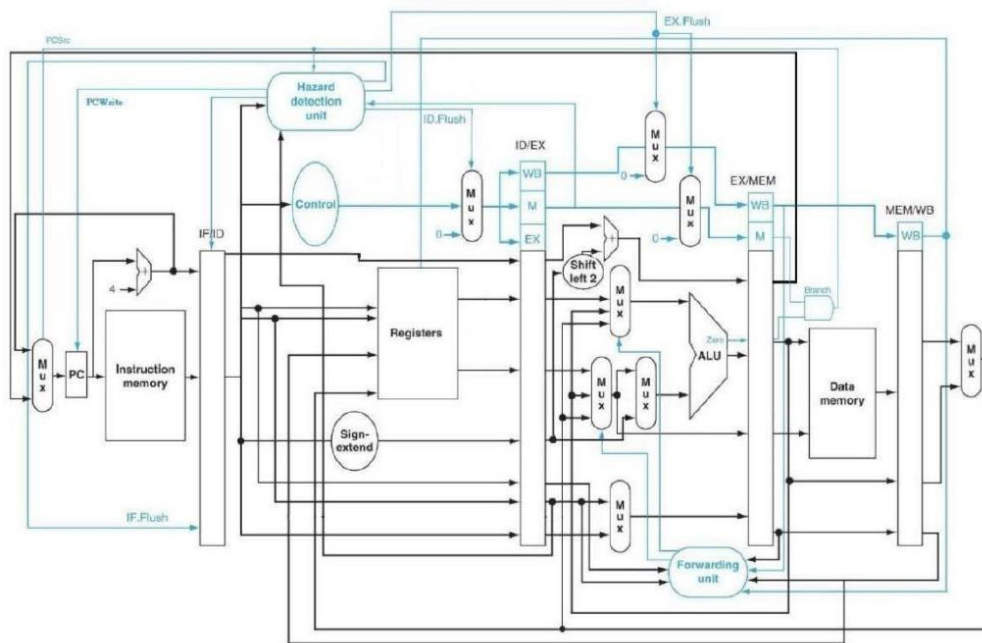


Computer Organization Lab5

Name: 單宇晟

ID: 109550087

Architecture diagrams:



Hardware module analysis:

基本上這次跟 lab4 的結構很像，並且額外新增了三個 MUX、hazard detection 跟 forwarding unit。在三個新的 MUX 哩，有兩個是 3 to 1，分別用來判斷是否要執行 Forward A/Forward B；最後一個 MUX 則是 4 to 1，用來判斷現在要做哪一種 branch (branchtype)；hazard detection 的話，就是負責檢查有沒有 load-use 的狀況，如果有，forwarding unit 就會把結果 forward 給下一個指令。

Finished part:

Case1:

```
##### clk_count = 17#####
```

```
=====Register=====
```

```
r0 = 0, r1 = 16, r2 = 256, r3 = 8, r4 = 16, r5 = 8, r6 = 24, r7 = 26
```

```
r8 = 8, r9 = 1, r10= 0, r11= 0, r12= 0, r13= 0, r14= 0, r15= 0
```

```
r16= 0, r17= 0, r18= 0, r19= 0, r20= 0, r21= 0, r22= 0, r23= 0
```

```
r24= 0, r25= 0, r26= 0, r27= 0, r28= 0, r29= 0, r30= 0, r31= 0
```

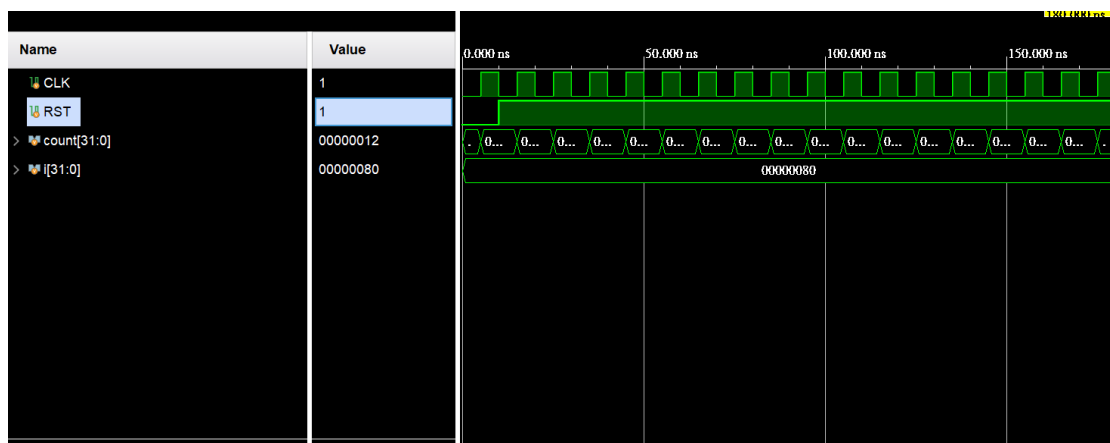
```
=====Memory=====
```

```
m0 = 0, m1 = 16, m2 = 0, m3 = 0, m4 = 0, m5 = 0, m6 = 0, m7 = 0
```

```
m8 = 0, m9 = 0, m10= 0, m11= 0, m12= 0, m13= 0, m14= 0, m15= 0
```

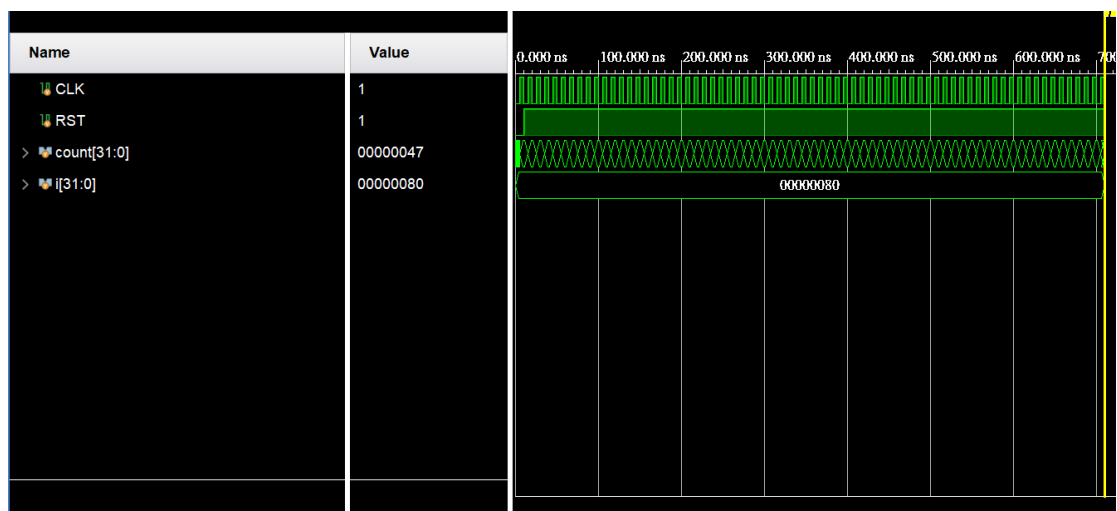
```
m16= 0, m17= 0, m18= 0, m19= 0, m20= 0, m21= 0, m22= 0, m23= 0
```

```
m24= 0, m25= 0, m26= 0, m27= 0, m28= 0, m29= 0, m30= 0, m31= 0
```



Case2:

```
##### clk_count = 70#####
=====Register=====
r0 = 0, r1 = 0, r2 = 16, r3 = 6, r4 = 0, r5 = 16, r6 = 0, r7 = 0
r8 = 2, r9 = 0, r10= 0, r11= 0, r12= 0, r13= 0, r14= 0, r15= 0
r16= 0, r17= 0, r18= 0, r19= 0, r20= 0, r21= 0, r22= 0, r23= 0
r24= 0, r25= 0, r26= 0, r27= 0, r28= 0, r29= 0, r30= 0, r31= 0
=====Memory=====
m0 = 4, m1 = 1, m2 = 0, m3 = 6, m4 = 0, m5 = 0, m6 = 0, m7 = 0
m8 = 0, m9 = 0, m10= 0, m11= 0, m12= 0, m13= 0, m14= 0, m15= 0
m16= 0, m17= 0, m18= 0, m19= 0, m20= 0, m21= 0, m22= 0, m23= 0
m24= 0, m25= 0, m26= 0, m27= 0, m28= 0, m29= 0, m30= 0, m31= 0
```



如圖所示，都有在要求的 clock count 內跑完(case1 <= 17, case2 <= 70)。

Problems you met and solutions:

這次 lab 雖然沿用了上次的設計，但多了兩個完全不同的 module(hazard detection, forwarding unit)，所以花了我一些時間在研究。最後再跑 case2 的時候，我忘記改 max count(= 60)，所以跑出來的 r2 是 12，後來才發現可以改成 70，就順利的跑出來了。

Summary:

總體來說，這次 lab 雖然比起上次要簡單一些(因為已經有上次的 code)，但結構卻變得更為複雜，pipe_CPU_1 要用到的 module 也變多不少，幸好這次的 deadline 給到很後面，讓我們不用一邊準備期末考，還要一邊花時間在寫 lab

上，反而可以等期末考全部結束再來慢慢研究。最後我想說，這個學期我真的學到了很多，雖然有很多同學對 IC 領域並不感興趣，但台灣畢竟是一個 IC 王國，希望我以後也能在這個產業上貢獻一份心力，也謝謝教授和助教們這一學期的教導。