

- (一) 基于 QuartusII 的 VerilogHDL 程序设计与仿真步骤
- (二) QuartusII 编程下载
- (三) 康芯实验开发板 KX2C5F (Altera EP2C5+EPCS1) 简介

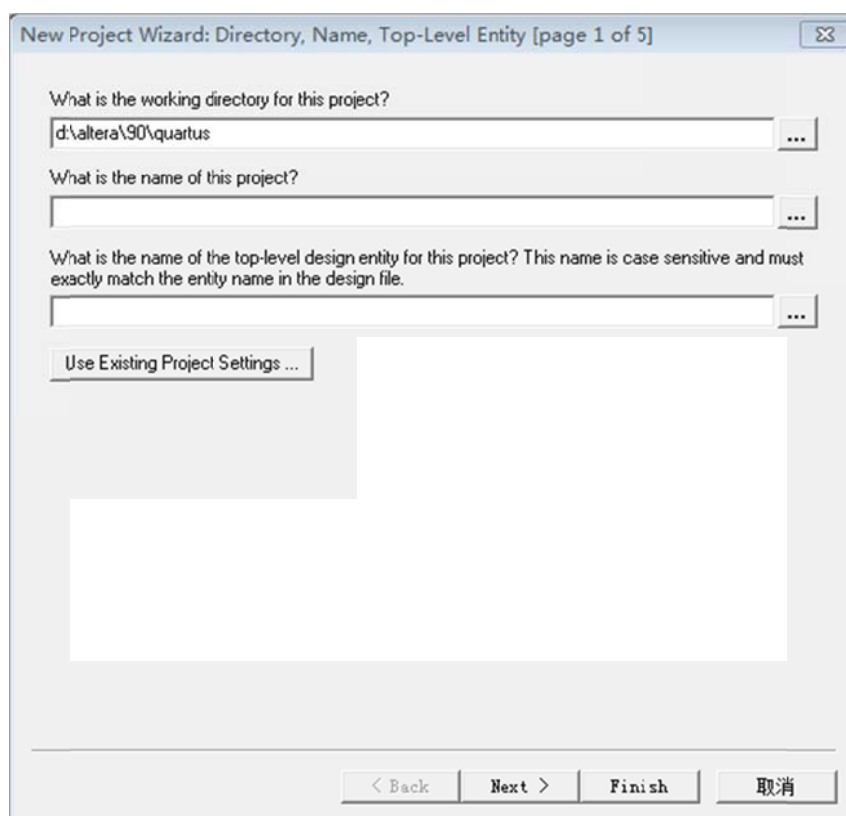
应先在纸面上完成设计工作，才能运用 QuartusII 软件进行仿真验证及编程下载！

## (一) 基于 QuartusII 的 VerilogHDL 程序设计与仿真步骤

简言之，首先编辑录入源程序，其次编译，最后进行功能仿真。详细步骤如下：

### (1) 创建工程 (New Project)

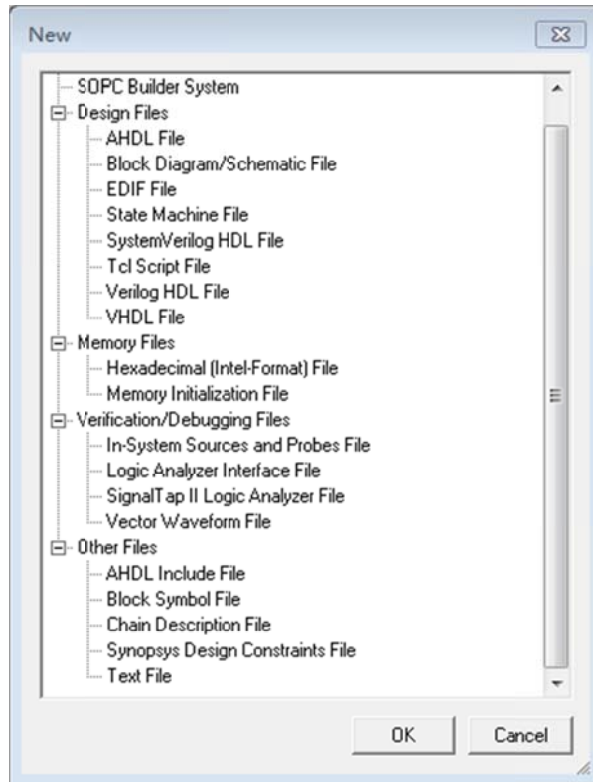
运行 QuartusII 软件，点击菜单栏 File > New Project Wizard ...，弹出对话框：



设置工程文件存放路径、工程名称、FPGA 芯片型号等。(除了路径和名称外，其它可暂时默认)

### (2) 新建 VerilogHDL 文件

点击菜单栏 “File > New...”，弹出对话框，选择 “Design Files 之 Verilog HDL File”，点击 OK 按钮，出现 VerilogHDL 程序录入编辑界面。



(3) 录入事先设计好的程序，保存文件。注意保存时应勾选加入当前工程选项。

```

1 module counter_01(clk_in, rst, clk_out);
2     input clk_in, rst;
3     output clk_out;
4
5     reg [3:0] count1;
6     assign clk_out = count1[3];
7     always @(posedge clk_in or negedge rst)
8     begin
9         if (!rst) count1 <= 0;
10        else if (count1 == 9) count1 <= 0;
11        else count1 <= count1 + 1;
12    end
13
14 endmodule
15

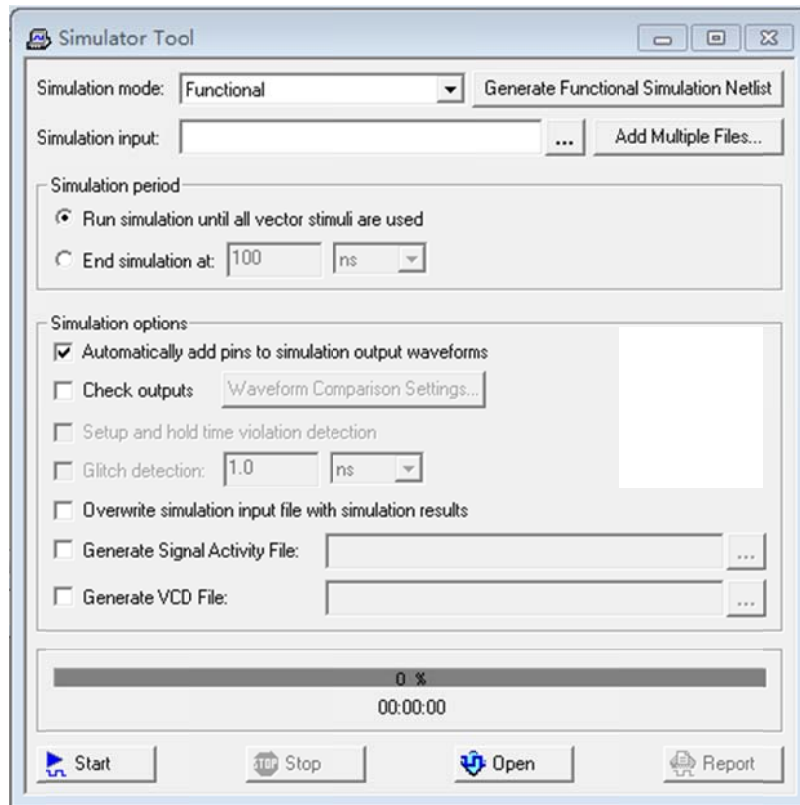
```

(4) 编译

点击菜单栏“Processing > Start Compilation”。无论编译是否通过都会有提示，如果有错误则修正保存后再编译，直至编译通过。

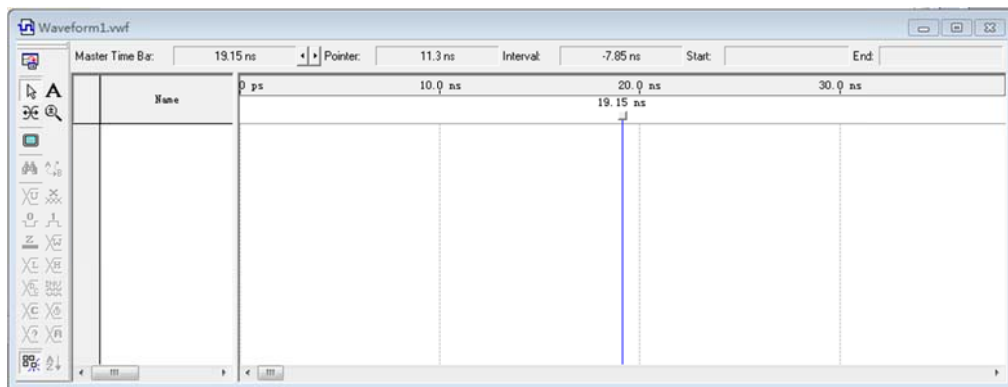
(5) 打开功能仿真工具并进行设置

点击菜单栏“Processing > Simulator Tool”，弹出对话框。选择仿真模式为“Functional”功能仿真，再点击“Generate Functional Simulation Netlist”按钮，生成功能仿真网表。

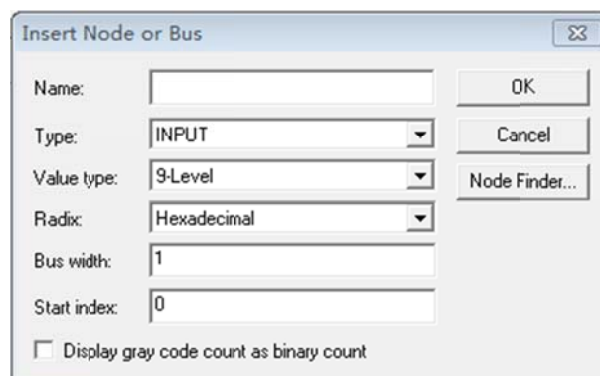


#### (6) 创建功能仿真波形

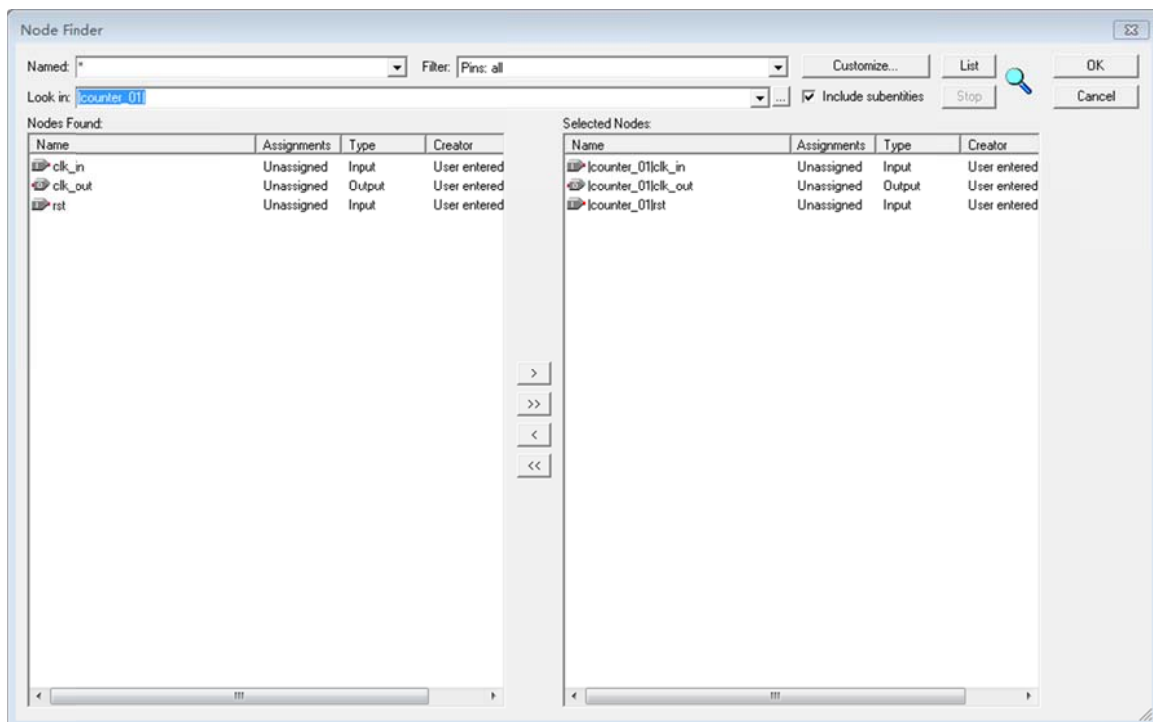
点击功能仿真工具对话框中的“Open”按钮，弹出波形编辑框



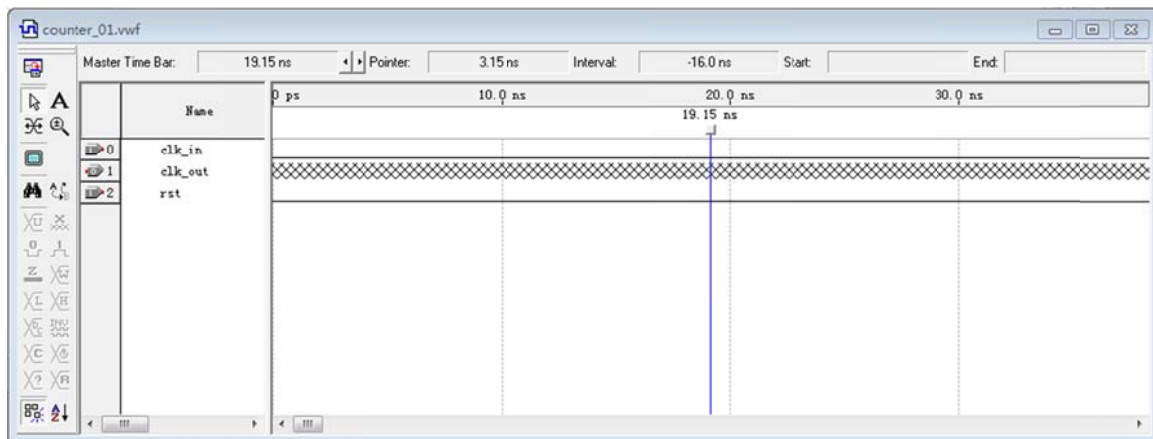
右击“Name”栏下方空白处，出现快捷方式栏，点击“Insert > Insert Node or Bus...”，弹出对话框



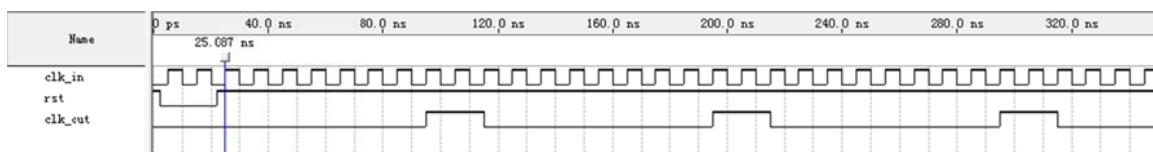
点击“Node Finder...”按钮，弹出对话框。点击“List”按钮，左侧空白处会出现经过条件筛选的引脚等信号，点击中间的移动“>>”按钮，右侧已选节点框中会出现选择的信号名称。点击 OK 按钮，关闭对话框。



自动回到上一个对话框，继续点击 OK 按钮。刚才选择的信号就会出现在波形编辑框中。保存该波形文件，同样注意要勾选加入当前工程的选项。

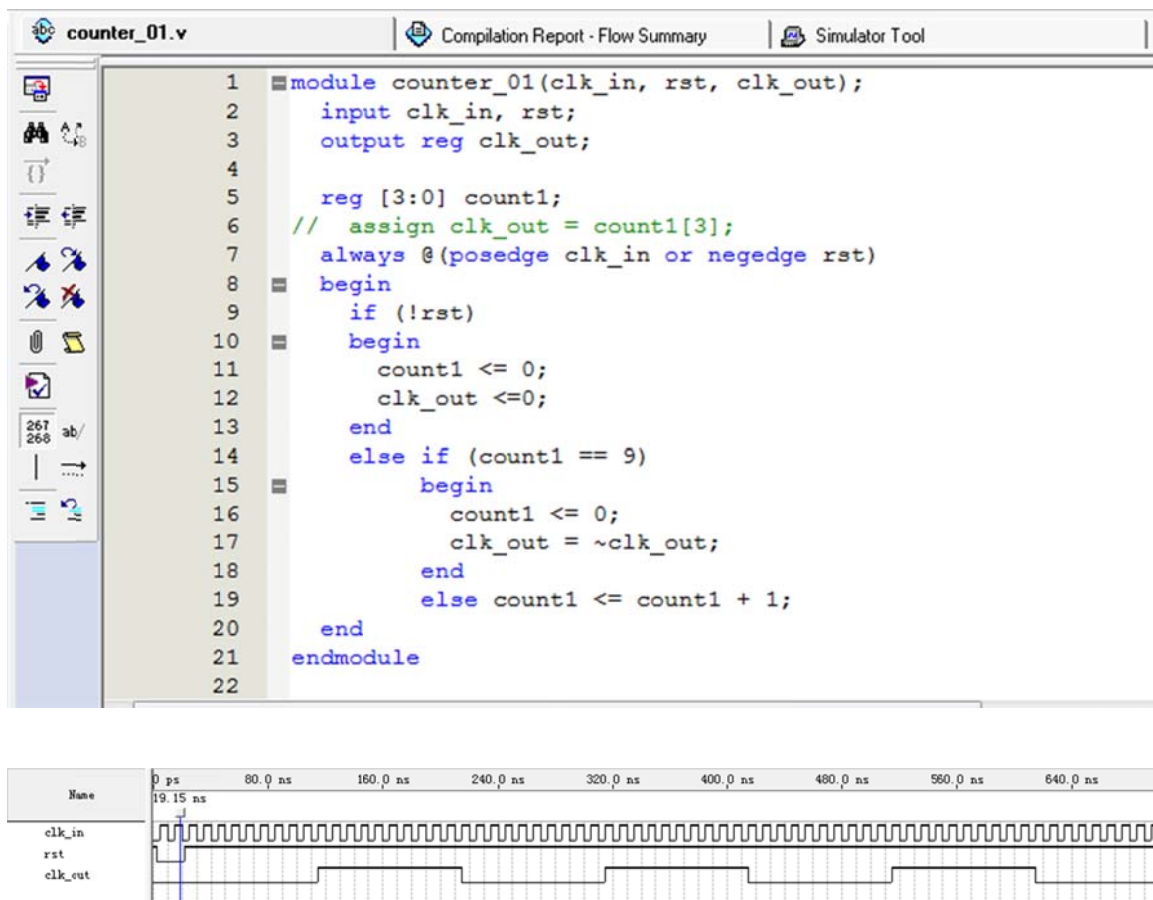


移动信号上下位置，编辑输入信号波形，保存。回到仿真工具对话框，点击“Start”按钮，进度条显示仿真进度，仿真通过并完成后，点击“Report”按钮，弹出仿真通过后的波形。



仔细观察波形，可以看出这是一个模 10 的计数器，符合设计预期，说明设计正确。  
如果想输出方波，如何设计呢？

要想输出方波，输出信号在每次计数满的时候取反！修改后的程序及仿真波形如下



从方正波形中可以看出：输出信号确实是方波，但是计数器的模变为 20 了。因为每计满 10，输出就取反，所以计数周期就是 20。

## （二）QuartusII 编程下载

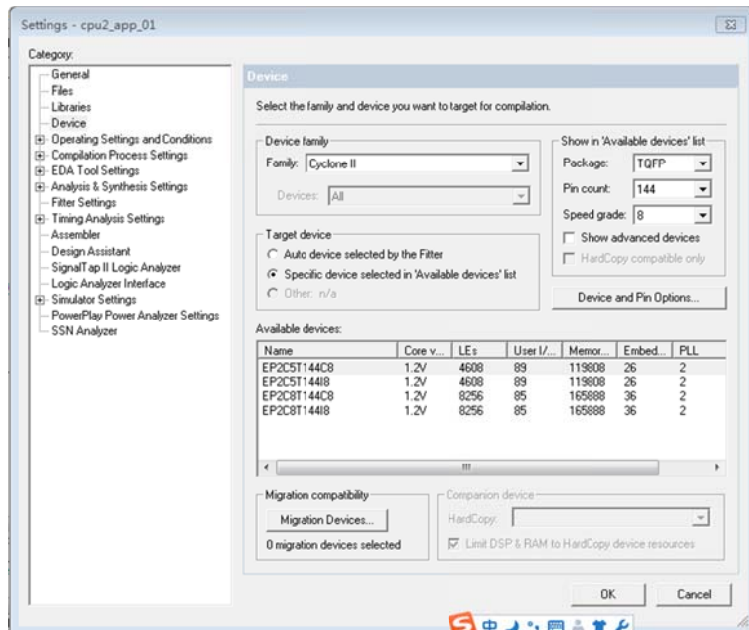
简言之，设置芯片分配引脚重新编译，连接编程硬件并进行相关设置，添加在线编程文件（离线编程时还需要先行转换）并下载编程。

程序仿真完成后要下载到开发板上实际运行，观察运行情况。我们选择康芯实验开发板 KX2C5F（Altera EP2C5+EPCS1）作为程序运行载板。

开发板上的时钟是 20MHZ，希望观察到一个 LED 亮 500ms 灭 500ms 的闪烁情况，则应该设计一个模为  $20 \times 10^6$  的计数器，输出 1HZ 方波，用输出信号驱动控制 LED。修改上述计数器的最大值为  $10^7-1$ ，count1 的位宽为 24。

（1）设置 FPGA 芯片并分配设置引脚（然后重新编译，此时生成的编程配置文件（\*.sof）才是有意义的）

（1.1）设置 FPGA 芯片，“Assignments > Device...”，如下图



### (1.2) 规划引脚分配

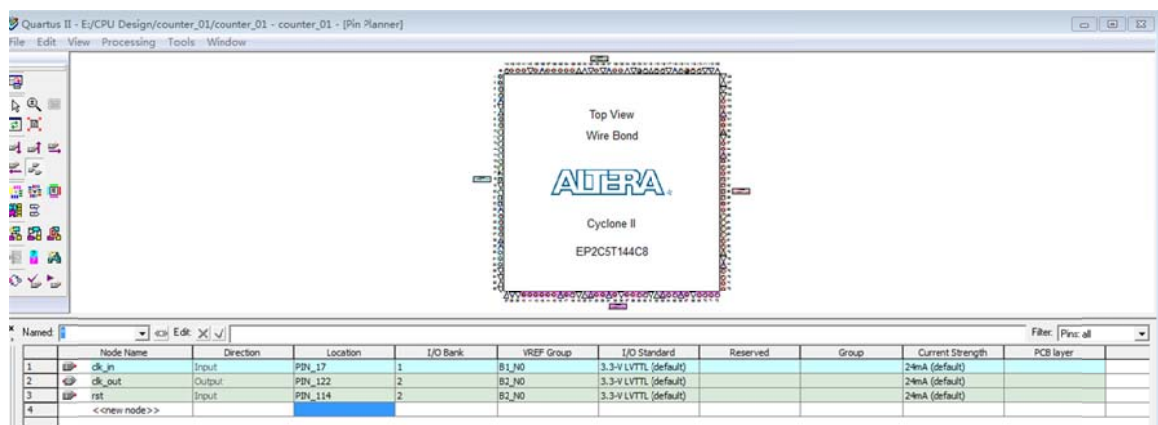
引脚分配表

序号	引脚名称	FPGA 芯片引脚序号	备注
1	clk_in	P17	芯片固定
2	rst	P114	按键 K5
3	clk_out	P122	数码管插座 J1-p

### (1.3) 分配引脚 (Assignments > Pins)。

规划好引脚分配，然后打开引脚分配面板 “Pin Planner (Assignments > Pins)”，显示下列操作窗口。

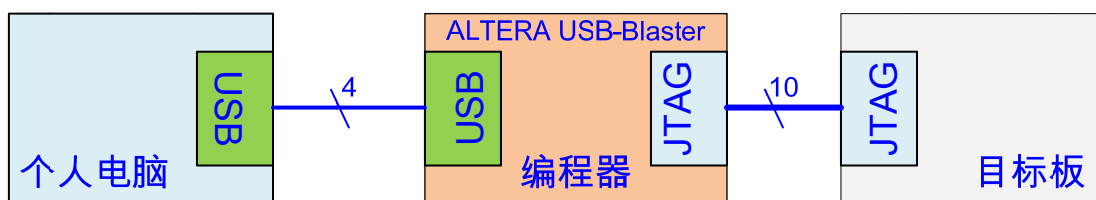
双击表格中 “location” 栏下信号相应的空白栏，弹出引脚选择对话框，选择正确引脚序号。



### (1.4) 重新编译

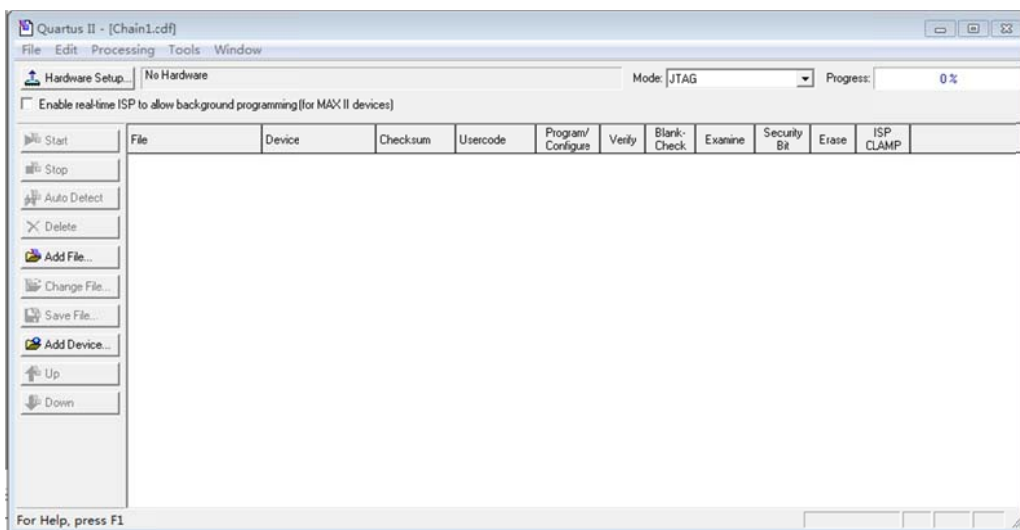
编译通过！

### (2) 进行硬件设备连接，如下图所示：



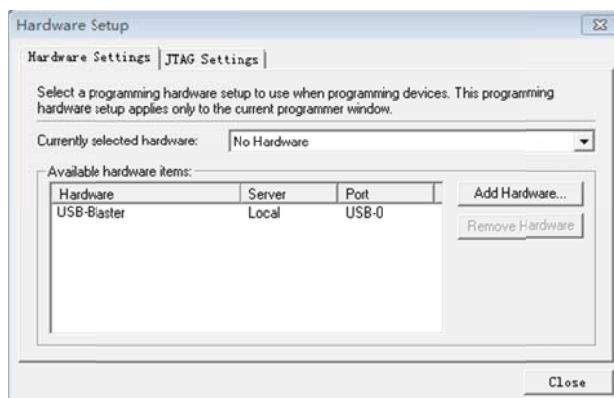
(3) 打开 FPGA 编程器，进行相关设置。

(3.1) 点击 QuartusII 快捷工具栏编程器图标或菜单栏 “Tools > Programmer”，弹出如下对话框：



(3.2) 选择模式，设置硬件。

点击对话框右上方 “Mode” 下拉选择 “JTAG”；点击左上角 “Hardware Setup...” 按钮，弹出如下对话框：



点击当前已选硬件下拉菜单选择 “USB-Blaster[USB-0]”，或双击可用硬件项目中的 “USB-Blaster”，然后关闭 (Close) 硬件设置对话框。

(4) 添加 FPGA 编程文件，进行在线编程

(4.1) 点击编程器对话框左侧工具按钮 “Add File...”，或在编程器对话框中间空白处，右击出现快捷菜单，选择 “Add File...”，弹出选择文件对话框，选择编程文件 (\*.sof)。

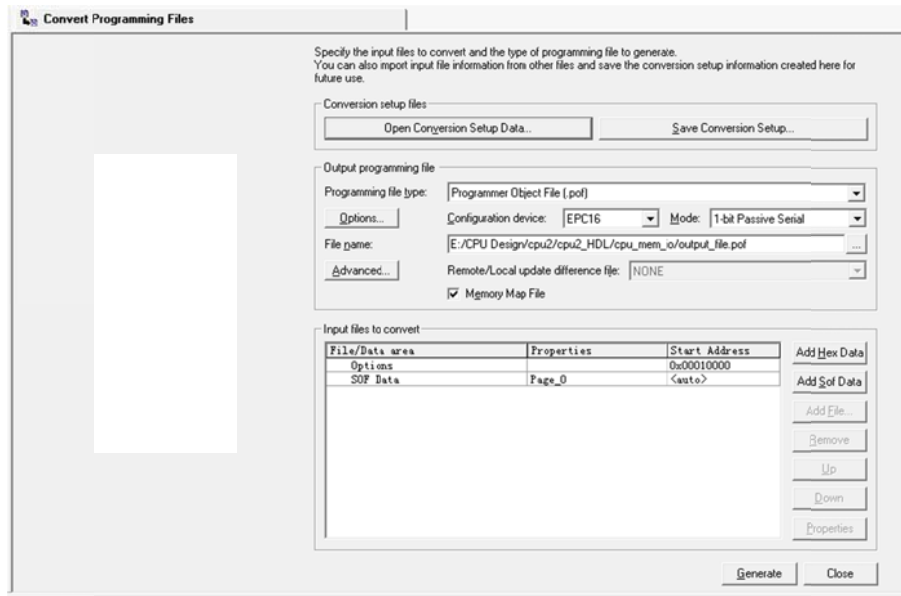
(4.2) 点击编程器对话框左侧工具按钮 “Start”，右上方显示编程进度。OK！

编程完成后，目标板上 FPGA 芯片就是对 20MHZ 时钟进行 20M 分频，得到 1HZ 方波的计数器，计数器输出驱动控制 LED 闪烁，亮 500ms 灭 500ms。观察数码管显示情况。



上述编程方法称为在线编程，目标板应用离不开 USB-Blaster 编程器。下面介绍离线编程方法：

首先生成离线编程文件 (\*.jic)，方法是 File > Convert Programming Files...，弹出转换编程文件对话框，如下：



- (1) 选择编程文件类型：下拉菜单选择 JTAG 间接配置 (\*.jic)。
- (2) 选择配置器件：下拉菜单选择 EPCS1。
- (3) 设置输出编程文件名称，默认 E:/CPU Design/cpu2/cpu2\_HDL/cpu\_mem\_io/output\_file.jic，可以修改。
- (4) 添加器件，在“Input file to convert”框中，选中“Flash Loader”，点击右侧“Add Device...”按钮，弹出选择框，选择 Cyclone II 系列之 EP2C5。
- (5) 添加编程数据文件，在“Input file to convert”框中，选中“SOF Data”，点击右侧“Add File...”按钮，弹出选择框，选择“cpu2\_app\_01.sof”。
- (6) 修改属性，在“Input file to convert”框中，选中数据文件“cpu2\_app\_01.sof”，点击右侧“Properties”按钮，弹出选择框，勾选“compression”。
- (7) 生成 JTAG 间接配置 output\_file.jic，点击“Generate”按钮。OK

其次编程。打开编程器对话框，添加刚刚生成的文件 output\_file.jic，然后“Start”，OK！

离线编程完成后，断开目标板的电源以及和编程器的连接，然后目标板重新上电。

### (三) 康芯实验开发板 KX2C5F (Altera EP2C5+EPCS1) 简介

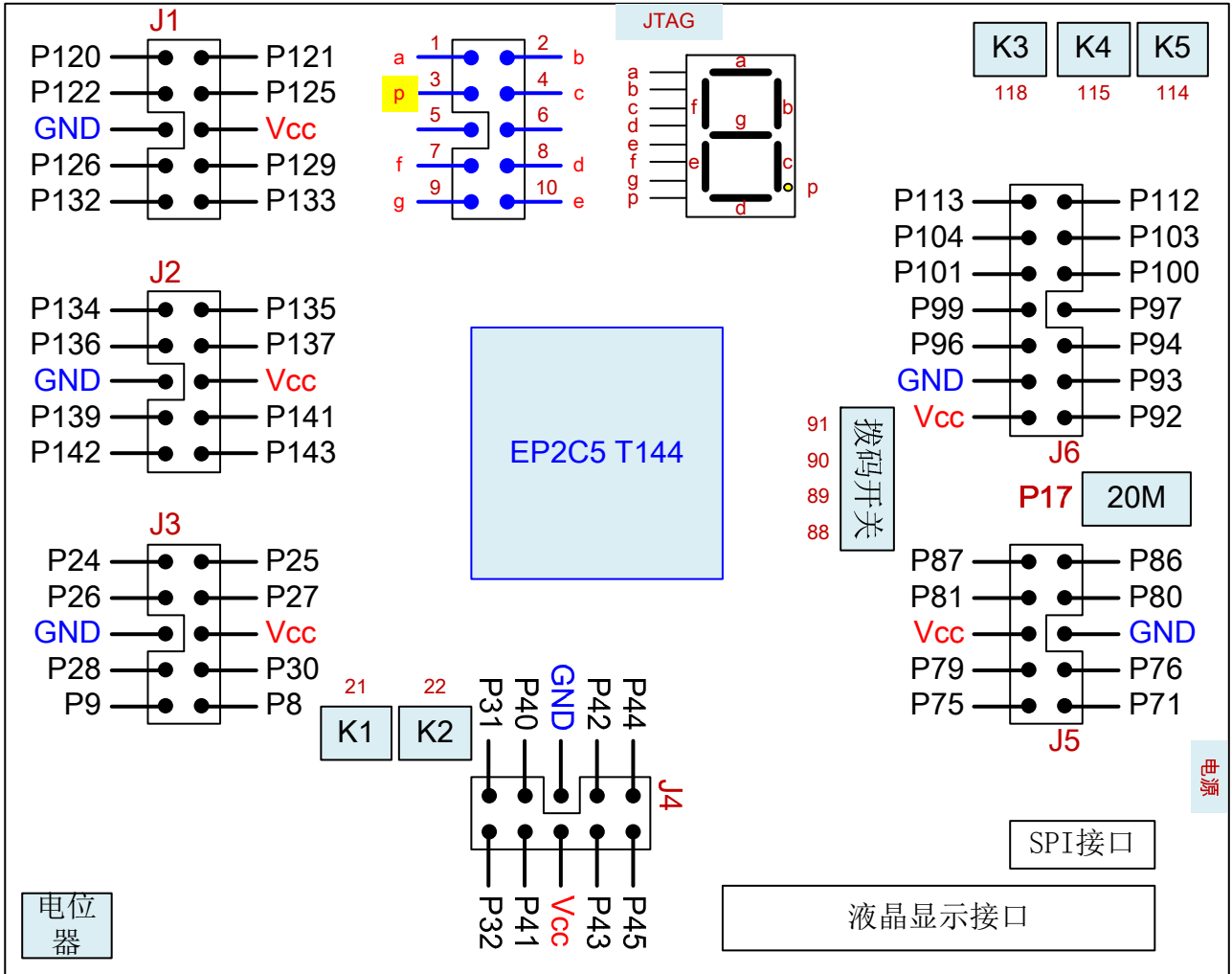
开发板上 FPGA 芯片是 Altera 公司的 EP2C5T144C8，片内有 4608 个逻辑单元、119808bits 存储器，片外可用 I/O 引脚有 89 个，其引脚分配图如下所示。

开发板上可用资源有：(1) 1 个 20MHZ 的时钟源，它连接至 FPGA 芯片的第 17 引脚。(2) 5 个按键开

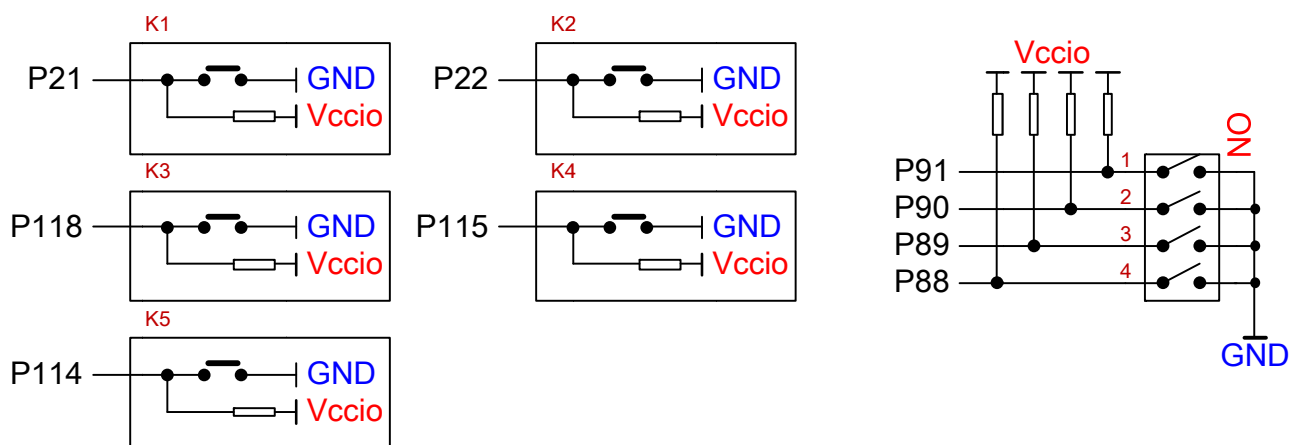


关 K1--K5，它们与 FPGA 芯片的连接关系是：K1=P21，K2=P22，K3=P118，K4=P115，K5=P114。（3）1 个 4 位的拨码开关，分别连接 FPGA 芯片的第 88--91 引脚。（5）5 个 10 针插座 J1--J5，可以用于连接七段数码管（配套数码管是共阴极，引脚连接关系参见图示）。（6）1 个 14 针插座 J6。（7）点阵液晶显示接口。（8）5 针 SPI 接口。

开发板上按键、开关、接插件引脚与 FPGA 的连接关系如下图所示。



按键和拨码开关的电路原理如下图所示。



开发板实物展示

