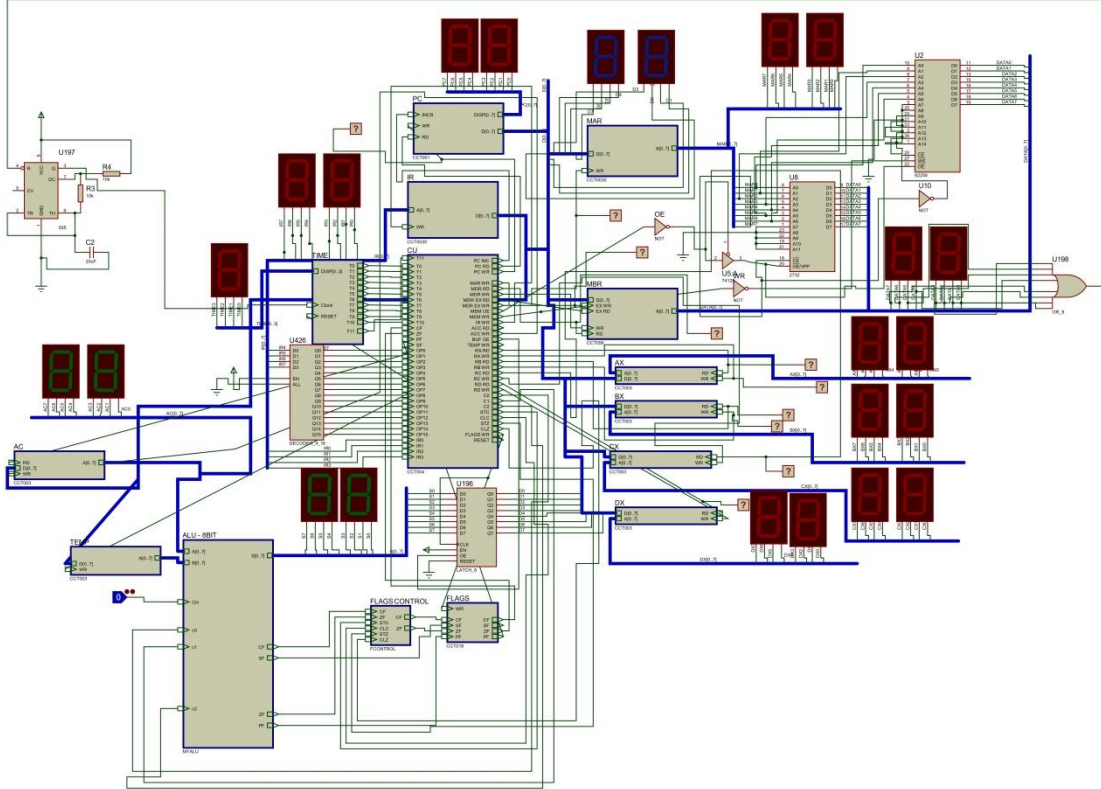


مشروع مادة بنية الحاسب المتقدمة

معالج 8 بت



إعداد الطلاب:

عبد الحميد سيد

عبد الكريم المكتبي

محمد حمزة مشهدي

محمد يمان قلعه جي

تحت إشراف:

م.تولاي شاهين

مقدمة عن المشروع:

يهدف المشروع إلى تصميم معالج ذو بنية 8 بت حقيقي وذو خطوط عنوانية ومعطيات 8 بت. بنية المعالج هي خليط من CISC و RISC. يتألف المعالج من الأجزاء الرئيسية التالية:

- 1- وحدة الحساب والمنطق **ALU** (Arithmetic and Logic Unit).
- 2- وحدة التحكم **CU** (Control Unit).
- 3- مسجلات عدد (9) :
 - Program counter Register (**PC**)
 - Instruction Register (**IR**)
 - Accumulator Register (**AC**)
 - Temporary Register (**TEMP**)
 - Common Registers (**AX & BX & CX & DX**)
 - Flags Register (**FLAGS**)
- 4- ذاكرة RAM للتخزين العشوائي و ذاكرة ROM للقراءة فقط.
- 5- وحدات ملائمة (**MAR**) Memory Address Register و (**MDR**) Memory Data Register.
- 6- مولد نبضات ساعة (دائرة 555).

التعليمات التي ينفذها المعالج:

ينفذ المعالج 26 تعليمة عبر 16 Opcode أساسي :

عمل التعليمة	التعليمة
نقل محتوى مسجل عام إلى مسجل عام آخر	MOV R,R
نقل محتوى مسجل عام إلى المراكم	MOV Acc,R
نقل محتوى المراكم إلى مسجل عام	MOV R,Acc
نقل قيمة عددية مباشرة إلى المراكم	MOV Acc,Immediate
نقل محتوى حجرة ذاكرية إلى المراكم نقل محتوى المراكم إلى حجرة ذاكرية	MOV Acc,[Memory] MOV [Memory], Acc
جمع محتوى مسجل عام إلى المراكم	ADD Acc,R
طرح محتوى مسجل عام من المراكم	SUB Acc,R
جمع محتوى مسجل عام إلى المراكم مع الحمل	ADC Acc,R
تطبيق عملية AND المنطقية بين مسجل عام و المراكم و وضعها في المراكم	AND Acc,R
تطبيق عملية OR المنطقية بين مسجل عام و المراكم و وضعها في المراكم	OR Acc,R

NOT	تطبيق عملية NOT المنطقية على المراكم
XOR Acc,R	تطبيق عملية XOR المنطقية بين مسجل عام و المراكم و وضعها في المراكم
STC CLC STZ CLZ	تغيير قيمة Carry Flag إلى واحد منطقي تغيير قيمة Carry Flag إلى صفر منطقي تغيير قيمة Zero Flag إلى واحد منطقي تغيير قيمة Zero Flag إلى صفر منطقي
JMP [Memory]	القفز إلى حجرة تعليمة في الذاكرة
JS [Memory] JNS [Memory] JZ [Memory] JNZ [Memory] JC [Memory] JNC [Memory]	القفز إلى حجرة تعليمة في الذاكرة في حال كان العدد الناتج سالب القفز إلى حجرة تعليمة في الذاكرة في حال كان العدد الناتج موجب القفز إلى حجرة تعليمة في الذاكرة في حال كان العدد الناتج يساوي الصفر القفز إلى حجرة تعليمة في الذاكرة في حال كان العدد الناتج لا يساوي الصفر القفز إلى حجرة تعليمة في الذاكرة في حال وجود حمل القفز إلى حجرة تعليمة في الذاكرة في حال عدم وجود حمل
CALL [Memory] RET	استدعاء تابع فرعي في الذاكرة العودة إلى مكان الاستدعاء المحفوظ في الحجرة FB

آلية العمل :

يقوم المعالج بجلب وتنفيذ التعليمة عبر 12 نبضة على الأكثر، حيث تكون النبضات الثلاث الأولى مخصصة لجلب وفك تشفير التعليمة :

T0: PC-RD , MAR-WR

T1: Memory-OE , MDR-EX.WR , PC-Inc

T2: MDR-RD , IR-WR

والنبضة الأخيرة تكون دائماً نبضة Reset .

Opcode0 : Mov R ,R

T3: R-RD , R-WR

T4: Reset

Opcode1 : Mov Acc , R

T3: R-RD , Acc-WR

T4: Reset

Opcode2 : Mov R , Acc

T3: Acc-RD , R-WR

T4: Reset

Opcode3 : Mov Acc , Immediate

T3: PC-RD , MAR-WR

T4: (Memory-OE), MDR-EX.WR , PC-Inc

T5: MDR-RD , Acc-WR

T6: Reset

Opcode4:

1- Mov Acc , [Memory]

T3: PC-RD , MAR-WR

T4: (Memory-OE), MDR-EX.WR , PC-Inc

T5: MDR-RD , MAR-WR

T6: (Memory-OE), MDR-EX.WR

T7: MDR-RD , Acc-WR

T8: Reset

2- Mov [Memory] , Acc

T3: PC-RD , MAR-WR

T4: (Memory-OE), MDR-EX.WR , PC-Inc

T5: MDR-RD , MAR-WR

T6: Acc-RD , MDR-WR

T7: MDR-EX.RD , (Memory-WR)

T8: Reset

Opcode5 : ADD Acc , R

T3: R-RD , Temp-WR

T4: AIU-ADD, WR-Flags

T5: (Latch-OE), ACC WR

T6: Reset

Opcode6 : SUB Acc , R

T3: R-RD , Temp-WR

T4: Alu-SUB, WR-Flags

T5: (Latch -OE) , ACC WR

T6: Reset

Opcode7 : ADC Acc , R

T3: R-RD , Temp-WR

T4: AIU-ADC, WR-Flags

T5: (Latch -OE) , ACC WR

T6: Reset

Opcode8 : AND Acc , R

T3: R-RD , Temp-WR

T4: AIU-AND , WR-Flags

T5: (Latch -OE) , ACC WR

T6: Reset

Opcode9 : OR Acc , R

T3: R-RD , Temp-WR

T4: AIU-OR , WR-Flags

T5: (Latch -OE) , ACC WR

T6: Reset

Opcode10 : NOT

T3: AIU-NOT

T4: (Latch -OE), Acc-WR

T5: Reset

Opcode11 : XOR Acc , R

T3: R-RD , Temp-WR

T4: AIU-XOR , WR-Flags

T5: (Latch -OE) , ACC WR

T6: Reset

Opcode12 :

1- STC

T3: STC , WR-Flags

T4: Reset

2- CLC

T3: CLC , WR-Flags

T4: Reset

3- STZ

T3: STZ , WR-Flags

T4: Reset

4- CLZ

T3: CLZ , WR-Flags

T4: Reset

Opcode13 : JMP [Memory]

T3: PC-RD , MAR-WR

T4: (Memory-OE) , MDR-EX.WR

T5: MDR-RD , PC-WR

T6: Reset

Opcode14 : JPX (CF,SF,ZF)

TRUE:

T3: Inc-PC

T4: Reset

FALSE:

T3: PC-RD , MAR-WR

T4: (Memory-OE) , MDR-EX.WR

T5: MDR-RD , PC-WR

Opcode15 :

1- CALL

T3: PC-RD , MAR-WR

T4: PC-Inc , (Memory-OE), MDR-EX.WR

T5: MDR-RD , MAR-WR

T6: PC-RD , MDR-WR

T7: MDR-EX.RD , (Memory-WR)

T8: PC-RD , MAR-WR

T9: Memory-OE , MDR-EX.WR

T10: MDR-RD , PC-WR

T11: Reset

2- RET

T3: PC-RD , MAR-WR

T4: (Memory-OE) , MDR-EX.WR

T5: MDR RD,MAR WR

T6: (Memory-OE) , MDR-EX.WR

T7: MDR-RD , PC-WR

T8: Reset , Inc-PC

المعادلات المنطقية :

$$\text{PC-INC} = T1 + T4 (\text{Op4} + \text{Op3} + \text{Op15.IR0}) + T3. \text{Op14 JX} + T5. \text{Op15.IR1}$$

T1	X
T4	Op3
T4	Op4
T3	Op14 <u>JX</u>
T4	Op15IR0
T5	Op15IR1

$$\text{PC-RD} = T0 + T3. (Op3+ Op4+ Op14 JX + Op13 + Op15) + T6.Op15 + T8.Op15$$

T0	X
T3	Op3
T3	Op4
T3	Op13
T3	Op14 JX
T3	Op15IR0
T6	Op15
T8	Op15
T3	Op15IR1

$$\text{PC-WR} = T4. Op15.IR1+ T5. (Op13+ Op14) + T9.Op15$$

T4	Op15IR1
T5	Op13
T5	Op14
T9	Op15

$$\text{MAR-WR} = T0 + T3 (Op3 + Op4 + Op13 + Op14 JX + Op15) + T5 (Op4 + Op15IR0) + T8.Op15$$

T0	X
T3	Op3
T3	Op4
T3	Op13
T3	Op14 JX
T3	Op15IR0
T3	Op15IR1
T5	Op4
T5	Op15IR0
T8	Op15

$$\text{MDR-RD} = T2 + T4.Op15IR1+ T5 (Op3 + Op4 + Op13 + Op15IR0+ Op14) + T7 Op4 IR0+ T9 Op15$$

T2	X
T4	Op15IR1
T5	Op3
T5	Op13
T5	Op4
T5	Op15IR0
T5	Op14
T7	Op4 IR0
T9	Op15

$$\text{MDR-WR} = T6(\text{Op4 IR1} + \text{Op15})$$

T6	Op4 IR1
T6	Op15

$$\text{MDR-EX.WR} = \text{MEM-OE} = T1 + T4. (\text{Op3} + \text{Op4} + \text{Op14 JX} + \text{Op13} + \text{Op15}) + T6. \text{Op4 IR0} + T9. \text{Op15}$$

T1	X
T4	Op3
T4	Op15IR1
T4	Op4
T4	Op13
T4	Op14 JX
T4	Op15IR0
T6	Op4 IR0
T9	Op15

$$\text{MDR-EX.RD} = T7. (\text{Op4 IR1} + \text{Op15})$$

T7	Op4 IR1
T7	Op15

$$\text{MEM-OE} = T1 + T4 (\text{Op3} + \text{Op15 IR1} + \text{Op4} + \text{Op13} + \text{Op14 JX} + \text{Op15 IR0}) + T6. \text{Op4 IR0} + T9. \text{Op15}$$

T1	X
T4	Op3
T4	Op15IR1
T4	Op4
T4	Op13
T4	Op14 JX
T4	Op15IR0
T6	Op4 IR0
T9	Op15

$$\text{MEM-WR} = T7 (\text{Op4 IR1} + \text{Op15})$$

T7	Op4 IR1
T7	Op15

$$\text{IR-WR} = T2$$

T2	
----	--

$$\text{Rx-RD} = T3 (\text{Op0} + \text{Op1} + \text{Op5} + \text{Op6} + \text{Op7} + \text{Op8} + \text{Op9} + \text{Op11})$$

T3	Op0
T3	Op1
T3	Op5
T3	Op6
T3	Op7
T3	Op8
T3	Op9
T3	Op11

$$\text{Rx-WR} = T3 (\text{Op0} + \text{Op2})$$

T3	Op0
T3	Op2

$$\text{ACC-RD} = T3.\text{Op2} + T6.\text{Op4 IR1}$$

T3	Op2
T6	Op4 IR1

$$\text{ACC-WR} = T3.\text{Op1} + T4.\text{Op10} + T5(\text{Op3} + \text{Op5} + \text{Op6} + \text{Op7} + \text{Op8} + \text{Op9} + \text{Op11}) + T7.\text{OpIR0}$$

T3	Op1
T4	Op10
T5	Op3
T5	Op5
T5	Op6
T5	Op7
T5	Op8
T5	Op9
T5	Op11
T7	Op4 IR0

$$\text{TEMP-WR} = T3(\text{Op5}+\text{Op6}+ \text{Op7}+ \text{Op8}+ \text{Op9}+ \text{Op11})$$

T3	Op5
T3	Op6
T3	Op7
T3	Op8
T3	Op9
T3	Op11

$$\text{BUF-OE} = T5(\text{Op5}+\text{Op6}+ \text{Op7}+ \text{Op8}+ \text{Op9}+ \text{Op11})+T4.\text{Op10}$$

T5	Op5
T5	Op6
T5	Op7
T5	Op8
T5	Op9
T4	Op10
T5	Op11

$$\begin{aligned}
 \text{RESET} = & T4(\text{Op0} + \text{Op1} + \text{Op2} + \text{Op12IR0} + \text{Op12IR1} + \text{Op12IR2} + \text{Op12IR3} + \\
 & \text{Op14 } \overline{\text{JX}}) \\
 & + T5(\text{Op10} + \text{Op15IR1}) \\
 & + T6(\text{Op3} + \text{Op5} + \text{Op6} + \text{Op7} + \text{Op8} + \text{Op9} + \text{Op11} + \text{Op13} + \text{Op14}) \\
 & + T8(\text{Op4 IR0} + \text{Op4 IR1}) \\
 & + T10 \text{ Op15}
 \end{aligned}$$

T10	Op15
T4	Op0
T4	Op1
T4	Op2
T4	Op12IR0
T4	Op12IR1
T4	Op12IR2
T4	Op12IR3
T4	Op14 $\overline{\text{JX}}$
T5	Op10
T5	Op15IR1
T6	Op3
T6	Op5
T6	Op6
T6	Op7
T6	Op8
T6	Op9
T6	Op11
T6	OP13
T6	Op14
T8	Op4 IR0
T8	Op4 IR1

$$\begin{aligned}
 \text{FL-WR} = & T3 (\text{Op10} + \text{Op12IR0} + \text{Op12IR1} + \text{Op12IR2} + \text{Op12IR3}) + T4 (\text{Op5} + \text{Op6} + \text{Op7} + \text{Op8} \\
 & + \text{Op9} + \text{Op11})
 \end{aligned}$$

T3	Op10
T3	Op12IR0
T3	Op12IR1
T3	Op12IR2
T3	Op12IR3
T4	Op5
T4	Op6
T4	Op7
T4	Op8
T4	Op9
T4	Op11