

[Painel](#) / [Meus cursos](#) / [Graduação](#) / [2022.2](#) / [Disciplinas](#) / [Arq de Computadores e Sist Operacionais](#) / [Questionários](#)
/ [Questionario Arquitetura Avancadas](#)

Tempo restante 0:44:52



Questão **1**

Ainda não
respondida

Vale 1,0
ponto(s).

Assinale as afirmaivas corretas em relação aos processadores superescalares:

Escolha uma ou mais:

- ☐ a. Na execução especulativa, as instruções posteriores ao desvio não podem modificar o estado arquitetural até que o resultado do desvio seja conhecido.
- ☐ b. Necessita de um estágio adicional para enfileirar as instruções e isolar os estágios de busca e decodificação dos estágios de execução.
- ☐ c. Instruções que dependem de resultados gerados por instruções anteriores não podem ser executadas em paralelo.
- ☐ d. Seu desempenho não depende da eficiência da predição dinâmica de desvios.
- ☐ e. São utilizados esquemas de renomeação de registradores por software para resolver o problema das dependências falsas de dados.



Questão **2**

Ainda não
respondida

Vale 1,0
ponto(s).

Podemos afirmar sobre as arquiteturas VLIW:

Escolha uma ou mais:

- ☐ a. Uma instrução pode conter várias operações independentes com operandos (dados) distintos.
- ☐ b. VLIW é acrônimo para "Very Large Instruction Width".
- ☐
- c. Várias operações são executadas em paralelo em diferentes unidades funcionais, tais como em máquinas superescalares.
- ☐ d. O "hardware" de despacho de instruções é simples.
- ☐ e. O compilador é responsável por determinar quais operações serão executadas em paralelo.



Questão **3**

Ainda não
respondida

Vale 1,0
ponto(s).

Correlacione corretamente as perguntas e respostas:

Permitem a execução simultânea de mais de uma thread no processador.

Escolher...

Execução de múltiplas instruções, escalonadas por "hardware" e/ou "software", concorrentemente.

Escolher...

Execução de múltiplas operações, escalonadas por "software", concorrentemente.

Escolher...

Uso de vários processadores em um mesmo encapsulamento, compartilhando ou não a cache de nível 2.

Escolher...



Questão **4**

Ainda não
respondida

Vale 1,0
ponto(s).

Assinale as afirmativas corretas em relação às arquiteturas multithreading de granulosidade fina:

Escolha uma ou mais:

- ☐ a. Mais de uma instrução de cada contexto (thread) pode estar presente no pipeline a cada instante de tempo.
- ☐ b. O processador troca de contexto em todo ciclo.
- ☐ c. Lógica de controle do pipeline é bastante simplificada pois não existem dependências de dados e de controle.
- ☐ d. Overhead para troca de contexto é nulo.
- ☐ e. O número de contextos deve ser no máximo igual ao número de estágios do pipeline.



Questão **5**

Ainda não
respondida

Vale 1,0
ponto(s).

Assinale as afirmativas corretas em relação às arquiteturas SMT:

Escolha uma ou mais:

- ☐ a. Janela de Instrução aumentada e com identificação das threads.
- ☐ b. Dois estágios no pipeline para acesso ao banco de registradores
- ☐ c. Identificação da thread nos mecanismos de predição de desvio
- ☐ d. Uso de múltiplos apontadores de instrução (PCs)
- ☐
- e. Um banco de registradores grande, com registradores para as threads e registradores adicionais para renomeação



Questão **6**

Ainda não
respondida

Vale 1,0
ponto(s).

Assinale as afirmativas corretas em relação aos processadores superescalares:

Escolha uma ou mais:

☐

a. Requer a existência de múltiplos barramentos internos para transferência de operandos e resultados do banco de registradores de/para as unidades funcionais.

☐

b. A lógica de controle das implementações baseadas em Janela Centralizada é usualmente mais simples que a das Estações de Reserva,

☐

c. O Trace Cache utiliza uma memória cache adicional para armazenar os “traces” das instruções mais recentemente executadas, que é consultada pela unidade de busca de instruções.

☐

d. Não permitem que loads e stores sejam executados fora de ordem.

☐

e. Após a execução as instruções aguardam em uma fila (Reorder Buffer) para que sejam terminadas na mesma ordem especificada no código objeto original



Questão **7**

Ainda não
respondida

Vale 1,0
ponto(s).

Assinales as afirmativas corretas em relação às arquiteturas multithreading de granulosidade grossa:

Escolha uma ou mais:

☐

a. Nas arquiteturas dinâmicas o overhead de troca de contexto é inversamente proporcional à profundidade no pipeline do estágio que dispara a troca de contexto.

☐

b. Um número não muito grande de contextos (4 a 32) é suportado por essas arquiteturas.

☐

c. Nas arquiteturas dinâmicas a troca de contexto é feita quando ocorre uma operação de baixa latência (falha na cache, sincronização, etc.).

☐

d. Nas arquiteturas estáticas com mecanismo explícito, a troca de contexto é feita quando instruções explícitas de troca de contexto são executadas.

☐

e. Nas arquiteturas estáticas com mecanismo implícito, a troca de contexto é feita quando certas instruções (load, store, branch, etc.) são executadas.



Questão **8**

Ainda não
respondida

Vale 1,0
ponto(s).

Podemos considerar corretas as seguintes afirmações sobre arquiteturas SMT:

Escolha uma ou mais:

- ☐ a. A cada instante de tempo instruções de diferentes threads podem estar sendo executadas simultaneamente.
- ☐
- b. Permitem múltiplas threads despacharem múltiplas instruções a cada ciclo para unidades funcionais de um processador superescalar.
- ☐ c. SMT é um acrônimo para "Simultaneous Multithreading"
- ☐
- d. Combinam a capacidade de despacho de múltiplas instruções das arquiteturas superescalares, com a habilidade de esconder latência das arquiteturas multithreading.
- ☐
- e. Busca aumentar o número de slots de despacho não ocupados a cada ciclo (baixo em arquiteturas multithreading) e o número de ciclos em que nenhuma instrução é despachada (baixo em arquiteturas superescalares).



Questão 9

Ainda não
respondida

Vale 1,0
ponto(s).

Podemos afirmar em relação às arquiteturas superescalares:

Escolha uma ou mais:

- ☐ a. Os recursos comuns precisam ser duplicados em sua maioria.
- ☐
- b. O uso de caches separadas para dados e instruções é uma solução para permitir leitura e escrita simultâneas à memória por mais de um estágio do pipeline.
- ☐ c. Os barramentos devem largura suficiente para a busca de mais de uma instrução por ciclo de máquina.
- ☐ d. São conhecidas por possuírem mais de um pipeline em paralelo em sua arquitetura.
- ☐ e. É comum termos um única porta de leitura e de escrita no banco de registradores.



Questão **10**

Ainda não
respondida

Vale 1,0
ponto(s).

Podemos afirmar em relação às arquiteturas multicore:

Escolha uma ou mais:

☐

a. Normalmente são processadores diferentes, tanto em termos de arquitetura quanto em velocidade de processamento.

☐

b. É uma alternativa muito adotada recentemente devido aos ganhos de consumo de energia que podem ser obtidos.

☐

c. As tarefas podem ser executadas indistintamente em cada um dos processadores.

☐

d. O compilador é responsável pelo escalonamento das tarefas (processos e/ou threads) para cada um dos processadores.

☐

e. Vários processadores encapsulados em uma mesma pastilha, compartilhando normalmente a cache de nível 3.



◀ Questionário Pipeline

Seguir para...

Primeira Lista de Exercícios ▶