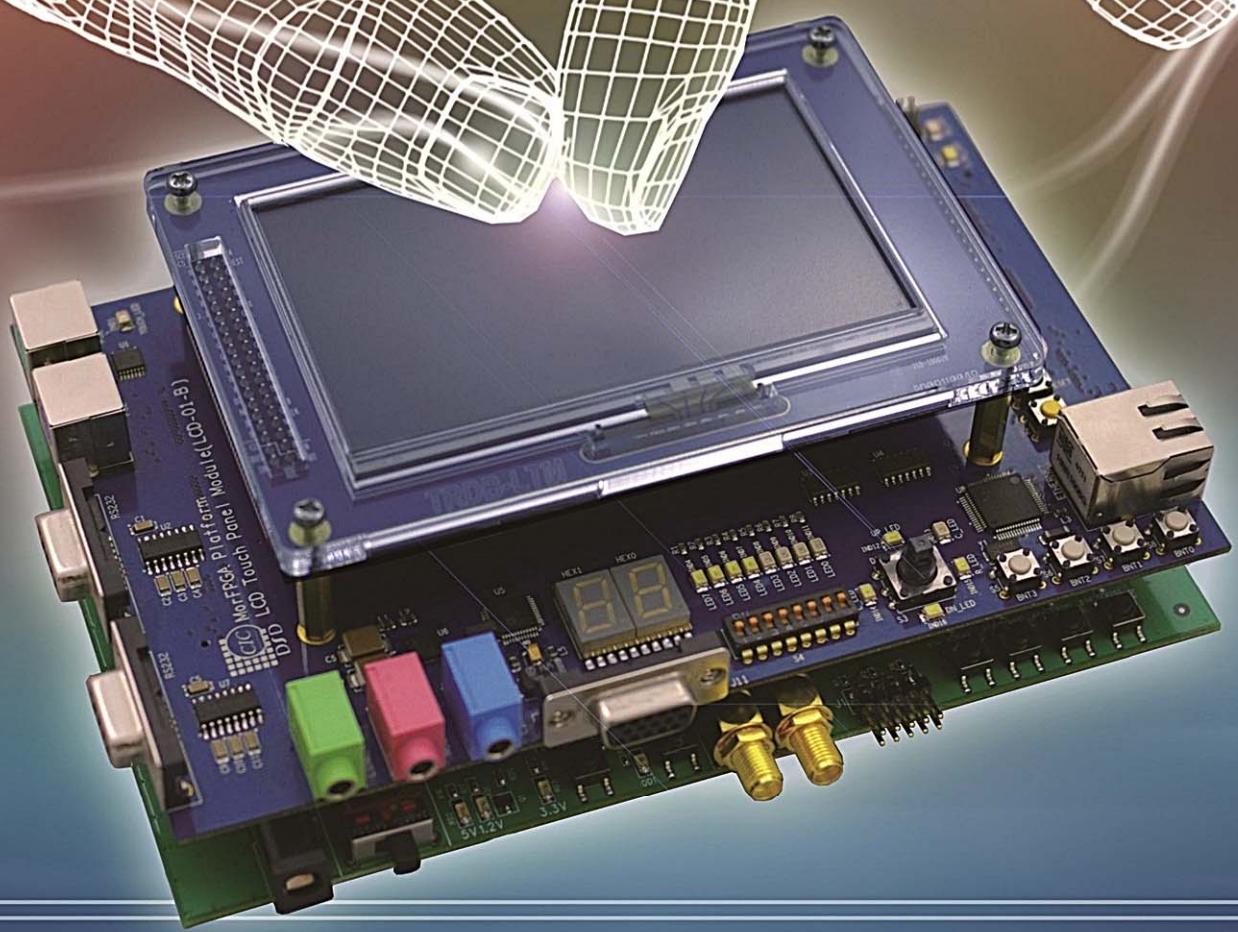


MorFPGA⁺ Platform User Guide

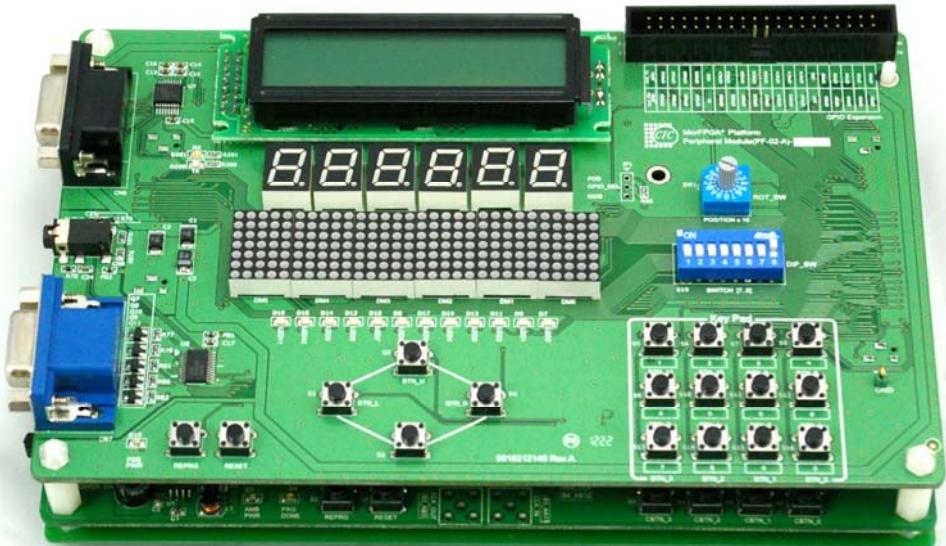




CIC

MorFPGA⁺ Platform

Evaluation Board User Guide



版本：0.9

技術諮詢：hotline@cic.org.tw
嵌入式系統技術課，設計服務組
國家晶片系統設計中心

版 本 經 歷

版本	日期(年/月/日)	經 歷	作 者
0.9	2012/07/02	<p>這次改版更新，修改了兩個地方：</p> <ol style="list-style-type: none"> 1. 新平台更換相片 2. 修改 Xilinx 最後一章節製作與燒錄 SPI Flash 的部分 	吳錫澤 李明唐 張育蒼
0.8	2012/06/04	<ol style="list-style-type: none"> 1. MorFPGA⁺初稿 2. 刪除 SO-DIMM 預留腳位表單 	陳俊余 吳錫澤 李明唐 張育蒼

目錄

一、	前言	4
二、	CIC MorFPGA ⁺ 平台包裝內容(完整版)	4
三、	核心板元件及腳位對應	7
3.1	LEDs, Buttons, Clocks	7
3.2	擴充 GPIO 插座	8
3.3	SO-DIMM 擴充模組連接插座	10
四、	週邊板元件及腳位對應	15
4.1	Rotary Switch, Switches, LEDs	15
4.2	Buttons, Keypad	17
4.3	LCD Screen, 5x7 Dot Matrices, 7-segments	18
4.3.1	LCD	19
4.3.2	點矩陣	20
4.3.3	七段顯示器	21
4.4	VGA Port, UART Port, Phone Jack	22
4.4.1	VGA	23
4.4.2	UART	24
4.4.3	Phone Jack	25
五、	平台功能測試	27
5.1	測試說明	27
5.2	自動測試狀態	27
5.3	手動測試狀態	28
六、	Altera 燒錄測試	29
6.1	燒錄 FPGA(EP4CE30)	29
6.2	燒錄 Serial Configuration Devices(EPCS16)	30
6.2.1	轉換 SOF 檔至 JIC 檔	30
6.2.2	燒錄 JIC 檔	34
七、	Xilinx 燒錄測試	35
7.1	燒錄 FPGA (XC6SLX25)	35
7.2	燒錄 Serial Configuration Devices (W25Q32BV)	38
7.2.1	產生 PROM 檔	38
7.2.2	燒錄 PROM 檔	41

一、 前言

近年來，FPGA 開發商如 Altera 及 Xilinx 贊助於學界 IC 競賽的平台之功能太過於簡便因而無法提供多元的競賽題目。尤其在 2004 年以後，競賽的贊助商常常同時包含 Altera 和 Xilinx。如此一來便難以公平地針對同一個題目對不同平台進行評分。此外，市場上多種的 FPGA 平台，CIC 也不可能對每一種平台都提供諮詢服務。有鑑於此，CIC 開發了一套通用的 FPGA 平台供學界使用。

本平台的主要特色如下：

1. 可提供對應之 Altera 及 Xilinx 核心模組以確保競賽公平性。
2. 使用同一套多功能週邊擴充板。
3. 可提供多種 SO-DIMM-based 記憶體模組(包含 SRAM，SDRAM，NAND-flash，NOR-flash 等)
4. 可應用於競賽、訓練課程以及研究開發等用途。

二、 CIC MorFPGA⁺ 平台包裝內容(完整版)

- Xilinx Core Module × 1，如圖 2-1 所示。
- Altera Core Module × 1，如圖 2-2 所示。
- Peripheral Module × 1，如圖 2-3 所示。
- Memory Module × 1，如圖 2-4 所示。
- Xilinx USB Download Cable × 1，如圖 2-5 所示。(視情況加購)
- Altera USB Download Cable × 1，如圖 2-6 所示。(視情況加購)
- Power Supply × 1。
- User Guide × 1。
- CD × 1，如圖 2-7 所示。

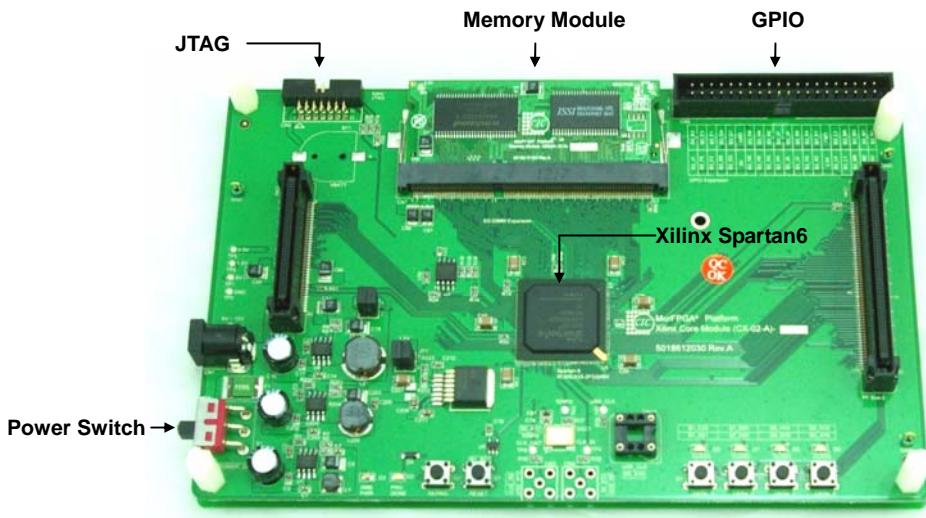


圖 2-1 Xilinx Core Module

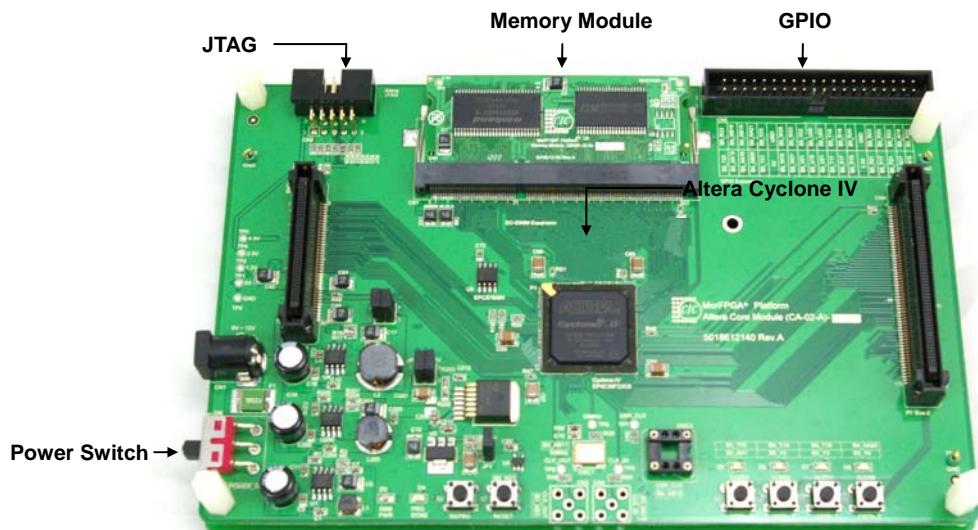


圖 2-2 Altera Core Module

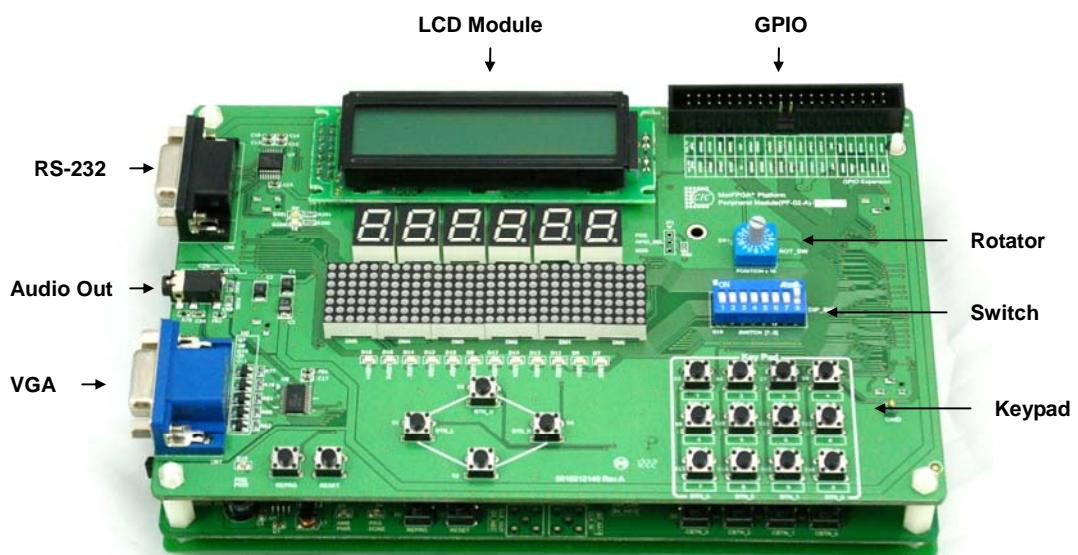


圖 2-3 Peripheral Module



圖 2-4 Memory Module



圖 2-5 Xilinx USB Download Cable
(圖片僅供參考，以廠商提供之樣品為主)



圖 2-6 Altera USB Download Cable
(圖片僅供參考，以廠商提供之樣品為主)



圖 2-7 CD
(圖片僅供參考，以廠商提供之樣品為主)

三、核心板元件及腳位對應

核心板(Core Module)上主要功能元件包含：

- LEDs、Buttons、Clocks
- 擴充 GPIO 插座
- SO-DIMM 擴充模組連接插座
- 週邊板連接插座

關於週邊板(Peripheral Module)連接插座部分將於下一章節針對各元件之對應做介紹，在此不詳述。至於其他部份介紹如下：

3.1 LEDs, Buttons, Clocks

核心板上有 4 組可供使用者定義的 LED 及按鈕、一個 reset 按鈕、和一個 reprogram 按鈕。(如圖 3-1)

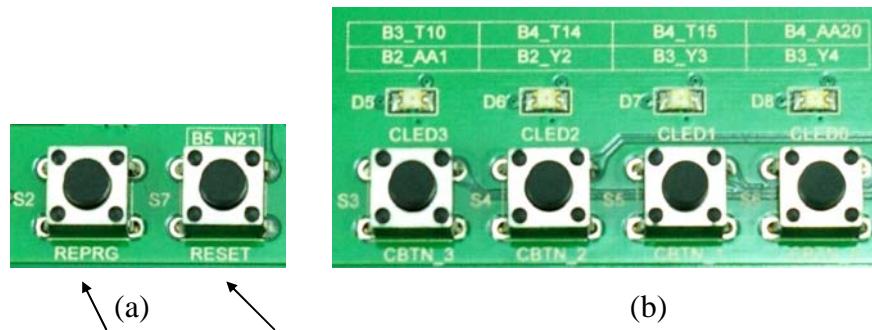


圖 3-1 (a) Reprogram 及 Reset 按鈕，(b) 使用者可自行定義之 LEDs & Buttons

在 Clock 部分，核心板上提供已組裝的震盪器(OSC1, 50MHz)，以及另一組使用者可自行更換的震盪器腳座(USR_CLK)。另外，核心板亦預留了一組 SMA-type 的時脈輸入/輸出的焊墊。(如圖 3-2)

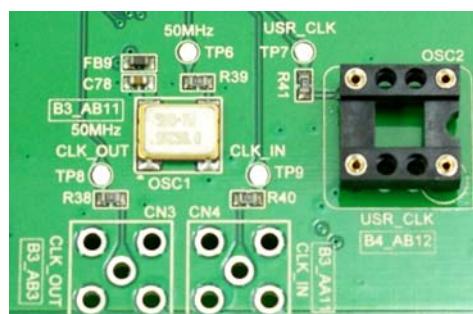


圖 3-2 The on board clock and the replaceable clock

LED、Buttons 和 Clocks 腳位對應表

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
FPGA_RST	N21	B21	Reset, Negative Logic
LED3	T10	C22	LED[3] , Positive Logic
LED2	T14	B20	LED[2] , Positive Logic
LED1	T15	H14	LED[1] , Positive Logic
LED0	AA20	H13	LED[0] , Positive Logic
BTN3	AA1	A21	BTN[3] , Negative Logic
BTN2	Y2	A20	BTN[2] , Negative Logic
BTN1	Y3	B18	BTN[1] , Negative Logic
BTN0	Y4	A18	BTN[0] , Negative Logic
CLK_50M	AB11	A12	On Board Clock
CLK_USR	AB12	A10	Replaceable Clock
EXCLK_IN	AA11	B12	SMA Clock In
EXCLK_OUT	AB3	D11	SMA Clock Out

3.2 擴充 GPIO 插座

核心板提供了額外 20x2 的擴充 GPIO，可使用排線進行連接。其中包含兩個時脈輸入和輸出腳位、兩個接地(Pin 12 & Pin 30)、一個+5V (Pin 11)、一個+3.3V (Pin 29)、以及 34 個 GPIO 腳位 (如圖 3-3 & 3-4)。

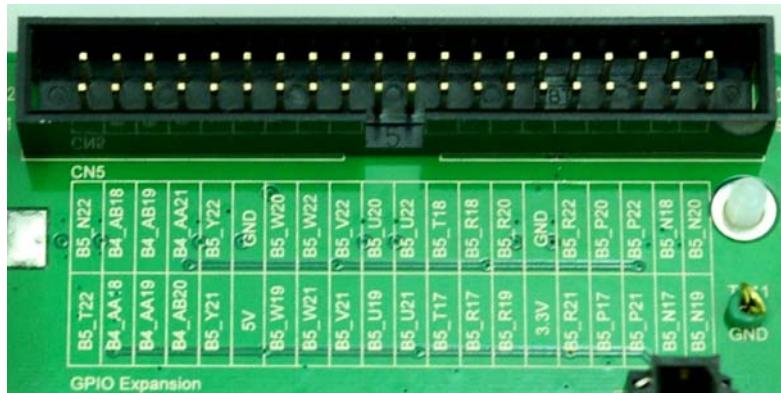


圖 3-3 GPIO 擴充腳位

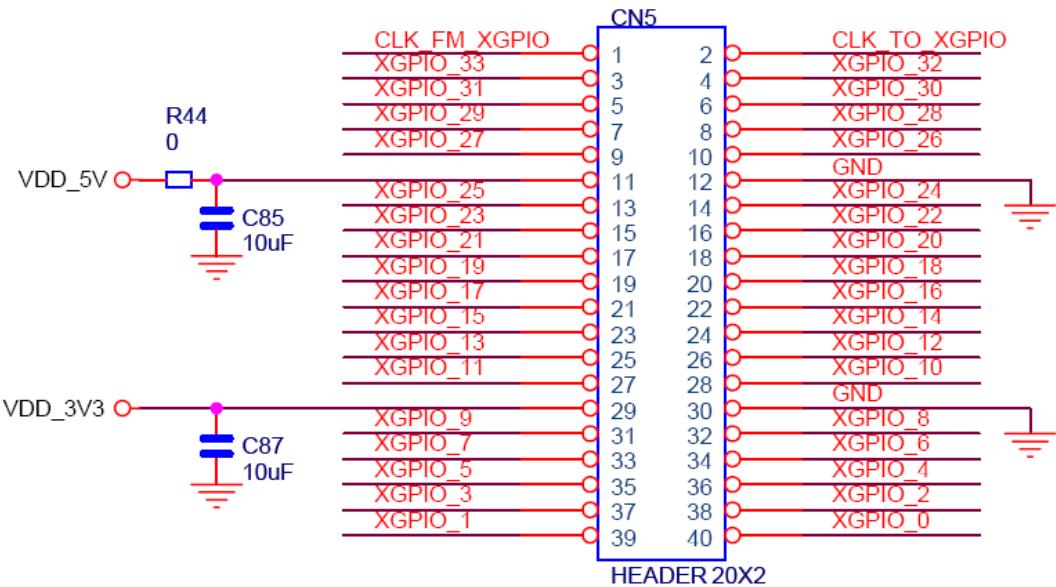


圖 3-4 GPIO 擴充腳位線路圖

週邊板與核心板上的 GPIO 擴充腳位是完全連通的。

擴充 GPIO 腳位對應表

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
CLK_FM_GPIO	T22	J1	Clock From GPIO (Pin 1)
CLK_TO_GPIO	N22	K3	Clock To GPIO (Pin 2)
GPIO_33	AA18	F5	GPIO[33] (Pin 3)
GPIO_32	AB18	F3	GPIO[32] (Pin 4)
GPIO_31	AA19	F2	GPIO[31] (Pin 5)
GPIO_30	AB19	F1	GPIO[30] (Pin 6)
GPIO_29	AB20	G6	GPIO[29] (Pin 7)
GPIO_28	AA21	G4	GPIO[28] (Pin 8)
GPIO_27	Y21	G3	GPIO[27] (Pin 9)
GPIO_26	Y22	G1	GPIO[26] (Pin 10)
GPIO_25	W19	H8	GPIO[25] (Pin 13)
GPIO_24	W20	H6	GPIO[24] (Pin 14)
GPIO_23	W21	H5	GPIO[23] (Pin 15)
GPIO_22	W22	H4	GPIO[22] (Pin 16)
GPIO_21	V21	H3	GPIO[21] (Pin 17)
GPIO_20	V22	H2	GPIO[20] (Pin 18)
GPIO_19	U19	H1	GPIO[19] (Pin 19)
GPIO_18	U20	J7	GPIO[18] (Pin 20)

GPIO_17	U21	J6	GPIO[17] (Pin 21)
GPIO_16	U22	J4	GPIO[16] (Pin 22)
GPIO_15	T17	J3	GPIO[15] (Pin 23)
GPIO_14	T18	K6	GPIO[14] (Pin 24)
GPIO_13	R17	K5	GPIO[13] (Pin 25)
GPIO_12	R18	K4	GPIO[12] (Pin 26)
GPIO_11	R19	K2	GPIO[11] (Pin 27)
GPIO_10	R20	K1	GPIO[10] (Pin 28)
GPIO_9	R21	L4	GPIO[9] (Pin31)
GPIO_8	R22	L3	GPIO[8] (Pin32)
GPIO_7	P17	L1	GPIO[7] (Pin33)
GPIO_6	P20	M5	GPIO[6] (Pin34)
GPIO_5	P21	M4	GPIO[5] (Pin35)
GPIO_4	P22	M3	GPIO[4] (Pin36)
GPIO_3	N17	M2	GPIO[3] (Pin37)
GPIO_2	N18	M1	GPIO[2] (Pin38)
GPIO_1	N19	N3	GPIO[1] (Pin39)
GPIO_0	N20	N1	GPIO[0] (Pin40)

3.3 SO-DIMM 擴充模組連接插座

核心板上附有 SO-DIMM 擴充模組連接插座(如圖 3-5)，可搭配多種 SO-DIMM-based 記憶體模組(包含 SRAM，SDRAM，NAND-flash，NOR-flash 等)使用。SO-DIMM 通常使用於筆記型電腦，特點為體積小於一般桌上型電腦所使用的記憶體，通常只有其體積的一半。CIC MorFPGA 上所採用的規格是 DDR3 SO-DIMM，共有 204 個腳位。

此外，CIC 提供了一組記憶體模組(SDSR-02-A)供使用者開發使用。該模組包含非同步 SRAM 及同步 SDRAM，其中同步是代表讀寫資料時需要參考時脈。非同步 SRAM 採用的是 ISSI 公司的 IS61LV25616AL 晶片，容量為 $256\text{k} \times 16\text{ bits}$ 。

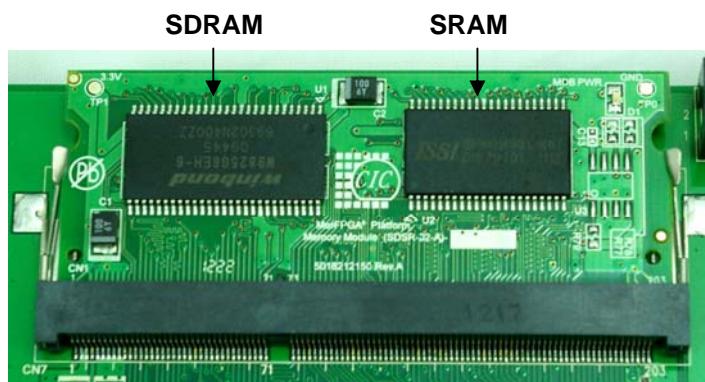


圖 3-5 SO-DIMM 擴充模組連接插座

SRAM 所使用的腳位如下表所示，其中當 SRAM_nCE 為 High 時，SRAM 為待命模式不進行任何讀寫工作。另外，以下兩種情形 SRAM 會使得 output disable: (1) SRAM_nOE 與 SRAM_nWE 同時為 High。(2) SRAM_nBE[0] 與 SRAM_nBE[1]同時為 High。

因此，正常使用模式歸納如下：

- SRAM_nCE 與 SRAM_nOE 皆為 Low。
- 由 SRAM_nWE 來控制讀或寫，High 時為讀取資料，Low 時則是寫資料。
- 由 SRAM_nBE[0] 與 SRAM_nBE[1] 選擇讀/寫低位元組([0]-[7])或是高位元組([8]-[15])。

SRAM 使用腳位描述

SRAM_A[0]-[17]	Address Inputs
SRAM_D[0]-[15]	Data Inputs/Outputs
SRAM_nCE	Chip Enable Input
SRAM_nOE	Output Enable Input
SRAM_nWE	Write Enable Input
SRAM_nBE[0]	Lower-byte Control (SRAM_D[0]-[7])
SRAM_nBE[1]	Upper-byte Control (SRAM_D[8]-[15])

IS61LV25616AL Datasheet:

<http://www.issi.com/pdf/61LV25616AL.pdf>

同步 SDRAM 採用的是 Winbond 公司的 W9825G6EH-6 晶片，容量為 4M words × 4 banks × 16bits，相容於 166MHz/CL3 或 133MHz/CL2 之規格。

所有的控制訊號都是對應輸入時脈(SDRAM_CK)進行，也就是所謂的同步。 SDRAM 所使用到的控制腳位如下表所示：

SDRAM 使用腳位描述

SDRAM_A[0]-[12]	Address Inputs
SDRAM_BA[0]-[1]	Bank Select Inputs
SDRAM_D[0]-[15]	Data Inputs/Outputs
SDRAM_nCE	Chip Enable Input
SDRAM_nRAS	Row Address Strobe Command
SDRAM_nCAS	Column Address Strobe Command
SDRAM_nWE	Write Enable Input
SDRAM_nDM[0]	Input/Output Mask Control (Lower-byte)
SDRAM_nDM [1]	Input/Output Mask Control (Upper-byte)

SDRAM_CK
SDRAM_CKE

Clock Input
Clock Enable Input

更詳盡的功能請參閱 W9825G6EH Datasheet。

W9825G6EH Datasheet:

<http://www.winbond.com.tw/hq/enu/ProductAndSales/ProductLines/SpecialtyDRAM/SDRAM/M/W9825G6EH.htm>

SO-DIMM 擴充模組連接插座的腳位分配情形詳見圖 3-6 及以下腳位對應表。

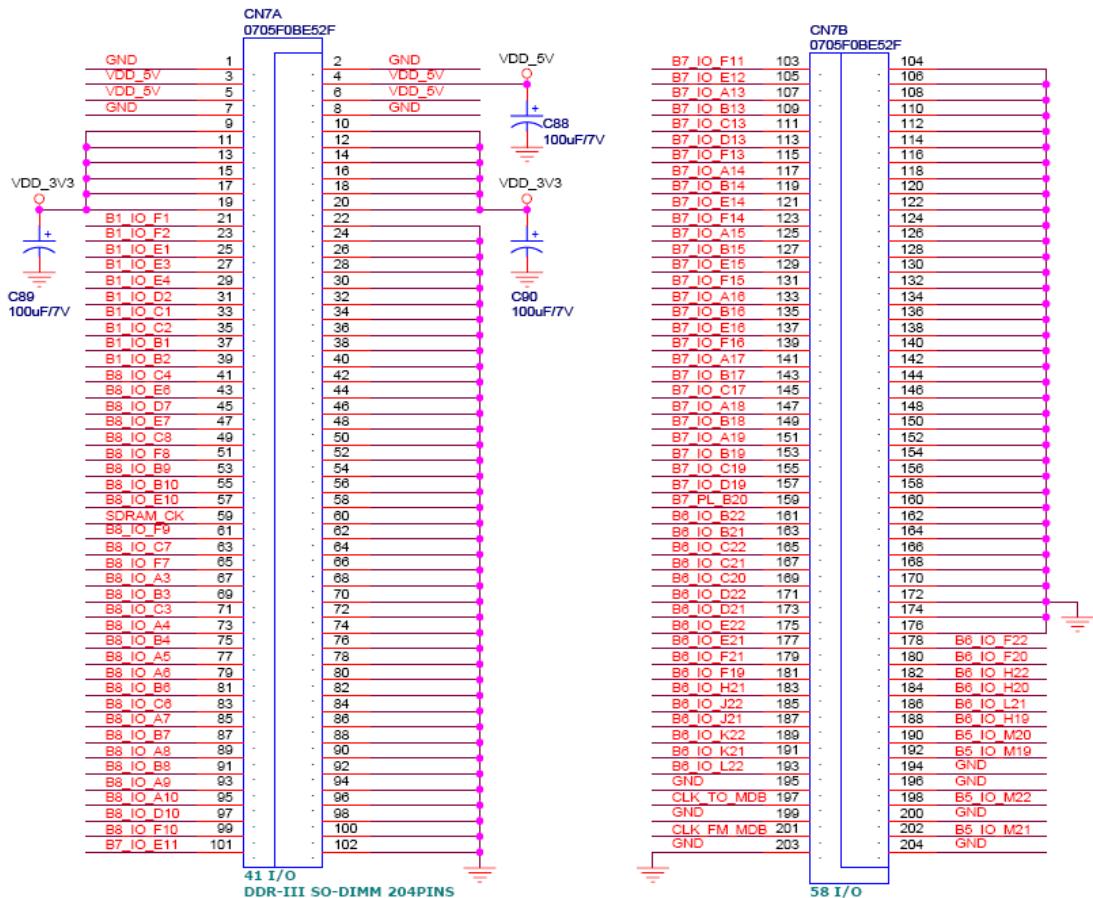


圖 3-6 SO-DIMM 記憶體模組線路圖

SO-DIMM 記憶體模組腳位對應表

1. SDRAM

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
A[12]	D7	AB21	SDRAM_A[12] (Pin45)
A[11]	E6	W20	SDRAM_A[11] (Pin43)

A[10]	C4	W22	SDRAM_A[10] (Pin41)
A[9]	B2	V21	SDRAM_A[9] (Pin39)
A[8]	B1	V22	SDRAM_A[8] (Pin37)
A[7]	C2	U20	SDRAM_A[7] (Pin35)
A[6]	C1	U22	SDRAM_A[6] (Pin33)
A[5]	D2	T19	SDRAM_A[5] (Pin31)
A[4]	E4	T20	SDRAM_A[4] (Pin29)
A[3]	E3	T21	SDRAM_A[3] (Pin27)
A[2]	E1	T22	SDRAM_A[2] (Pin25)
A[1]	F2	R20	SDRAM_A[1] (Pin23)
A[0]	F1	R22	SDRAM_A[0] (Pin21)
DQ[15]	D10	AA12	SDRAM_DQ[15] (Pin97)
DQ[14]	A10	U13	SDRAM_DQ[14] (Pin95)
DQ[13]	A9	V13	SDRAM_DQ[13] (Pin93)
DQ[12]	B8	W13	SDRAM_DQ[12] (Pin91)
DQ[11]	A8	U14	SDRAM_DQ[11] (Pin89)
DQ[10]	B7	W14	SDRAM_DQ[10] (Pin87)
DQ[9]	A7	Y14	SDRAM_DQ[9] (Pin85)
DQ[8]	C6	AA14	SDRAM_DQ[8] (Pin83)
DQ[7]	A3	AB16	SDRAM_DQ[7] (Pin67)
DQ[6]	B3	AA16	SDRAM_DQ[6] (Pin69)
DQ[5]	C3	Y16	SDRAM_DQ[5] (Pin71)
DQ[4]	A4	AB15	SDRAM_DQ[4] (Pin73)
DQ[3]	B4	Y15	SDRAM_DQ[3] (Pin75)
DQ[2]	A5	W15	SDRAM_DQ[2] (Pin77)
DQ[1]	A6	V15	SDRAM_DQ[1] (Pin79)
DQ[0]	B6	AB14	SDRAM_DQ[0] (Pin81)
BA[1]	C8	AB19	SDRAM_BA[1] (Pin49)
BA[0]	E7	AA21	SDRAM_BA[0] (Pin47)
nDM[1]	F7	Y17	SDRAM_nDM[1] (Pin65)
nDM[0]	C7	AB17	SDRAM_nDM[0] (Pin63)
nCE	F8	Y19	SDRAM_nCE (Pin51)
nRAS	B9	AB18	SDRAM_nRAS (Pin53)
nCAS	B10	AA18	SDRAM_nCAS (Pin55)
nWE	E10	Y18	SDRAM_nWE (Pin57)
CLK	E5	Y13	SDRAM_CK (Pin59)
CKE	F9	W18	SDRAM_CKE (Pin61)

2. SRAM

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
A[17]	D13	AB10	SRAM_A[17] (Pin113)
A[16]	C13	T11	SRAM_A[16] (Pin111)
A[15]	B13	V11	SRAM_A[15] (Pin109)
A[14]	C21	Y4	SRAM_A[14] (Pin167)
A[13]	C20	W4	SRAM_A[13] (Pin169)
A[12]	D22	AB3	SRAM_A[12] (Pin171)
A[11]	D21	Y3	SRAM_A[11] (Pin173)
A[10]	E22	AB2	SRAM_A[10] (Pin175)
A[9]	C22	AA4	SRAM_A[9] (Pin165)
A[8]	B21	AB4	SRAM_A[8] (Pin163)
A[7]	B22	V5	SRAM_A[7] (Pin161)
A[6]	B20	Y5	SRAM_A[6] (Pin159)
A[5]	D19	AB5	SRAM_A[5] (Pin157)
A[4]	A13	W11	SRAM_A[4] (Pin107)
A[3]	E12	Y11	SRAM_A[3] (Pin105)
A[2]	F11	AB11	SRAM_A[2] (Pin103)
A[1]	E11	W12	SRAM_A[1] (Pin101)
A[0]	F10	Y12	SRAM_A[0] (Pin99)
D[15]	F15	AB8	SRAM_D[15] (Pin131)
D[14]	A16	AA8	SRAM_D[14] (Pin133)
D[13]	B16	Y8	SRAM_D[13] (Pin135)
D[12]	E16	W8	SRAM_D[12] (Pin137)
D[11]	A18	AB6	SRAM_D[11] (Pin147)
D[10]	B18	AA6	SRAM_D[10] (Pin149)
D[9]	A19	Y6	SRAM_D[9] (Pin151)
D[8]	B19	W6	SRAM_D[8] (Pin153)
D[7]	C17	T7	SRAM_D[7] (Pin145)
D[6]	B17	V7	SRAM_D[6] (Pin143)
D[5]	A17	Y7	SRAM_D[5] (Pin141)
D[4]	F16	AB7	SRAM_D[4] (Pin139)
D[3]	E15	U9	SRAM_D[3] (Pin129)
D[2]	B15	V9	SRAM_D[2] (Pin127)
D[1]	A15	W9	SRAM_D[1] (Pin125)
D[0]	F14	Y9	SRAM_D[0] (Pin123)

nBE[1]	B14	W10	SRAM_nBE[1] (Pin119)
nBE[0]	E14	AB9	SRAM_nBE[0] (Pin121)
nWE	C19	U6	SRAM_nWE (Pin155)
nCE	F13	AA10	SRAM_nCE (Pin115)
nOE	A14	Y10	SRAM_nOE (Pin117)

四、週邊板元件及腳位對應

週邊板上主要功能元件包含：

- Switches, Rotary Switch, LEDs
- Buttons, Keypad
- LCD Screen, 5x7 Dot Matrices, 7-segments
- VGA Port, UART Port, Phone Jack

4.1 Rotary Switch, Switches, LEDs

週邊板上附有一組旋轉式開關、8x1 指撥開關、以及 12 個 LED (如圖 4-1)。其中旋轉式開關有 4 個輸入訊號，可產生共計 16 段切換。旋轉式開關線路圖如圖 4-2 所示，16 段切換對應表及腳位對應請見下頁表單。指撥開關可供使用者設定組態，LED 可供使用者顯示系統或訊號狀態，相關腳位對應請見下頁表單。

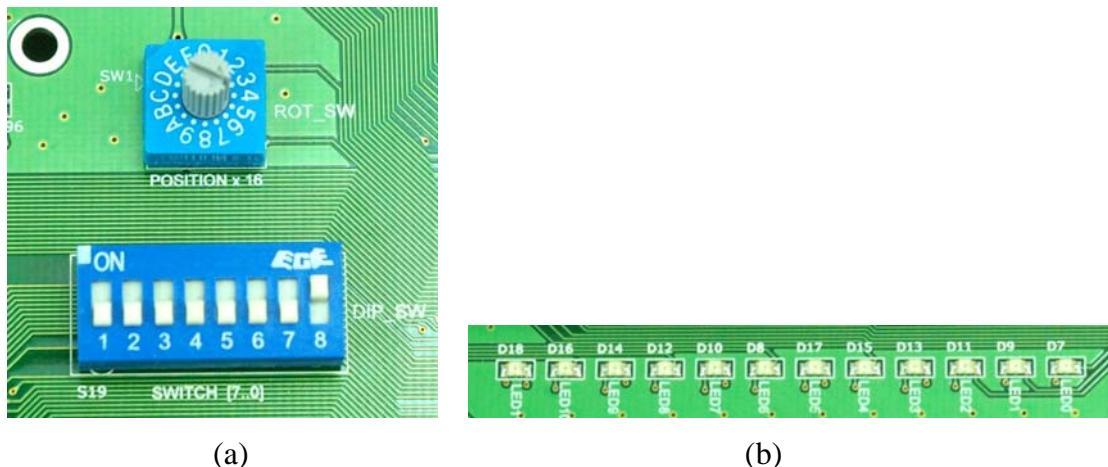


圖 4-1 (a) Rotary Switch 和指撥開關，(b) LEDs

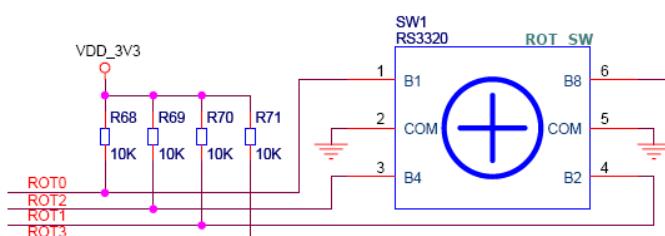


圖 4-2 Rotary Switch 線路圖

16 段 Rotary Switch 解碼對應表

Position	ROT[3:0]	Position	ROT[3:0]
0	1111	8	0111
1	1110	9	0110
2	1101	A	0101
3	1100	B	0100
4	1011	C	0011
5	1010	D	0010
6	1001	E	0001
7	1000	F	0000

Rotary Switch Pin Assignments

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
ROT 3	W17	D2	ROT[3]
ROT 2	Y17	D1	ROT[2]
ROT 1	AA17	E3	ROT[1]
ROT0	AB17	E1	ROT[0]

指撥開關 Pin Assignments

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
DIP[7]	Y6	F15	SWITCH[7]
DIP[6]	W6	A16	SWITCH[6]
DIP[5]	V6	B16	SWITCH[5]
DIP[4]	AB5	C16	SWITCH[4]
DIP[3]	AA5	E16	SWITCH[3]
DIP[2]	V5	A17	SWITCH[2]
DIP[1]	AB4	C17	SWITCH[1]
DIP[0]	AA4	D17	SWITCH[0]

LED Pin Assignments

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
LED11	U1	E20	LED[11]
LED10	T5	E22	LED[10]
LED9	T4	F18	LED[9]

LED8	T3	F19	LED[8]
LED7	R6	F20	LED[7]
LED6	R5	F21	LED[6]
LED5	R2	F22	LED[5]
LED4	R1	G19	LED[4]
LED3	P6	G20	LED[3]
LED2	V8	B14	LED[2]
LED1	W8	A14	LED[1]
LED0	Y8	G13	LED[0]

4.2 Buttons, Keypad

週邊板上除了 reset、reprogram 的按鍵外，另附 4 個上下左右按鍵，以及一組 12 個按鍵可作為 keypad 使用(如圖 4-3)。

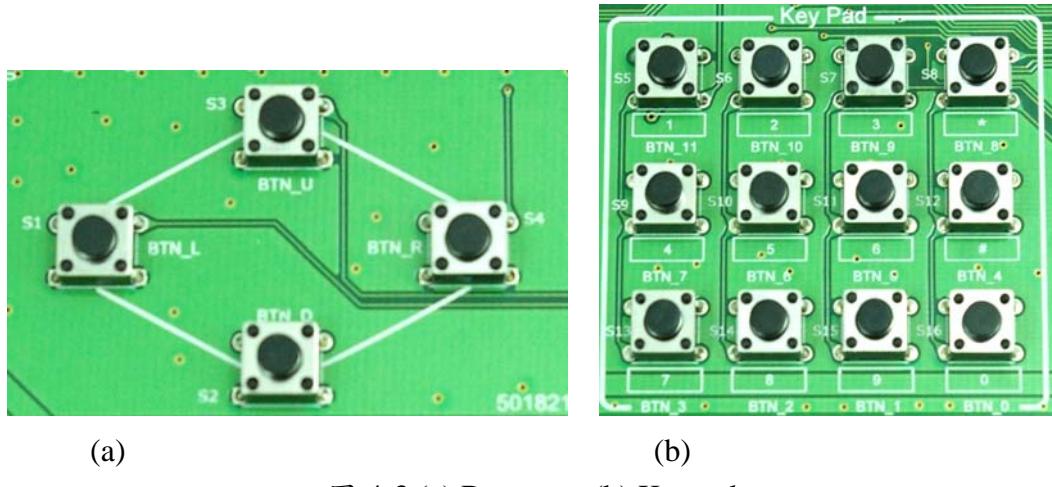


圖 4-3 (a) Buttons , (b) Keypad

Keypad 部分採掃描式電路設計，使用者需針對 row 以及 column 輸入訊號進行掃描並解碼，其線路圖如圖 4-4 所示，而對應的解碼表及相關的腳位對應如下頁表單所示。

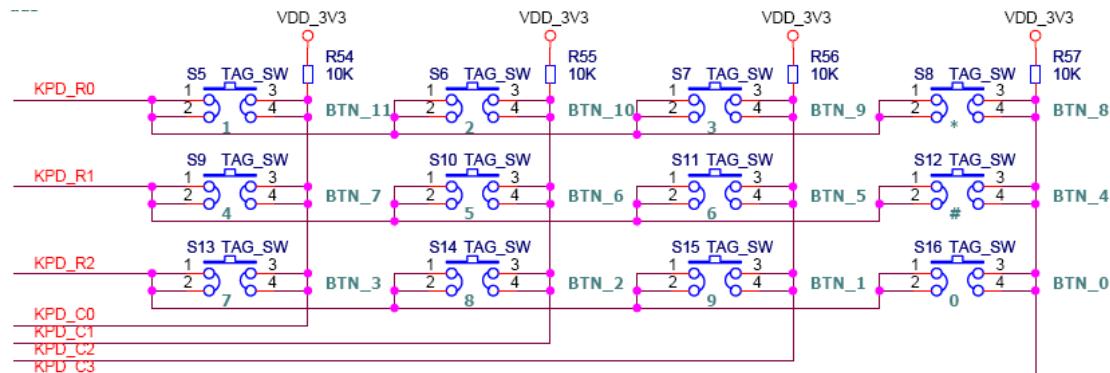


圖 4-4 Keypad 線路圖

Keypad 解碼對應表

Typed No. of Keypad	Row	Column
1	R[2:0]=110	C[3:0]=1110
2	R[2:0]=110	C[3:0]=1101
3	R[2:0]=110	C[3:0]=1011
*	R[2:0]=110	C[3:0]=0111
4	R[2:0]=101	C[3:0]=1110
5	R[2:0]= 101	C[3:0]=1101
6	R[2:0]= 101	C[3:0]=1011
#	R[2:0]= 101	C[3:0]=0111
7	R[2:0]= 011	C[3:0]=1110
8	R[2:0]= 011	C[3:0]=1101
9	R[2:0]= 011	C[3:0]=1011
0	R[2:0]= 011	C[3:0]=0111

Keypad Pin Assignments

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
KPD_R2	AA7	E14	KPD_R[2]
KPD_R1	AB7	D14	KPD_R[1]
KPD_R0	U8	C14	KPD_R[0]
KPD_C3	U7	D15	KPD_C[3]
KPD_C2	V7	C15	KPD_C[2]
KPD_C1	W7	A15	KPD_C[1]
KPD_C0	Y7	F14	KPD_C[0]

Buttons Pin Assignments

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
BTN_L	AA1	A21	BTN[3]
BTN_D	Y2	A20	BTN[2]
BTN_U	Y3	B18	BTN[1]
BTN_R	Y4	A18	BTN[0]

4.3 LCD Screen, 5x7 Dot Matrices, 7-segments

週邊板上顯示部分包含了一個 LCD 模組、6 組 5x7 點矩陣、以及 6 組七段顯示器。
(如圖 4-5 所示)

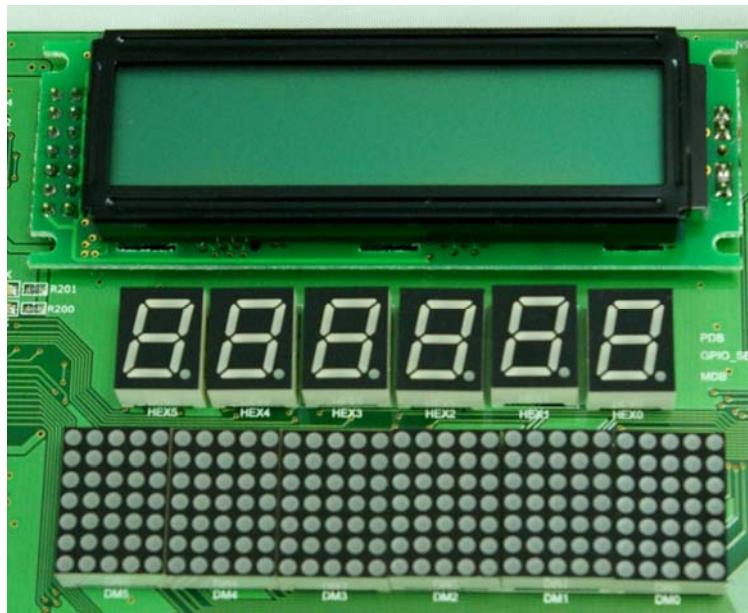


圖 4-5 LCD、點矩陣與 7 段顯示器

4.3.1 LCD

LCD 模組使用的是 16*2 字元顯示的 LCD 模組，藉由 FPGA 透過 8-bit 資料介面進行控制，其型號為 SC1602BSWB-XA-LB-G01。其線路圖如下圖所示。

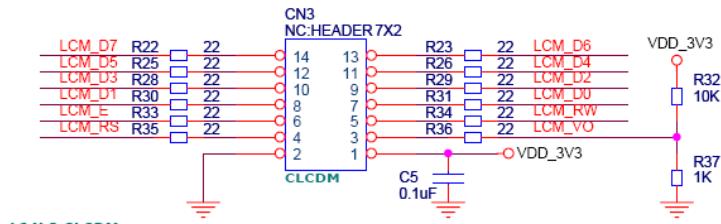


圖 4-6 LCD 模組線路圖

LCD 模組具有清除螢幕、設定游標位置、設定讀/寫位置、讀/寫資料等功能，使用者可根據晶片之 datasheet 將欲呈現的文字(Character)顯示於設定的位置上。詳細資料請參考 SC1602BSWB-XA-LB-G01 的 datasheet。(可向 CIC 索取相關資料)

LCD Screen Pin Assignments

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
LCM_D7	H2	N22	LCD Module Data[7]
LCM_D6	H5	N20	LCD Module Data[6]
LCM_D5	H6	N19	LCD Module Data[5]
LCM_D4	J1	M22	LCD Module Data[4]
LCM_D3	J2	M21	LCD Module Data[3]

LCM_D2	J3	M20	LCD Module Data[2]
LCM_D1	J4	M19	LCD Module Data[1]
LCM_D0	J5	L22	LCD Module Data[0]
LCM_E	J6	L20	LCD Module Enable
LCM_RS	L6	L19	LCD Module Reset
LCM_RW	M2	K21	LCD Module Read/Write

4.3.2 點矩陣

每個點矩陣具有 5×7 個顯示點，採掃描式電路設計，其中行(column)的部分是每個點矩陣各自給訊號的(ex: for DM0, use DMX0_C1 ~ DMX0_C5)，列(row)的部分則是所有點矩陣共用 R_DMX_R1 ~ R_DMX_R7 的控制訊號。使用時是以掃描方式逐行顯示，利用視覺暫留原理達到完整畫面的顯示。以下列出點矩陣的線路圖及腳位對應表：

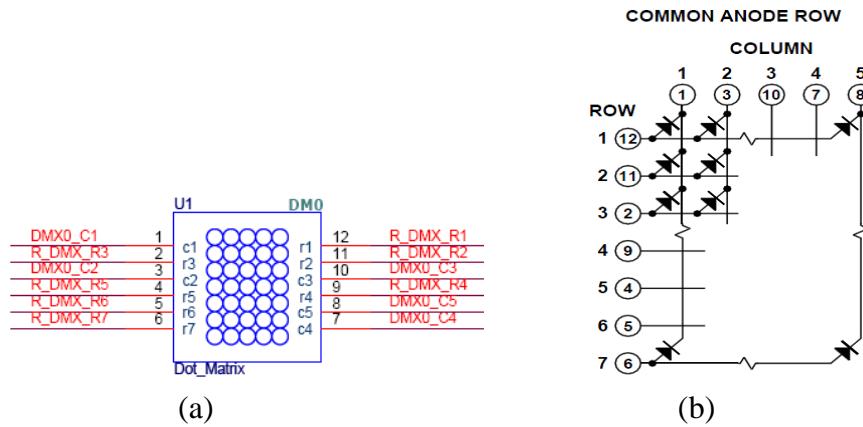


圖 4-7 (a)點距陣線路圖，(b)點矩陣內部電路。

Dot Matrices Pin Assignments

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
DMX0_C5	U16	B3	Dot Matrix 0, Column[5]
DMX0_C4	V16	B2	Dot Matrix 0, Column[4]
DMX0_C3	AA16	B1	Dot Matrix 0, Column[3]
DMX0_C2	AB16	C3	Dot Matrix 0, Column[2]
DMX0_C1	U17	C1	Dot Matrix 0, Column[1]
DMX1_C5	U15	A6	Dot Matrix 1, Column[5]
DMX1_C4	V15	C5	Dot Matrix 1, Column[4]
DMX1_C3	W15	A5	Dot Matrix 1, Column[3]
DMX1_C2	AA15	A4	Dot Matrix 1, Column[2]
DMX1_C1	AB15	A2	Dot Matrix 1, Column[1]

DMX2_C5	U14	C7	Dot Matrix 2, Column[5]
DMX2_C4	V14	A7	Dot Matrix 2, Column[4]
DMX2_C3	W14	D6	Dot Matrix 2, Column[3]
DMX2_C2	AA14	C6	Dot Matrix 2, Column[2]
DMX2_C1	AB14	B6	Dot Matrix 2, Column[1]
DMX3_C5	V13	D8	Dot Matrix 3, Column[5]
DMX3_C4	W13	C8	Dot Matrix 3, Column[4]
DMX3_C3	Y13	B8	Dot Matrix 3, Column[3]
DMX3_C2	AA13	A8	Dot Matrix 3, Column[2]
DMX3_C1	AB13	D7	Dot Matrix 3, Column[1]
DMX4_C5	U11	C10	Dot Matrix 4, Column[5]
DMX4_C4	V11	B10	Dot Matrix 4, Column[4]
DMX4_C3	U12	D9	Dot Matrix 4, Column[3]
DMX4_C2	V12	C9	Dot Matrix 4, Column[2]
DMX4_C1	U13	A9	Dot Matrix 4, Column[1]
DMX5_C5	V10	D12	Dot Matrix 5, Column[5]
DMX5_C4	W10	C12	Dot Matrix 5, Column[4]
DMX5_C3	Y10	C11	Dot Matrix 5, Column[3]
DMX5_C2	AA10	A11	Dot Matrix 5, Column[2]
DMX5_C1	AB10	D10	Dot Matrix 5, Column[1]
R_DMX_R7	AA8	F13	Dot Matrices, Row[7]
R_DMX_R6	AB8	D13	Dot Matrices, Row[6]
R_DMX_R5	U9	C13	Dot Matrices, Row[5]
R_DMX_R4	V9	A13	Dot Matrices, Row[4]
R_DMX_R3	AA9	H12	Dot Matrices, Row[3]
R_DMX_R2	AB9	F12	Dot Matrices, Row[2]
R_DMX_R1	U10	E12	Dot Matrices, Row[1]

4.3.3 七段顯示器

每個七段顯示器有 8 個腳位(a~g & dp，如圖 4-8)。這 8 個腳位在多個七段顯示器間是共用的，使用時是透過 HEX0 ~ HEX5 訊號來切換使用對應的七段顯示器。若要同時顯示多個七段顯示器一樣可以用掃描的方式來達成。

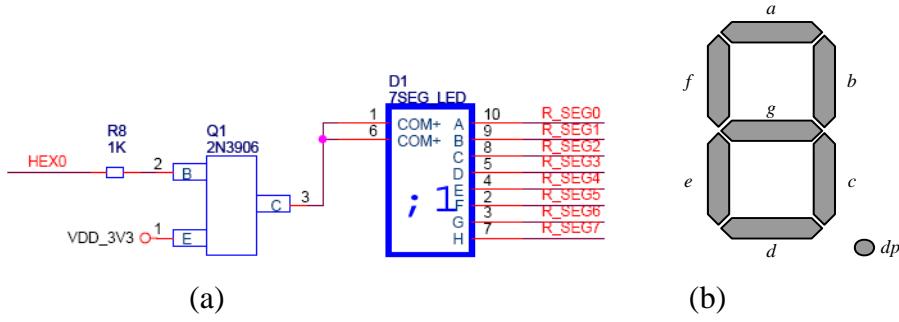


圖 4-8 (a)七段顯示器線路圖，(b)外觀對應圖。

7-Segments Pin Assignments

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
HEX5	N1	K17	Select HEX5
HEX4	M6	K18	Select HEX4
HEX3	M5	K20	Select HEX3
HEX2	M4	K19	Select HEX2
HEX1	M3	K22	Select HEX1
HEX0	M1	L17	Select HEX0
R SEG7	P5	G22	7-Segment Pin dp
R SEG6	P4	H18	7-Segment Pin g
R SEG5	P3	H19	7-Segment Pin f
R SEG4	P2	H20	7-Segment Pin e
R SEG3	P1	J17	7-Segment Pin d
R SEG2	N6	J19	7-Segment Pin c
R SEG1	N5	J20	7-Segment Pin b
R SEG0	N2	J22	7-Segment Pin a

4.4 VGA Port, UART Port, Phone Jack

在外接埠的部分，週邊板上附有 VGA port、UART port、以及 Phone Jack。(如圖 4-9)

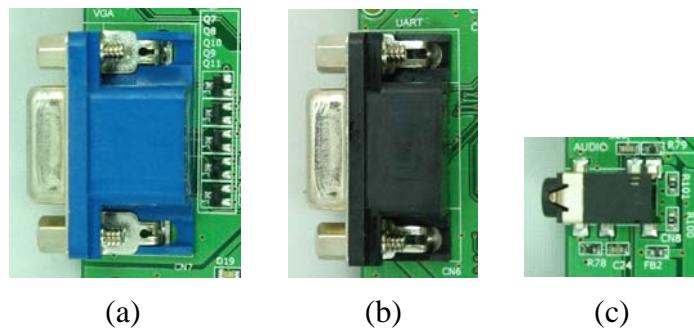


圖 4-9 (a) VGA port，(b) UART port，(c) Phone Jack

4.4.1 VGA

MorFPGA 平台 Peripheral Module 的 VGA connector 中共用到了五個訊號(見圖 4-10)，其中有三個類比訊號(XVGA_R、XVGA_G、XVGA_B)分別代表 Red、Green、Blue 三色的資訊，其電壓的大小即指各分色的顏色強弱。通常顯示介面中會採用 VGA DAC 晶片，若 R、G、B 都使用 8 bit 表示，則可表現出 $256 \times 256 \times 256 = 16777216$ 種色彩。在 Peripheral Module 中並未使用 VGA DAC，而是直接接到 FPGA 的 IO 輸出 LVTTL，所以電壓不是 0 就是 3.3V(即相當於只用一個 bit 來表色顏色資訊)，這對應到 VGA 的顏色強度(0.7~1V)，就是完全沒有或是飽和的狀態，故 Peripheral Module 能顯示的顏色共有八色如下表所示：

VGA 輸出顏色對應表

Color	XVGA_R	XVGA_G	XVGA_B
Black (黑)	0	0	0
Blue (藍)	0	0	1
Green (綠)	0	1	0
Cyan (青綠)	0	1	1
Red (紅)	1	0	0
Magenta (洋紅)	1	0	1
Yellow (黃)	1	1	0
White (白)	1	1	1

VGA connector 的另兩個訊號為 HSync(水平同步訊號，即圖 4-10 中的 XVGA_HS) 及 VSync(垂直同步訊號，即圖 4-10 中的 XVGA_VS)。VGA 顯示控制器利用這兩個訊號配合著 VGA 的 timing 規格，在適當的時間送出 Red、Green、Blue 三顏色的資料，即能在 VGA monitor 上顯示出圖形。

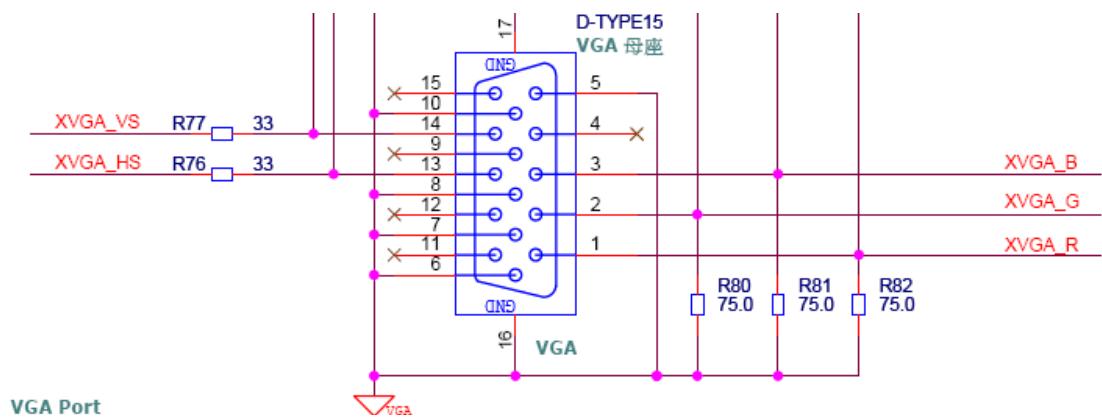


圖 4-10 VGA port 線路圖

若需要進一步的 VGA 相關資訊可參考以下連結：

VESA

<http://www.vesa.org>

VGA timing information

http://www.epanorama.net/documents/pc/vga_timing.html

VGA Output Pin Assignments

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
VGA_R	V1	D21	VGA Red
VGA_G	V3	D19	VGA Green
VGA_B	W1	C20	VGA Blue
VGA_VS	V2	D20	VGA Horizontal Sync.
VGA_HS	U2	D22	VGA Vertical Sync.

4.4.2 UART

在週邊板上使用 SP3232ECA-L 晶片為電壓轉換 IC，將 FPGA 端電壓標準(LVTTL)轉換成 RS-232-C 電壓標準。其線路圖如圖 4-11 所示。

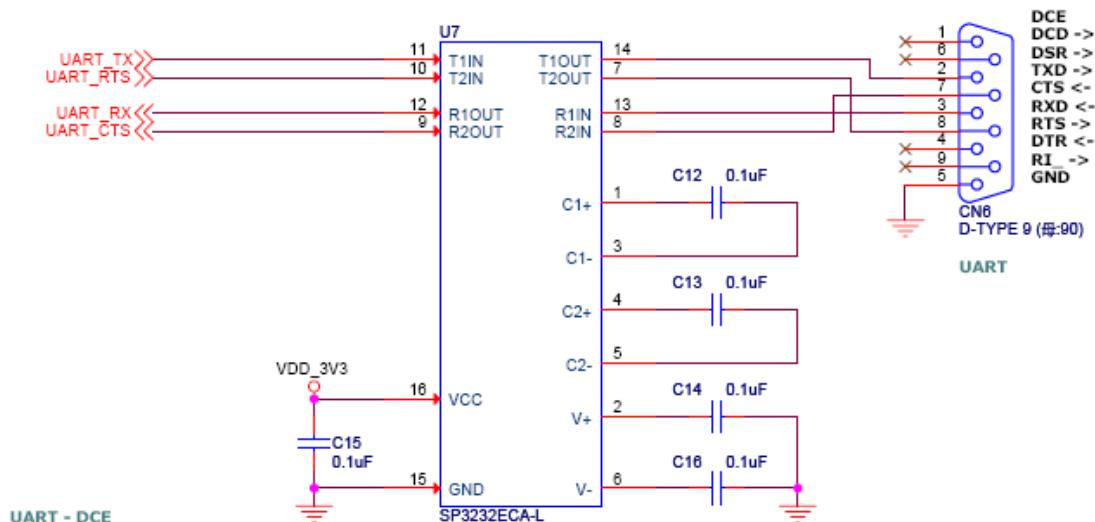


圖 4-11 UART port 線路圖

UART 的通訊協定格式中共由 11 個位元所組成，共分為：

1. 起始位元 (Start Bit)
2. 資料內容 (Data)
3. 奇偶同位元檢查碼 (Priority Bit, PB)
4. 停止位元 (Stop Bit)

而資料透過 FIFO (First Input First Output)的方式，由最低有效位元 LSB (Least Significant Bit)開始傳送/接收至最高有效位元 MSB (Most Significant Bit)，如圖 4-12 所示。其中奇偶同位元(PB)可以選擇忽略不使用。

傳輸格式可依使用者需求自行更改，而在 CIC MorFPGA⁺平台上，出廠預設測試電路採用的傳輸格式 Baud Rate 為 38400 並忽略同位檢查，詳細設定請見以下表單。

UART Protocol 參考連結

<http://tw.myblog.yahoo.com/jk3527101/article?mid=447>

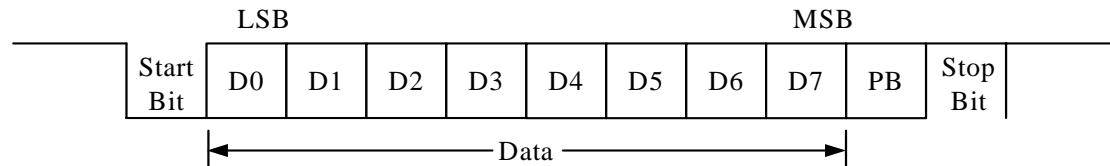


圖 4-12 UART Protocol

終端機串列傳輸格式設定

每秒傳輸位元	資料位元	同位檢查	停止位元	流量控制
38400	8	無	1	無

UART Pin Assignments

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
TXD	G3	P22	UART Transmitter
RXD	G4	P21	UART Receiver
RTS	G5	P20	Request To Send
CTS	H1	P19	Clear To Send

4.4.3 Phone Jack

週邊板上提供了一個標準 3.5 吋的 phone jack，可輸出雙通道脈波訊號(digital)，使用者可藉由改變脈波頻率而輸出不同頻率之聲音。其線路圖如圖 4-13 所示，FPGA 腳位對應則列於下表：

Phone Jack Pin Assignments

腳位名稱	FPGA 腳位對應		腳位描述
	Altera	Xilinx	
AUDIO_L	W2	C19	Left Channel Audio Out
AUDIO_R	Y1	B22	Right Channel Audio Out

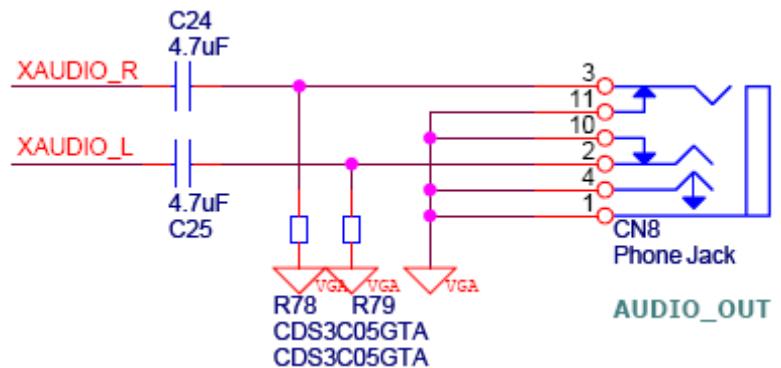


圖 4-13 Phone Jack 線路圖

五、 平台功能測試

5.1 測試說明

CIC 提供了一套開機自我測試電路(Power On Self Test, POST)。本程式切換成兩個狀態：自動測試以及手動測試。自動測試部份主要是檢查與輸出相關之元件(如 LED、LCD、7-seg 等)是否工作正常，手動測試部份則主要檢查與輸入相關之元件(如 Switches、Buttons 等)

若板子上的測試程式已被更改，請參照第六章、第七章的說明分別針對 Altera 或 Xilinx 核心進行重新燒錄動作。

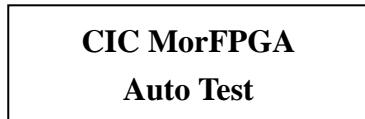
進行測試前先將周邊板與記憶卡安裝完畢，之後可先檢查 REPRG (reprogram) 和 RESET 按鍵是否正常工作。REPRG 會將 EEPROM 的燒錄檔重新下載至 FPGA，RESET 則是將 FPGA 狀態重新設置。

5.2 自動測試狀態

※請將週邊板上指撥開關「8」(SWITCH[0]) 撥至「OFF」

檢查輸出相關元件：

(1) LCD: 螢幕上應顯示



- (2) 7 段顯示器：不停計數，請檢查每一段是否都正常顯示。
- (3) LED：跑馬燈，確認每個是否都有亮。(週邊板：12 個，核心板：4 個)
- (4) 點矩陣：觀察是否每個點都有亮。
- (5) VGA：接上電腦螢幕，此時應顯示黑、紅、綠、黃、藍、洋紅、青綠、白等色帶。
- (6) Phone Jack：外接喇叭，觀察是否交替發出兩種頻率的聲音。

5.3 手動測試狀態

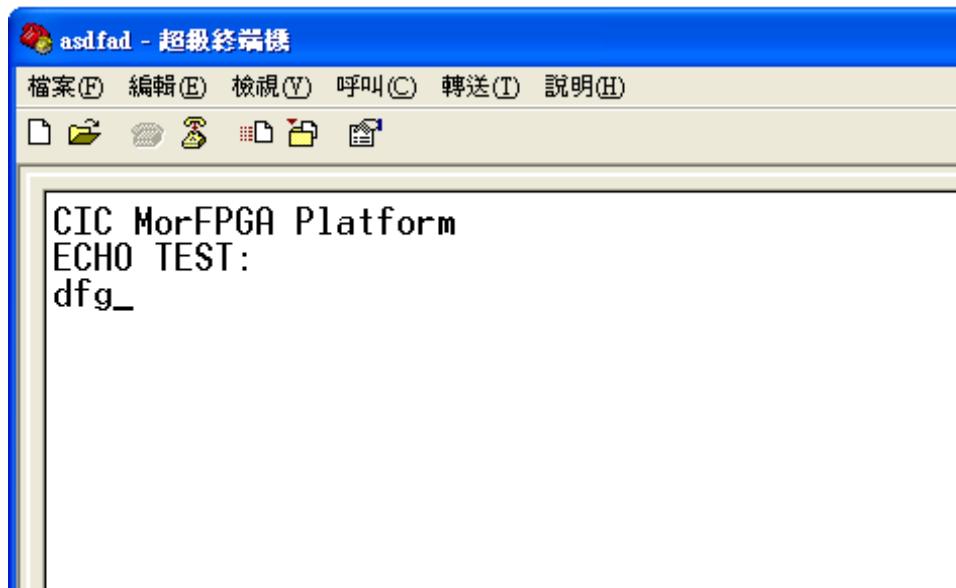
※請將週邊板上指撥開關「8」(SWITCH[0])撥至「ON」

檢查輸入相關元件：

- (1) Buttons: 在核心板上，按壓 BTN_0 ~ BTN_3 等按鍵，觀察其對應之 LED 是否亮起。
在週邊板上，按壓 BTN_L、BTN_R、BTN_U、BTN_D 等按鍵，觀察其對應之 LED 是否亮起。
- (2) Keypad: 測試 Keypad 按鍵，觀察七段顯示器上對應的號碼是否正確。
- (3) 指撥開關: 將 SWITCH 0 ~ 7 切換至”ON”，觀察其對應之 LED 是否亮起。
- (4) 旋轉式開關: 轉動旋紐，觀察點矩陣是否有變化。
- (5) 記憶體: 若工作正常 LCD 應顯示”SRAM: Pass SDRAM: Pass”
- (6) UART: RS232 外接電腦，開啟 Windows 超級終端機，並進行以下設定：

每秒傳輸位元	資料位元	同位檢查	停止位元	流量控制
38400	8	無	1	無

開啟 MorFPGA⁺電源或是按下 reset 後，超級終端機會顯示歡迎訊息，此時按下電腦鍵盤輸入字元，對應的字元會透過 UART_RX 傳至 MorFPGA⁺，再由 UART_TX 回傳至電腦顯示於超級終端機中。



- (7) GPIO: 輸出方波訊號，可接上 LED 燈觀察是否正常閃爍。

六、 Altera 燒錄測試

Altera FPGA 核心(Cyclone IV)在電源開啟時，可經由 EEPROM (EPCS16) 或是 JTAG 下載編譯好的燒錄檔。另外，本章節將在 Quartus II 環境下介紹如何對 Altera FPGA 核心或是 EEPROM 進行燒錄動作。

6.1 燒錄 FPGA(EP4CE30)

此步驟可將設計完成後產生之 .sof 燒錄檔，download 至 FPGA 中。

步驟一：點選 Tools 選單下的 Programmer

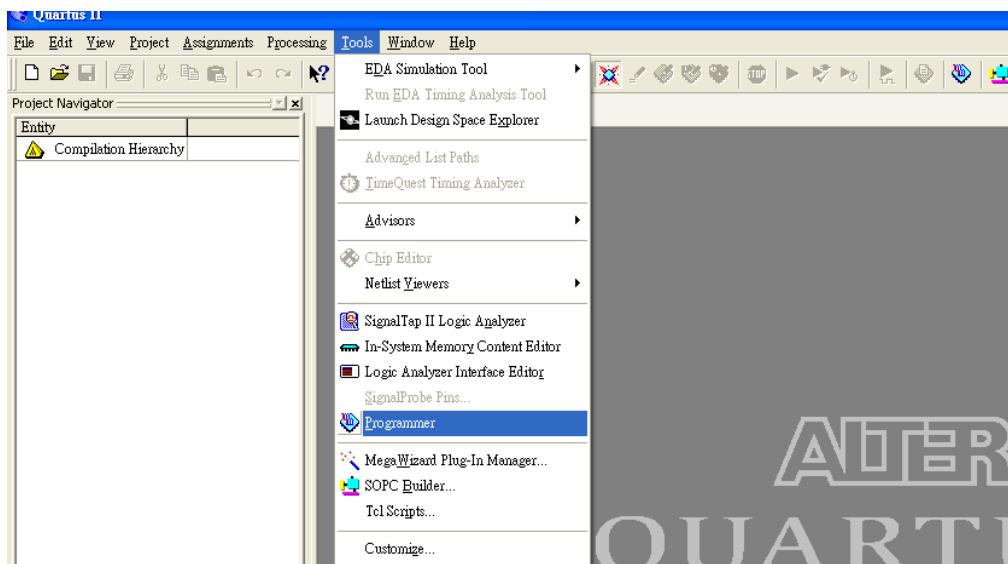


圖 6-1 點選 Programmer

步驟二：點選視窗中的 Add File，搜尋要燒錄的*.sof 檔並開啟。

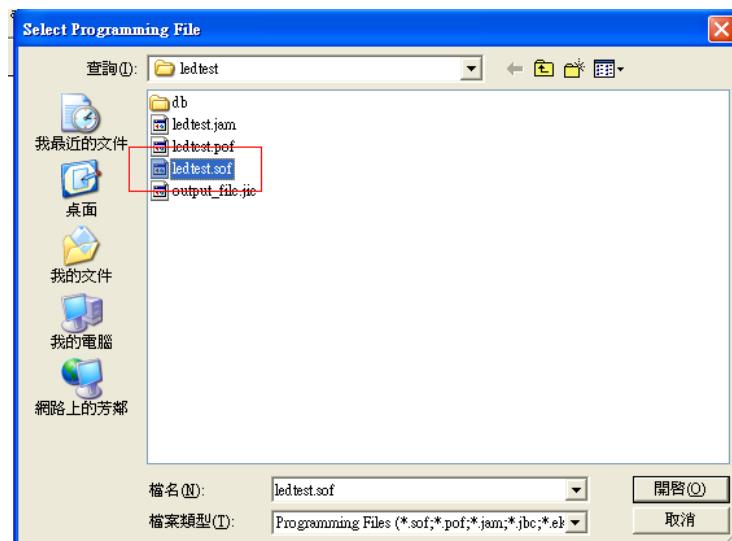


圖 6-2 開啟*.sof 檔

步驟三：確認 Hardware Setup 為 USB Blaster[USB-0]，勾選燒錄檔中 Program/Configure 欄位，Mode 選擇 JTAG，並確認 USB-Blaster 確實接上。確認後按下 Start，燒錄成功後右上角的 Progress 中會顯示 100%。

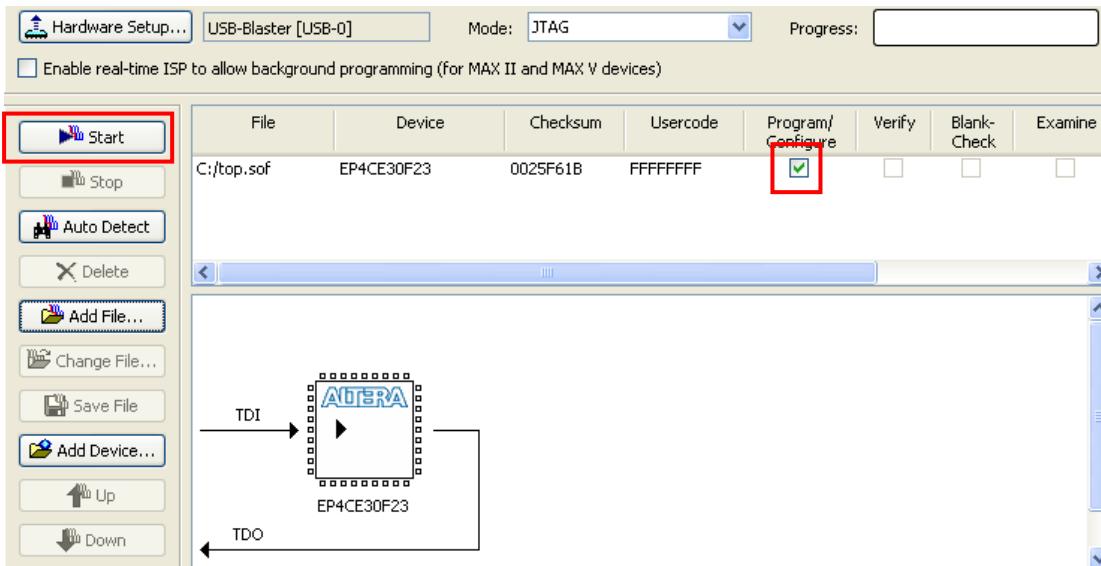


圖 6-3 燒錄*.sof 檔

6.2 燒錄 Serial Configuration Devices(EPCS16)

此步驟可將設計完成後產生之 .sof 燒錄檔，轉換成 .jic 檔後，再透過 JTAG 模式燒錄至 EPCS16 中。

6.2.1 轉換 SOF 檔至 JIC 檔

步驟一：點選 File 選單下的 Convert Programming Files。

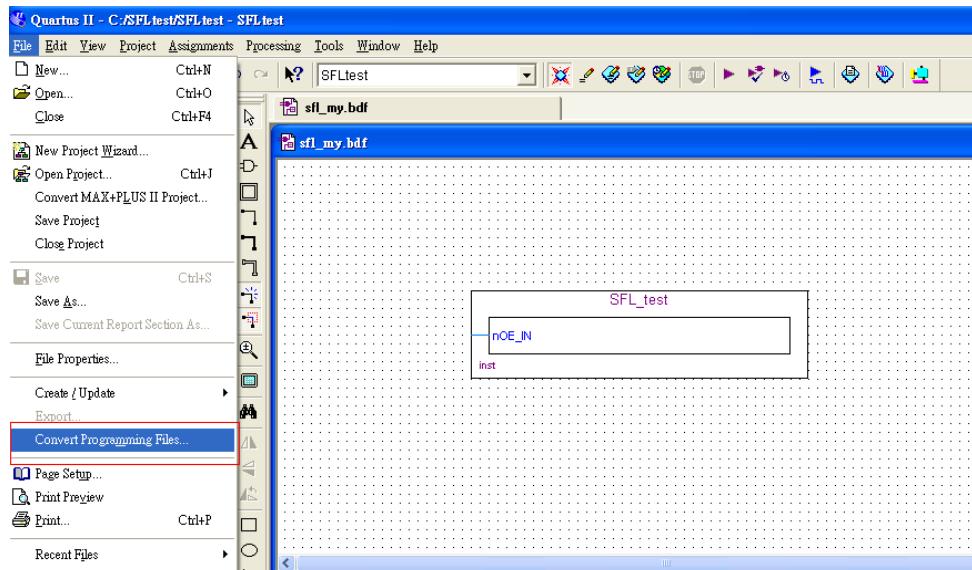


圖 6-4 點選 Convert Programming Files

步驟二：將 **Programming file type** 設定為 **JTAG Indirect Configuration File (.jic)**，選擇 **Configuration device** 為 **EPCS16**，並決定輸出檔名。

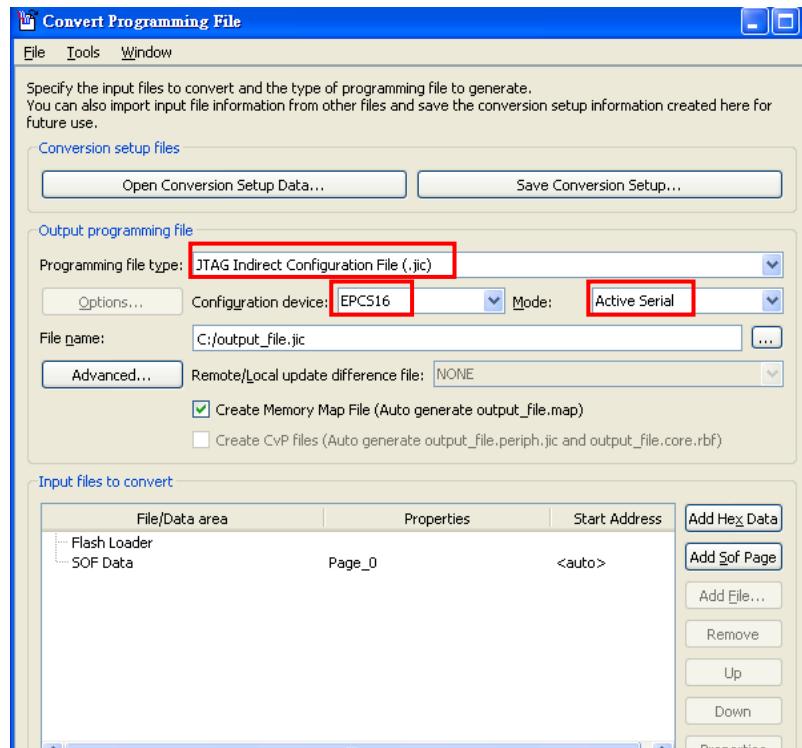


圖 6-5 Convert Programming Files 設定畫面

步驟三：在 **Input files to convert** 方塊中點選 **SOF Data**，並按下 **Add File** 按鈕。

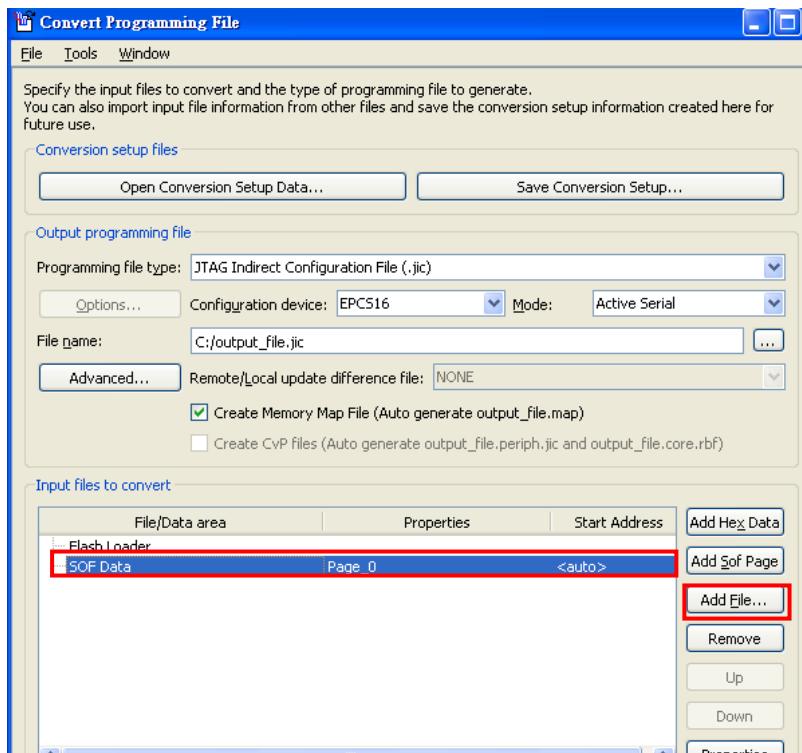


圖 6-6 設定輸入 SOF 檔

步驟四：選擇欲轉換的 SOF 檔並開啟。

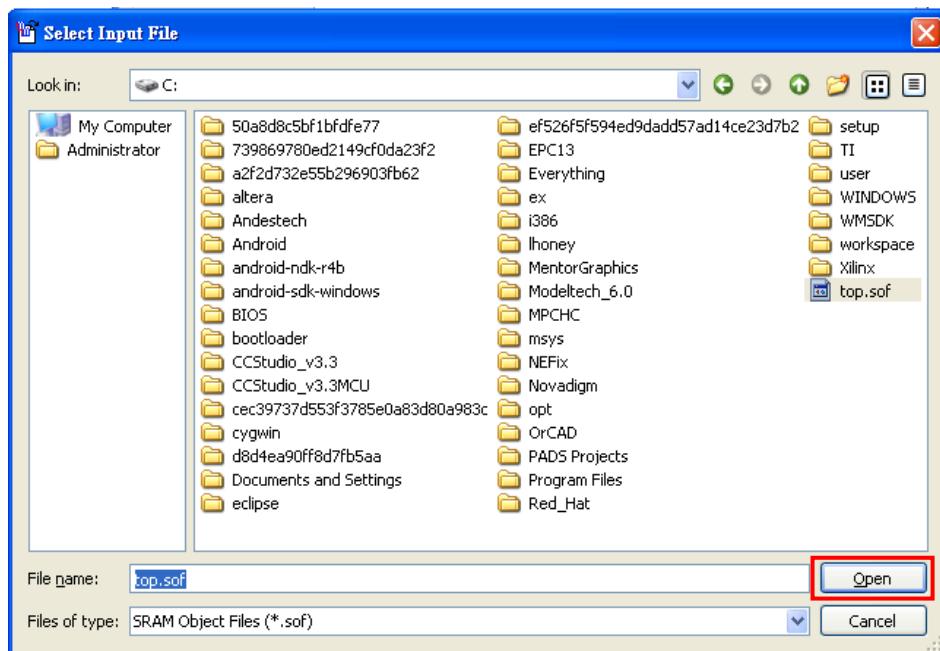


圖 6-7 開啟欲轉換之 SOF 檔

步驟五：在 Input files to convert 方塊中點選 Flash Loader，並按下 Add Device 按鈕。

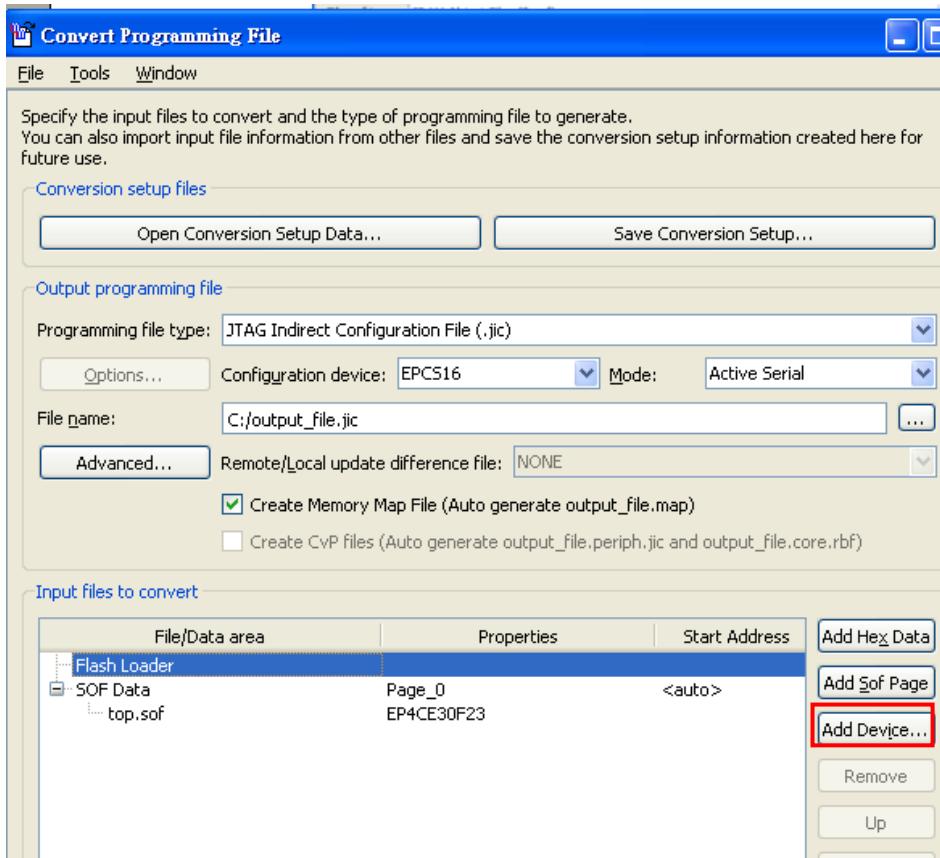


圖 6-8 設定 Flash Loader

步驟六：選擇裝置型號為 **Cyclone IV EP4CE30**，並按下 **OK**。

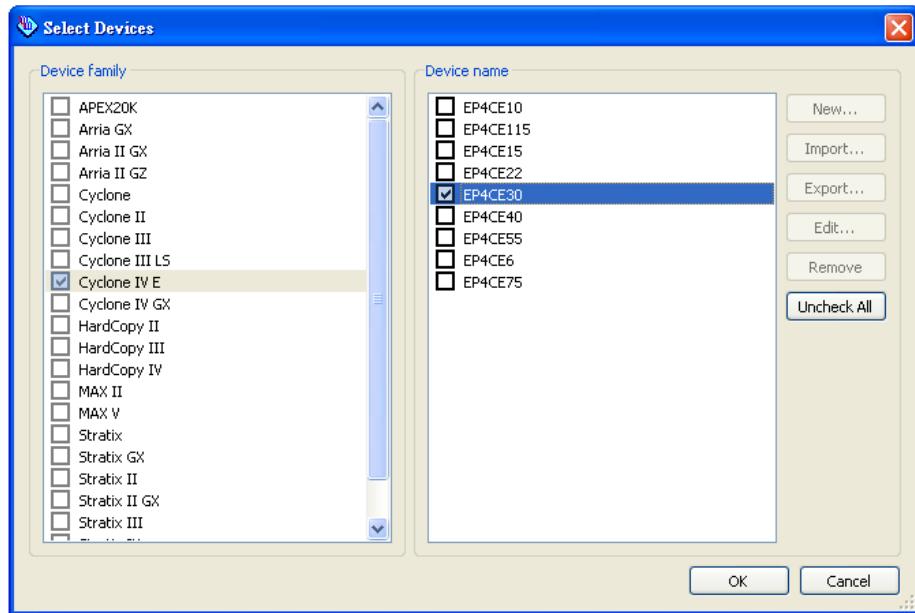


圖 6-9 選擇裝置型號

步驟七：按下 **Generate**。檔案轉換完成。

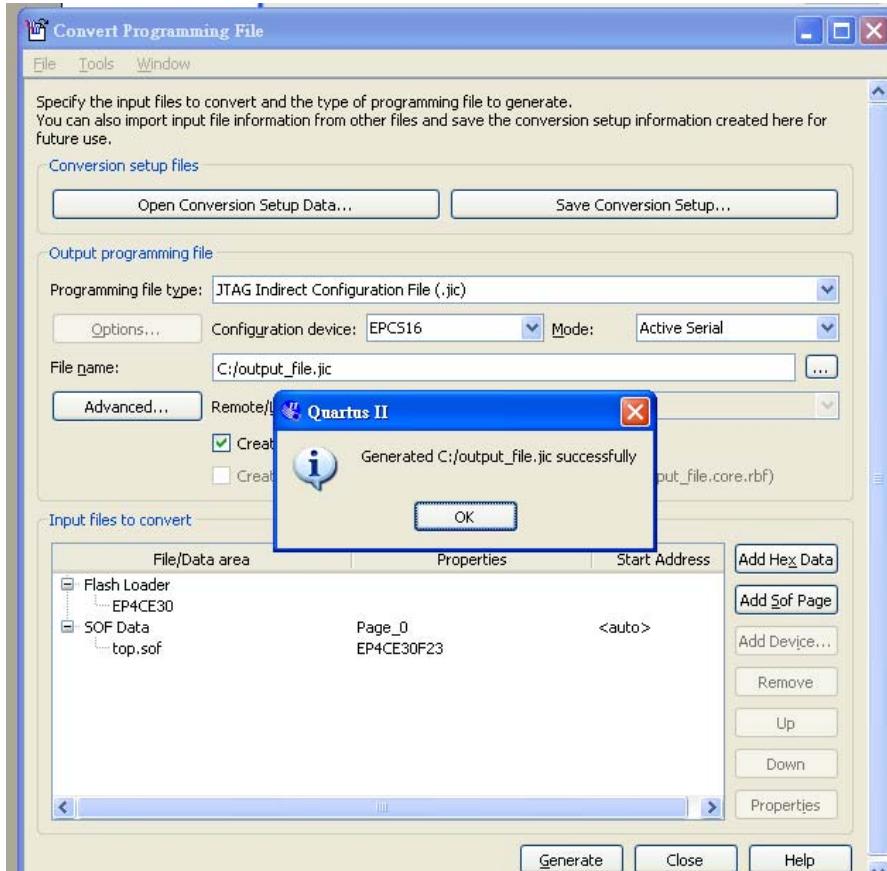


圖 6-10 SOF to JIC 檔案轉換完成畫面

6.2.2 燒錄 JIC 檔

步驟一：點選 Tools 選單下的 Programmer，點選彈出視窗中的 Add File，搜尋要燒錄的*.jic 檔並開啟。

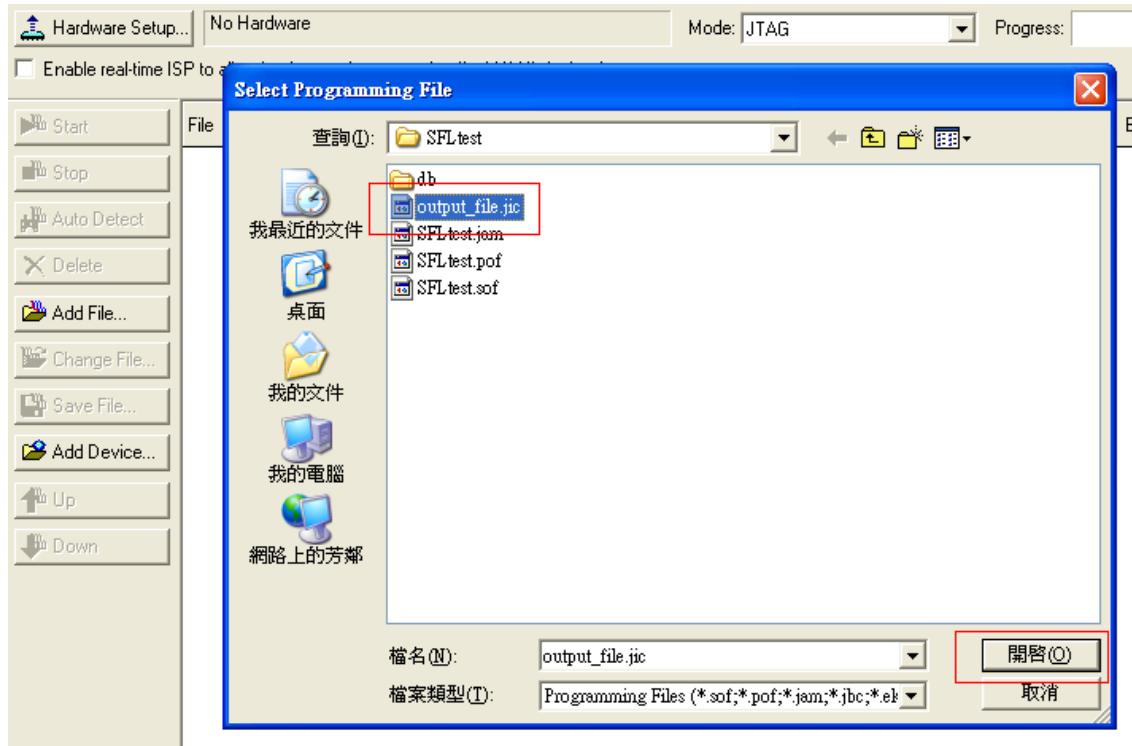


圖 6-11 開啟欲燒錄之 JIC 檔

步驟二：將 Program/Configure 欄位都打勾，按下 Start，等待燒錄完成。

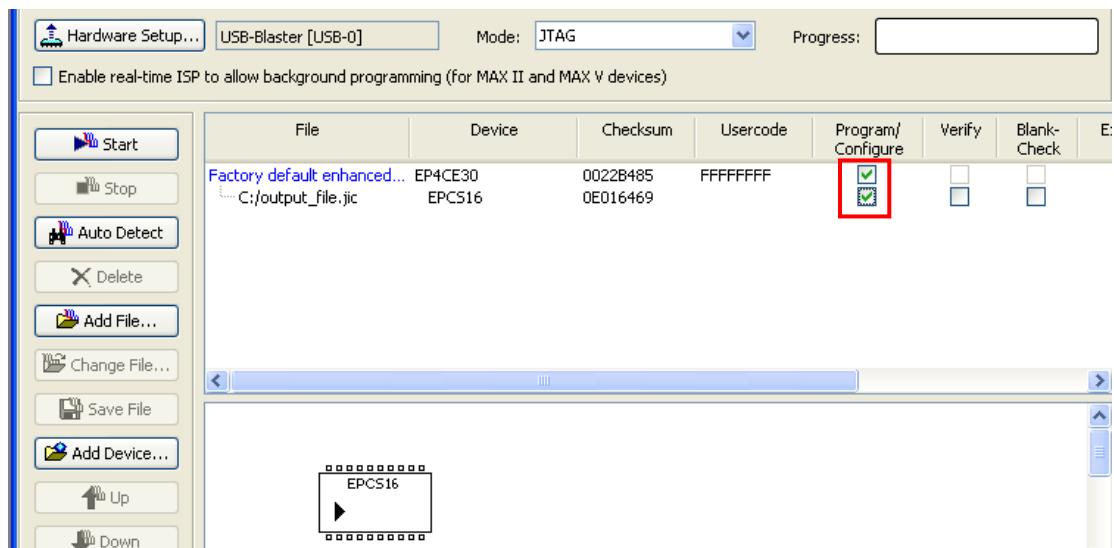


圖 6-12 燒錄 JIC 檔

步驟三：按下板子上的”Reprogram button”即可運作。

七、 Xilinx 燒錄測試

7.1 燒錄 FPGA (XC6SLX25)

此步驟可將 Project 完成後產生之 FPGA 燒錄檔*.bit，download 至 Xilinx FPGA 中。

步驟一：開啟 iMPACT。在 **Project Navigator** 編譯完專案後，點擊兩次 **Processes** 視窗中的 **Configure Device (iMPACT)**。

亦或是直接由

“開始 → 所有程式 → Xilinx ISE Design Suite (version) → ISE Design Tools → Tools → iMPACT” 開啟。

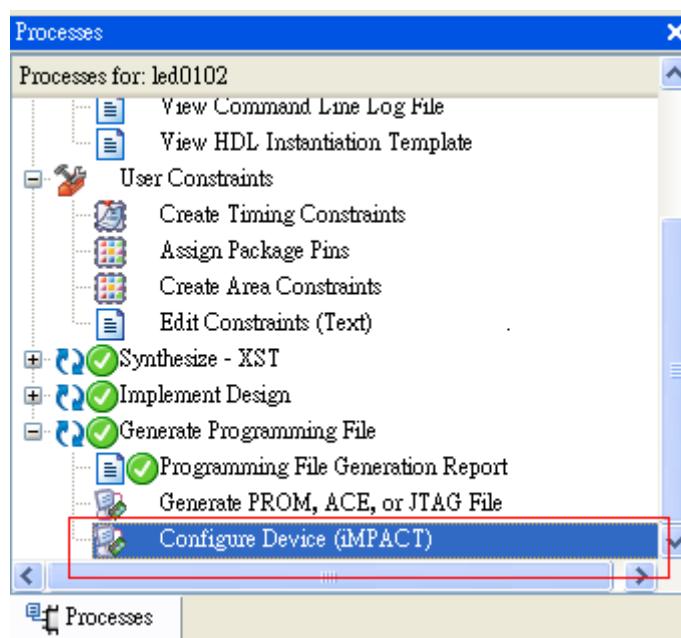


圖 7-1 開啟 iMPACT

步驟二：點擊後 iMPACT 開始進行 Boundary Scan。若發生問題請進行以下檢查：(1) Xilinx Download Cable 已正常連接且 driver 安裝正確。(2)平台電源已開啟，此時 Download Cable 上狀態燈應轉變為綠色。(3)確認 ISE 版本中包含 Spartan-6 系列的資料，若版本太舊請更新。

步驟三：在 FPGA (XC6SLX25) 圖示上按下右鍵，選擇 Assign New Configuration File

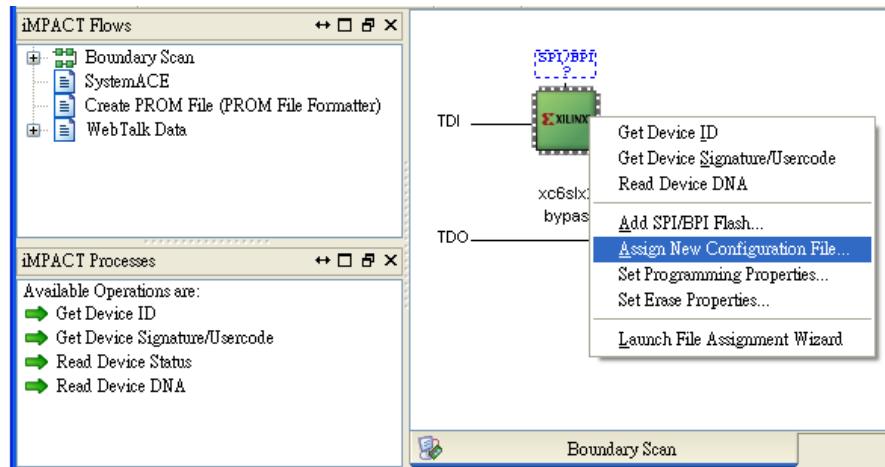


圖 7-2 加入燒錄檔

步驟四：瀏覽欲燒錄的 bit 檔，並按下 Open

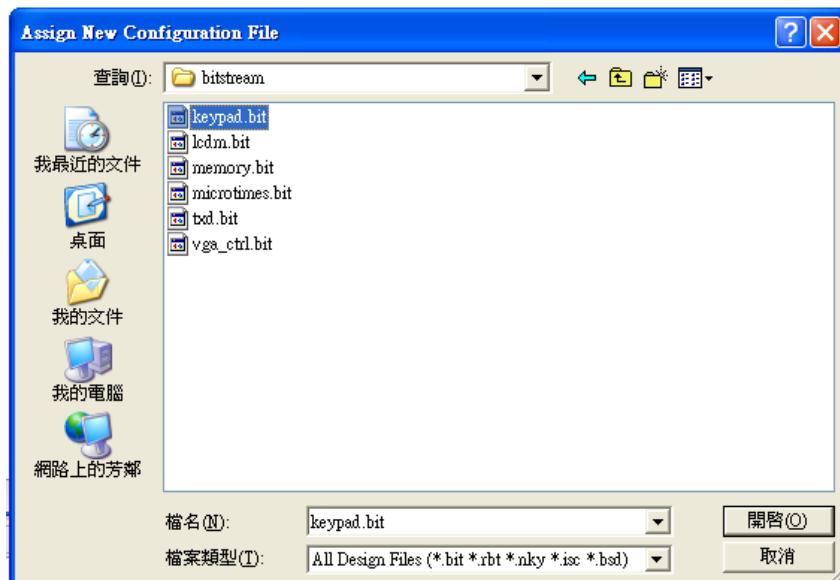


圖 7-3 開啟 bit 檔

步驟五：若被詢問是否需要附加 SPI 或 BPI PROM，選擇 No。(若要燒錄 PROM 請參考下個章節)

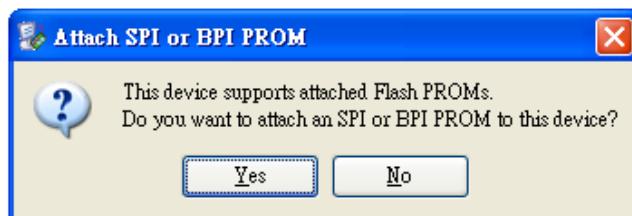


圖 7-4 詢問是否附加 SPI 或 BPI PROM

步驟六：在 FPGA (XC6SLX25) 圖示上按下右鍵，選擇 Program

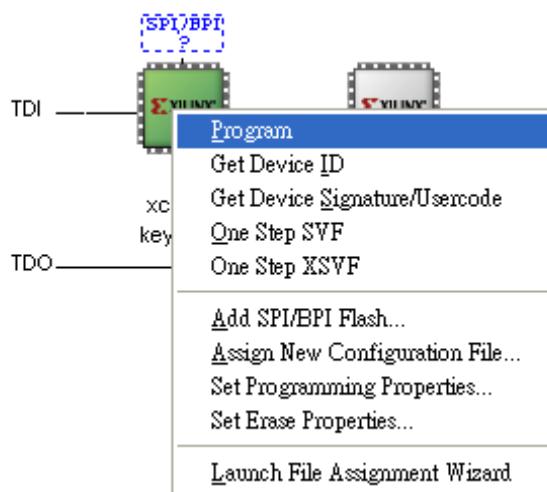


圖 7-5 燒錄 bit 檔至 FPGA

步驟七：選擇 FPGA device 後，按下 OK

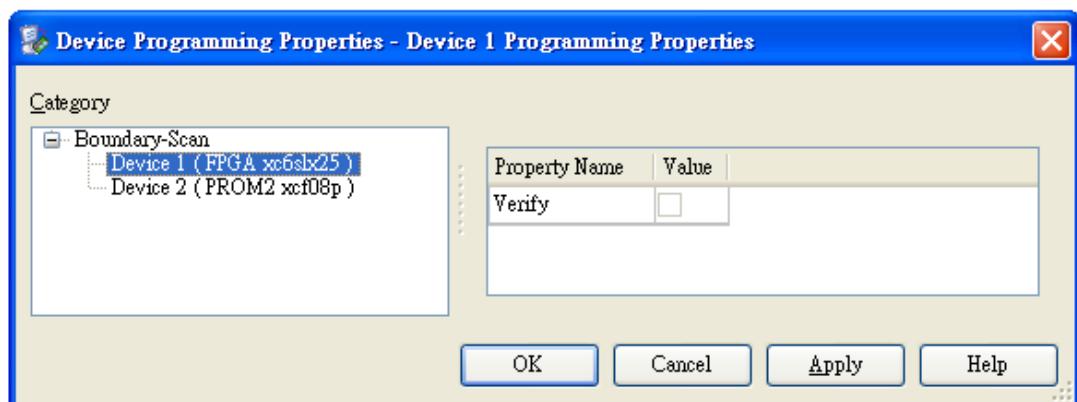
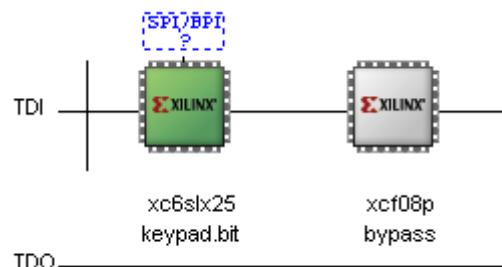


圖 7-6 選擇欲燒錄之裝置

步驟八：若燒錄成功，視窗會顯示出 Program Succeeded



Program Succeeded

圖 7-7 FPGA 燒錄成功畫面

7.2 燒錄 Serial Configuration Devices (W25Q32BV)

此步驟可將設計完成之 FPGA 燒錄檔(*.bit)，轉換為 PROM 燒錄檔(*.mcs)；並將產生的檔案燒錄至 SPI Flash (Winbond W25Q32BV)中。

7.2.1 產生 PROM 檔

步驟一：開啟 iMPACT。在 Project Navigator 編譯完專案後，點擊兩次 Processes 視窗中的 Configure Device (iMPACT)。
亦或是直接由
“開始 → 所有程式 → Xilinx ISE Design Suite 14.1 → ISE Design Tools → Tools → iMPACT” 開啟。

步驟二：完成 Boundary Scan 後，點擊兩次 PROM File Formatter。

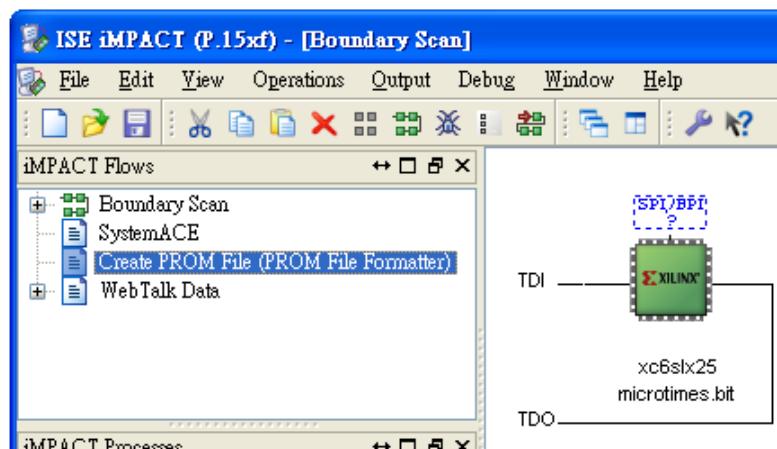


圖 7-8 開啟 PROM 檔案格式編輯視窗

步驟三：設定 PROM File Formatter。Step1: 選擇 SPI Flash → Configure Single FPGA
後按下箭頭鈕。

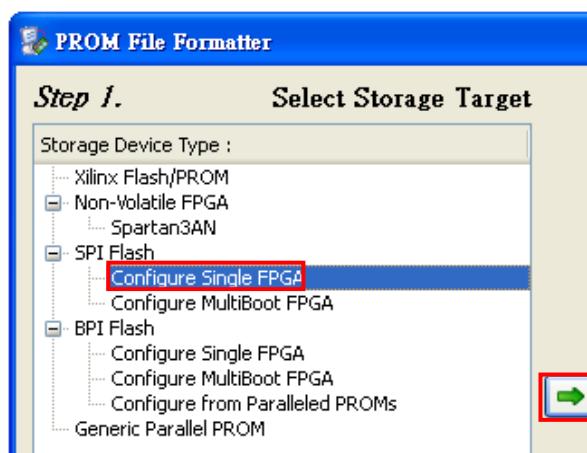


圖 7-9 設定 PROM File Formatter – Step 1

步驟四：設定 PROM File Formatter。Step2: W25Q32BV 為 32M-bit SPI Flash，選擇 32M 後按下 Add Storage Device，32M 即會出現在選單中，接著按下綠色箭頭。

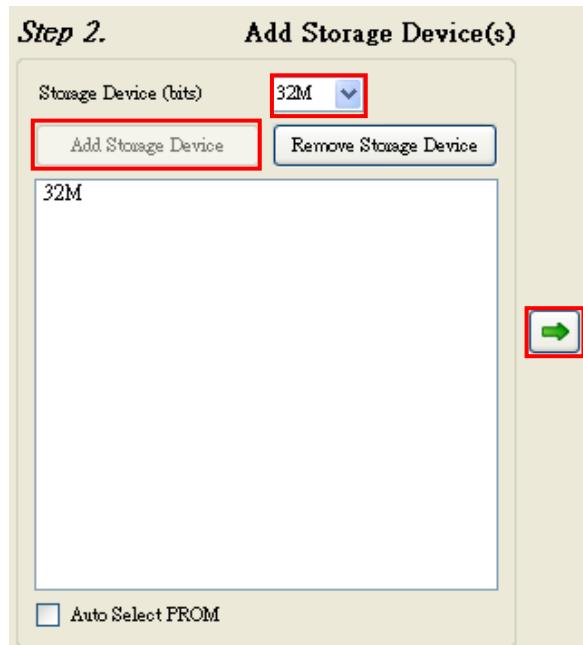


圖 7-10 設定 PROM File Formatter – Step 2

步驟五：設定 PROM File Formatter。Step3: 設定輸出檔名及路徑，檔案格式選擇 MCS (Intel MCS-86 Hexadecimal Object)是較普遍接受的，設定好按下 OK。

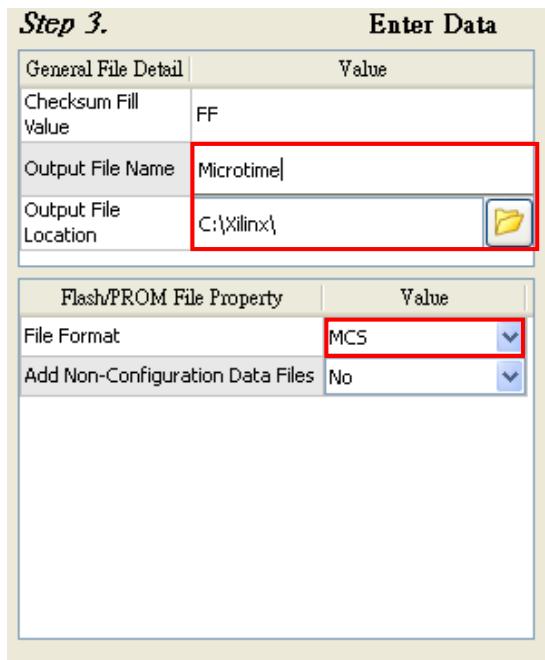


圖 7-11 設定 PROM File Formatter – Step 3

步驟六：PROM 格式設定完後，跳出提示視窗，點選 **OK** 後開始加入 bit 檔



圖 7-12 提示視窗

步驟七：瀏覽欲轉換之 bit 檔並按下開啟

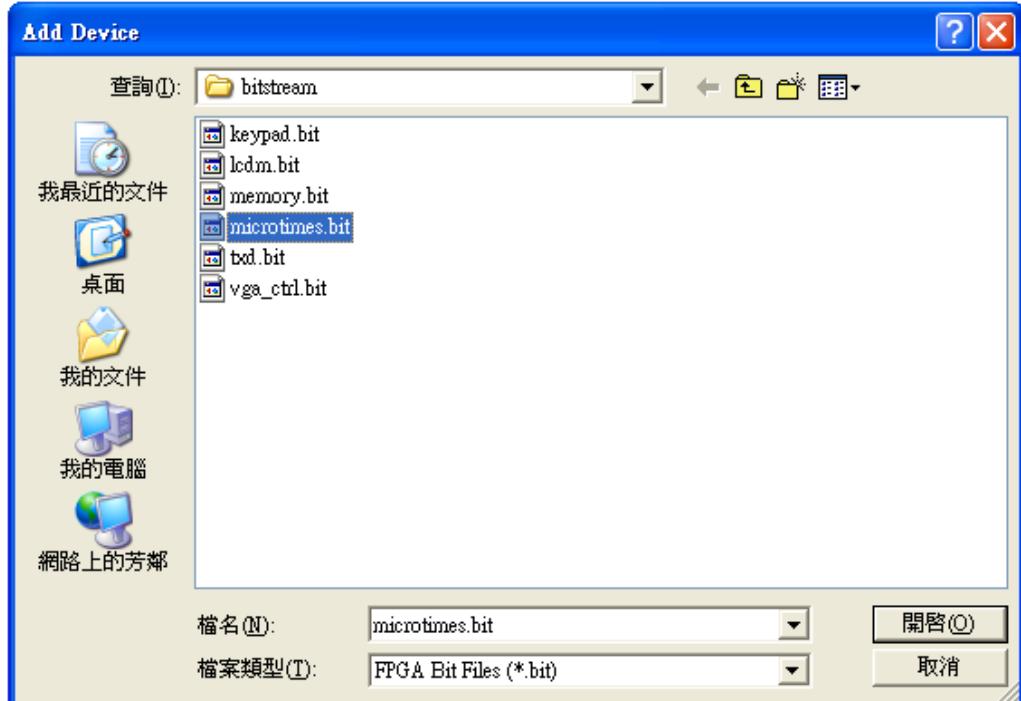


圖 7-13 瀏覽欲燒錄之 bit 檔

步驟八：彈跳出視窗詢問是否繼續增加其他 Device，由於此板子上只有一個 SPI Flash，所以在此選擇 **No**。

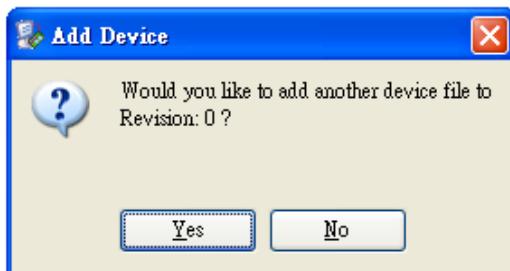


圖 7-14 Add Device 視窗

步驟九：點擊兩次 iMPACT Processes 視窗中的 Generate File；或是點選 Operations 選單下的 Generate File

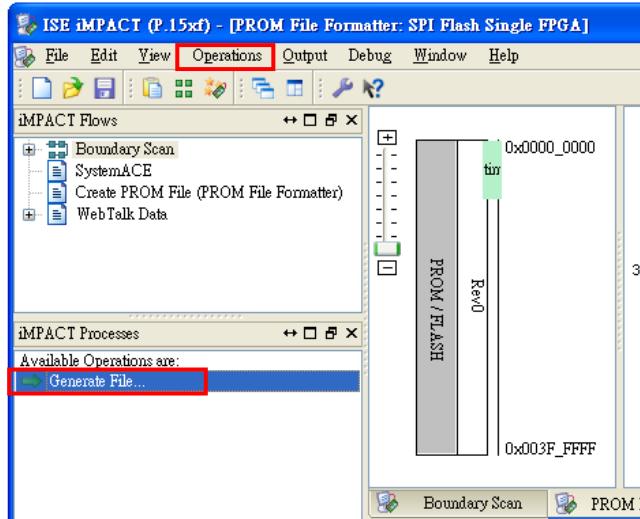


圖 7-15 產生 PROM 檔

步驟十：PROM 檔成功產生後，畫面會顯示 PROM File Generation Succeeded

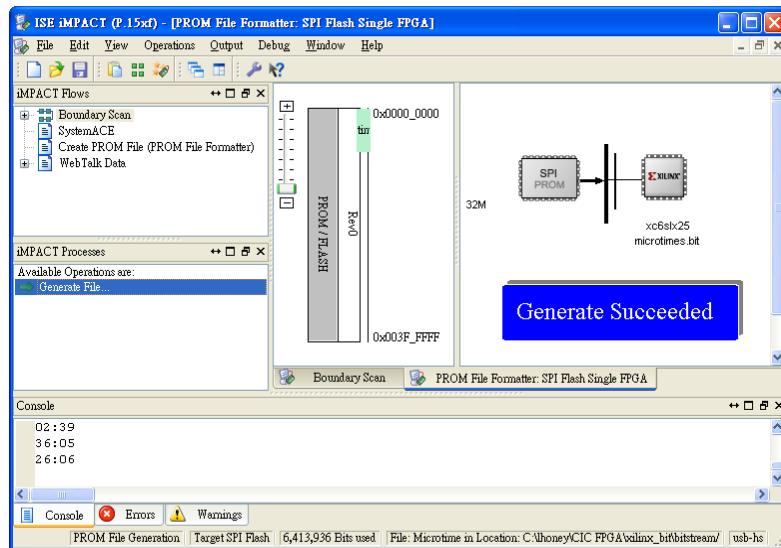


圖 7-16 成功產生 PROM 檔

7.2.2 燒錄 PROM 檔

步驟一：開啟 iMPACT。在 Project Navigator 編譯完專案後，點擊兩次 Processes 視窗中的 Configure Device (iMPACT)。

亦或是直接由

“開始 → 所有程式 → Xilinx ISE Design Suite xxx → ISE Design Tools → Tools → iMPACT” 開啟。

(若使用者已開啟 iMPACT，則切換至 Boundary Scan 選單後跳至步驟六。)

步驟二：選擇 Configure devices using Boundary-Scan (JTAG) ，並按下 Finish

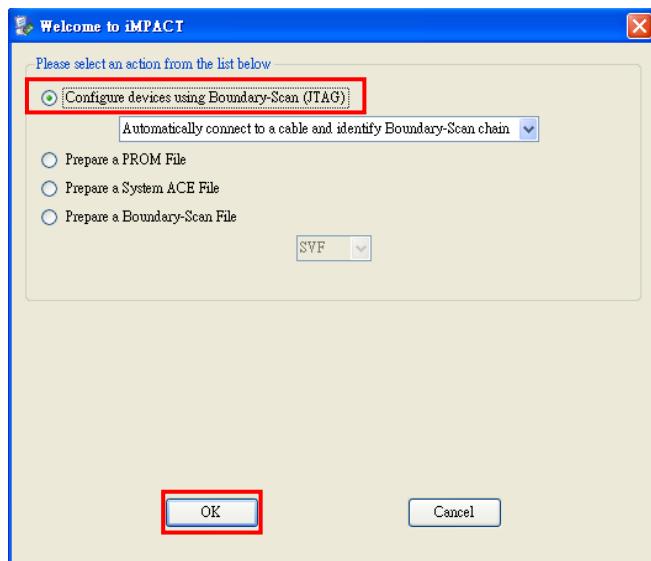


圖 7-17 選擇要執行的動作

步驟三：等待 iMPACT 與 USB download cable 連接偵測設定完畢

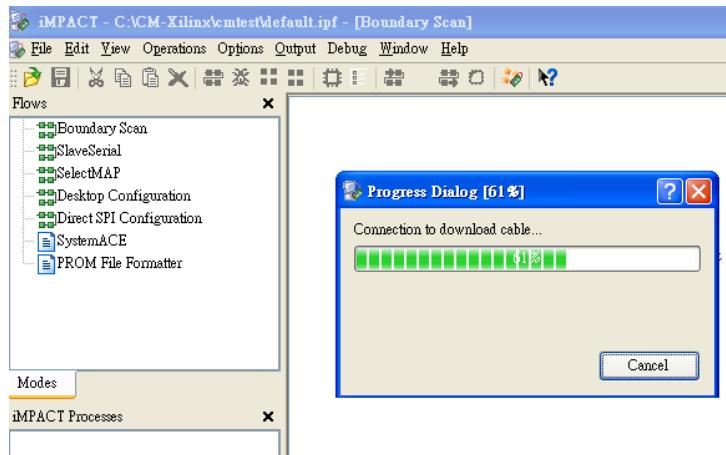


圖 7-18 偵測 USB download cable

步驟四：跳過第一個 FPGA 元件(XC6SLX25)，選擇 Bypass

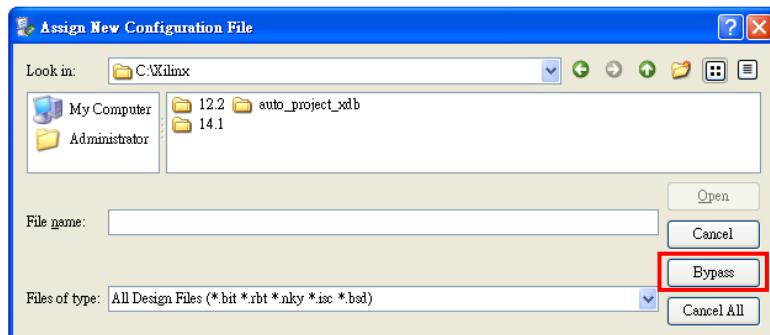


圖 7-19 跳過 FPGA 元件

步驟五：詢問 FPGA 元件(XC6SLX25)燒錄設定，選擇 OK

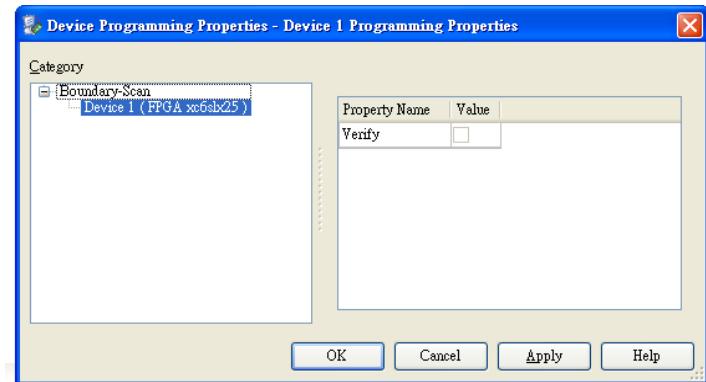


圖 7-20 詢問燒錄設定

步驟六：在 Boundary Scan 視窗中，滑鼠左鍵點選 SPI/BPI 圖示，此時圖示上方會顯示”Right click device to select operations”，再以滑鼠右鍵點選該圖示會跳出 Add SPI/BPI Flash，接著點擊該選項以加入 SPI Flash 燒錄檔。

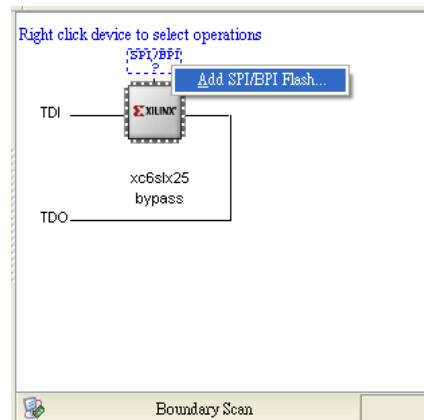


圖 7-21 加入 SPI Flash 燒錄檔

步驟七：選擇製作好的 SPI Flash 燒錄檔(.mcs)後點選開啟。

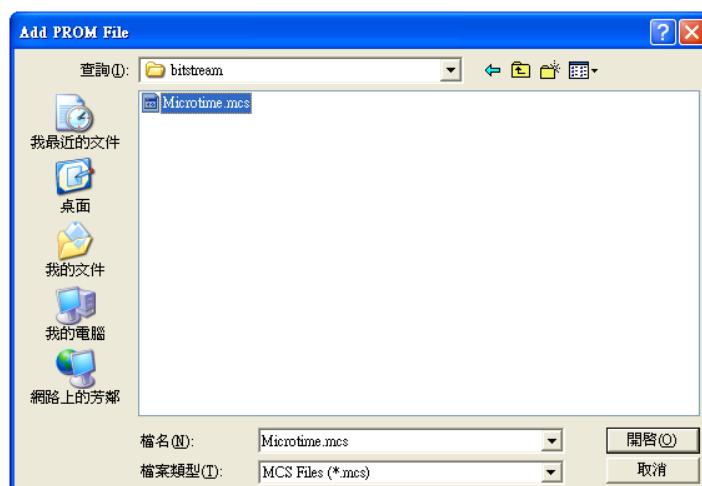


圖 7-22 選擇燒錄檔(.mcs)

步驟八：選擇 SPI PROM 格式。本平台使用的 SPI PROM 型號為 W25Q32V，Data Width 選擇 1，接著按下 OK。

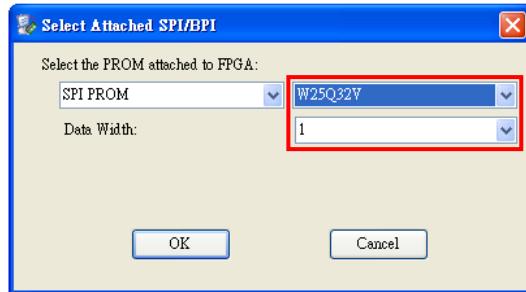


圖 7-23 選擇 SPI PROM 格式

步驟九：設定完成後會出現 FLASH 的圖示。在 FLASH 圖示上按下滑鼠右鍵並選擇 Program，重新燒錄程式。

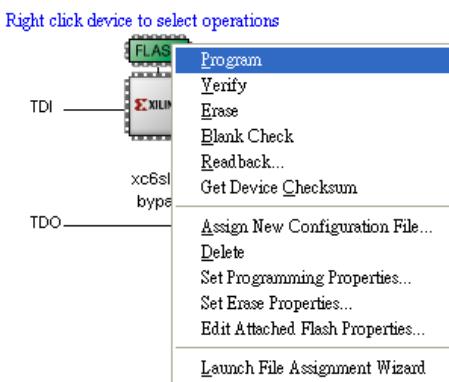


圖 7-24 燒錄程式至 FLASH

步驟十：詢問 FLASH 燒錄設定，確認「Verify」以及「Design-Specific Erase Before Programming」有勾選後，選擇 OK。

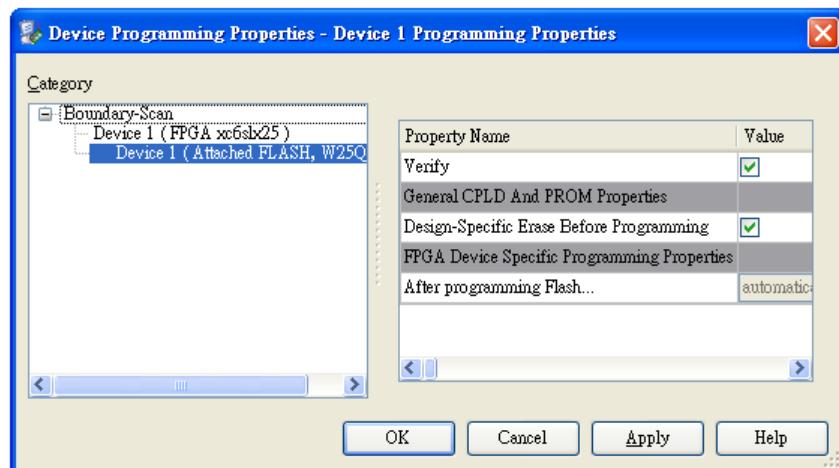


圖 7-25 詢問 FLASH 燒錄設定

步驟十一：燒錄完成後，畫面上顯示 **Program Succeeded**

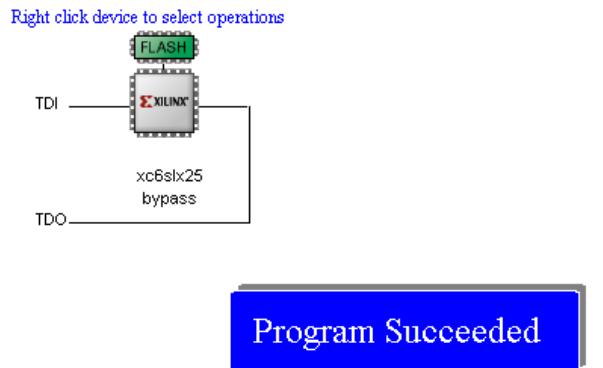


圖 7-26 成功燒錄 PROM