



*Department of Computer Science and Information Engineering*

*National Cheng Kung University*

# **LAB - 7**

陳培殷

國立成功大學 資訊工程系



---

# Outline

- Video preview for 晶片實現 + HDL介紹(Part7)
- Lab I--Moore machine (sequential circuit)

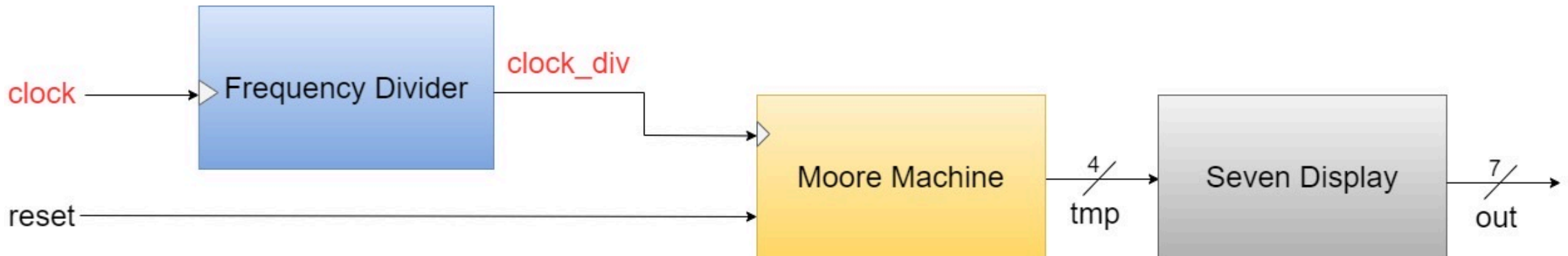
# Lab I -- Moore machine (1/2)

- Moore machine:輸出由當前的state決定
- Mealy machine: 輸出由當前的state和input訊號決定
- 完成一個Moore machine
  - 其 I/O 與 state 變化如右表
  - 變動頻率為1Hz
  - Reset為0時，State初始化為S0 (非同步)

目前狀態 (current-state)	下一個狀態 (next-state)		七段顯示器 輸出 (output)
	In=0	In=1	
S0	S1	S3	0
S1	S2	S5	1
S2	S3	S0	2
S3	S4	S1	3
S4	S5	S2	4
S5	S0	S4	5

# Lab I -- Moore machine (2/2)

- 請將輸出的數值顯示於七段顯示器
- 系統架構圖請參考下方
  - Input: clock(CLOCK\_50)、reset(SW0)、In(SW1)
  - Output: out(7 bits , HEX06~HEX00)
- 請畫出Finite State Machine並說明其運作過程

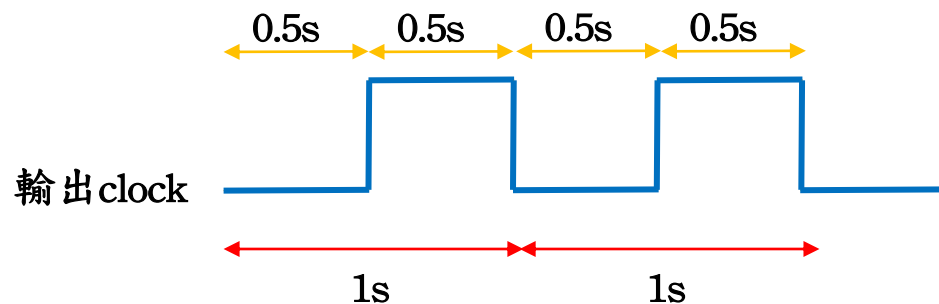


# Lab – Hint(1/2)

- **FPGA的時脈頻率為 50 MHz**
  - 表示每秒會執行  $50 \times 10^6$  次always block
- **現假設要求變換頻率為 1 Hz**
  - 表示state每秒變換1次
- **因為時脈頻率無法改變，所以需要透過除頻器將50MHz降為1Hz**
- **除頻器實現方式是透過一個計數器，計算經過幾個時脈正(負)緣，當計數到  $50 \times 10^6$  即代表經過一秒**
- **可在計數到  $25 \times 10^6$  時改變除頻器輸出的clock電位，即可輸出1Hz之clock**

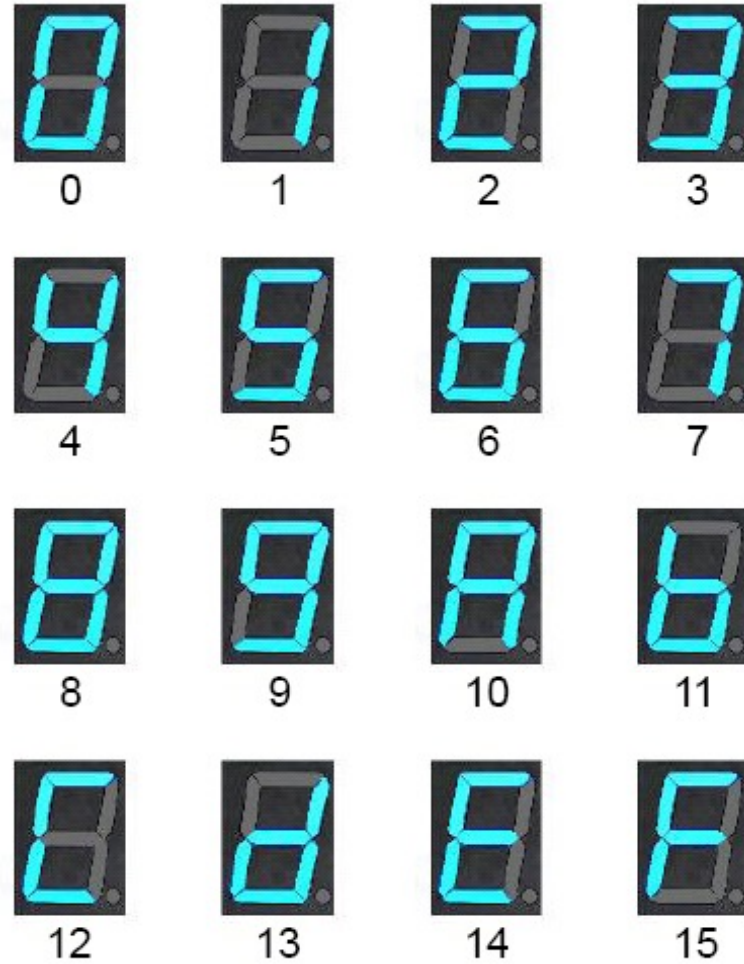
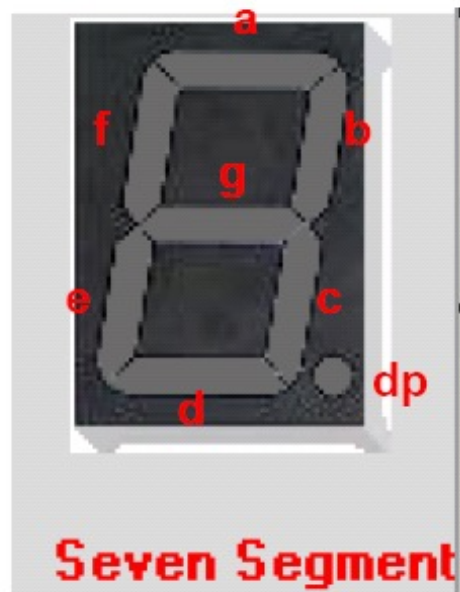
# Lab – Hint(2/2)

- 利用 counter 在輸入的 clock 正緣進行計數，當經過 `TimeExpire 個正緣後更改輸出 clock 的正負，即可達到除頻的效果
- FPGA 版所使用的 clock 頻率為 50MHz，假設欲產生 1Hz 的 clock，則需每 0.5 秒更改輸出 clock 的正負
- 兩個正緣間隔為  $1/50 \times 10^6$  秒，0.5 秒共會經過  $25 \times 10^6$  個正緣，故 `TimeExpire 設為 25000000




```
1  `define TimeExpire 32'd25000000
2
3  module clk_div(clk,rst,div_clk);
4  input clk,rst;
5  output div_clk;
6
7  reg div_clk;
8  reg [31:0]count;
9
10 always@(posedge clk) 正緣同步電路
11 begin
12     if(!rst) 低位準同步reset
13     begin
14         count <= 32'd0;
15         div_clk <= 1'b0;
16     end
17     else
18     begin
19         if(count == `TimeExpire) 判斷是否經過 `TimeExpire個正緣
20         begin
21             count <= 32'd0;
22             div_clk <= ~div_clk; 更改輸出clock的正負並歸零計數器
23         end
24         else
25         begin
26             count <= count + 32'd1; 計數
27         end
28     end
29 end
30
31 endmodule
```


# Seven-segment display



## Seven-segment display (2/2)

- 0 is on, 1 is off
- dp is useless in DE0-CV board

■ Ex:  `out=7'b1000000;`  
`g=1`

■ Ex:  out=7'b0010010;  
b=1, e=1



# Notice

- 請勿命名中文或數字開頭的資料夾
- Device family 請確認與 FPGA Chip 符合 (5CEFA4F23C7)
- Top module name & Project name 需要一致
- 在組合電路中，case、if...else...若沒有寫滿，合成後會產生latch