



*Department of Computer Science and Information Engineering*

*National Cheng Kung University*

# *Weekend Practice 11/13*

陳培殷

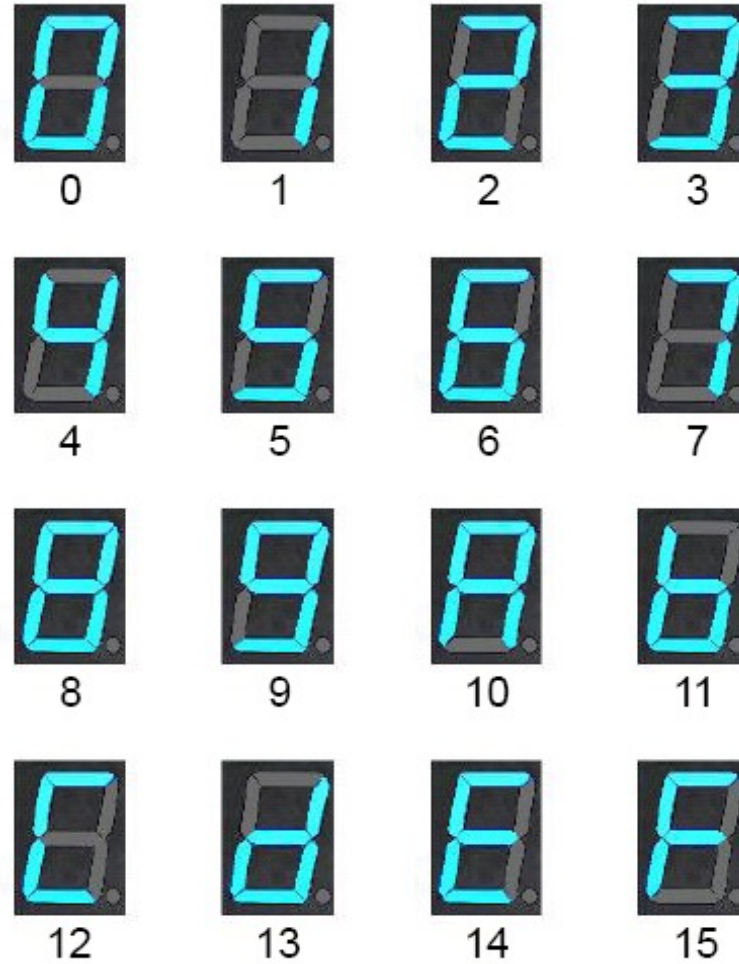
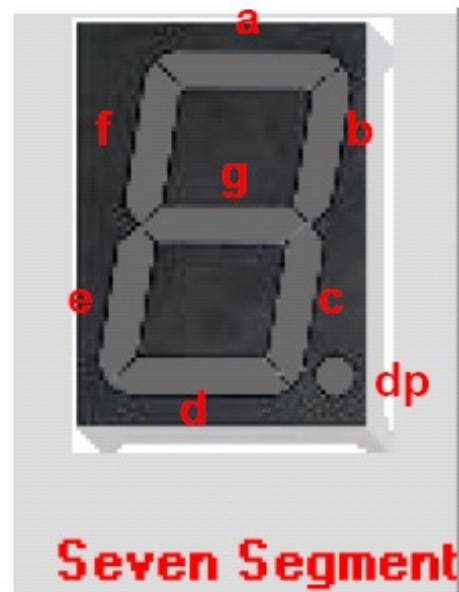
國立成功大學 資訊工程系



# Outline


- **Seven-segment display**
- **Lab -- 特殊功能乘法器(combination circuit)**
- **Appendix**


# Seven-segment display (1/2)



## Seven-segment display (2/2)

- 0 is on, 1 is off
- dp is useless in DE0-CV board

■ Ex:  `out=7'b1000000;`  
g=1

■ Ex:  out=7'b0010010;  
b=1, e=1

# Lab

- 設計一個特殊功能乘法器並將結果以七段顯示器表示
- 功能說明：
  - 當輸入為 0~2，輸出值=輸入值
  - 當輸入為 3~5，輸出值=輸入值加 1 後，再乘以 2
  - 當輸入為 6~7，輸出值=輸入值減 1 後，再乘以 2
  - 當輸入為其他值，輸出值為 0
- 輸入為4 bits **SW0~SW3**
- 輸出為7bits (此7bits為輸入七段顯示器的訊號，用以顯示正確數字)

**HEX06~HEX00**

**g ~ a**  
**MSB      LSB**

# Notice for Lab

- 七段顯示器裝置模擬

- 輸入為 0~2

- 輸出值=輸入值
    - Ex: in=1, out=1;



- 當輸入為 3~5

- 輸出值=輸入值加 1 後，再乘以 2
    - Ex: in=4, out=10 (A);



- 七段顯示器裝置模擬

- 輸入為 6~7

- 輸出值=輸入值減 1 後，再乘以 2
    - Ex: in=7, out=12 (C);



- 輸入為 其他值

- 輸出值為 0
    - Ex: in=12, out=0;



# Appendix

- 為了幫助同學驗證程式是否正確，moodle上有提供testbench
- 驗證方式：
  - Step 1: 前往verilog線上模擬網站: <https://www.jdoodle.com/execute-verilog-online/>
  - Step 2: 將moodle上的testbench code整段貼上
  - Step 3: 修改special\_multiplier module
  - Step 4: 按下Execute按鈕，確認模擬結果是否正確



