# EDA大作业一

# 二进制运算器及其数码管扫描显示电路

## 自65 吴涛 2016011492

## 1 电路模块及功能

名称	功能	输入	输出
1位二进制全加器	1位二进制数的加法	加数A、B;来自低位	运算和S; 向高位的进
		的进位CI	位CO
4位二进制全加器	4位二进制数的加法	加数A[30]、B[30];	运算和S[30]; 向高
		来自低位的进位CI	位的进位CO
二进制运算器	完成运算S=M+N	3位二进制数M和N,	运算和S[30], $S_3$ 为
		$M_2$ 和 $N_2$ 是符号位,	符号位, $S_2S_1S_0$ 为有
		$M_1M_0\Delta N_1N_0$ 是有效	效数字。
		数字	
2-4线译码器	将2位 二 进 制 数 译	输入DIP1、DIP2	译码得到得4个高低
	为4个高低电平(在		电平CY[30]
	选择显示数码管时使		
	用)		
显示译码电路	根据二位选择信号	选择信号DIP1、	译码后的到的7位输
	将4组输入中的一组	DIP2; 4组 输 入:	出Y[60]
	用7448译码器进行译	InM[30], $InN[30]$ ,	
	码	Sig., InS[30]	
分频器	获得频率更低的时钟	时钟信号CLK	从00到11循 环 变 化
	信号及从00到11循环		的二位输出DIP1、
	变化的二位输出		DIP2

## 2 FPGA实验板外设资源

了解FPGA实验板上的各种外设资源,学会查阅并使用其对应引脚图。该

3 设计思路 2

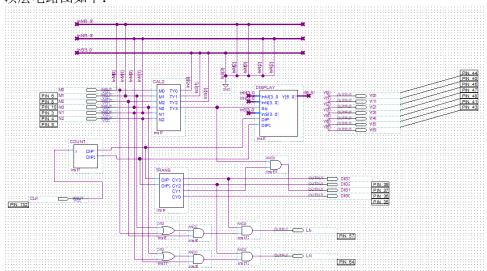
实验中用到了拨码开关、4位数码管、LED灯、晶振。掌握了向板子中下载程序的步骤。

#### 3 设计思路

电路整体分为运算模块和显示模块,运算部分依次设计封装了1位全加器(EDA1)、4位全加器(CAL1)以及最终运算器(CAL2)。显示部分设计封装了2-4线译码器(TRANS)、显示电路(DISPLAY)、分频器(COUNT)。另外输入部分与FPGA上的拨码开关对接,输出部分与数码管和LED灯对接。

#### 4 顶层电路图

顶层电路图如下:

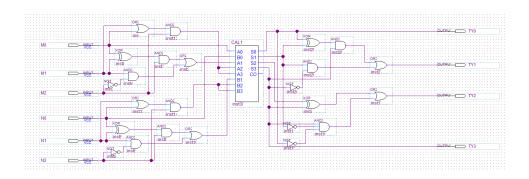


设计主要分为5部分:运算电路,显示电路,分频电路,选择电路,LED控制电路。

## 4.1 运算电路

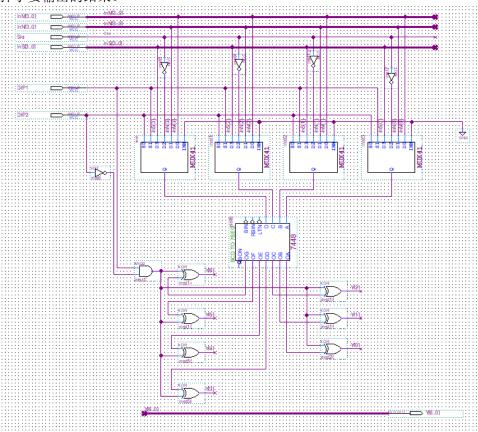
运算时首先将M和N扩充到4位并转换成补码输入到4位全加器进行计算,运算后再将结果转换成原码,利用真值表可以得到上述转换的逻辑表达式。功能:实现了S=M+N的运算。

4 顶层电路图 3



## 4.2 显示电路

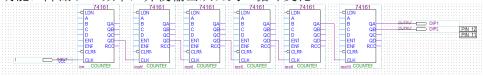
输入为4位无符号数InM、InN、InS和结果的符号Sig,以及地址输入端DIP1、DIP2;输出为经7448译码后的7位结果。功能:实现了与数码管的对接,选择了要输出的结果。



5 仿真波形图 4

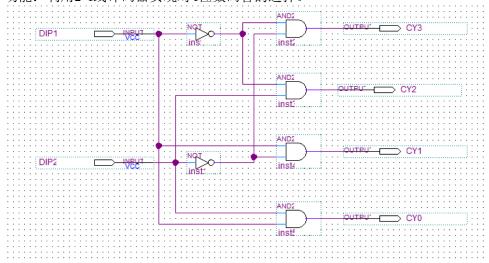
#### 4.3 分频电路

功能:降低CLK频率,并使输出从00到11循环变化。



### 4.4 选择电路

功能:利用2-4线译码器实现对4位数码管的选择。



#### 4.5 LED控制电路

功能:利用输入M和N以及2-4线译码器的结果CY3、CY2实现对M、N正负的显示。

#### 5 仿真波形图

各电路模块的仿真波形图如下,其中部分波形由于仿真结果较多,只截取了一部分仿真结果。

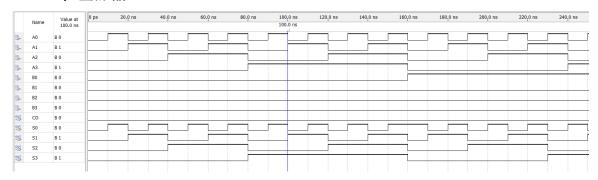
5 仿真波形图 5

## 5.1 1位全加器

	Name	Value at 0 ps	0 ps 0 ps	40.0 ns	80.0 ns	120,0 ns	160,0 ns	200,0 ns	240.0 ns	280 <sub>.</sub> 0 ns	320,0 ns
in_	Α	B 0									
is-	В	B 0									
is-	CI	B 0									
out	СО	B 0									
out	5	B 0									

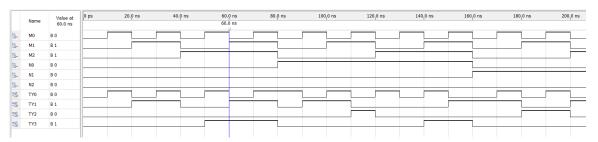
从波形可以看出结果正确,实现了1位全加器的功能。

## 5.2 4位全加器



以光标位置为例,1010+0000=1010,进位CO=0,满足4位加法器要求,其他位置同理,实现了4位全加器。

### 5.3 运算器



由波形图结果可知运算结果已经还原成原码,符合运算器功能要求。

5 仿真波形图 6

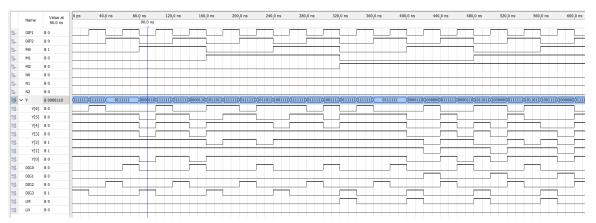
## 5.4 显示电路

	Name	Value at 0 ps	0 ps 40.0 n	ns 80.0	ns 120,0	) ns 1	60.0 ns 200.0	ns 24	10 <sub>,</sub> 0 ns	280 <sub>-</sub> 0 ns	320 <sub>1</sub> 0 ns	360.0 ns	400 <sub>,</sub> 0 ns	440 <sub>1</sub> 0 ns	480 <sub>.</sub> 0 ns
in	DIP1	B 0													
in.		B 0							+						
100	> InM	B 0000	0000 X	0001	0010 X	0011	X 0100 X	0101	X 0110	0111	X 1000	1001	X 1010	1011	$-\sqrt{-}$
ing	InN	B 0000	0000 X	0001	0010 X	0011	X 0100 X	0101	X 0110	0111	1000	1001	1010	X 1011	ŦŶŦ
100	> InS	B 0000	0000	0001	0010 X	0011	X 0100 X	0101	0110	0111	1000	1001	1010	1011	$\equiv$
in.	Sig	B 0													
25	> Y	B 0111111	0111111 ( 1111111 )	0000110	1011011 X 1000000 X	1001111	X 1100110 X 1111111	1101101	X 1111100 X 1000	000 000011	1 111111	1 1100111	X 1011000 X 1000	1001100	X 11000

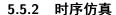
由结果知DIP1、DIP2控制着输出Y,与显示数码管的真值表对应,可知结果正确。

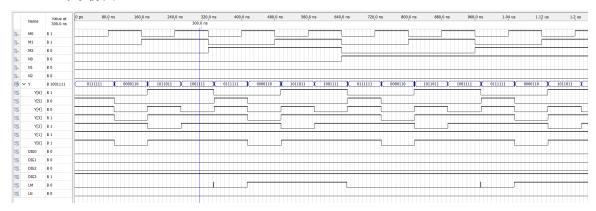
## 5.5 顶层电路

## 5.5.1 功能仿真



比较检查后,可知数码管显示、LED控制均符合功能要求,根据输入DIP1、DIP2的不同数码管显示不同内容,任何时刻DIG0、DIG1、DIG2、DIG3中最多只有一个为1。





从时序仿真中看到电路存在竞争冒险现象,说明电路还有改进的可能,且验证了理论知识。另外可以观察到 $T_{cd}$ 和 $T_{pd}$ 的值。整体上电路满足时序要求。

#### 6 设计和调试中遇到的问题及解决方法

#### 6.1 运算器的输入处理问题

在设计时首先设计封装了4位全加器,而我们的输入为3位有符号数,所以需要把输入M、N和全加器的输入对应起来。方法是把M、N扩充为4位(符号位移到最高位,最高有效数字位前面加0),扩充后再转换成补码给到全加器的输入。

#### 6.2 LED灯的"100"问题

当输出M、N时,若其值为100,则按理LED灯不应该亮,考虑到这一问题,就需要对LED灯进行额外控制,利用或门逻辑可以解决该问题。电路如顶层原理图中所示。