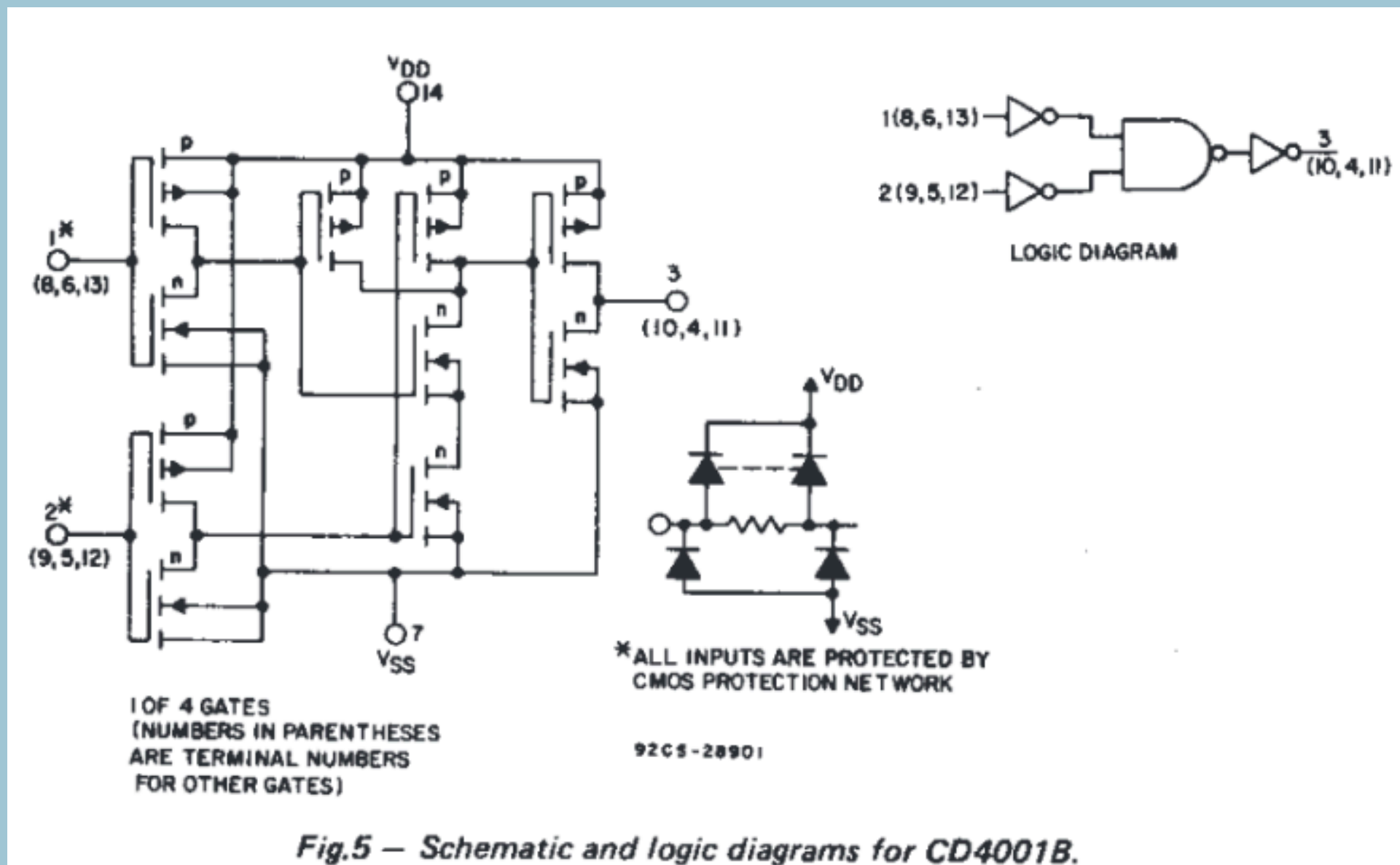


CD4001b



Tomasz Majerowicz 197638
Jakub Lewandowski 193142

1. Dokumentacja i literatura

Projekt został wykonany w oparciu o następujące materiały źródłowe:

- Dokumentacja układu CD4001B – Texas Instruments
- Instrukcja laboratoryjna przedmiotu IUSS
- Modele technologiczne TSMC 180 nm (1P6M, 1.8 V)
- B. Pankiewicz, materiały wykładowe „Inżynieria układów i systemów scalonych”, Gdańsk 2009.
- Seria CD4000:
http://en.wikipedia.org/wiki/List_of_4000_series_integrated_circuits

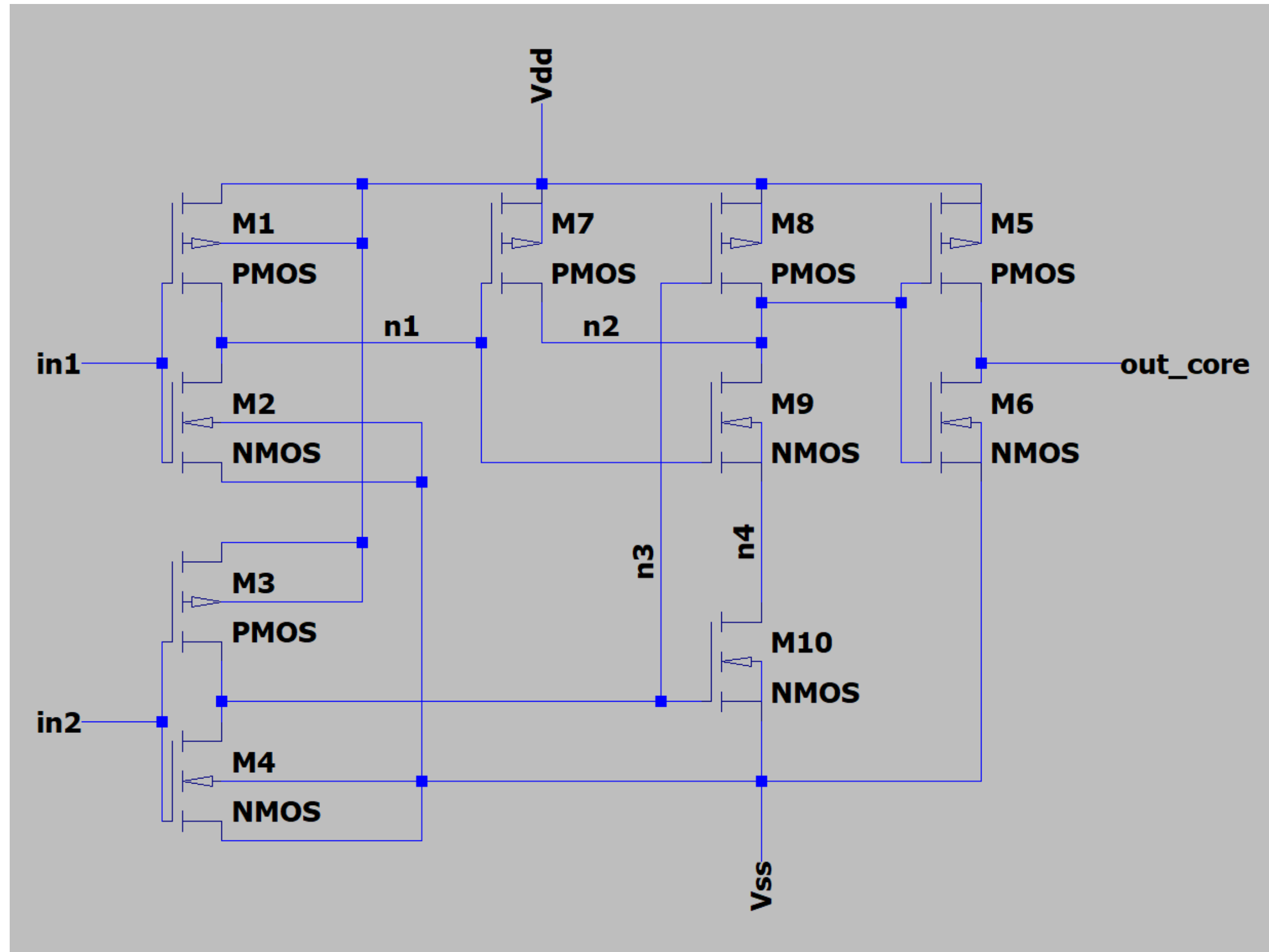
2. Wymagania projektowe

Wymagania projektowe dla układu CD4001B:

- Technologia: CMOS TSMC 180 nm, 1.8 V
- Struktura: cztery identyczne bramki NOR (2-wejściowe)
- Poprawna praca logiczna dla: $V_{DD} = 1.8\text{ V} \pm 10\%$, Temperatura: $-30\text{ }^{\circ}\text{C}$ do $+125\text{ }^{\circ}\text{C}$
- Wydajność prądowa wyjść: $I_O > 15\text{ mA DC}$ przy $V_{DD} = 1.8\text{ V} \pm 10\%$
- Minimalna częstotliwość przełączania 30 MHz przy obciążeniu pojemnościowym 25pF
- Zabezpieczenia: Ochrona ESD, Ochrona przed zatrzasowaniem
- Poprawna topologia PAD: Pola PAD 60um x 70um bez aktywnych elementów pod nimi

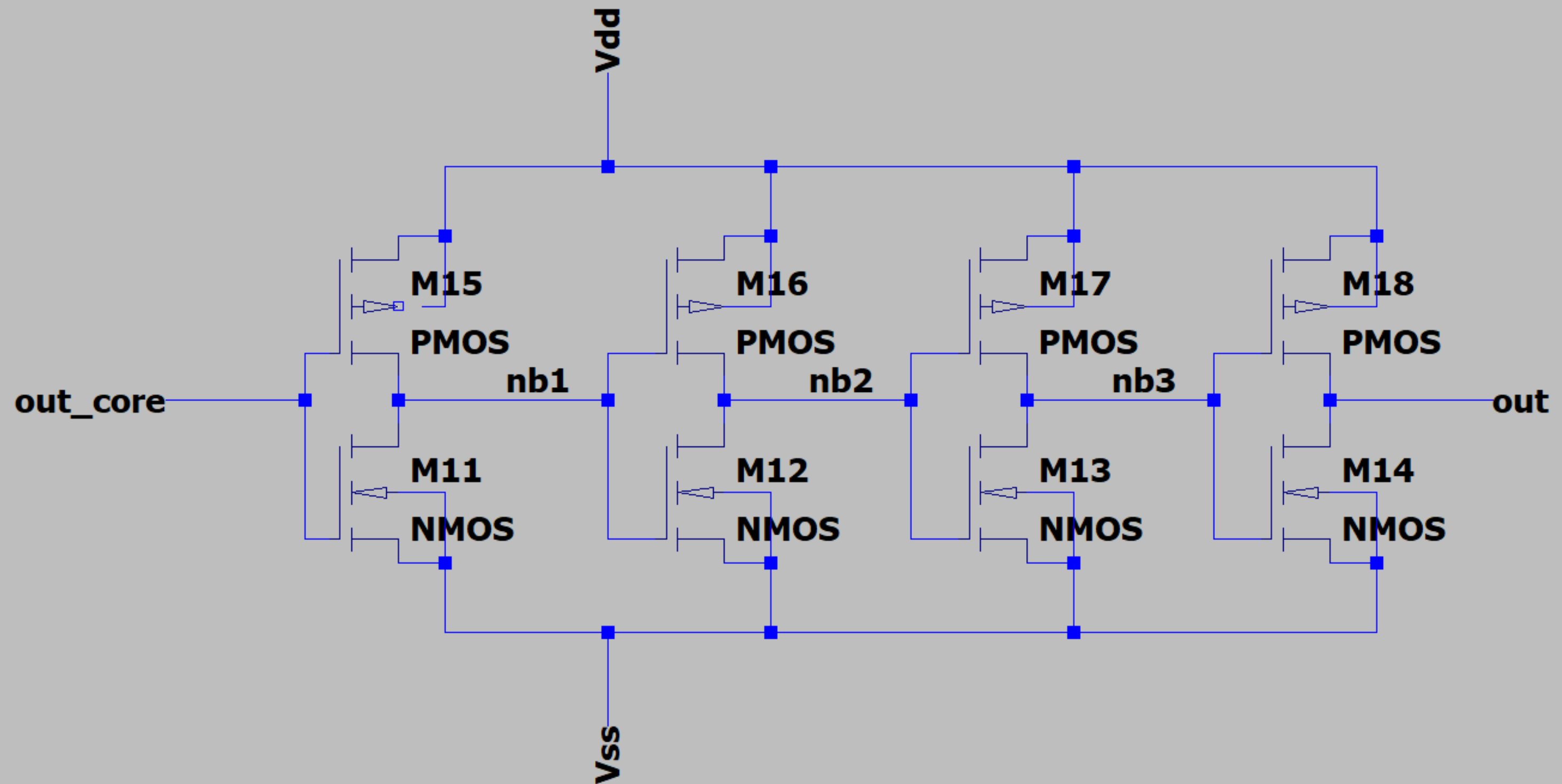
3. Schemat poglądowy układu

3.1 Blok logiczny NOR2



3. Schemat poglądowy układu

3.2 Bufor 4-stopniowy



4. Netlista NOR2 oraz Bufor

```
Netlista + Bufor

* =====
* RDZEŃ: NOR2
* =====
M1  n1 in1 Vdd Vdd PFET w=0.6u l=0.2u
M2  n1 in1 Vss Vss NFET w=0.4u l=0.2u

M3  n3 in2 Vdd Vdd PFET w=0.6u l=0.2u
M4  n3 in2 Vss Vss NFET w=0.4u l=0.2u

M7  n2 n1  Vdd Vdd PFET w=0.6u l=0.2u
M8  n2 n3  Vdd Vdd PFET w=0.6u l=0.2u

M9  n2 n1  n4  n4 NFET w=2.6u l=0.2u
M10 n4 n3  Vss Vss NFET w=0.4u l=0.2u

M5  out_core n2 Vdd Vdd PFET w=7u l=0.2u
M6  out_core n2 Vss Vss NFET w=2u l=0.2u

* =====
* BUF4 - bufor 4-stopniowy
* =====

* --- stopień 1 ---
M11 nb1 out_core Vdd Vdd PFET w=1.4u l=0.2u
M12 nb1 out_core Vss Vss NFET w=0.6u l=0.2u

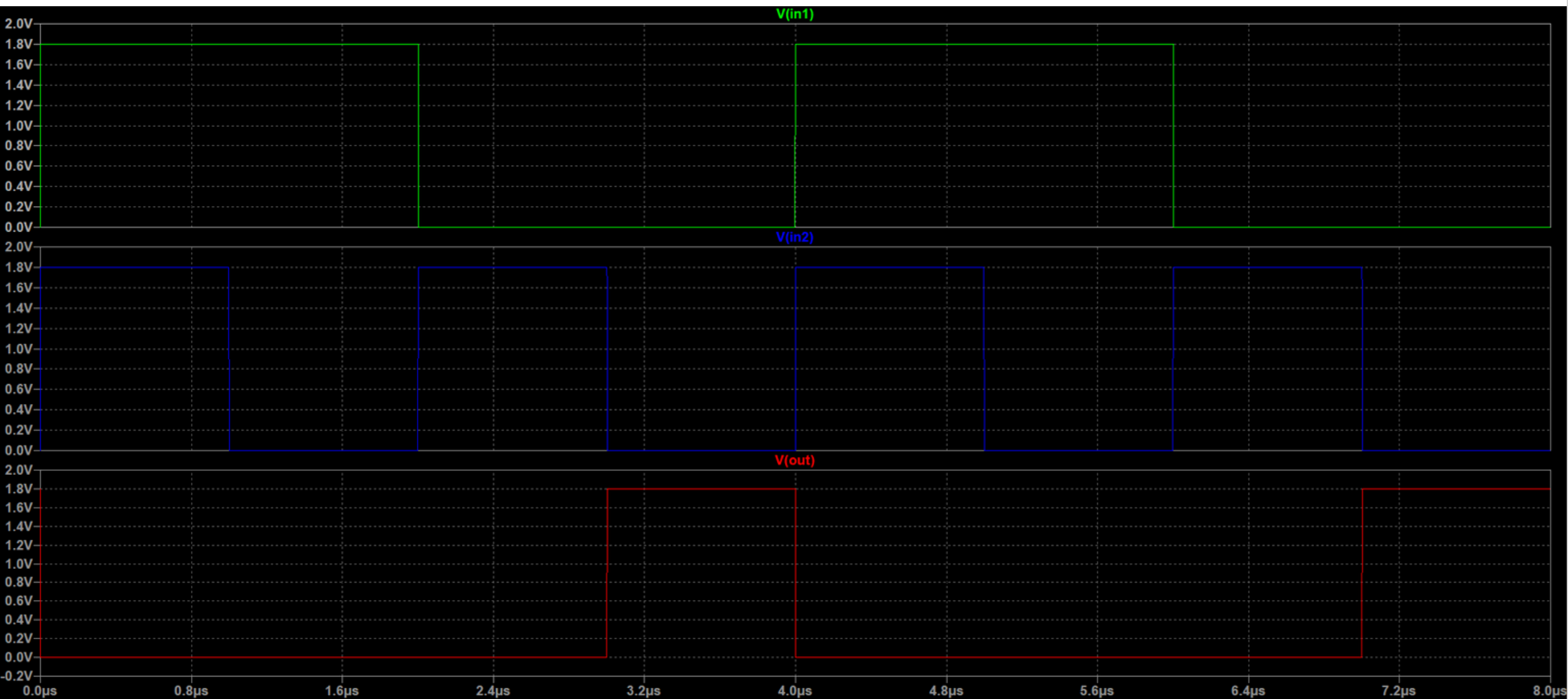
* --- stopień 2 ---
M13 nb2 nb1 Vdd Vdd PFET w=6.1u l=0.2u
M14 nb2 nb1 Vss Vss NFET w=2.6u l=0.2u

* --- stopień 3 ---
M15 nb3 nb2 Vdd Vdd PFET w=7u l=0.2u
M16 nb3 nb2 Vss Vss NFET w=2u l=0.2u

* --- stopień 4 ---
M17 out nb3 Vdd Vdd PFET w=130u l=0.2u
M18 out nb3 Vss Vss NFET w=55u l=0.2u
```

5. Weryfikacja funkcji logicznej

PRE-Layout - kod oraz wyniki



```
* ===== NOR2 pre-layout + 4-stage buffer =====
```

```
* --- modele ---
```

```
.include "tsmc180_t77a_spice.lib"
```

```
* --- parametry ---
```

```
.param VDD=1.8
```

```
* --- zasilanie ---
```

```
VDDs Vdd 0 {VDD}
```

```
VSSs Vss 0 0
```

```
* --- wejścia: sekwencja 00 - 01 - 10 - 11 ---
```

```
* in1 zmienia się wolniej, in2 szybciej
```

```
Vin1 in1 0 PULSE(0 {VDD} 0 1n 1n 2u 4u)
```

```
Vin2 in2 0 PULSE(0 {VDD} 0 1n 1n 1u 2u)
```

```
* --- obciążenie wyjścia (test logiki) ---
```

```
CL out 0 5p
```

```
* =====
```

```
* RDZEŃ: NOR2
```

```
* =====
```

```
* =====
```

```
* BUF4 - bufor 4-stopniowy
```

```
* =====
```

```
* =====
```

```
* Analiza czasowa - weryfikacja logiki
```

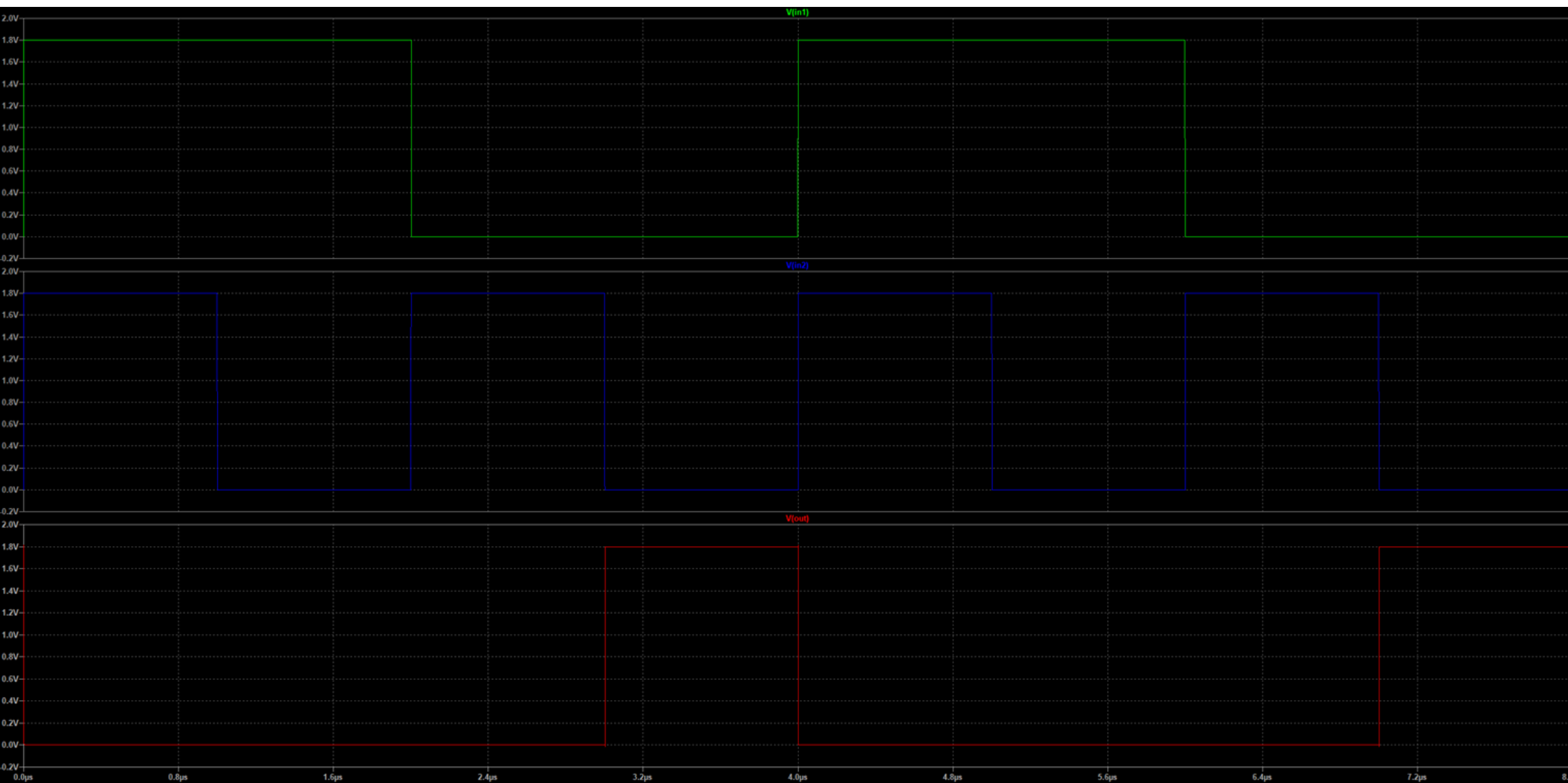
```
* =====
```

```
.tran 0 8u 0 1n
```

```
.end
```

5. Weryfikacja funkcji logicznej

POST-Layout - kod oraz wyniki



```
* ===== NOR2 pre-layout + 4-stage buffer =====
```

```
* --- modele ---
```

```
.include "tsmc180_t77a_spice.lib"
```

```
* --- parametry ---
```

```
.param VDD=1.8
```

```
* --- zasilanie ---
```

```
VDDs Vdd 0 {VDD}
```

```
VSSs Vss 0 0
```

```
* --- wejścia: sekwencja 00 - 01 - 10 - 11 ---
```

```
* in1 zmienia się wolniej, in2 szybciej
```

```
Vin1 in1 0 PULSE(0 {VDD} 0 1n 1n 2u 4u)
```

```
Vin2 in2 0 PULSE(0 {VDD} 0 1n 1n 1u 2u)
```

```
* --- obciążenie wyjścia (test logiki) ---
```

```
CL out 0 5p
```

```
* ===== NOR2 + BUF (POST-layout) =====
```

```
.include "nor2_postlayout.spice"
```

```
* =====
```

```
* Analiza czasowa - weryfikacja logiki
```

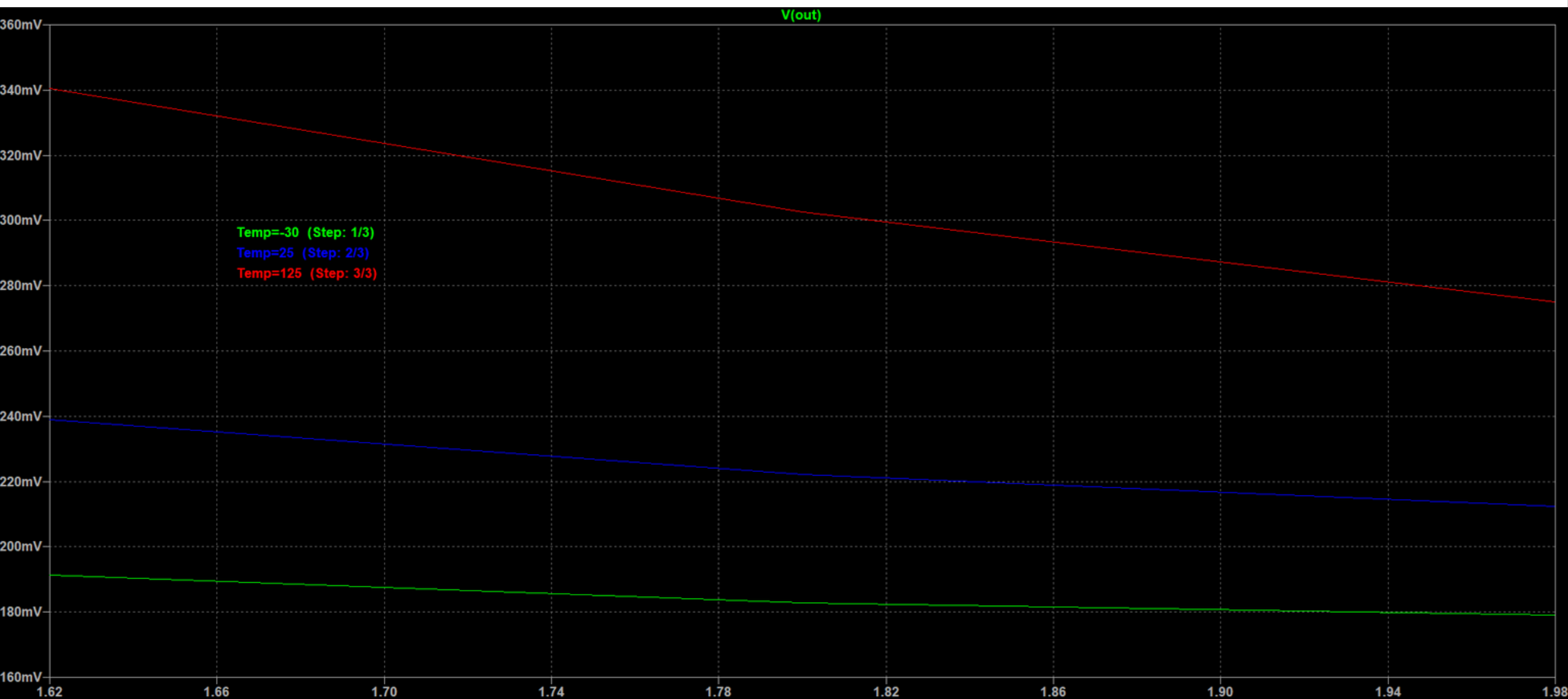
```
* =====
```

```
.tran 0 8u 0 1n
```

```
.end
```

6. Wydajność prądowa wyjść IO-

PRE-Layout - kod oraz wykres - VOL



```
* === IO- test (sinking) PRE-layout ===
.include "tsmc180_t77a_spice.lib"

* --- parametry ---
.param IO=15m
.param RTEST={0.9*VDD/IO}

* --- sweepy ---
.step param VDD list 1.62 1.8 1.98
.step temp list -30 25 125

* --- zasilanie ---
VDDs Vdd 0 {VDD}
VSSs Vss 0 0

* wymuszenie stanu NISKIEGO na wyjściu NOR+BUF:
* dla NOR: jeśli in1=1 lub in2=1 -> wyjście niskie
Vin1 in1 0 {VDD}
Vin2 in2 0 0

Rload Vdd out {RTEST}

* =====
* RDZEŃ: NOR2
* Wyjście rdzenia: out_core
* =====

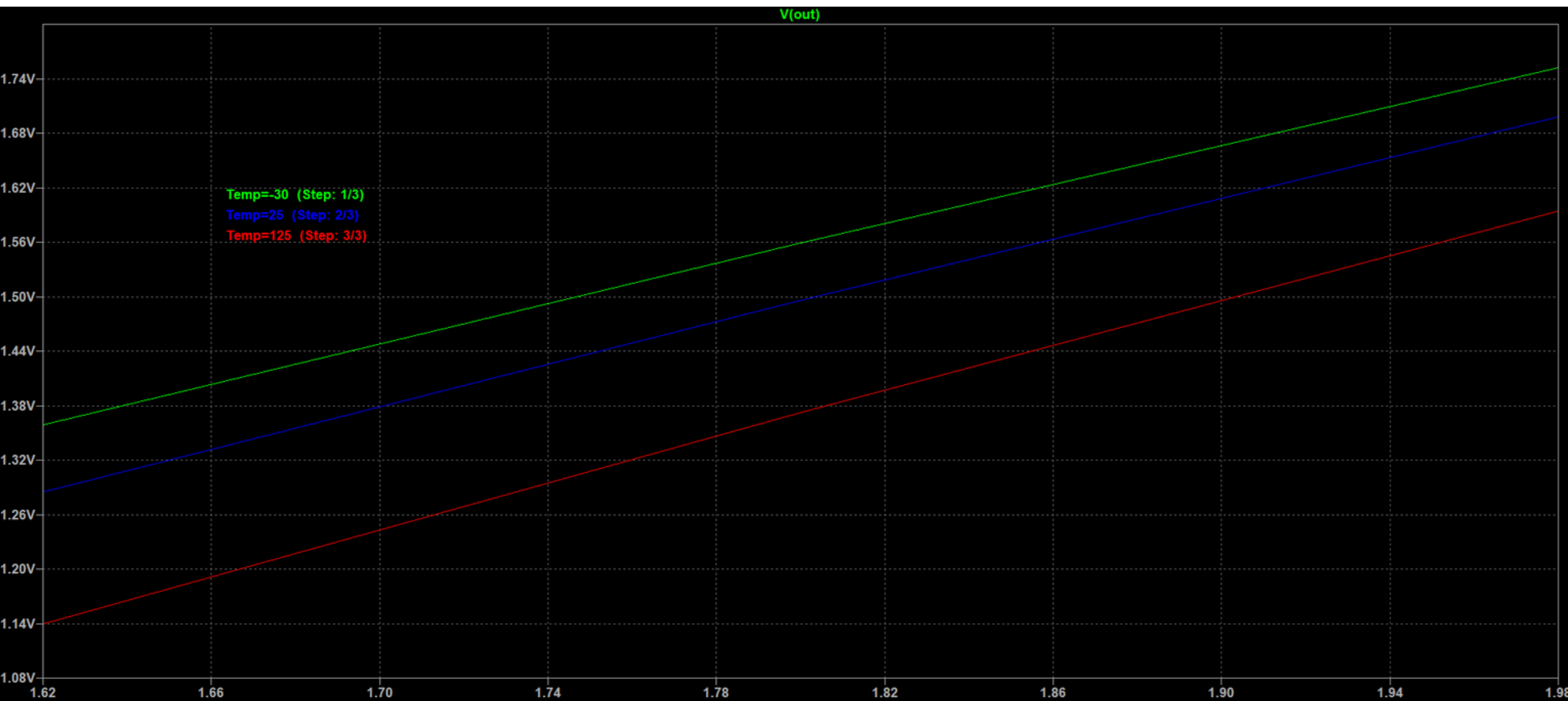
* =====
* BUF4 - bufor 4-stopniowy
* =====

.op

.meas op VOL FIND V(out)
.meas op RVAL PARAM {RTEST}
.end
```

6. Wydajność prądowa wyjść IO+

PRE-Layout - kod oraz wykres - VOH



```
* === IO- test (sinking) PRE-layout ===
.include "tsmc180_t77a_spice.lib"

* --- parametry ---
.param IO=15m
.param RTEST={0.9*VDD/IO}

* --- sweepy ---
.step param VDD list 1.62 1.8 1.98
.step temp list -30 25 125

* --- zasilanie ---
VDDs Vdd 0 {VDD}
VSSs Vss 0 0

* wymuszenie stanu NISKIEGO na wyjściu NOR+BUF:
* dla NOR: jeśli in1=1 lub in2=1 -> wyjście niskie
Vin1 in1 0 0
Vin2 in2 0 0

Rload out Vss {RTEST}

* =====
* RDZEŃ: NOR2
* Wyjście rdzenia: out_core
* =====

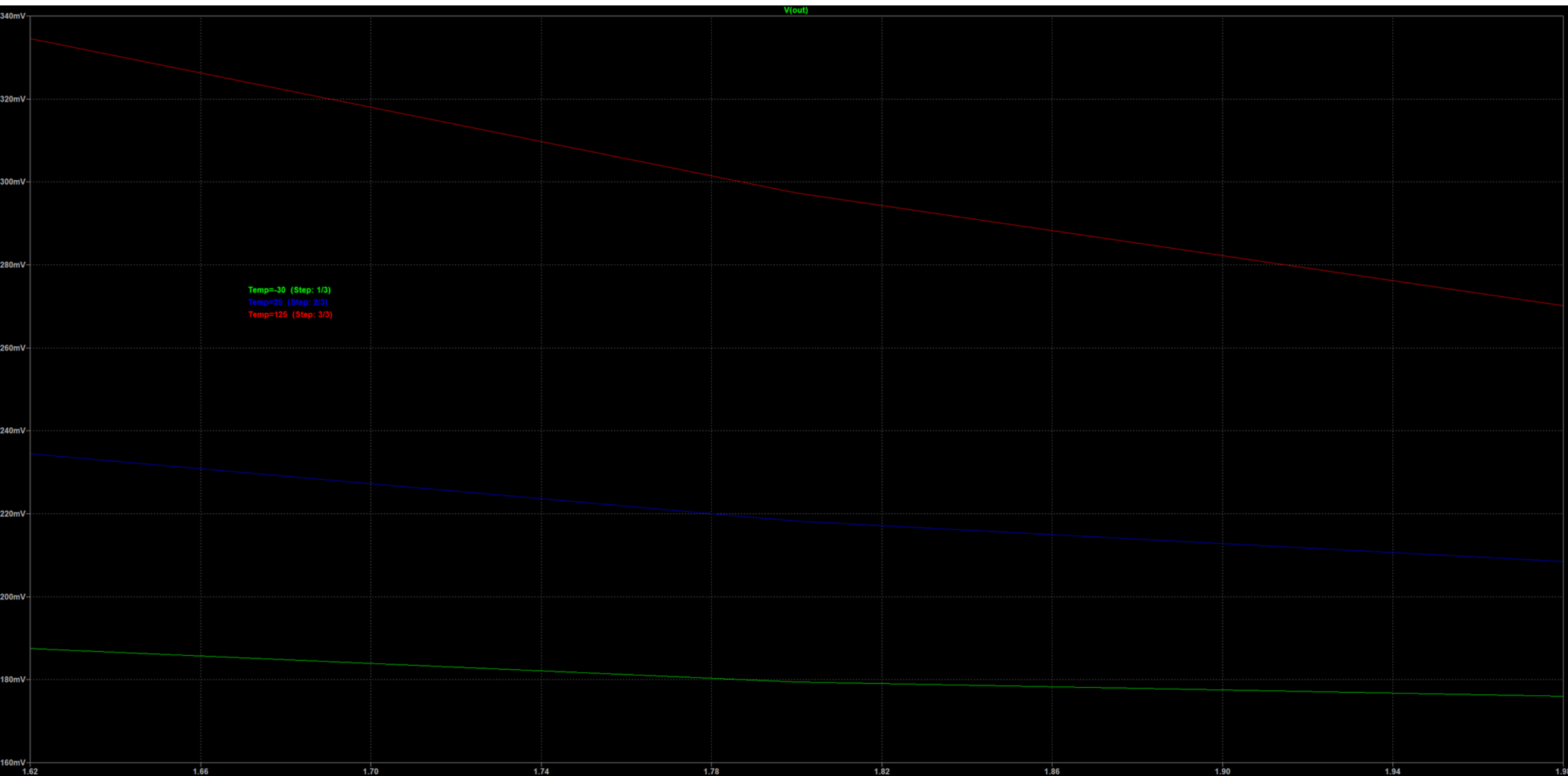
* =====
* BUF4 - bufor 4-stopniowy
* =====

.op

.meas op VOH FIND V(out)
.meas op RVAL PARAM {RTEST}
.end
```

6. Wydajność prądowa wyjść IO-

POST-Layout - kod oraz wykres - VOL



```
* === IO- test (sinking) POST-layout ===
.include "tsmc180_t77a_spice.lib"

* --- parametry ---
.param IO=15m
.param RTEST={0.9*VDD/IO}

* --- sweepy ---
.step param VDD list 1.62 1.8 1.98
.step temp list -30 25 125

* --- zasilanie ---
VDDs VDD 0 {VDD}
VSSs VSS 0 0

* --- wymuszenie stanu NISKIEGO ---
Vin1 in1 0 {VDD}
Vin2 in2 0 0

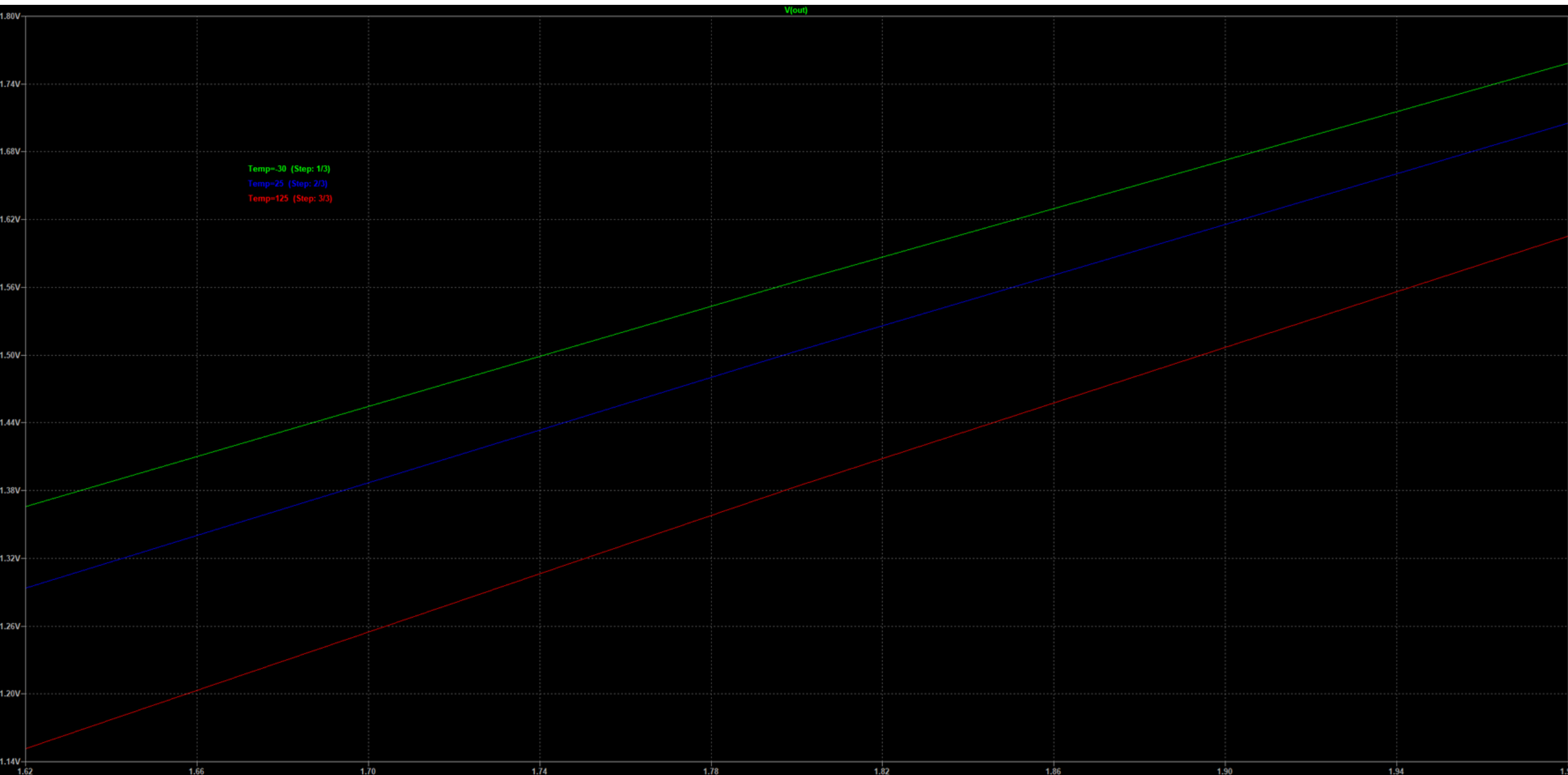
* --- obciążenie: bufor ściąga prąd ---
Rload VDD out {RTEST}

* =====
* NOR2 + BUF (POST-LAYOUT)
* =====
.include "nor2_postlayout.spice"

.op
.meas op VOL FIND V(out)
.meas op RVAL PARAM {RTEST}
.end
```

6. Wydajność prądowa wyjść IO+

POST-Layout - kod oraz wykres - VOH



```
* === IO+ test (sourcing) POST-layout ===  
.include "tsmc180_t77a_spice.lib"  
  
* --- parametry ---  
.param IO=15m  
.param RTEST={0.9*VDD/IO}  
  
* --- sweepy ---  
.step param VDD list 1.62 1.8 1.98  
.step temp list -30 25 125  
  
* --- zasilanie ---  
VDDs VDD 0 {VDD}  
VSSs VSS 0 0  
  
* --- wymuszenie stanu WYSOKIEGO ---  
Vin1 in1 0 0  
Vin2 in2 0 0  
  
* --- obciążenie: bufor źródłuje prąd ---  
Rload out VSS {RTEST}  
  
* =====  
* NOR2 + BUF (POST-LAYOUT)  
* =====  
.include "nor2_postlayout.spice"  
  
.op  
.meas op VOH FIND V(out)  
.meas op RVAL PARAM {RTEST}  
.end
```

6. Wydajność prądowa wyjść

Wyniki - zestawienie PRE oraz POST layoutu

VOL pre-layout						VOL post-layout					
VDD [V]	T [°C]	Rtest [Ω]	VOL [V]	0.1·VDD [V]	Warunek: VOL ≤ 0.1 · VDD	VDD [V]	T [°C]	Rtest [Ω]	VOL [V]	0.1·VDD [V]	Warunek: VOL ≤ 0.1 · VDD
1,62	-30	97,2	0,191	0,162	NIE	1,62	-30	97,2	0,187	0,162	NIE
1,62	25	97,2	0,238	0,162	NIE	1,62	25	97,2	0,234	0,162	NIE
1,62	125	97,2	0,34	0,162	NIE	1,62	125	97,2	0,334	0,162	NIE
1,8	-30	108	0,182	0,18	NIE	1,8	-30	108	0,179	0,18	TAK
1,8	25	108	0,222	0,18	NIE	1,8	25	108	0,218	0,18	NIE
1,8	125	108	0,302	0,18	NIE	1,8	125	108	0,297	0,18	NIE
1,98	-30	118,8	0,179	0,198	TAK	1,98	-30	118,8	0,175	0,198	TAK
1,98	25	118,8	0,212	0,198	NIE	1,98	25	118,8	0,208	0,198	NIE
1,98	125	118,8	0,275	0,198	NIE	1,98	125	118,8	0,27	0,198	NIE
VOH pre-layout						VOH post-layout					
VDD [V]	T [°C]	Rtest [Ω]	VOH [V]	0.9 · VDD [V]	Warunek: VOH ≥ 0.9 · VDD	VDD [V]	T [°C]	Rtest [Ω]	VOH [V]	0.9 · VDD [V]	Warunek: VOH ≥ 0.9 · VDD
1,62	-30	97,2	1,358	1,458	NIE	1,62	-30	97,2	1,365	1,458	NIE
1,62	25	97,2	1,284	1,458	NIE	1,62	25	97,2	1,293	1,458	NIE
1,62	125	97,2	1,139	1,458	NIE	1,62	125	97,2	1,151	1,458	NIE
1,8	-30	108	1,558	1,62	NIE	1,8	-30	108	1,565	1,62	NIE
1,8	25	108	1,495	1,62	NIE	1,8	25	108	1,503	1,62	NIE
1,8	125	108	1,372	1,62	NIE	1,8	125	108	1,384	1,62	NIE
1,98	-30	118,8	1,752	1,782	NIE	1,98	-30	118,8	1,758	1,782	NIE
1,98	25	118,8	1,697	1,782	NIE	1,98	25	118,8	1,705	1,782	NIE
1,98	125	118,8	1,594	1,782	NIE	1,98	125	118,8	1,605	1,782	NIE

6. Wydajność prądowa wyjść

Omówienie analizy i porównanie wyników

W teście IO- prąd wymuszany był rezystorem podłączonym pomiędzy VDD a wyjście układu, co pozwalało ocenić zdolność tranzystorów NMOS do ściągania prądu do masy (wyjście w stanie niskim). W teście IO+ rezystor podłączono pomiędzy wyjście a VSS, wymuszając źródłowanie prądu przez tranzystory PMOS (wyjście w stanie wysokim).

Przy IO = 15 mA DC, w zakresie:

- VDD = 1.62 / 1.8 / 1.98 V
- T = -30 / 25 / 125 °C

Metoda analizy

- Analiza DC (.op).
- Prąd wyjściowy wymuszany rezystorem testowym o innej wartości dla każdego zasilania: $R_{\text{test}} = (0.9 * VDD) / 15 \text{ mA}$

Postawione kryteria:

- IO-: $VOL \leq 0.1 * VDD$
- IO+: $VOH \geq 0.9 * VDD$

Porównanie wyników

IO- (ściągnięcie prądu):

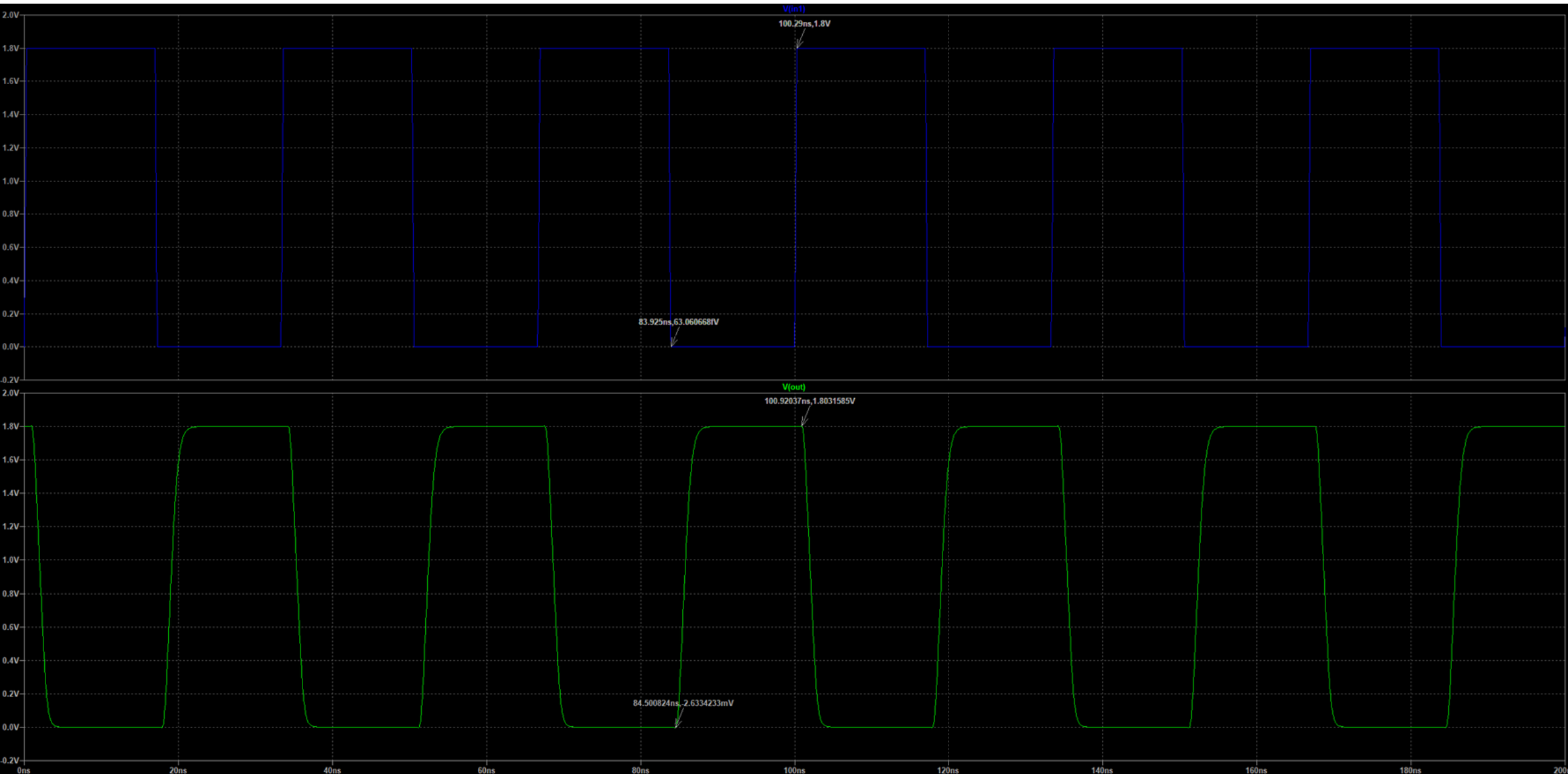
- Pre- i post-layout dają zbliżone wartości VOL oraz ten sam trend: VOL rośnie wraz z temperaturą i spada wraz ze wzrostem VDD.
- Warunek w pre-layout'cie spełniony tylko dla najwyższego VDD i niskiej temperatury. Natomiast w post-layout'cie spełniony również dla VDD = 1.8V w niskiej temperaturze.
- W pozostałych narożnikach VOL nieznacznie przekracza $0.1 * VDD$.
- Post-layout wypadł minimalnie lepiej, brak znaczącej rozbieżności.

IO+ (źródłowanie prądu):

- Zarówno pre-layout, jak i post-layout nie spełniają warunku $VOH \geq 0.9 * VDD$ w żadnym narożniku.
- Post-layout ma nieco wyższe VOH, ale nadal poniżej $0.9 * VDD$
- Wyniki pre/post są spójne trendowo – brak rozbieżności.

7. Analiza częstotliwości

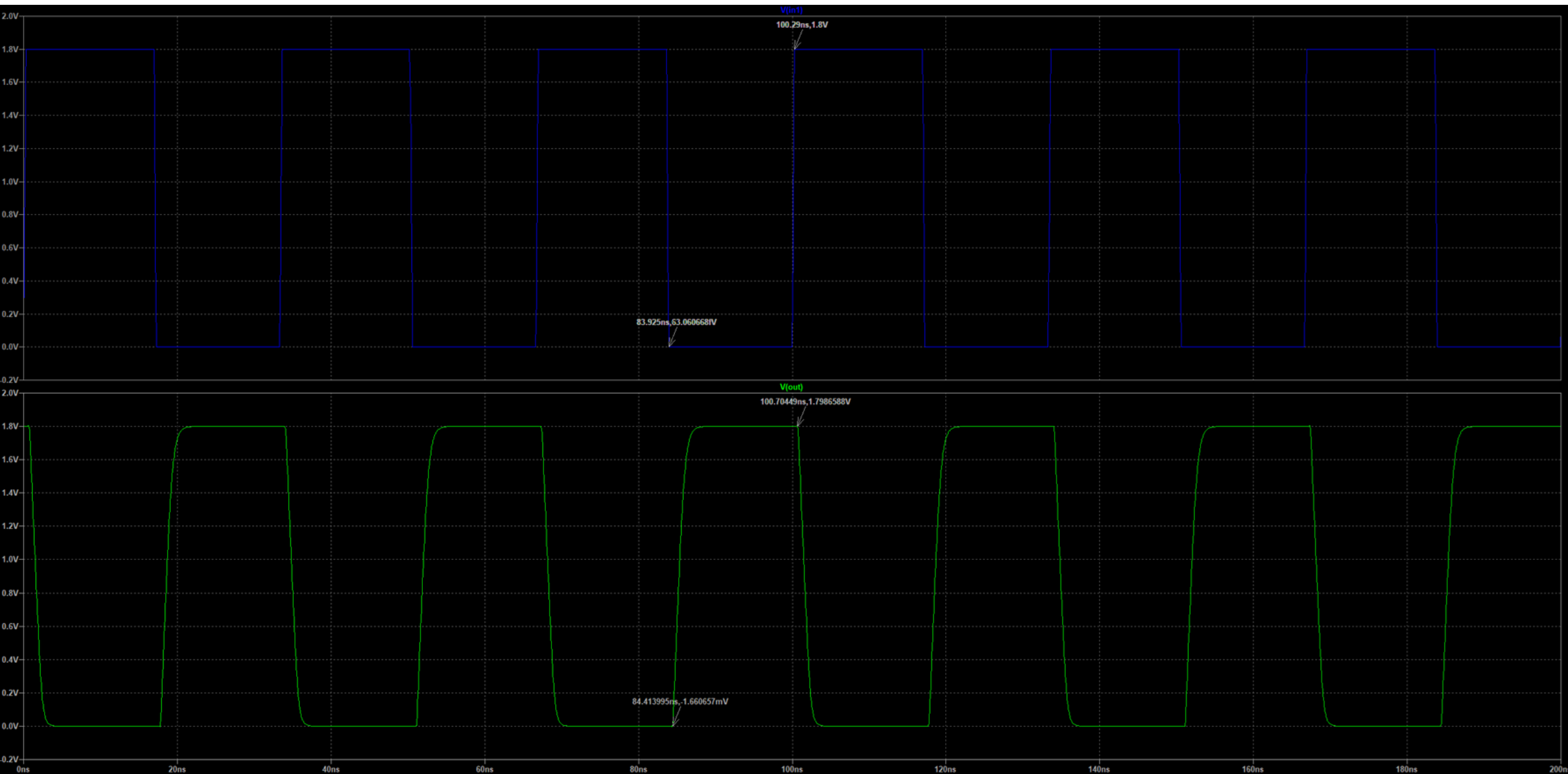
PRE-Layout - kod oraz wykres



```
* === 30 MHz test @ CL = 25pF (PRE-layout) ===  
.include "tsmc180_t77a_spice.lib"  
  
* --- warunki ---  
.param VDD=1.8  
.temp 25  
  
* --- zasilanie ---  
VDDs Vdd 0 {VDD}  
VSSs Vss 0 0  
  
* --- pobudzenie ---  
* 30 MHz -> T = 33.33 ns  
Vin1 in1 0 PULSE(0 {VDD} 0 300p 300p 16.665n 33.33n)  
Vin2 in2 0 0  
  
* --- obciążenie pojemnościowe ---  
CL out 0 25p  
  
* =====  
* RDZEŃ: NOR2  
* Wyjście rdzenia: out_core  
* =====  
  
* =====  
* BUF4 - bufor 4-stopniowy  
* =====  
  
.tran 0 200n 0 50p  
  
.end
```

7. Analiza częstotliwości

POST-Layout - kod oraz wykres



```
* === 30 MHz test @ CL = 25pF (POST-layout) ===  
.include "tsmc180_t77a_spice.lib"  
  
.param VDD=1.8  
.temp 25  
  
VDDs VDD 0 {VDD}  
VSSs VSS 0 0  
  
Vin1 in1 0 PULSE(0 {VDD} 0 300p 300p 16.665n 33.33n)  
Vin2 in2 0 0  
  
CL out 0 25p  
  
* ===== NOR2 + BUF (POST-layout) =====  
.include "nor2_postlayout.spice"  
  
.tran 0 200n 0 50p  
  
.end
```

7. Analiza częstotliwości

Omówienie

Metoda analizy: .tran

Warunki testu:

- **Częstotliwość sygnału wejściowego: 30 MHz**
- **Obciążenie wyjścia: $CL = 25 \text{ pF}$**
- **Napięcie zasilania: $VDD = 1.8 \text{ V}$**
- **Temperatura: $T = 25 \text{ }^{\circ}\text{C}$**
- **Sygnał wejściowy: prostokątny**
- **Konfiguracja wejść:**
 - **in1 – sygnał przełączający 30 MHz**
 - **in2 – stały stan niski (0)**

Wnioski:

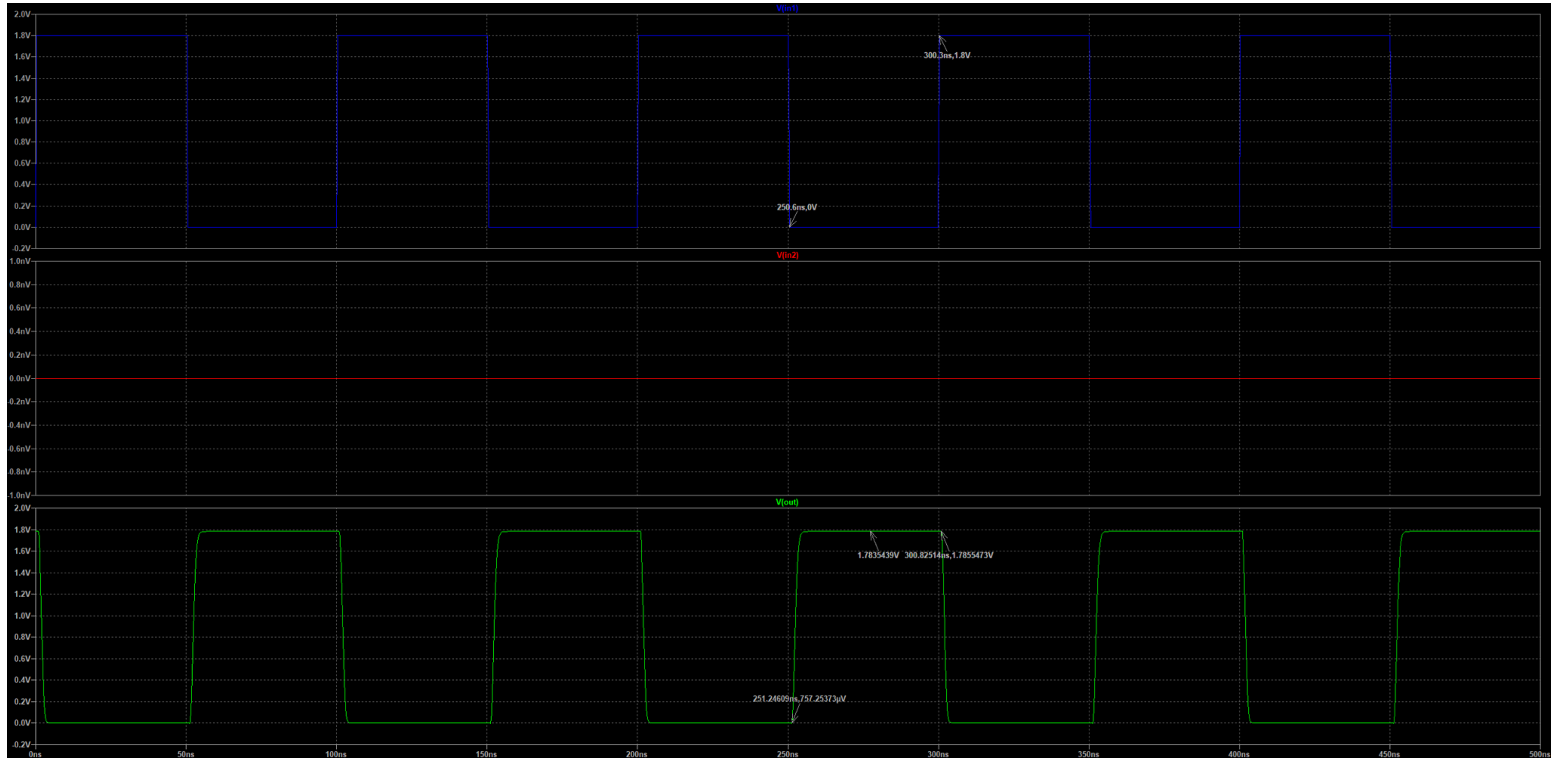
Zarówno model pre-layout, jak i post-layout spełniają wymaganie pracy z częstotliwością co najmniej 30 MHz przy $CL = 25 \text{ pF}$.

Różnice pomiędzy pre- i post-layout mają nieznaczący charakter.

Analiza potwierdza poprawne odwzorowanie zachowania dynamicznego układu w modelu pre-layout oraz brak krytycznego wpływu pasożytów na pracę przy wymaganej częstotliwości.

8. Test aplikacyjny bufora

POST-Layout - wykres



8. Test aplikacyjny bufora

POST-Layout - omówienie

Cel analizy

Celem aplikacyjnego testu bufora było sprawdzenie poprawności jego pracy w warunkach zbliżonych do rzeczywistego zastosowania, tj. przy sterowaniu obciążeniem pojemnościowo-rezystancyjnym, odpowiadającym wejściu kolejnego bloku cyfrowego.

Warunki testu:

- Napięcie zasilania: $VDD = 1.8\text{ V}$
- Temperatura: $T = 25\text{ }^{\circ}\text{C}$
- Częstotliwość pobudzenia: 10 MHz
- Obciążenie wyjścia:
- $CL = 25\text{ pF}$
- $RL = 2\text{ k}\Omega$ do VSS
- Konfiguracja wejść:
 - in1 – sygnał prostokątny $0-VDD$
 - in2 – stały stan niski

Analiza przebiegów

Wyjście $V(out)$ poprawnie podąża za zmianami sygnału wejściowego, zachowując odwróconą logikę zgodnie z funkcją NOR.

W stanie wysokim napięcie wyjściowe osiąga wartości rzędu $1.78-1.80\text{ V}$, czyli bliskie napięciu zasilania $VDD = 1.8\text{ V}$.

W stanie niskim napięcie wyjściowe spada do poziomu około 50 mV , co odpowiada poprawnemu stanowi logicznemu „0”.

Widoczne jest łagodne zaokrąglenie zboczy, wynikające z obciążenia pojemnościowo-rezystancyjnego, jednak bez utraty poprawnych poziomów logicznych.

```
* === Application test of buffer ===
.include "tsmc180_t77a_spice.lib"

.param VDD=1.8
.temp 25

VDDs Vdd 0 {VDD}
VSSs Vss 0 0

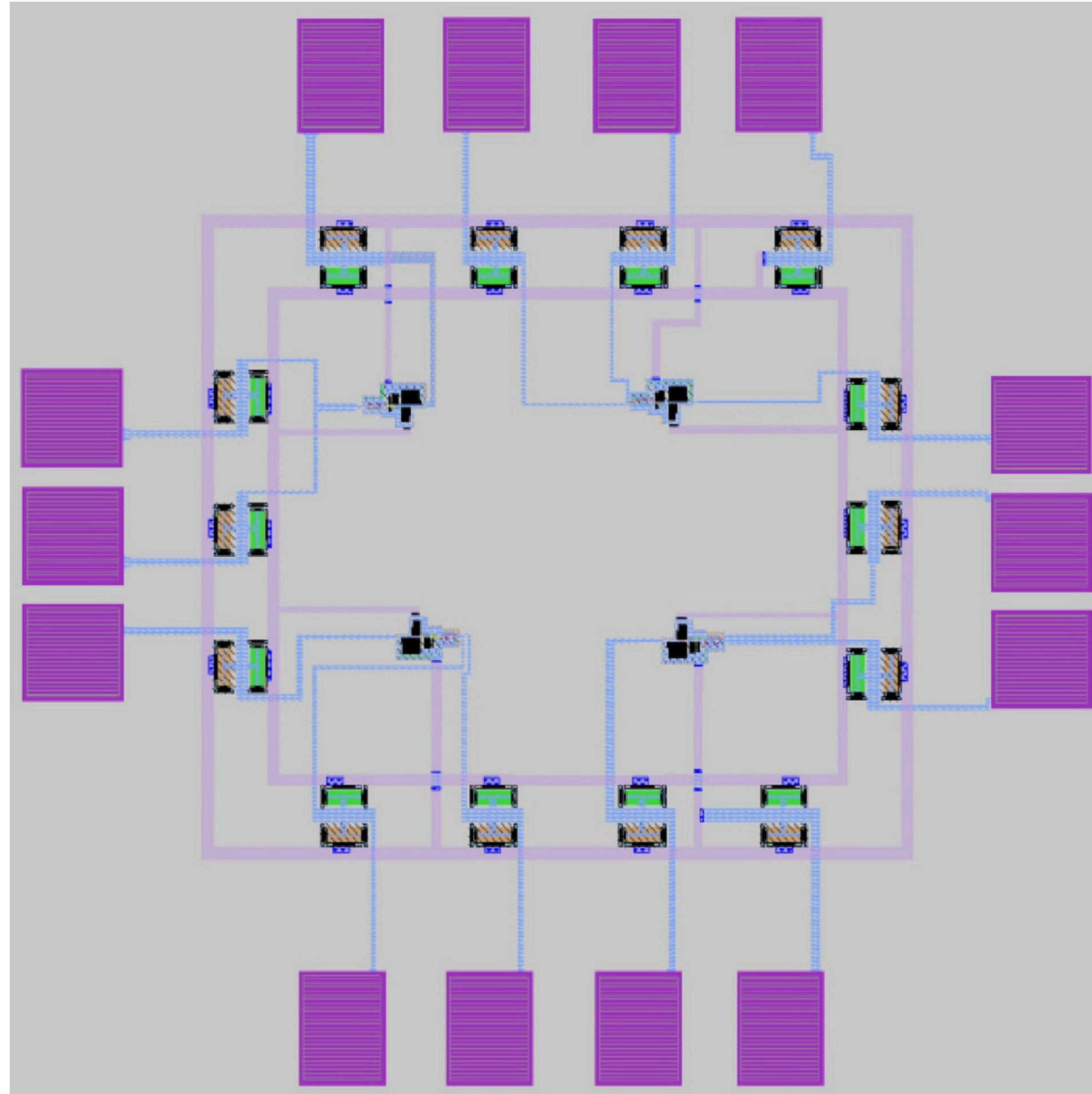
* Pobudzenie aplikacyjne (umiarkowana f)
Vin1 in1 0 PULSE(0 {VDD} 0 300p 300p 50n 100n) ; 10 MHz
Vin2 in2 0 0

* Obciążenie aplikacyjne
CL out 0 25p
RL out Vss 2k

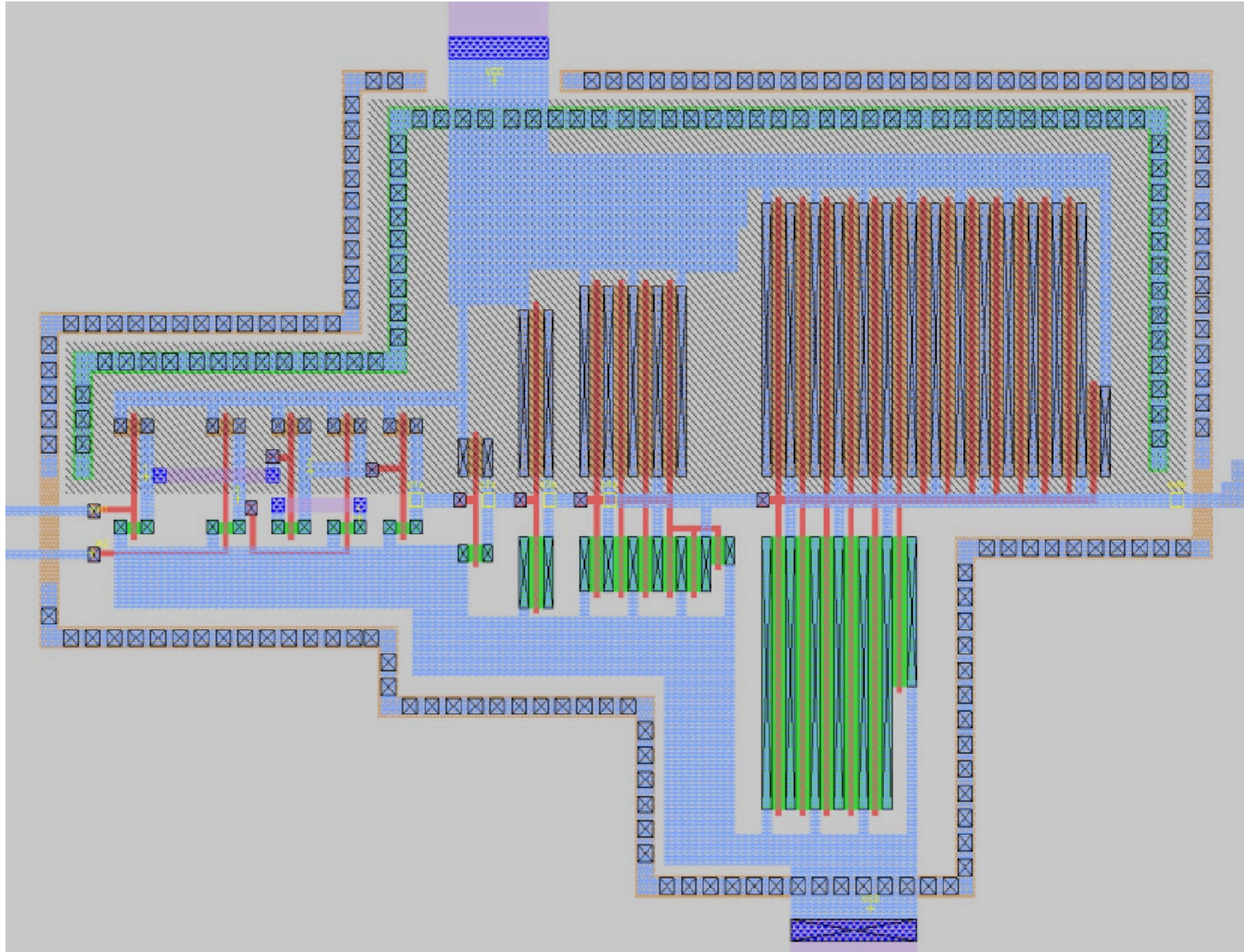
.include "nor2_postlayout.spice"

.tran 0 500n 0 100p
.end
```

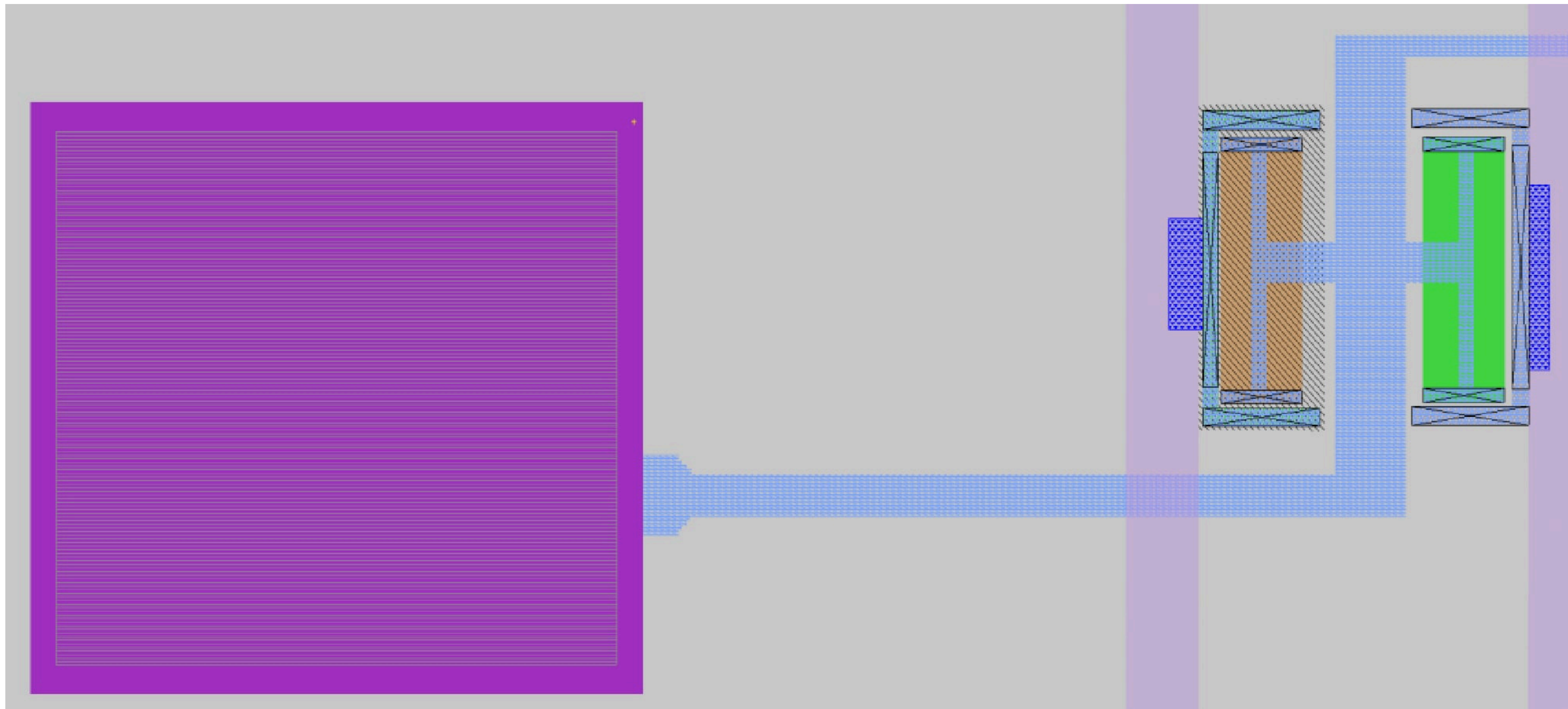
9.1 Topologia



9.2 Pojedyncza bramka NOR



9.3 Zabezpieczenie ESD



Dziękujemy za uwagę.